(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0080796
(43) 공개일자 2008년09월05일

(51) Int. Cl.
H01L 23/12 (2006.01)
(21) 출원번호 10-2007-0020975
(22) 출원일자 2007년03월02일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
김상욱
충남 천안시 쌍용2동 청솔1차아파트 103-905
(74) 대리인
박상수

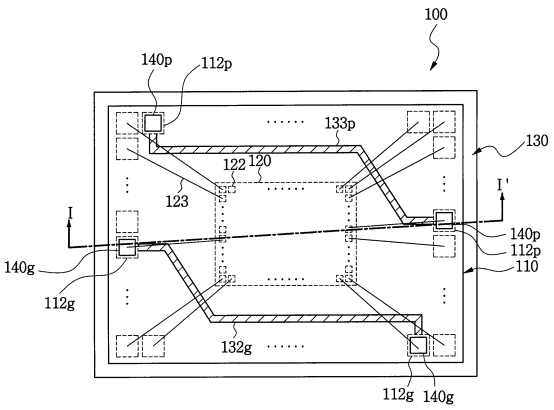
전체 청구항 수 : 총 15 항

(54) 반도체 칩의 양측에 회로 기판들을 갖는 반도체 모듈 및이의 제조 방법

(57) 요 약

반도체 칩의 양측에 회로 기판들을 갖는 반도체 모듈 및 이의 제조 방법이 제공된다. 상기 반도체 모듈은 제1 반도체 칩을 구비한다. 한쪽 면에 상기 제1 반도체 칩을 실장하는 제1 몸체 및 상기 제1 몸체의 한쪽 면에 상기 제1 반도체 칩과 전기적으로 접속되는 제1 패드를 구비하는 제1 회로 기판이 제공된다. 상기 반도체 칩을 개재하도록 상기 제1 회로 기판과 대향되게 배치되되, 제2 몸체(body) 및 상기 제2 몸체의 한쪽 면에 접지 배선을 구비하는 제2 회로 기판이 제공된다. 상기 접지 배선과 상기 제1 패드를 전기적으로 접속시키는 제1 도전선이 제공된다. 상기 반도체 모듈의 제조 방법 또한 제공된다.

대표도 - 도1a



특허청구의 범위

청구항 1

제1 반도체 칩;

한쪽 면에 상기 제1 반도체 칩을 실장하는 제1 몸체 및 상기 제1 몸체의 한쪽 면에 상기 제1 반도체 칩과 전기적으로 접속되는 제1 패드를 구비하는 제1 회로 기판;

상기 반도체 칩을 개재하도록 상기 제1 회로 기판과 대향되게 배치되되, 제2 몸체(body) 및 상기 제2 몸체의 한쪽 면에 접지 배선을 구비하는 제2 회로 기판; 및

상기 접지 배선과 상기 제1 패드를 전기적으로 접속시키는 제1 도전선을 포함하는 반도체 모듈.

청구항 2

제 1 항에 있어서,

상기 접지 배선은 상기 제2 회로 기판의 상기 몸체 양쪽 면에 배치되는 반도체 모듈.

청구항 3

제 1 항에 있어서,

상기 제2 회로 기판은 상기 제2 몸체의 한쪽 면에 전원 배선을 구비하고, 상기 제1 회로 기판은 상기 제1 몸체의 한쪽 면에 상기 제1 반도체 칩과 전기적으로 접속되는 제2 패드를 포함하되, 상기 전원 배선과 상기 제2 패드를 전기적으로 연결시키는 제2 도전선을 더 포함하는 반도체 모듈.

청구항 4

제 1 항에 있어서,

상기 제1 및 제2 회로 기판들 사이에 개재되는 몰딩막을 더 포함하는 반도체 모듈.

청구항 5

제 1 항에 있어서,

상기 제1 회로 기판은 상기 제1 반도체 칩을 실장하는 한쪽 면의 반대면에 도전볼을 포함하는 반도체 모듈.

청구항 6

제 1 항에 있어서,

상기 제2 몸체의 면들 중 상기 제1 몸체와 대향하는 면에 실장되는 제2 반도체 칩을 더 포함하는 반도체 모듈.

청구항 7

제 1 항에 있어서,

상기 제2 회로 기판 상에 상기 제1 회로 기판과 전기적으로 접속되는 제1 반도체 패키지를 더 포함하되, 상기 제1 회로 기판은 상기 제2 몸체보다 넓은 면적을 갖는 상기 제1 몸체 및 상기 제1 몸체의 외곽 영역을 따라 배치되는 제1 랜딩 패드를 구비하고, 상기 제1 반도체 패키지는 제1 도전 펌프를 통하여 상기 제1 랜딩 패드와 전기적으로 접속되는 반도체 모듈,

청구항 8

제 1 항에 있어서,

상기 제2 회로 기판 상에 상기 제2 회로 기판과 전기적으로 접속되는 제2 반도체 패키지를 더 포함하되, 상기 제2 회로 기판은 상기 제2 몸체의 면들 중 상기 제1 몸체와 대향하는 면의 반대면에 제2 랜딩 패드를 구비하고, 상기 제2 반도체 패키지는 제2 도전 펌프를 통하여 상기 제2 랜딩 패드와 전기적으로 접속되는 반도체 모듈,

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 반도체 패키지들은 단층 패키지 또는 멀티 칩 패키지인 반도체 모듈.

청구항 10

반도체 칩을 실장한 제1 회로 기판과 제2 회로 기판 사이에 몰딩막을 충진시켜 상기 제1 및 제2 회로 기판들을 몰딩막에 부착시키되, 상기 제1 및 제2 회로 기판들 사이에 상기 반도체 칩을 개재하고, 상기 제1 회로 기판은 상기 반도체 칩과 전기적으로 접속되는 제1 패드를 구비하도록 형성되고, 상기 제2 회로 기판은 한쪽 면에 접지 배선을 구비하도록 형성되고,

상기 제2 회로 기판 및 상기 몰딩막을 관통하여 상기 제1 회로 기판의 상기 제1 패드를 노출시키는 제1 도전선 홀을 형성하되, 상기 제1 도전선 홀은 상기 접지 배선과 인접한 부분의 상기 제2 회로 기판을 관통하도록 형성되고,

상기 제1 도전선 홀을 채우는 제1 도전선을 형성하는 것을 포함하는 반도체 모듈의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제1 도전홀은 레이저 또는 드릴(drill)을 이용하여 형성되는 반도체 모듈의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 제1 도전선은 전기도금법을 사용하여 형성되는 반도체 모듈의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 접지 배선은 상기 제2 회로 기판의 양쪽 면에 구비되도록 형성되는 반도체 모듈의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 제2 회로 기판은 상기 한쪽 면에 전원 배선을 구비하고, 상기 제1 회로 기판은 상기 반도체 칩과 전기적으로 접속되는 제2 패드를 구비하도록 형성되되, 상기 전원 배선과 상기 제2 패드를 전기적으로 연결시키는 제2 도전선을 형성하는 것을 더 포함하는 반도체 모듈의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 제1 회로 기판에서 상기 반도체 칩을 실장하는 면의 반대면에 도전볼을 형성하는 것을 더 포함하는 반도체 모듈.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<6> 본 발명은 반도체 모듈 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 칩의 양측에 회로 기판들을 갖는 반도체 모듈 및 이의 제조 방법에 관한 것이다.

<7> 디램(DRAM) 소자 또는 플래쉬 메모리 소자와 같은 반도체 소자는 외부에 노출된 채로 사용되지 않고, 패키징(packaging)되어 사용된다. 즉, 상기 반도체 소자는 외부의 환경으로부터의 영향을 배제시키기 위하여 어셈블리 공정을 통하여 밀봉된다(encapsulate). 구체적으로, 상기 반도체 소자는 상기 인쇄 회로 기판과 같은 회로 기판에 부착되며, 다수의 와이어들(wires)들을 통하여 상기 회로 기판과 전기적으로 접속된다. 이에 더하여, 상기 반도체 소자와 상기 회로 기판을 외부 환경으로부터 보호하기 위하여 봉지된다.

<8> 상기 반도체 소자의 집적도가 증가됨에 따라, 상기 반도체 소자에서 외부와 연결되기 위한 입/출력 단자들이 증가되나, 이들 간의 피치(pitch)는 감소하는 추세이다. 이로 인해, 상기 반도체 소자와 연결된 회로 기판도 높은 집적화를 요구받는 실정이다. 다시 말하면, 상기 회로 기판에 배치되는 배선들은 상기 회로 기판의 한정된 면적에서 좁은 피치로 배치될 필요가 있다. 그러나, 상기 회로 기판 상에 배치되는 배선들이 증가되고 있어 상기 배선들을 상기 회로 기판의 표면에 배치시키는데 한계가 있다. 또한, 상기 배선들의 피치가 감소됨에 따라 상기 배선들 간의 노이즈(noise)로 인한 상기 반도체 소자의 전기적 특성을 열화시킬 수 있다.

<9> 최근에 이를 해결하고자, 상기 회로 기판의 몸체 내에 상기 배선들을 내장시키는 다층 회로 기판이 사용되고 있다. 종래에 상기 회로 기판의 양 표면에 상기 배선들이 배치된 반면에, 상기 다층 회로 기판은 상기 배선들을 상기 회로 기판의 양 표면에 배치시키는 것뿐만 아니라, 여러 가지 기능을 하는 다양한 배선들을 상기 회로 기판의 몸체 내에 배치시킨다. 즉, 표면에 배치될 배선들 중 일부를 상기 회로 기판의 몸체 내에 내장시켜 상기 반도체 소자의 입/출력 단자들과 비아(via)를 통하여 전기적으로 연결될 수 있다. 그러나, 상기 다층 회로 기판은 고비용으로 제작될 뿐만 아니라 제조 과정 또한 복잡한 단점을 갖고 있다.

발명이 이루고자 하는 기술적 과제

<10> 본 발명이 이루고자 하는 기술적 과제는 회로 기판에서 배선들의 배치 면적을 확보함과 아울러서 신뢰성을 향상시키는 반도체 모듈을 제공함에 있다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 회로 기판에서 배선들의 배치 면적을 확보함과 아울러서 신뢰성을 향상시키기에 적합한 반도체 모듈의 제조 방법을 제공함에 있다.

발명의 구성 및 작용

<12> 상기 기술적 과제를 이루기 위한 본 발명의 일 양태에 따르면, 반도체 모듈이 제공된다. 상기 반도체 모듈은 상기 반도체 모듈은 제1 반도체 칩을 구비한다. 한쪽 면에 상기 제1 반도체 칩을 실장하는 제1 몸체 및 상기 제1 몸체의 한쪽 면에 상기 제1 반도체 칩과 전기적으로 접속되는 제1 패드를 구비하는 제1 회로 기판이 제공된다. 상기 반도체 칩을 개재하도록 상기 제1 회로 기판과 대향되게 배치되되, 제2 몸체(body) 및 상기 제2 몸체의 한쪽 면에 접지 배선을 구비하는 제2 회로 기판이 제공된다. 상기 접지 배선과 상기 제1 패드를 전기적으로 접속시키는 제1 도전선이 제공된다.

<13> 본 발명의 몇몇 실시예에서, 상기 접지 배선은 상기 제2 회로 기판의 상기 몸체 양쪽 면에 배치될 수 있다.

<14> 다른 실시예들에서, 상기 제2 회로 기판은 상기 제2 몸체의 한쪽 면에 전원 배선을 구비할 수 있다. 상기 제1 회로 기판은 상기 제1 몸체의 한쪽 면에 상기 제1 반도체 칩과 전기적으로 접속되는 제2 패드를 포함할 수 있다. 여기서, 상기 전원 배선과 상기 제2 패드를 전기적으로 연결시키는 제2 도전선이 제공될 수 있다.

<15> 또 다른 실시예들에서, 상기 제1 및 제2 회로 기판들 사이에 개재되는 몰딩막이 제공될 수 있다.

<16> 또 다른 실시예들에서, 상기 제1 회로 기판은 상기 제1 반도체 칩을 실장하는 한쪽 면의 반대면에 도전볼을 구비할 수 있다.

<17> 또 다른 실시예들에서, 상기 제2 몸체의 면들 중 상기 제1 몸체와 대향하는 면에 실장되는 제2 반도체 칩이 제공될 수 있다.

<18> 또 다른 실시예들에서, 상기 제2 회로 기판 상에 상기 제1 회로 기판과 전기적으로 접속되는 제1 반도체 패키지를 구비할 수 있다. 상기 제1 회로 기판은 상기 제2 몸체보다 넓은 면적을 갖는 상기 제1 몸체 및 상기 제1 몸체의 외곽 영역을 따라 배치되는 제1 랜딩 패드를 구비하고, 상기 제1 반도체 패키지는 제1 도전 펌프를 통하여 상기 제1 랜딩 패드와 전기적으로 접속될 수 있다.

<19> 또 다른 실시예들에서, 상기 제2 회로 기판 상에 상기 제2 회로 기판과 전기적으로 접속되는 제2 반도체 패키지를 구비할 수 있다. 상기 제2 회로 기판은 상기 제2 몸체의 면들 중 상기 제1 몸체와 대향하는 면의 반대면에

제2 랜딩 패드를 구비하고, 상기 제2 반도체 패키지는 제2 도전 펌프를 통하여 상기 제2 랜딩 패드와 전기적으로 접속될 수 있다. 상기 반도체 패키지들은 단층 패키지 또는 멀티 칩 패키지일 수 있다.

<20> 상기 기술적 과제를 이루기 위한 본 발명의 다른 양태에 따르면, 반도체 모듈의 제조 방법이 제공된다. 상기 반도체 모듈의 제조 방법은 반도체 칩을 실장한 제1 회로 기판과 제2 회로 기판 사이에 몰딩막을 충진시켜 상기 제1 및 제2 회로 기판들을 몰딩막에 부착시키는 것을 구비한다. 상기 제1 및 제2 회로 기판들 사이에 상기 반도체 칩을 개재하고, 상기 제1 회로 기판은 상기 반도체 칩과 전기적으로 접속되는 제1 패드를 구비하도록 형성되고, 상기 제2 회로 기판은 한쪽 면에 접지 배선을 구비하도록 형성된다. 상기 제2 회로 기판 및 상기 몰딩막을 관통하여 상기 제1 회로 기판의 상기 제1 패드를 노출시키는 제1 도전선 홀을 형성한다. 상기 제1 도전선 홀은 상기 접지 배선과 인접한 부분의 상기 제2 회로 기판을 관통하도록 형성된다. 상기 제1 도전선 홀을 채우는 제1 도전선을 형성한다.

<21> 본 발명의 몇몇 실시예에서, 상기 제1 도전홀은 레이저 또는 드릴(drill)을 이용하여 형성될 수 있다.

<22> 다른 실시예들에서, 상기 제1 도전선은 전기도금법을 사용하여 형성될 수 있다.

<23> 또 다른 실시예들에서, 상기 접지 배선은 상기 제2 회로 기판의 양쪽 면에 구비되도록 형성될 수 있다.

<24> 또 다른 실시예들에서, 상기 제2 회로 기판은 상기 한쪽 면에 전원 배선을 구비하고, 상기 제1 회로 기판은 상기 반도체 칩과 전기적으로 접속되는 제2 패드를 구비하도록 형성될 수 있다. 상기 전원 배선과 상기 제2 패드를 전기적으로 연결시키는 제2 도전선을 형성할 수 있다.

<25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 또한, 소자(element) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

<26> 먼저, 도 1a 및 도 1b를 참조하여, 본 발명의 일 실시예에 따른 반도체 모듈에 대하여 설명하기로 한다. 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 반도체 모듈의 평면도 및 I-I'선을 따라 절단한 단면도이다.

<27> 도 1a 및 도 1b를 참조하면, 상기 반도체 모듈(100)은 제1 회로 기판(110)을 구비한다. 상기 제1 회로 기판(110)은 인쇄 회로 기판(Printed Circuit Board; PCB)일 수 있다. 상기 제1 회로 기판(110)은 제1 몸체(111) 및 상기 제1 몸체(111)의 양쪽 면에 다수의 패드들을 구비한다. 상기 패드들은 상기 제1 몸체(111)의 윗면 및 아랫면에 각각 배치되는 제1 상부 패드들(112g, 112p, 112s) 및 제1 하부 패드들(113g, 113s)을 구비할 수 있다. 상기 제1 상부 패드들(112g, 112p, 112s)은 제1 상부 접지 패드(112g), 제1 상부 신호 패드(112s)와 아울러서 제1 상부 전원 패드(112p)로 구성될 수 있다. 이와 마찬가지로, 상기 제1 하부 패드들(113g, 113s)은 제1 하부 접지 패드(113g), 제1 하부 신호 패드(113s)와 아울러서 제1 하부 전원 패드(미도시)로 구성될 수 있다. 상기 제1 상부 패드들(112g, 112p, 112s) 및 상기 제1 하부 패드들(113g, 113s)은 비아들(via, 114)을 통하여 전기적으로 접속될 수 있다. 이에 더하여, 상기 제1 하부 패드들(113g, 113s)의 하부에 외부와 전기적으로 접속하기 위한 도전볼들(115)이 배치될 수 있다.

<28> 상기 제1 회로 기판(110)의 상기 제1 몸체(111) 윗면에 반도체 칩(120)이 실장된다. 상기 반도체 칩(120)에 제공된 본딩 패드들(122)과 상기 제1 상부 패드들(112g, 112p, 112s) 사이에 와이어들(wires; 123)을 통하여 상기 반도체 칩(120)은 상기 제1 회로 기판(110)에 전기적으로 연결된다. 상기 본딩 패드들(122)은 각각 입/출력 신호을 위한 패드들, 전원 공급을 받기 위한 전원 패드들, 접지 전위를 인가받기 위한 접지 패드들로 구성될 수 있다. 이에 따라, 상기 본딩 패드들(122)은 각각 상기 본딩 패드들(122)의 기능에 따라 상기 제1 상부 접지 패드(112g), 상기 제1 상부 신호 패드(112s) 및 상기 제1 상부 전원 패드(112p)에 전기적으로 접속된다.

<29> 상기 반도체 칩(120)을 개재되도록 상기 제1 회로 기판(110)과 대향되는 제2 회로 기판(130)이 배치된다. 상기 제2 회로 기판(130)은 제2 몸체(131) 및 상기 제2 몸체(131)의 양쪽 면 중 적어도 한쪽 면에 접지 배선들(132g)을 구비할 수 있다. 아울러, 상기 제2 몸체(131)의 양쪽 면중 적어도 한쪽 면에 전원 배선들(133p)을 구비할 수 있다. 한편, 상기 제1 및 제2 회로 기판들(110, 130) 사이에 몰딩막(121)이 개재될 수 있다.

<30> 도 1a에 도시된 바와 같이, 상기 제1 상부 접지 패드(112g)는 상기 접지 배선들(132g)과 연결되기 위하여 제1

도전선, 즉, 접지 도전선(140g)을 통하여 전기적으로 접속된다. 상기 접지 배선들(132g)은 앞서 언급한 접지 도전선(140g)과 이격된 다른 접지 도전선(140g)과 연결되며, 상기 다른 접지 도전선(140g)은 다른 제1 상부 접지 패드(112g)와 전기적으로 접속된다. 이 경우에, 상기 제1 상부 접지 패드(112g)는 수직 하부의 비아(114)와 접속되지 않고, 상기 제2 회로 기판(130)에 배치되는 상기 접지 배선들(132g)을 통하여 입체적으로 우회하여 상기 제1 하부 접지 패드(113g)와 연결될 수 있다. 아울러, 상기 제2 상부 전원 패드(112p) 또한 상기 제2 회로 기판(130)에 배치되는 상기 전원 배선(133p)들과 전기적으로 연결되어 수직 하부의 제1 하부 전원 패드(미도시)와 이격된 다른 제1 하부 전원 패드(미도시)와 입체적으로 우회하여 연결될 수 있다. 여기서, 상기 제1 상부 전원 패드(112p)와 상기 전원 배선(133p)은 제2 도전선, 즉, 전원 도전선(140p)을 통하여 전기적으로 접속된다. 다만, 신호 지연없이 신호 전송 효율을 향상시키기 위하여, 상기 제1 상부 신호 패드(112s)는 상기 제2 회로 기판(130)을 이용하여 우회하지 않고, 수직 하부의 상기 제1 하부 신호 패드(113s)와 상기 비아(114)를 통하여 전기적으로 접속될 수 있다.

<31> 이와 같이, 본 발명의 일 실시예에 의하면, 상기 제1 회로 기판(110) 내에서 상기 제1 상, 하부 접지 패드(112g, 113g) 및 상기 제1 상, 하부 전원 패드(112p)를 직접적으로 연결하지 않음으러써 상기 제1 상부 신호 패드(112s)가 배치되는 면적을 상기 제1 몸체(111)에서 확보할 수 있다. 다시 말하면, 상기 반도체 칩(120)과 연결되는 제1 상부 패드들(112g, 112p, 112s) 및 상기 제1 회로 기판(110)에 배치되는 배선들(미도시)을 종래에 비하여 자유롭게 배치시킬 수 있다. 이에 더하여, 상기 제1 회로 기판(110)에 배치되는 배선들의 피치(pitch)가 종래에 비하여 증가되어 상기 배선들 간의 전기적 간섭으로 인해 발생되는 노이즈(noise)의 발생을 감소시킬 수 있다. 아울러, 상기 제2 회로 기판(130)에 상기 접지 배선들(132g)을 다수 배치시킴으로 인해 외부의 정전기로 인하여 발생되는 정전기적 방전(electro static discharge; ESD)을 억제할 수 있다. 이에 더하여, 상기 제2 회로 기판(130)이 상기 반도체 칩(120)을 덮고 있어 상기 정전기적 방전을 더 효과적으로 방지할 수 있다. 상기 반도체 모듈(100)의 신뢰성을 향상시킬 수 있다.

<32> 도 2는 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도이다.

<33> 반도체 모듈(200)은 제1 회로 기판(210)을 구비한다. 상기 제1 회로 기판(210)은 인쇄 회로 기판(Printed Circuit Board; PCB)일 수 있다. 상기 제1 회로 기판(210)은 제1 몸체(211) 및 상기 제1 몸체(211)의 양쪽 면에 다수의 패드들을 구비한다. 상기 패드들은 제1 몸체(211)의 윗면 및 아랫면에 각각 배치되는 제1 상부 패드들(212) 및 제1 하부 패드들(213)을 구비할 수 있다. 상기 제1 상부 패드들(212) 및 상기 제1 하부 패드들(213)은 비아들(via, 214)을 통하여 전기적으로 접속될 수 있다. 여기서, 도 1a 및 도 1b를 참조하여 설명한 것과 같이, 상기 제1 상부 패드들(212)은 접지, 전원 및 신호 패드들로 구성될 수 있다. 이에 더하여, 상기 제1 하부 패드들(214)의 하부에 외부와 전기적으로 접속하기 위한 도전볼들(215)이 배치될 수 있다.

<34> 상기 제1 회로 기판(210)의 상기 제1 몸체(211) 윗면에 제1 반도체 칩(220)이 실장된다. 상기 제1 반도체 칩(220)에 제공된 본딩 패드들(222)과 상기 제1 상부 패드들(212) 사이에 와이어들(wires; 123)을 통하여 상기 제1 반도체 칩(220)은 상기 제1 회로 기판(210)에 전기적으로 연결된다.

<35> 상기 제1 반도체 칩(220)을 개재되도록 상기 제1 회로 기판(210)과 대향되는 제2 회로 기판(230)이 배치된다. 상기 제2 회로 기판(130)은 제2 몸체(231) 및 상기 제2 몸체(231)의 양쪽 면 중 적어도 한쪽 면에 접지 배선들(232)을 구비할 수 있다. 아울러, 상기 제2 몸체(231)의 양쪽 면중 적어도 한쪽 면에 전원 배선들(233)을 구비할 수 있다. 상기 접지 배선들(232) 및 상기 전원 배선들(233)은 상기 제1 패드들(212)과 각각 도전선들(250)을 통하여 전기적으로 접속될 수 있다. 상기 도전선들(250)은 도 1a 및 도 1b를 참조하여 설명된 도전선들과 동일하게 접지 및 전원 전도선들로 구성될 수 있다. 한편, 상기 제1 및 제2 회로 기판들(210, 230) 사이에 몰딩막(221)이 개재될 수 있다. 본 실시예에서는, 상기 반도체 모듈(200)의 집적도를 증가시키기 위해, 상기 제2 몸체(231)의 면들 중 상기 제1 몸체(211)와 대향하는 면에 제2 반도체 칩(240)이 실장될 수 있다. 상기 제2 반도체 칩(240)은 상기 제2 회로 기판(230)의 패드들(232, 233)과 와이어들(242)에 의해 전기적으로 접속되며, 상기 패드들(232, 233)은 도전선들(250)을 통하여 상기 제1 회로 기판(210)과 전기적으로 연결될 수 있다.

<36> 도 3은 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도이다.

<37> 본 실시예에서의 반도체 모듈(300)은 도 1a 및 도 1b를 참조하여 설명된 반도체 모듈(100)과 이에 적층된 제1 반도체 패키지의 조합으로 구성된다. 따라서, 본 실시예에 따른 반도체 모듈(300)은 도 1a 및 도 1b와 동일한 구성을 갖는 반도체 모듈(310, 320, 330, 340)에 대한 부분을 제외하고 차이점에 대하여 설명하기로 한다.

<38> 제1 회로 기판(310)은 제2 몸체(331)보다 넓은 면적을 갖는 제1 몸체(311) 및 상기 제1 몸체(311)의 외곽 영역

을 따라 배치되는 제1 랜딩 패드들(316)을 구비할 수 있다. 한편, 상기 반도체 모듈(300)의 집적화를 높이기 위해, 상기 제2 회로 기판(330) 상에 상기 제1 회로 기판(310)과 전기적으로 접속되는 제1 반도체 패키지(350)가 배치될 수 있다. 구체적으로, 상기 제1 반도체 패키지(350)는 상기 제1 랜딩 패드들(316)과 제1 도전 범프들(354)을 통하여 전기적으로 연결될 수 있다. 상기 제1 반도체 패키지(350)는 단일 반도체 칩으로 구성되는 단층 패키지이거나 다수의 적층된 반도체 칩들(352, 353)로 구성되는 멀티 칩 패키지(multi chip package; MCP)일 수 있다.

<39> 도 4는 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도이다.

<40> 본 실시예에서의 반도체 모듈(400)은 도 2를 참조하여 설명된 반도체 모듈(200)과 이에 적층된 제2 반도체 패키지의 조합으로 구성된다. 따라서, 본 실시예에 따른 반도 모듈(400)은 도 2와 동일한 구성을 갖는 반도체 모듈(410, 420, 430, 440, 450)에 대한 부분을 제외하고 차이점에 대하여 설명하기로 한다.

<41> 제2 회로 기판(430)은 제2 몸체(431)의 면들 중 제1 몸체(411)와 대향하는 면의 반대면에 제2 랜딩 패드들(434)을 구비할 수 있다. 한편, 상기 제2 회로 기판(430) 상에 상기 제2 회로 기판(430)과 전기적으로 접속되는 제2 반도체 패키지(460)가 배치될 수 있다. 구체적으로, 상기 제2 반도체 패키지(460)는 상기 제2 랜딩 패드들(434)과 제2 도전 범프들(463)을 통하여 전기적으로 연결될 수 있다. 상기 제2 랜딩 패드들(434)은 도전선들(450)을 통하여 제1 회로 기판(410)과 전기적으로 접속될 수 있다. 그 결과, 상기 제2 반도체 패키지(460)는 상기 제1 회로 기판(410)과 전기적으로 접속될 수 있다. 상기 제2 반도체 패키지(460)는 단일 반도체 칩(462)으로 구성되는 단층 패키지이거나 다수의 적층된 반도체 칩들로 구성되는 멀티 칩 패키지(multi chip package; MCP)일 수 있다.

<42> 이하, 도 5a 내지 도 5d를 참조하여 본 발명의 일 실시예에 따른 반도체 모듈의 제조 방법에 대하여 설명한다. 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 반도체 모듈의 제조 방법을 설명하기 위한 공정 단면도들이다.

<43> 도 5a를 참조하면, 한쪽 면에 반도체 칩(120)을 실장한 제1 회로 기판(110)을 준비한다. 상기 제1 회로 기판(110)은 제1 몸체(111)의 한쪽 면에 상기 반도체 칩(120)과 전기적으로 접속되는 제1 및 제2 패드들(112)을 구비하도록 형성될 수 있다. 상기 제1 및 제2 패드들(112)은 접지 패드들 및 전원 패드들일 수 있다. 아울러, 상기 제1 회로 기판(110)은 상기 제1 몸체(111)의 다른 면에 하부 패드들을 구비하도록 형성될 수 있으며, 상기 접지 및 전원 패드들(112)은 비아들(114)을 통하여 상기 하부 패드들과 전기적으로 접속될 수 있다.

<44> 한편, 적어도 한쪽 면에 접지 배선들(132) 및 전원 배선들(133)을 배치시킨 제2 회로 기판(130)을 준비한다.

<45> 이어서, 상기 제1 및 제2 회로 기판들(110, 130) 사이에 몰딩막(121)을 충진시켜 상기 제1 및 제2 회로 기판들(110, 130)을 상기 몰딩막(121)에 부착시키고, 상기 반도체 칩(120)을 상기 제1 및 제2 회로 기판들(110, 130) 사이에 개재하도록 한다. 상기 몰딩막(121)은 에폭시(epoxy) 수지일 수 있다.

<46> 도 5b를 참조하면, 상기 제2 회로 기판(130) 및 상기 몰딩막(121)을 관통하여 상기 제1 회로 기판(110)의 한쪽 면에 배치된 상기 접지 및 전원 패드들(112)을 각각 노출시키는 제1 및 제2 도전선 홀들(135)을 형성한다. 이 경우에, 상기 제2 회로 기판(130)에서 상기 도전선 홀들(135)은 상기 접지 및 전원 배선들(132, 133)과 인접한 부분에 위치되도록 형성된다. 상기 도전선 홀들(135)은 레이저 또는 기계적인 드릴(drill) 작업을 이용하여 형성될 수 있다.

<47> 도 5c를 참조하면, 상기 제1 및 제2 도전선 홀들(135)을 채우는 제1 및 제2 도전선들(140)을 형성한다. 상기 제1 및 제2 도전선들(140)은 구리를 포함하는 도전막일 수 있으며, 전기도금법을 사용하여 형성될 수 있다.

<48> 도 5d를 참조하면, 상기 제1 회로 기판(110)에서 상기 반도체 칩(120)의 실장면과 반대면 즉, 상기 하부 패드들과 전기적으로 접속하는 도전볼들(115)을 형성한다.

발명의 효과

<49> 상술한 바와 같이 본 발명에 따르면, 반도체 칩을 실장하는 제1 회로 기판에 대향하는 접지 및 전원 배선들을 포함하는 제2 회로 기판을 배치하고, 상기 제1 및 제2 회로 기판들을 전기적으로 접속시킨다. 종래에는 상기 반도체 칩을 실장하는 회로 기판의 면 상에 모든 배선들을 배치하는 것과 달리, 신호 지연을 요구받지 않는 접지 및 전원 배선들은 상기 제2 회로 기판을 사용하여 입체적으로 배치시킬 수 있다. 그 결과, 상기 배선들의 배치 면적을 종래에 비해 더 확보할 수 있다. 따라서, 상기 배선들을 자유롭게 배치할 수 있다. 아울러, 상기 배선들

간의 피치도 증가하여 상기 배선들 간의 노이즈의 발생이 감소될 수 있다. 또한, 상기 제2 회로 기판에 상기 접지 배선들을 다수 배치시킴으로써 외부의 정전기로 인하여 발생되는 정전기적 방전(electro static discharge; ESD)을 억제할 수 있다.

도면의 간단한 설명

<1> 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 반도체 모듈의 평면도 및 I-I'선을 따라 절단한 단면도이다.

<2> 도 2는 본 발명의 다른 실시예에 따른 반도체 모듈의 단면도이다.

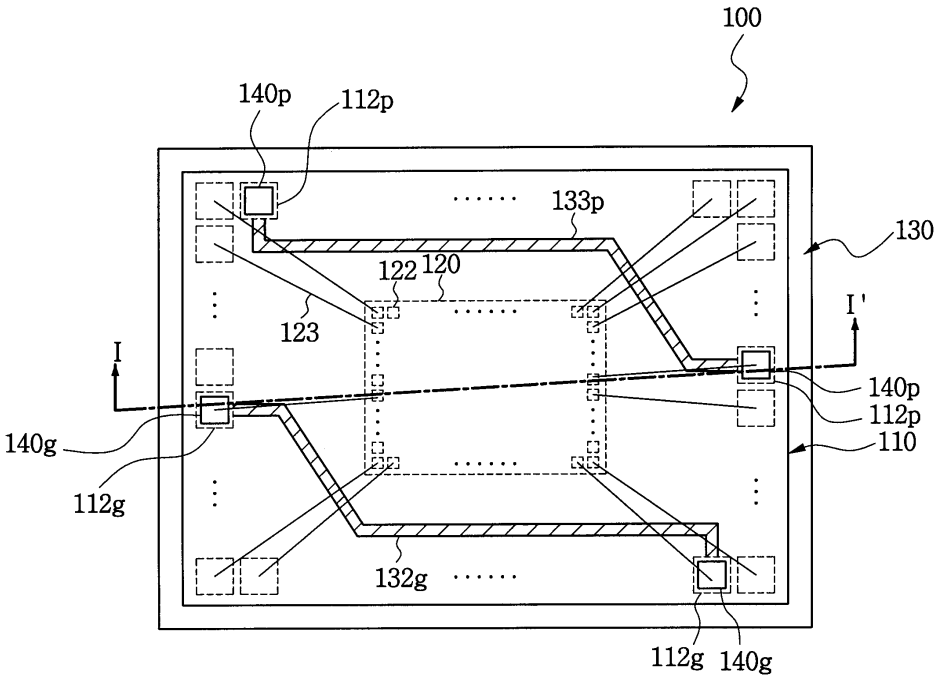
<3> 도 3은 본 발명의 또 다른 실시예에 따른 반도체 모듈의 단면도이다.

<4> 도 4는 본 발명의 또 다른 실시예에 따른 반도체 모듈의 단면도이다.

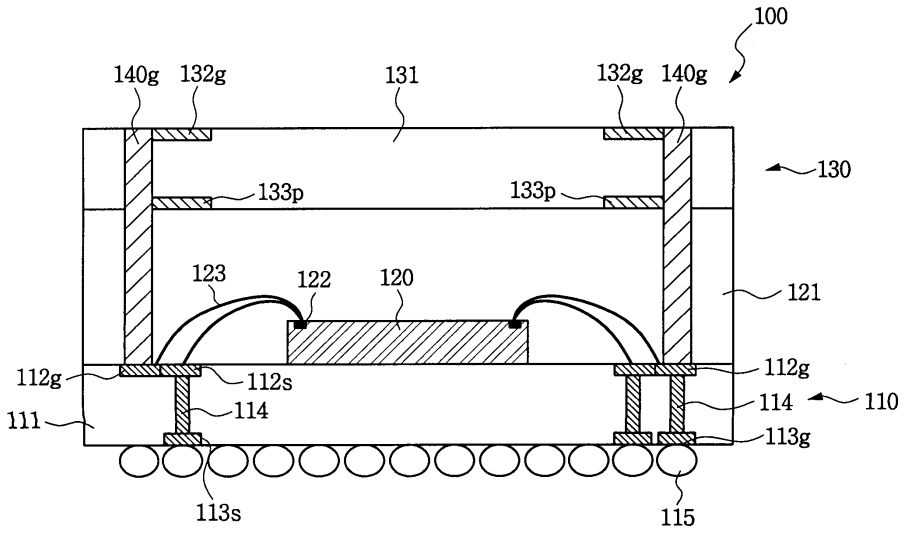
<5> 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 반도체 모듈의 제조 방법을 설명하기 위한 공정 단면도들이다.

도면

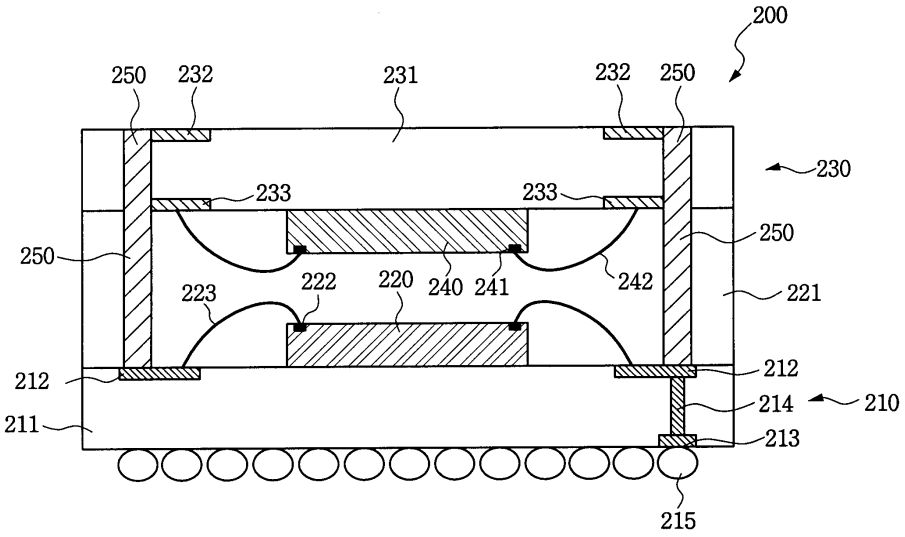
도면1a



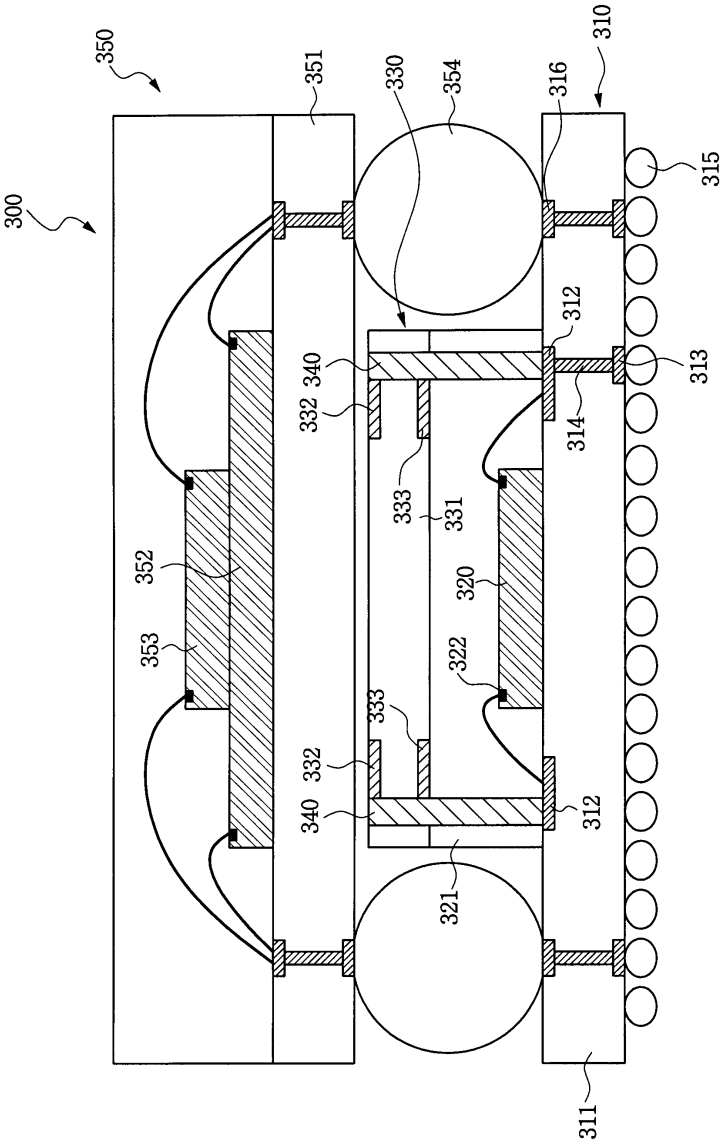
도면1b


100
140g
132g
131
132g
140g
130
133p
133p
123
122
120
121
112g
112s
112g
114
110
111
114
113g
113s
115

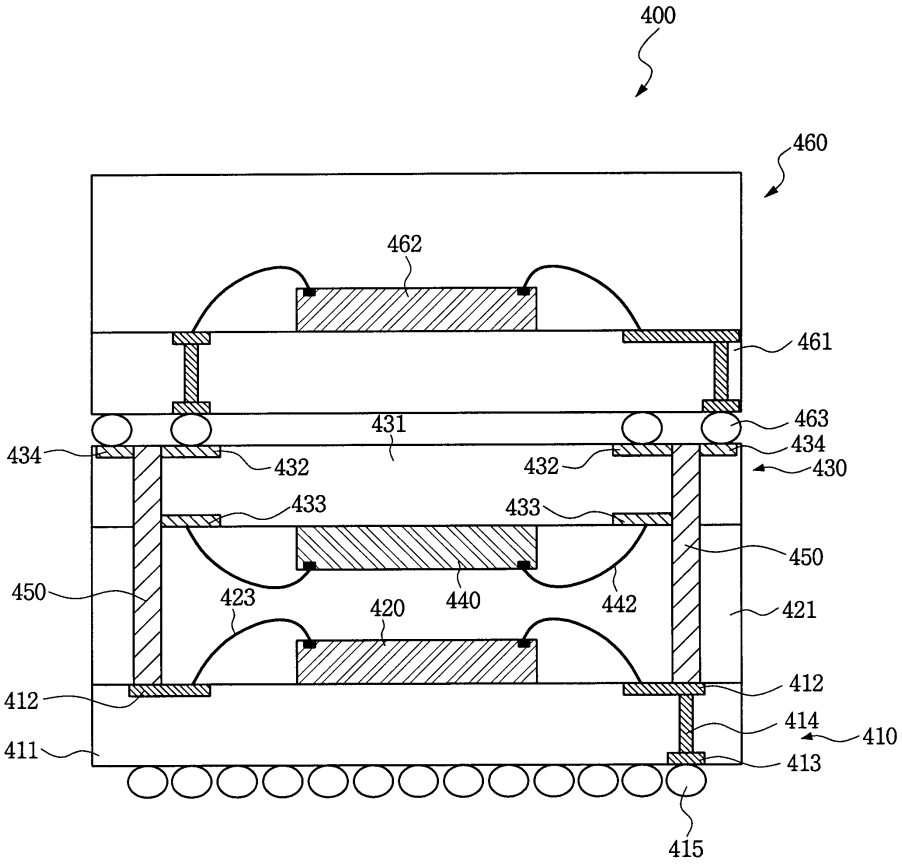
도면2


200
250
232
231
232
250
230
233
233
250
250
242
221
223
222
220
240
241
212
212
214
210
211
213
215

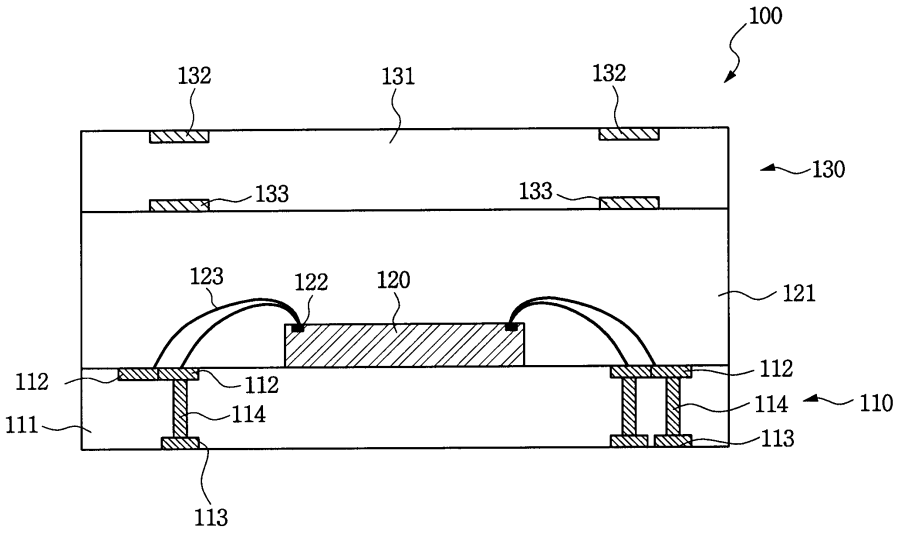
도면3


350
351
330
354
316
310
315
300
312
313
340
332
314
333
331
352
320
353
322
333
332
340
312
321
311

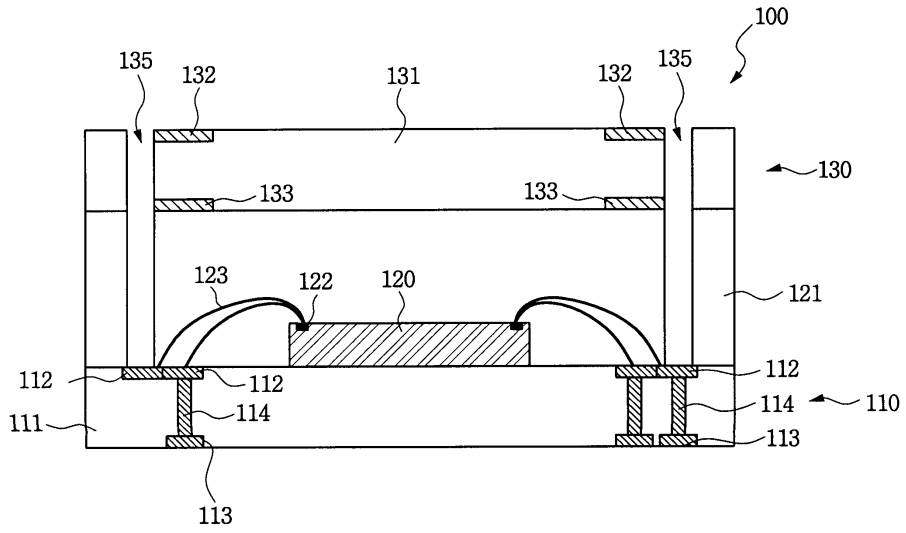
도면4


400
460
462
461
463
431
434
432
432
434
430
433
433
450
450
423
420
440
442
421
412
412
414
410
411
413
415

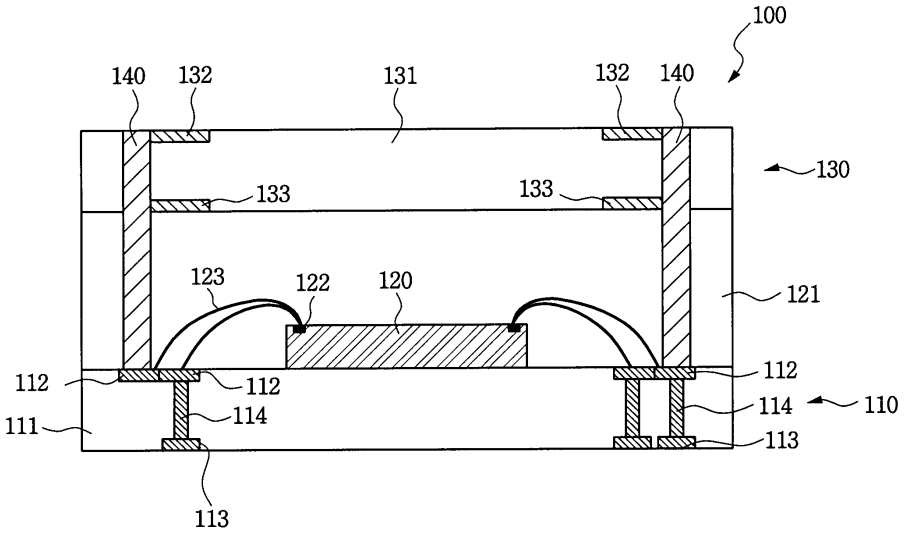
도면5a


100
132
131
132
130
133
133
123
122
120
121
112
112
112
114
110
111
114
113
113

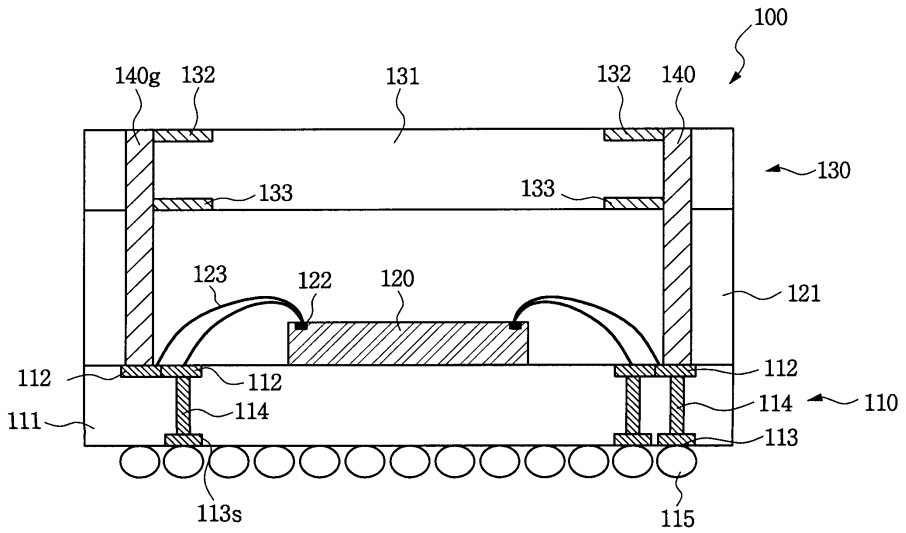
도면5b


100
135
132
131
132
135
130
133
133
123
122
120
121
112
112
114
110
111
113
113

도면5c


100
140
132
131
132
140
130
133
133
123
122
120
121
112
112
114
110
111
113
113

도면5d


100
140g
132
131
132
140
130
133
133
123
122
120
121
112
112
112
114
114
110
111
113
113s
115