

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7317630号
(P7317630)

(45)発行日 令和5年7月31日(2023.7.31)

(24)登録日 令和5年7月21日(2023.7.21)

(51)国際特許分類 F I
G 0 6 T 1/20 (2006.01) G 0 6 T 1/20 A

請求項の数 13 (全23頁)

(21)出願番号	特願2019-148817(P2019-148817)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和1年8月14日(2019.8.14)	(74)代理人	110001243 弁理士法人谷・阿部特許事務所
(65)公開番号	特開2021-33346(P2021-33346A)	(72)発明者	松山 和憲 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43)公開日	令和3年3月1日(2021.3.1)	審査官	鈴木 明
審査請求日	令和4年8月3日(2022.8.3)		

最終頁に続く

(54)【発明の名称】 画像処理装置、画像処理方法、及びプログラム

(57)【特許請求の範囲】

【請求項1】

複数の画像処理手段であって、当該画像処理手段に応じた画像処理を施す、複数の画像処理手段と、

前記画像処理において用いられる複数の記憶手段と、

画像処理を制御する制御手段と、

前記制御手段の指示に従って、画像データを分割する分割手段と、

前記制御手段の指示に従って、画像データを結合する結合手段と

を備え、

前記制御手段は、

前記記憶手段の使用状況に関する情報に応じて、前記分割手段により画像データを分割する画像処理を特定し、

前記特定された画像処理を施す画像処理手段が、前記複数の画像処理手段のうち、少なくとも2つ備えられ、かつ各々、異なる記憶手段に接続されることを条件に、前記特定された画像処理において処理対象とされる画像データを分割する分割位置を決定し、

前記分割位置に基づいて前記分割手段により少なくとも2つに分割された画像データのうち、一方の画像データに対して前記少なくとも2つの画像処理手段のうち一方の画像処理手段により画像処理を施し、前記一方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御し、

前記結合された画像データを前記分割位置に基づいて前記分割手段により少なくとも2

つに分割した画像データのうち、前記一方の画像処理手段により画像処理が施されていない一方の画像データに対して前記少なくとも2つの画像処理手段のうち他方の画像処理手段により画像処理を施し、前記他方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御することを特徴とする画像処理装置。

【請求項2】

前記制御手段は、

第1の画像処理モードと第2の画像処理モードで前記画像処理装置を制御し、

前記第1の画像処理モードでは、画像処理手段により、前記分割位置に基づいて前記分割手段により少なくとも2つに分割された画像データのうち、一方の画像データに画像処理を施し、前記結合手段により当該画像処理が施された画像データと他方の画像データを結合するように制御し、

10

前記第2の画像処理モードでは、前記画像処理手段に画像処理を実行させないように制御することを特徴とする請求項1に記載の画像処理装置。

【請求項3】

前記制御手段は、前記特定された画像処理を施す画像処理手段の前段に前記分割手段、かつ後段に前記結合手段が備えられていることを条件に、前記分割手段により前記特定された画像処理において処理対象とされる画像データを分割する分割位置を決定することを特徴とする請求項1又は2に記載の画像処理装置。

【請求項4】

20

前記記憶手段の使用状況に関する情報は、前記画像処理手段におけるフレームレートに関する情報、並びに前記画像処理手段の設定に応じた前記記憶手段への書込み及び前記記憶手段からの読出しに関するデータ量に関する情報を含むことを特徴とする請求項1から3のいずれか1項に記載の画像処理装置。

【請求項5】

前記分割手段は、前記画像データの分割時に、前記画像処理手段の処理対象とする画素の周辺に位置する画素の集合を参照領域として、分割境界部に付加して分割することを特徴とする請求項1から4のいずれか1項に記載の画像処理装置。

【請求項6】

前記画像処理手段に応じた画像処理は、所定の順序に従って連続的に実行されることを特徴とする請求項1から5のいずれか1項に記載の画像処理装置。

30

【請求項7】

前記制御手段は、

少なくとも前記記憶手段の空き容量及び前記画像処理手段に応じた画像処理の処理内容に従って、

前記画像処理毎に、当該画像処理で使用される容量を前記複数の記憶手段のいずれかの記憶手段に割り振ることで、前記分割手段により画像データを分割する画像処理を特定し、

前記特定された画像処理において処理対象とされる画像データを分割する割合を制御することで前記分割位置を決定することを特徴とする請求項6に記載の画像処理装置。

【請求項8】

40

前記画像処理装置は、複数のチップで構成され、

前記複数のチップは、前段のチップの出力が後段のチップの入力に接続されるように、直列に接続されることを特徴とする請求項1から7のいずれか1項に記載の画像処理装置。

【請求項9】

前記複数のチップは、各々、前記制御手段を有し、

前記制御手段は、所定の通信経路により相互に接続され、

前記制御手段のうち、1の制御手段は、前記複数の画像処理手段の各々における画像処理モード及び前記分割位置を決定し、

前記1の制御手段は、前記所定の通信経路を介して、他の制御手段に前記決定した前記画像処理モード及び前記分割位置を通知し、

50

前記他の制御手段は、前記通知された前記画像処理モード及び前記分割位置に基づいて、前記他の制御手段に対応する前記チップを制御することを特徴とする請求項 8 に記載の画像処理装置。

【請求項 10】

前記画像処理装置は、

1 のチップで構成され、

前記分割手段の出力と当該分割手段の出力以外の出力を択一的に選択する選択手段をさらに備え、

前記分割手段が、分割処理を実行する場合には前記分割手段からの入力を選択し、分割処理を実行しない場合には他方の入力を選択して出力することを特徴とする請求項 1 から 9 のいずれか 1 項に記載の画像処理装置。

10

【請求項 11】

前記他方の画像処理手段は、複数、備えられることを特徴とする請求項 1 から 10 のいずれか 1 項に記載の画像処理装置。

【請求項 12】

複数の画像処理手段であって、当該画像処理手段に応じた画像処理を施す、複数の画像処理手段と、画像データ及び画像処理で用いられるデータを記憶する、複数の記憶手段と、画像処理を制御する制御手段と、前記制御手段の指示に従って、画像データを分割する分割手段と、画像データを結合する結合手段とを備えた画像処理装置における画像処理方法であって、

20

前記制御手段により、

前記記憶手段の使用状況に関する情報に応じて、前記分割手段により画像データを分割する画像処理を特定する特定ステップと、

前記特定された画像処理を施す画像処理手段が、前記複数の画像処理手段のうち、少なくとも 2 つ、備えられ、かつ各々、異なる記憶手段に接続されることを条件に、前記分割手段により前記特定された画像処理において処理対象とされる画像データを分割する分割位置を決定する決定ステップと、

前記分割位置に基づいて前記分割手段により少なくとも 2 つに分割された画像データのうち、一方の画像データに対して前記少なくとも 2 つの画像処理手段のうち一方の画像処理手段により画像処理を施し、前記一方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御する第 1 の制御ステップと、

30

前記結合された画像データを前記分割位置に基づいて前記分割手段により少なくとも 2 つに分割した画像データのうち、前記一方の画像処理手段により画像処理が施されていない一方の画像データに対して前記少なくとも 2 つの画像処理手段のうち他方の画像処理手段により画像処理を施し、前記他方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御する第 2 の制御ステップと

を含むことを特徴とする画像処理方法。

【請求項 13】

40

請求項 12 に記載の画像処理方法をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ帯域を好適に制御する画像処理装置に関する。

【背景技術】

【0002】

近年、LSI (Large Scale Integrated Circuit) プロセスの進化に伴う集積度の向上により、高解像度、高フレームレートの画像を 1 チップで処理することが可能となっている。但し、高解像度、高フレームレートの画像処理を行うには多くのメモリアクセスが

50

必要とされ、また、LSIの集積度の向上速度に比して、DRAM(Dynamic Random Access Memory)等のメモリの高速化の成長率は遅い状況にある。そのため、メモリ帯域の制約によっては、画像処理のすべての機能を使用することが難しくなっている。

【0003】

そこで、メモリ帯域の制約を充足させ、画像処理を行う方法として、複数のチップで画像処理を分割して実行する方法が提案されている。特許文献1には、画像を左右に分割して処理する方法が提案されている。この方法では、画像を左右に分割して処理するため、2つのLSIのメモリ帯域は均等に使用され、1チップあたりのメモリ要求帯域を約半分抑えることができる。但し、分割画像の処理チップと表示するチップが異なる場合、画像の左右反転処理、回転処理、縮小レイアウト処理等のレイアウト処理において、他のチップの分割画像を必要とするため、処理が煩雑になる。また、画像処理毎に、分割境界において、一部をオーバーラップさせて分割処理するため、そのオーバーラップ領域分のメモリ帯域が増加することになる。

10

【0004】

そこで、このような不具合に対応するため、画像処理を前後半で処理を分けて、画像処理のチップを直列に接続して処理する方法が提案されている。この方法では、画像を空間分割せずに処理を実行するため、上述のレイアウト処理が容易であり、かつオーバーラップ領域分のメモリ帯域が増加することもない。

【先行技術文献】

【特許文献】

20

【0005】

【文献】特開2009-171183号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

但し、画像処理を前後半で分ける場合も、前後半のすべての画像処理のメモリ要求帯域が、各チップの有するメモリ帯域を充足する必要がある。また、画像処理は所定の順序で行う必要があり、さらに各画像処理のメモリ要求帯域は一樣ではないことから、画像処理のメモリ要求帯域の総和はシステムのメモリ要求帯域を満たしても、各チップのメモリ要求帯域内に収まらない場合がある。加えて、入出力フォーマットや画像処理モードの設定が変更されることで、各画像処理のメモリ要求帯域は変動するため、各チップのメモリ要求帯域内に収まるように制御するのは容易ではない。

30

【0007】

本発明は、上記従来の問題に鑑みてなされたものであって、その目的は、画像処理において、メモリ帯域を好適に制御することである。

【課題を解決するための手段】

【0008】

本発明の画像処理装置は、複数の画像処理手段であって、当該画像処理手段に応じた画像処理を施す、複数の画像処理手段と、前記画像処理において用いられる複数の記憶手段と、画像処理を制御する制御手段と、前記制御手段の指示に従って、画像データを分割する分割手段と、前記制御手段の指示に従って、画像データを結合する結合手段とを備え、前記制御手段は、前記記憶手段の使用状況に関する情報に応じて、前記分割手段により画像データを分割する画像処理を特定し、前記特定された画像処理を施す画像処理手段が、前記複数の画像処理手段のうち、少なくとも2つ備えられ、かつ各々、異なる記憶手段に接続されることを条件に、前記特定された画像処理において処理対象とされる画像データを分割する分割位置を決定し、前記分割位置に基づいて前記分割手段により少なくとも2つに分割された画像データのうち、一方の画像データに対して前記少なくとも2つの画像処理手段のうち一方の画像処理手段により画像処理を施し、前記一方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御し、前記結合された画像データを前記分割位置に基づいて前記分割手段

40

50

により少なくとも2つに分割した画像データのうち、前記一方の画像処理手段により画像処理が施されていない一方の画像データに対して前記少なくとも2つの画像処理手段のうちの他方の画像処理手段により画像処理を施し、前記他方の画像処理手段により画像処理が施された一方の画像データと他方の画像データを前記結合手段により結合させるように制御することを特徴とする。

【発明の効果】

【0009】

本発明によれば、画像処理において、メモリ帯域を好適に制御することができる。

【図面の簡単な説明】

【0010】

【図1】画像処理装置の構成を示すブロック図である。

【図2】画像処理装置の制御部における処理の手順を示すフローチャートである。

【図3】メモリ帯域の割当てについて説明するための図である。

【図4】入力画像の分割とオーバーラップ領域について説明するための図である。

【図5】各画像処理の処理実行位置と処理範囲を示す図である。

【図6】メモリ帯域の割当てについて説明するための図である。

【図7】画像処理装置の動作について説明するための図である。

【図8】処理を分割して実行した場合の処理遅延について説明するための図である。

【図9】画像処理装置の構成を示すブロック図である。

【図10】メモリ帯域の割当てについて説明するための図である。

【図11】画像処理装置の構成を示すブロック図である。

【図12】メモリ帯域の割当てについて説明するための図である。

【図13】画像処理装置の構成を示すブロック図である。

【図14】画像処理装置の動作について説明するための図である。

【図15】メモリ帯域の割当てについて説明するための図である。

【図16】メモリ帯域の割当てについて説明するための図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態について、図面を参照して説明する。なお、以下の実施形態は本発明を限定するものではなく、また、本実施形態で説明されている特徴の組み合わせの全てが本発明の解決手段に必須のものとは限らない。その他、補足として、同一の構成については、同じ符号を付して説明する。

【0012】

<第1実施形態>

(システム構成及び処理)

図1は、本実施形態に係る画像処理装置の構成を示すブロック図である。図1に示されるように、画像処理装置10は、2つの同一チップ(チップ0 100a、チップ1 100b)を備え、また、チップ0 100aの出力と、チップ1 100bの入力は、直列に接続されている。なお、以下において、各々のブロックに関して、符号末尾に付される「a」は「チップ0」のブロックであることを示し、また、符号末尾に付される「b」は「チップ1」のブロックであることを示すものとする。また、チップ0 100aとチップ1 100bに共通する内容に関しては、符号末尾に「a」又は「b」を付さないで記載(説明)するものとする。

【0013】

チップ0 100a、チップ1 100bは、各々、画像処理部1 101、画像処理部2 103、画像処理部3 105、画像処理部4 106を備える。各画像処理部は、メモリ109に格納された情報を用いて画像処理を実行する第1の画像処理モードと、入力画像に対して画像処理を実行することなく、入力画像をスルーさせる(通過させる)第2の画像処理モードを有する。画像処理部1乃至4は、制御部107の指示に従って、上述の第1の画像処理モードと、第2の画像処理モードを切り替える。

10

20

30

40

50

【 0 0 1 4 】

なお、第1の画像処理モードにおいて使用するメモリ109に格納する情報は、その画像処理部自身がメモリ109に書き込んだ画像情報であってもよいし、他の画像処理部がメモリ109に書き込んだ情報を読み出して用いるようにしてもよい。また、各々の画像処理部は、例えば、IP変換、3次元ノイズリダクション、合成処理、変形処理、オーバーライブ処理、符号化処理、復号処理、ディープラーニングの手法を用いた認識処理等の各種処理を実行することができる。ここで、補足として、上述の「他の画像処理部」には不図示の画像処理部も含まれるものとし、また、上述のIP変換は、Interlaced Progressive変換の略である。

【 0 0 1 5 】

本実施形態では、各々の画像処理部は、入力画像にラスタースキャンを実行するものとして説明するが（即ち、入力画像の左上から右下までを水平に走査するものとして説明するが）、処理の仕様（処理の単位）は必ずしもこれに限定されない。したがって、例えば、入力画像を、隣接領域とのオーバーラップ領域を含む矩形分割したブロック画像を処理単位とする構成や、縦又は横方向に短冊分割した画像を処理単位とする構成とすることもできる。

【 0 0 1 6 】

また、第1の画像処理モードにおいては、さらに複数の画像処理設定を備える構成とすることもできる。例えば、メモリ109から参照画像として読み出すフレーム数が異なる複数の画像処理設定を備える構成とすることもできる。その他、第2の画像処理モードを設定する場合、その処理の消費電力を抑えるため、（スルー設定で動作する）不要な演算部の電源を遮断する構成とすることもできる。

【 0 0 1 7 】

分割部102は、入力画像を制御部107の指示に従って分割し、その分割した画像を画像処理部2103、又は結合部104に出力する。画像処理部2103において分割した画像に対して画像処理を実行する上で、画像処理部2103はフィルタ処理等で分割境界の周辺の画像（画素の集合）を参照する。そのため、分割部102は分割境界を視認させないようにオーバーラップ領域を付加して分割する。なお、分割部102は、分割位置、オーバーラップ領域に関する情報を、制御部107から取得する。

【 0 0 1 8 】

ここで、チップ0100aにおいて、分割部102aで分割し、画像処理部2103aにより出力された領域を第1領域、分割部102aにより出力された領域を第2領域とする。この場合、チップ1100bにおいて、分割部102bは、分割部102aとは逆に、処理済の第1領域を結合部104bに出力し、未処理の第2領域を画像処理部2103bに出力する。これにより、分割した画像の各々に対して、画像処理2を実行することができる。

【 0 0 1 9 】

本実施形態では、画像処理としてラスタースキャンを実行することを前提に、メモリ帯域を分散するため、入力画像を水平方向に分割するものとして説明するが、これに限るものではない。例えば、ブロック画像の入力時において、ブロック画像自体の分割を実行せず、所定の割合に応じて各ブロック画像を第1領域、第2領域として割り当てるよう制御することもできる。ここで、制御部107が、第1領域、第2領域を3:2の割合で設定するものとする。この場合において、各入力ブロック画像を順に領域1、1、2、1、1、2...のように偏ることなく設定することで、第1領域、第2領域の画像処理において、メモリ帯域を時間的に集中させることなく均等に割り振ることができる。

【 0 0 2 0 】

結合部104は、制御部107の指示に従って、画像処理部2103より出力された画像と分割部102より出力された画像を結合する。なお、本実施形態では、画像処理としてラスタースキャンを実行するため、分割部102の出力結果が1ライン期間の前半、画像処理部2103の出力結果が1ライン期間の後半に出力されるように制御するものとし

10

20

30

40

50

て説明するが、必ずしもこれに限られない。また、画像処理部 2 1 0 3 の出力結果のうち、以後の処理で使用されないオーバーラップ領域に関しては、画像処理部 2 1 0 3 又は結合部 1 0 4 において削除される。

【 0 0 2 1 】

制御部 1 0 7 は、C P U (Central Processing Unit) 等によって構成され、後述の処理フロー (制御フロー) 等に従って、チップ内の各ブロックを制御する。また、制御部 1 0 7 a と制御部 1 0 7 b は相互に通信可能なように接続されており、制御部 1 0 7 a は、制御部 1 0 7 b を制御することで、チップ 1 1 0 0 b 内の各ブロックも制御することができる。なお、各チップの制御部 1 0 7 は、例えば、P C I (Peripheral Component Interconnect) 等の各種規格に準拠して接続される。また、制御部 1 0 7 a、制御部 1 0 7 b の制御関係は逆であってもよく、制御部 1 0 7 b が制御部 1 0 7 a を制御するようにしてもよい。

10

【 0 0 2 2 】

メモリ 1 0 9 は、チップ内のバス 1 0 8 を介して画像処理部 1 乃至 4 と接続され、チップ毎に搭載される。そのため、画像処理部 2 1 0 3 a と画像処理部 2 1 0 3 b は、各々、異なるメモリ 1 0 9 a、1 0 9 b に接続される。メモリ 1 0 9 は、例えば、D D R 4 S D R A M (Double-Data-Rate4 Synchronous Dynamic Random Access Memory) 等を用いて構成される。なお、メモリ 1 0 9 a、1 0 9 b に関して、同一のメモリを用いて構成させることも、異なる動作周波数や容量のメモリを用いて構成させることもできる。また、メモリ 1 0 9 を制御するメモリコントローラ等の付属部品に関しては、公知のものを用いればよく、ここでは、その説明を省略する。

20

【 0 0 2 3 】

(画像処理の手順)

次に、本実施形態に係る画像処理装置 1 0 の制御部 1 0 7 a における処理について、図 2 に示されるフローチャートを用いて説明する。なお、フローチャートの説明における記号「S」は、ステップを表すものとする。

【 0 0 2 4 】

S 1 において、制御部 1 0 7 a は、画像処理装置 1 0 への入力フォーマットが確定すると、S 2 において、制御部 1 0 7 a は、画像処理装置 1 0 において実行する画像処理モードを確定する。画像処理モードは、各画像処理の処理内容を指定するものであり、例えば、ユーザの設定に応じて指定される。

30

【 0 0 2 5 】

S 1、S 2 において、画像処理装置 1 0 内部で実行する画像処理が確定すると、S 3 において、S 1、S 2 で確定した情報に基づいて、画像処理 1 乃至 4 で必要とされるメモリ帯域を算出する。

【 0 0 2 6 】

なお、各々の画像処理において必要とされるメモリ帯域は、例えば、画像処理の書込み、読出しに関するデータ量と、処理が成立する書込み、読出しの制約期間等から算出することができる。例えば、画像データのメモリアクセスにおいて、必要とされるメモリ帯域は、データ量として画像データの画像サイズ、各画素の B i t 深度、画像処理モード等、また、制約期間としてフレームレート、画像処理のバッファ量に基づく制約期間等から算出される。加えて、例えば、動き情報等の画像と直接的に関連性のない画像データに関するメモリアクセスの場合、必要とされるメモリ帯域は、画像処理の所定期間に書き込むデータ量、読み出すデータ量から算出される。

40

【 0 0 2 7 】

ここで、図 3 を用いて、メモリ帯域とその割当てについて説明を補足する。なお、ここでは、説明を簡略化するため、画像処理 1 乃至 4 で必要とされるメモリ帯域を、各々、符号 A 乃至 D、また、各チップの画像処理において使用可能なメモリ帯域を M と定義して説明する。

【 0 0 2 8 】

50

また、画像処理 1 乃至 4 は、以下の処理である。なお、本実施形態において、入力画像とは、各ブロック（例えば、画像処理部等）に入力された画像のことである。この点、他の説明においても同様である。

【0029】

画像処理 1 は、入力画像を一旦メモリ 109 に書き込み、その書き込んだ画像をさらに読み出し、所定の処理を実行し、その処理結果を出力する処理である。画像処理 2 は、メモリ 109 に書き込まれた画像を 1 枚、読み出して処理を施し、その処理結果をメモリ 109 に書き込み、さらに書き込んだ画像を読み出し、所定の処理を実行して出力する処理である。画像処理 3 は、メモリ 109 に格納され不図示の処理部の処理結果を読み出し、入力画像に所定の画像処理を実行して出力する処理である。画像処理 4 は、入力画像からデータを抽出し、その抽出したデータをメモリ 109 に書き込み、さらに、そのメモリ 109 に格納されたデータを読み出して、次のフレームに対して所定の画像処理を実行する。これらを踏まえると、画像処理装置 10 の各画像処理において必要とされるメモリ帯域は、図 3 (a) のように示される。

10

【0030】

図 2 に戻り、S4 において、制御部 107 a は、画像処理 1 乃至 4 を、チップ 0 100 a、チップ 1 100 b の何れのチップで実行するかを割り振る。なお、画像処理の順序に関して、画像処理 1、2、3、4 の順序に従って連続的に実行する必要がある。そのため、制御部 107 a は、チップ 0 100 a では画像処理 1 から正順に、チップ 1 100 b では画像処理 4 から逆順に割り当てる。このような順序に従って、各チップのメモリ帯域を満たすように画像処理を割り振ると、図 3 (b) に示されるようになる。即ち、画像処理 1 で使用するメモリがチップ 0 100 a のメモリ 109 a に割り当てられ、画像処理 3、4 で使用するメモリがチップ 1 100 b のメモリ 109 b に割り当てられる。

20

【0031】

次に、画像処理 2 に割り当てられるメモリ帯域について検討する。画像処理部 2 は、上述のように、メモリ 109 に格納されたフレーム画像を参照して処理を実行し、その処理結果をメモリ 109 に書き込み、さらに、その処理結果をメモリ 109 より読み出し、所定の処理を実行して出力する。そのため、例えば、画像処理部 2 103 a での画像の 1 フレーム分の書込みと 2 フレーム分の読出しは、メモリ 109 a で実行する必要がある。また、画像処理部 2 103 b での画像の 1 フレーム分の書込みと 2 フレーム分の読出しは、メモリ 109 b で実行する必要がある。即ち、画像処理部 2 103 は、自身が利用できるメモリ 109 を用いて、画像の 1 フレーム分の書込みと 2 フレーム分の読出しを実行する必要がある。

30

【0032】

このような前提を踏まえ、画像処理 2 で必要とされるメモリ帯域を全体として、何れか一方のメモリに割り当てても、本実施形態のメモリ 109 のメモリ帯域には制約があるので、図 3 (b) の破線に示されるように、メモリ帯域の空きが不足することになる。そこで、制御部 107 a は、後続の S5、S6 の処理を実行する。

【0033】

S5 において、制御部 107 a は、画像処理 2 で使用するメモリを割り当てるために、空きメモリ帯域を計算する。空きメモリ帯域は、チップ 0 100 a の空きメモリ帯域 (M - A) とチップ 1 100 b の空きメモリ帯域 (M - (C + D)) の合計で示される。

40

【0034】

S6 において、制御部 107 a は、図 3 (b) に示されるように画像処理 2 がメモリ帯域を割り当てる上で境界処理に該当するため、画像処理 2 を分割処理の対象として特定する。

【0035】

S7 において、制御部 107 a は、S6 で特定した分割境界で分割する処理を分割部 102 によって実行 (分割) 可能か否かを判定する。本実施形態では、分割処理の対象である画像処理部の前段及び後段の構成に基づいて、分割境界で分割する処理を分割部 102

50

によって実行（分割）可能かを判定する。具体的には、本実施形態では、図 1 に示されるように、画像処理部 2 の前段に分割部 1 0 2、画像処理部 2 の後段に結合部 1 0 4 が実装されていることから、制御部 1 0 7 a は、画像処理 2 における処理を分割可能と判定し、処理を S 8 に移行させる。なお、分割部 1 0 2、及び結合部 1 0 4 が実装されていない場合、制御部 1 0 7 a は、処理を S 1 0 の判定処理に移行（遷移）させる。

【 0 0 3 6 】

S 7 において、S 5 で特定した画像処理が分割可能と判定された場合、S 8 において、制御部 1 0 7 a は、S 5 で算出した各メモリの空き帯域の総和が、S 6 で特定した画像処理を分割した際の処理で使用されるメモリ要求帯域以下であるか否かを判定する。なお、画像処理 2 を分割した際に使用されるメモリ帯域は、オーバーラップ領域分のメモリ帯域が分割前から増加することで、画像処理 2 を分割しない場合より増加する。

10

【 0 0 3 7 】

ここで、図 4 に示されるように、入力画像幅を W 、画像処理 2 で使用されるオーバーラップ領域を W_{over} と定義すると、画像処理 2 の消費メモリ帯域は $(1 + 2W_{over} / W) B$ で示される。また、空きメモリ帯域の総和は $2M - (A + C + D)$ で示される。そして、この場合に、画像処理 2 の消費メモリ帯域 $(1 + 2W_{over} / W) B$ が空きメモリ帯域の総和 $(2M - (A + C + D))$ 以下である場合に、制御部 1 0 7 a は、処理を S 9 に移行させる。また、画像処理 2 の消費メモリ帯域 $(1 + 2W_{over} / W) B$ が空きメモリ帯域の総和 $(2M - (A + C + D))$ より大きい場合に画像処理 2 を分割して実行できないことから、処理を S 2 に移行させ、画像処理モードの再設定を実行する。

20

【 0 0 3 8 】

S 9 において、制御部 1 0 7 a は、画像処理 2 の分割位置を決定する。ここで、図 4 に示されるように、チップ 0 の画像処理部 2 1 0 3 a の処理領域幅を W_a 、チップ 1 の画像処理部 2 1 0 3 b の処理領域幅を W_b と定義する。この場合、画像処理部 2 の処理として、画像処理部 2 1 0 3 a は $W_a + W_{over}$ 幅の画像の画像処理を実行し、画像処理部 2 1 0 3 b は $W_b + W_{over}$ 幅の画像の画像処理を実行する。なお、幅 W の画像に対して画像処理 2 を実行する際に必要とされるメモリ帯域は B であることから、上述のように、画像処理 2 を分割した場合、 $(1 + 2W_{over} / W) B$ のメモリ帯域が必要とされる。

【 0 0 3 9 】

また、本実施形態では、分割位置を決定する上で、画像処理 3 の処理性能を向上させるため、画像処理 3 を実行するチップ 1 1 0 0 b のメモリ帯域を可能な限り空けるものとする。即ち、チップ 0 1 0 0 a の空きメモリ帯域を使い切るように、分割位置を制御（決定）するものとする。チップ 0 1 0 0 a のメモリ帯域を使い切るため、画像処理部 2 1 0 3 a の処理帯域がチップ 0 1 0 0 a の空きメモリ帯域と一致するように、即ち、 $(W_a + W_{over}) B / W = M - A$ となるように W_a を定義し、分割位置を特定（決定）する。なお、より好適には、 $W_a + W_{over}$ 幅の画像のメモリ転送時のアラインを考慮して、 W_a を定義するとよい。なお、チップ 0 1 0 0 a の空きメモリ帯域を使い切るように分割位置を制御する例を説明したが、チップ 0 1 0 0 a の空きメモリ帯域をチップ 1 1 0 0 b の空きメモリ帯域より小さくしても画像処理 3 の処理性能を向上させることができる。

30

40

【 0 0 4 0 】

画像処理部 2 1 0 3 b で処理する画像幅 W_b は、 $W - W_a$ により算出される。画像処理部 2 1 0 3 b の画像処理 2 で必要とされるメモリ帯域は、（分割時の画像処理 2 の要求帯域） - （画像処理部 2 1 0 3 a の処理帯域）、即ち、 $(1 + 2W_{over} / W) B - (M - A)$ となる。S 9 が実行されると、各チップにおいて使用されるメモリ帯域は、図 3 (c) のように示される。

【 0 0 4 1 】

S 1 0 において、制御部 1 0 7 a は、各チップのメモリ帯域が破綻するか否かを判定する。判定の結果、図 3 (c) に示されるように、各チップの使用メモリ帯域が、使用可能なメモリ帯域 M を下回ると、図 2 に示される処理を終了する。

50

【 0 0 4 2 】

ここで、図 2 に示す処理の結果として、各画像処理部において処理対象とされる画像領域と、処理順序を図 5 に示す。図 5 に示されるように、チップ 0 1 0 0 a においては、画像処理 1 を全面、及び画像処理 2 を画像幅 W_a の画像領域に対して実行し、画像幅 W_b の画像領域に対する画像処理 2、画像処理 3、及び画像処理 4 を実行しないで画像を出力するように制御する。また、チップ 1 1 0 0 b においては、画像処理 1、及び画像幅 W_a の画像領域に対する画像処理 2 を実行せず、画像処理 2 を画像幅 W_b の画像領域、画像処理 3 を全面、及び画像処理 4 を全面に対して実行して画像を出力するように制御する。なお、分割部 1 0 2 及び結合部 1 0 4 には、分割位置 W_a とオーバーラップ領域 W_{over} に関する情報が制御情報として伝達される。

10

【 0 0 4 3 】

補足として、上述の分割処理では、画像処理 2 で必要とされるメモリ帯域がチップ 0、1 の何れのメモリ帯域内にも収まらない例を用いて説明したが、ここで、画像処理 2 の処理がチップ 1 のメモリ帯域内に収まる場合の処理について、図 6 を用いて説明する。より詳細には、画像処理設定や入力フォーマットの変更に伴い、画像処理 2 で必要とされるメモリ帯域がチップ 1 のメモリ帯域内に収まり、かつチップ 0 のメモリ帯域に空きがある状態となる場合の処理について、図 6 を用いて説明する。また、上述のように、画像処理 3 の処理性能を向上させるため、可能な限りチップ 0 1 0 0 a のメモリ帯域を使用し、チップ 1 1 0 0 b のメモリ帯域を空けるようにメモリ帯域を制御するため、上述の図 2 に示される処理を、以下のように実行する。

20

【 0 0 4 4 】

まず、上述の図 2 の S 4 において、図 6 (a) に示される各画像処理で必要とされるメモリ帯域を踏まえ、画像処理の割振りを検討した結果、図 6 (b) に示されるように、画像処理 1 をチップ 0、画像処理 3、4 をチップ 1 で処理すると判定する。また、上述のように、画像処理 2 で必要とされるメモリ帯域を、チップ 0 1 0 0 a のメモリ 1 0 9 a の空きメモリ帯域に収めることはできないが、チップ 1 1 0 0 b のメモリ帯域内に収めることは可能であるものとする。

【 0 0 4 5 】

S 5 において、制御部 1 0 7 a は、各チップの空きメモリ帯域を計算する。ここで、画像処理 2、3、4 で必要とされるメモリ帯域をチップ 1 に設定した場合のチップ 1 1 0 0 b の空きメモリ帯域を $M1b$ とすると、 $M1b = M - (B + C + D)$ となる。但し、この場合、チップ 1 の空きメモリ帯域 ($M1b$) は小さくなる。即ち、画像処理 3 の描画処理に使用可能なメモリ帯域は小さく、そのため、描画性能が低下する。そこで、この場合、S 6 以降の処理において、チップ 1 1 0 0 b の空きメモリ帯域を最大化することを検討する。即ち、チップ 1 1 0 0 b の空きメモリ帯域 ($M1b$) が所定の閾値よりも小さい場合、制御部 1 0 7 a は、チップ 1 1 0 0 b の空きメモリ帯域を最大化する。

30

【 0 0 4 6 】

S 6 において、制御部 1 0 7 a は、画像処理 2 を分割処理の対象として特定する。S 7 において、制御部 1 0 7 a は、画像処理部 2 の前段に分割部 1 0 2、画像処理部 2 の後段に結合部 1 0 4 が実装されていることを条件として、画像処理 2 における処理を分割可能と判定し、処理を S 8 に移行させる。

40

【 0 0 4 7 】

S 8 において、画像処理 2 で必要とされるメモリ帯域を除いた各メモリ 1 0 9 の空きメモリ帯域の総和と、画像処理 2 を分割した際の処理で使用されるメモリ要求帯域を算出する。各メモリ 1 0 9 の空きメモリ帯域の総和は、メモリ 1 0 9 a の $M - A$ と、メモリ 1 0 9 b の $M - (C + D)$ 総和となり、また、画像処理 2 を分割した際の処理で使用されるメモリ要求帯域は、 $(1 + 2W_{over} / W) B$ となる。ここでは、画像処理 2 を分割した際の処理で使用されるメモリ要求帯域が、各メモリ 1 0 9 の空きメモリ帯域の総和以下であるものとして、処理を S 9 に移行させる。

【 0 0 4 8 】

50

S 9において、制御部 1 0 7 a は、画像処理 2 の分割位置を決定する。分割位置特定後のチップ 1 1 0 0 b の空きメモリ帯域を M 0 b とすると、 $M 0 b > M 1 b$ の場合（図 6 (c) ）、制御部 1 0 7 a は、S 9において分割結果を採用し、各画像処理部に処理結果を通知する。他方、画像処理 2 で必要とされるオーバーラップ領域が大きい等の理由により、そのオーバーラップ領域分のメモリ帯域の増加に伴い、分割前のチップ 1 1 0 0 b の空きメモリ帯域の方が大きくなる場合がある。即ち、 $M 0 b < M 1 b$ の場合（図 6 (d) ）、画像処理 2 を分割することなく（図 6 (e) ）、チップ 1 1 0 0 b で処理を実行するように、各画像処理部に処理（制御）結果を通知する。

【 0 0 4 9 】

以上、この補足では、画像処理 3 の処理性能を向上させるため、チップ 1 1 0 0 b のメモリ帯域を空けるように制御する例を示した。ここで、例えば、画像処理設定の変更等により、S 4において、画像処理 3 に使用されるメモリ帯域をチップ 0 1 0 0 a に割り振る場合、チップ 0 1 0 0 a のメモリ帯域を可能な限り空けるように制御することもできる。また、不図示の CPU の処理性能を向上させるために、特定の処理を実行する CPU が何れのチップに搭載されるかに応じて、メモリ帯域を空けるチップを制御することもできる。さらに、各チップの空き帯域を均等化するように、S 9 の分割位置を制御することもできる。

【 0 0 5 0 】

（画像処理装置における動作）

次に、図 7 を用いて、画像処理装置における動作について説明する。入出力フォーマット及び画像処理モードが確定し、上述の図 4、図 5 に示される制御部 1 0 7 の制御に基づいて、画像処理装置 1 0 は、以下のように動作する。なお、図 7 において、網掛けで示されている画像処理部 3 1 0 5 a、画像処理部 4 1 0 6 a、及び画像処理 1 1 0 1 b は、上述の制御の結果、第 2 のモードで動作し、画像処理を実行しない。

【 0 0 5 1 】

画像処理装置 1 0 に入力される画像は、不図示の入力部より画像処理部 1 1 0 1 a に入力される。画像処理 1 1 0 1 a は、入力画像をメモリ 1 0 9 a に書き込み、その書き込んだ画像をさらに読み出して所定の処理を実行し、処理結果を分割部 1 0 2 a に出力する。画像処理 1 では、メモリ 1 0 9 a の使用可能なメモリ帯域 M のうち、メモリ帯域 A を使用する。

【 0 0 5 2 】

分割部 1 0 2 a は、入力された画像に対して、制御部 1 0 7 a の指示に従って、図 4 に示されるように、幅 W の画像を幅 $W a + W o v e r$ の第 1 領域と、幅 $W b + W o v e r$ の第 2 領域に分割する。分割部 1 0 2 a は、第 1 領域の画像を画像処理部 2 1 0 3 a に出力し、第 2 領域の画像を結合部 1 0 4 a に出力する。

【 0 0 5 3 】

画像処理部 2 1 0 3 a は、1 フレーム前の第 1 領域の画像をメモリ 1 0 9 a より読み出して画像処理を実行し、処理結果をメモリ 1 0 9 a に書き込む。さらに、画像処理部 2 1 0 3 a は、メモリ 1 0 9 a より処理結果を読み出して所定の処理を実行し、その処理結果を結合部 1 0 4 a に出力する。

【 0 0 5 4 】

なお、画像処理 2 では、処理対象の画素の端部に位置する $W o v e r$ 画素についても、フレーム内を参照した処理を実行する。即ち、分割境界においても非分割時と同等の処理を実行するため、分割境界部において、分割部 1 0 2 a で付加した分割境界のオーバーラップ領域 $W o v e r$ を参照画像として用いる。補足として、オーバーラップ領域 $W o v e r$ は画像処理 2 の参照領域として付加されるため、画像処理 2 が完了すると、オーバーラップ領域 $W o v e r$ を不要な領域として処理する。

【 0 0 5 5 】

なお、チップ 0 1 0 0 a では、上述のように、画像処理 1 と画像処理 2 に必要とされるメモリ帯域がメモリ 1 0 9 a のメモリ帯域と等しくなるように、画像処理 2 を分割してい

10

20

30

40

50

るため、画像処理2で使用されるメモリ帯域は、M - Aとなる。また、画像処理2に要する処理時間をT p r o cと定義すると、画像処理部2 1 0 3 aは入力からT p r o c時間経過後に画像処理結果を出力する。

【0056】

結合部1 0 4 aは、画像処理部2 1 0 3 aから出力された第1領域の処理結果と、分割部1 0 2 aから出力された第2領域の画像を結合する。ここで、第1領域のうち、境界部の幅W o v e rは上述のように不要であることから、切り捨て処理を実行し、第2領域と結合する。

【0057】

また、結合処理では、分割部1 0 2 aの出力を先に、画像処理2 1 0 3 aの出力を後にして結合する。第1領域の画像は、画像処理2の処理結果、第2領域の同一ラインよりT p r o c時間、遅延して結合部1 0 4 aに入力されるため、図8 (b)に示されるように垂直座標がずれた状態で結合した画像が出力される。

10

【0058】

結合部1 0 4 aから出力された画像は、第2の画像処理モードに設定されている画像処理部3 1 0 5 aと画像処理部4 1 0 6 aに入力されるが、画像処理3、画像処理4のいずれも実行されることなく、不図示の出力部より出力される。そして、その出力された画像は、チップ1 1 0 0 bの不図示の入力部に入力される。

【0059】

チップ1 1 0 0 bに入力された画像は、第2の画像処理モードに設定されている画像処理部1 1 0 1 bに入力されるが、画像処理1が実行されることなく、分割部1 0 2 bに出力される。分割部1 0 2 bは、制御部1 0 7 bからの指示に基づいて、幅W aの第1領域と、幅W b + W o v e rの第2領域に分割し、第1領域を結合部1 0 4 bに、第2領域を画像処理部2 1 0 3 bに出力する。

20

【0060】

画像処理部2 1 0 3 bは、第2領域に対して画像処理部2 1 0 3 aにおける画像処理2と同様の画像処理を実行し、その処理結果を、結合部1 0 4 bに出力する。なお、第2領域のうち、分割境界部のオーバーラップ領域W o v e rを不要な領域として処理する。また、画像処理部2 1 0 3 bにおいても、画像処理部2 1 0 3 aと同様にT p r o c時間経過後に処理結果を出力する。

30

【0061】

結合部1 0 4 bは、分割部1 0 2 bから出力された第1領域の画像と、画像処理部2 1 0 3 bから出力される第2領域の処理結果(画像)のうち、オーバーラップ領域W o v e rを除いた画像を結合する。ここで、分割部1 0 2 bの時点における第1領域と第2領域の垂直方向のずれ(T p r o c)は、画像処理2を第2領域に実行することで(画像処理2の処理時間、遅延することで)、解消される。

【0062】

したがって、図8 (c)に示されるように、結合部1 0 4 bは、第1領域、第2領域の出力結果を内部に備える不図示のラインバッファを用いて結合し、その結合した結果を画像処理部3 1 0 5 bに出力する。なお、この時点で、入力画像に対して画像処理1、2を分割せずに実行した場合と同等の処理結果が取得される。

40

【0063】

画像処理部3 1 0 5 bは、入力画像に対して、メモリ1 0 9 bに格納された不図示の処理部の処理結果を読み出し、入力画像に対して所定の画像処理を実行する。ここで、例えば、画像処理部3 1 0 5 bが、ユーザインターフェイス等のグラフィックを合成する機能を備え、不図示の他の処理部がグラフィックの描画処理をメモリ1 0 9 bの空き帯域を利用して実行したものとす。この場合、画像処理2を可能な限りメモリ1 0 9 aのメモリ帯域を使用して処理し、メモリ1 0 9 bのメモリ帯域を空けることで、描画処理に使用可能なメモリ帯域を増加させることができ、その結果、描画性能を向上させることができる。

【0064】

50

画像処理部 3 1 0 5 b は、画像処理部 4 1 0 6 b に処理結果を出力する。画像処理部 4 1 0 6 b は、入力画像からデータを抽出し、その抽出したデータをメモリ 1 0 9 b に書き込み、さらに、メモリ 1 0 9 b に格納されたデータを読み出して、次のフレームに対して所定の画像処理を実行する。画像処理部 4 1 0 6 b は、処理結果を、画像処理装置 1 0 の不図示の液晶パネル等の表示部、不図示の出力部、又は不図示の符号化部や記録部等、画像処理装置の形態に応じて出力する。

【 0 0 6 5 】

以上、説明したように、本実施形態によれば、画像処理において、メモリ帯域を好適に制御することができる。この点、上述で説明した内容を踏まえ、以下に補足する。まず、入力画像を、オーバーラップ領域を有する状態で、左右の画像に均等に分割して、画像処理を実行する場合を検討する。この場合において、画像の分割処理を各々の画像処理で実行するとき、メモリ帯域として、各画像処理における境界処理に必要とされるオーバーラップ領域を合算して付加する必要がある。この場合、例えば、変形処理等の参照領域が大きいと、分割時に付加するオーバーラップ領域も大きくなり、必要とされるメモリ帯域が増加する。そのため、一部の分割区間でのみオーバーラップ領域を付加して分割処理を実行する本実施形態と比して、付加されるオーバーラップ領域が大きくなり、詰まりは、必要なメモリ帯域が大きくなる。

10

【 0 0 6 6 】

また、本実施形態のように、分割部 1 0 2、結合部 1 0 4 を備えることなく、チップを直列接続して画像処理装置を構成させた場合、図 3 に示されるように、画像処理 2 に必要とされるメモリ帯域を適切に割り当てることができない。そのため、実行する画像処理の縮減、又は、より高速なメモリを用いたメモリ帯域の増強が必要とされる。

20

【 0 0 6 7 】

但し、前者、即ち、実行する画像処理を縮減する場合には画質が劣化し、また、後者、即ち、より高速なメモリを用いてメモリ帯域を増強する場合、製造コストの上昇を伴うこととなる。他方、本実施形態に係る画像処理装置では、画像処理の一部区間において画像を領域分割し、メモリ帯域の使用状況に応じて分割位置を可変とすることで、メモリ帯域の破綻を回避している。そのため、上述のような画質の劣化、また、コストの上昇を回避することができる。

【 0 0 6 8 】

< 第 2 実施形態 >

次に、図 9 の画像処理装置の構成を示すブロック図を用いて、第 2 実施形態について説明する。上述の第 1 実施形態においては、分割部 1 0 2、及び結合部 1 0 4 を画像処理部 2 1 0 3 の前後においてのみ配置する構成として説明した。そこで、第 2 実施形態では、より分割位置の制約を緩和するため、各画像処理部の前段に分割部と後段に結合部を具備させた構成とする。

30

【 0 0 6 9 】

図 1 0 に、メモリ帯域とその割当てについて説明を補足する。なお、ここでは、画像処理 1 はメモリ 2 0 9 へのアクセスを実行しない処理とし、画像処理 2、画像処理 3、及び画像処理 4 はメモリ 2 0 9 へのアクセスを実行する処理とする。ここで、図 1 0 に示されるように、画像処理 4 で使用されるメモリ要求帯域 D は、各メモリの使用可能なメモリ帯域 M を超えるため、処理を分割して実行しなければ、メモリ帯域の制約を満たすことはできない。

40

【 0 0 7 0 】

ここで、第 1 実施形態のように画像処理 2 のみを分割する構成においては、メモリ要求帯域を満たせず、画像処理 4 の処理モードをよりメモリ帯域を使用しないモードに変更する必要があるが、本実施形態では、画像処理 4 を分割する。即ち、本実施形態においては、上述の図 2 の S 4 の割振りの結果、図 1 0 (b) に示されるように、画像処理 2、3 がチップ 0 のメモリに割り振られ、S 6 において、画像処理 4 が分割対象として特定される。

【 0 0 7 1 】

50

S 7において、第 1 実施形態と異なり、画像処理部 4 2 0 6 の前段に分割部 2 0 2 4、後段に結合部 2 0 4 4 を具備させていることから、制御部 2 0 7 は、処理を S 8 に移行させる。

【 0 0 7 2 】

S 8において、画像処理 4 で必要とされるメモリ帯域を除いた各メモリ 2 0 9 の空きメモリ帯域の総和と、画像処理 4 を分割した際の処理で使用されるメモリ要求帯域を算出する。図 1 0 では、空きメモリ帯域が画像処理 4 の分割時のメモリ要求帯域より大きいと判定し、S 9において、画像処理 4 における画像の分割位置を決定する。S 9における分割位置を決定する処理は、上述の実施形態 1 と同様であることから、ここでは、その説明を省略する。

10

【 0 0 7 3 】

S 9で分割位置を決定した結果、各チップにおいて画像処理で必要とされるメモリ帯域は、図 1 0 (c) に示されるようになり、各チップにおける画像処理のメモリ要求帯域は、各々、各メモリの使用可能なメモリ帯域 M 以下となる。そのため、制御部 2 0 7 は、図 2 に示される処理を終了する。

【 0 0 7 4 】

以上、説明したように、メモリアクセスを実行する画像処理部毎に、前段に分割部、及び後段に結合部を備える構成とすることで、より柔軟にメモリ帯域を制御することができる。

【 0 0 7 5 】

なお、分割部及び結合部を具備させることに伴い回路規模が増加するようであれば、システム上、処理の分割境界となり得ない画像処理（画像処理部）においては、分割部及び結合部を具備させないように構成させればよい。例えば、画像処理 1 の最大メモリ要求帯域が使用可能なメモリ帯域 M 以下の場合、画像処理 1 の前後に分割部及び結合部を設けても使用されないため、この場合には、分割部及び結合部を挿入しないことが望ましい。

20

【 0 0 7 6 】

また、これまで、2 つのチップを直列に接続する構成で説明したが、より多くのチップを直列に接続する場合においても同様に、メモリ帯域の空き状況によってチップを跨いで画像処理を実行する場合に、上述の分割処理及び結合処理を実行することができる。

【 0 0 7 7 】

< 第 3 実施形態 >

上述の実施形態では、複数の同一チップを直列に接続する形態について説明した。本実施形態では、直列に接続される 2 つのチップにおいて実行される画像処理は異なるが、一部の画像処理部（画像処理回路）が両チップに実装されている場合に、チップのメモリ帯域を好適に制御できることについて説明する。即ち、2 つのチップの構成が異なる場合においても、上述の第 1 実施形態と同様に、2 つのチップにおいて、共通に備える画像処理部における画像処理で分割処理を施すことで、チップのメモリ帯域を好適に制御できることについて説明する。

30

【 0 0 7 8 】

図 1 1 は、画像処理装置 3 0 の構成を示すブロック図である。画像処理装置 3 0 は、チップ 0 3 0 0 とチップ 1 3 0 1 を直列に接続することにより構成される。チップ 0 3 0 0 及びチップ 1 3 0 1 は、同一の構成である画像処理部（画像処理部 2 3 0 4）を各々、備え、画像処理部 2 3 0 4 の前段に分割部 3 0 3 と後段に結合部 3 0 5 を備える。

40

【 0 0 7 9 】

画像処理装置 3 0 の構成において、チップ 0 3 0 0 の画像処理部 2、及び画像処理部 5 は、バス 3 0 6 を介して、メモリ 3 0 7 に接続される。チップ 1 3 0 1 においても同様に、画像処理部 1 乃至 4 の各々は、バス 3 1 0 を介して、メモリ 3 1 1 に接続される。また、チップ 0 3 0 0 の制御部 3 1 2 は、チップ 0 3 0 0 の各処理部に接続され、かつ、チップ 1 3 0 1 の制御部 3 1 3 との通信インターフェイス（通信経路）を備える。チップ 1 3 0 1 の制御部 3 1 3 も同様に、チップ 1 3 0 1 の各処理部に接続され、かつ、チップ 0

50

300の制御部312とインターフェイスを介して接続される。

【0080】

なお、図11に示される構成は、例えば、先にチップ1301が開発され、その後に画像処理1308を画像処理5302に更新するために、チップ0300をFPGA等を実装し、画像処理装置30を構成させる場合等を想定している。補足として、FPGAは、Field-Programmable Gate Arrayの略で、その他、FPGAの代わりに、新規のLSIを実装することもできる。

【0081】

以下、上述の図2のフローチャートを用いて、本実施形態に係る画像処理装置30の制御部312における処理について説明する。なお、上述の実施形態と同様の処理については、その説明を省略する。

10

【0082】

S3において、画像処理2乃至5で必要とされるメモリ帯域を算出する。ここで、図12(図12(a))に、画像処理装置30の各画像処理のメモリ要求帯域を示す。なお、本実施形態では、画像処理部1308を使用しないことから、画像処理1のメモリ要求帯域は0である。

【0083】

S4において、制御部312は、画像処理2乃至5を何れのチップで実行するかを割り振る。なお、ここでは、メモリ307の使用可能なメモリ帯域をM0、メモリ311の使用可能なメモリ帯域をM1とし、各々、異なるメモリ帯域を有するものとして説明する。

20

【0084】

図12(b)に示されるように、制御部312は、チップ0300のメモリに画像処理5に使用されるメモリ帯域を、チップ1301のメモリに画像処理3、4に使用されるメモリ帯域を割り振る。但し、画像処理2に使用されるメモリ帯域に関しては、分割しなければ、何れのチップのメモリにも割り振ることができない。そこで、S5において、画像処理2で必要とされるメモリ帯域を除いた各メモリの空きメモリ帯域を算出した後に、S6において、画像処理2を分割処理の対象として特定する。

【0085】

S7において、制御部312は、チップ0300、チップ1301の双方において、画像処理部2の前段に分割部303、後段に結合部305が具備されていることから、画像処理2を分割可能と判定する。S8において、制御部312は、S5で算出した各メモリの空きメモリ帯域の総和が、S6で特定した画像処理2を分割した際の処理で使用されるメモリ要求帯域以下であるか否かを判定する。ここでは、画像処理2を分割した際の処理で使用されるメモリ要求帯域の方が小さいと判定し、処理をS9に移行させる。

30

【0086】

S9において、制御部107aは、メモリ307のメモリ帯域を最大に使用されるように、画像処理2の分割位置を決定する。なお、分割位置の決定に関して、上述の第1実施形態と同様であるが、上述の第1実施形態では各メモリのメモリ帯域は同じであったが、本実施形態では、各メモリのメモリ帯域が異なる点を考慮する。S9の処理を実行した結果として、図12(c)に示されるように、メモリ307の空きメモリ帯域は0、メモリ311の空きメモリ帯域は $M1 - (A + B + C + D - M0)$ となる。

40

【0087】

S10において、制御部312は、各チップのメモリ帯域が破綻するか否かを判定する。判定の結果、図12(c)に示されるように、各チップの使用メモリ帯域が、使用可能なメモリ帯域を下回ることから、図2に示される処理を終了する。

【0088】

以上、説明したように、異なる種類のチップが直列に接続される構成においても、同一の画像処理部を備え、その前段に分割部、後段に結合部が具備される構成であれば、メモリ帯域を好適に制御することができる。

【0089】

50

< 第 4 実施形態 >

次に、図 13 の画像処理装置の構成を示すブロック図を用いて、第 4 実施形態について説明する。画像処理装置 40 は、1 つの入力を処理する機能と、2 つの入力を 1 画面に合成する機能の 2 つの機能を備え、制御部 407 の指示に従って、処理を切り替える。

【0090】

画像処理装置 40 を構成するチップ 400 は、画像処理部 1401、画像処理部 2403、画像処理部 3405、画像処理部 4406 を備え、各々、画像処理時にメモリ 409 にアクセスする。なお、メモリ 409 (メモリ 409a、メモリ 409b) のうち、メモリ 409a、メモリ 409b の何れのメモリにアクセスするかに関しては、各画像処理のアドレス設定によって切り替えられる。

10

【0091】

また、画像処理 1401 と画像処理 2403 は、2 つの同一の画像処理回路を備える (即ち、画像処理 1401 に関して画像処理 1401a と画像処理 1401b、画像処理 2403 に関して画像処理 2403a と画像処理 2403b を備える。) さらに、画像処理 2403a は、画像処理 2403a の前段に分割部 402、画像処理 2403a の後段に結合部 404 を備える。その他、画像処理装置 40 は選択部 410 を備え、画像処理部 1401b と分割部 402 の出力を画像処理部 2403b に択一的に選択して出力する。

【0092】

まず、2 画面を合成して表示する処理に関して、図 14 (a) を用いて説明する。なお、以下の説明において、2 つの入力を入力 A、入力 B として説明する。入力 A は、不図示の入力部より、画像処理部 1401a に入力され、画像処理 1 を実行後、分割部 402 に出力する。分割部 402 は、分割処理を実行せず、画像処理部 2403a に画像処理 1 が施された入力 A を出力する。

20

【0093】

画像処理部 2403a は、画像処理 1 が施された入力 A に対して画像処理 2 を実行し、その実行結果を結合部 404 に出力する。結合部 404 は、画像処理 1 及び画像処理 2 が施された入力 A に対して結合処理を行うことなく、画像処理 3405 に出力する。

【0094】

次に、入力 B は、不図示の入力部より、画像処理部 1401b に入力され、画像処理 1 を実行後、選択部 410 に出力する。選択部 410 は、画像処理部 1401b からの出力を選択するよう動作し、画像処理 1 が施された入力 B を画像処理 2403b に出力する。画像処理 2403b は、画像処理 1 が施された入力 B に対して画像処理 2 を実行し、その実行結果を画像処理 3405 に出力する。

30

【0095】

続いて、画像処理部 3405 は、画像処理 1 及び画像処理 2 が施された入力 A、画像処理 1 及び画像処理 2 が施された入力 B を各々、メモリ 409 に書き込む。その後、各入力画像を所定の位置にレイアウトしながら、メモリ 409 に格納された入力 A、入力 B 及びグラフィックを読み出して合成し、画像処理 4406 に出力する。画像処理部 4406 は、その合成処理が施された結果に対して、画像処理 4 を実行し、その実行結果を出力する。

40

【0096】

補足として、図 15 を用いて、メモリ 409 と画像処理装置 40 の各画像処理のメモリ要求帯域について説明する。図 15 (a) に、画像処理装置 40 の各画像処理のメモリ要求帯域を示す。また、図 15 (b) に示されるように、各画像処理におけるメモリアクセスは、画像処理 1、画像処理 2 で使用されるメモリ帯域をメモリ 409a、画像処理 3、画像処理 4 で使用されるメモリ帯域をメモリ 409b に割り振ると、メモリ帯域は破綻しない。

【0097】

次に、1 つの入力に関する処理に関して、図 14 (b) を用いて説明する。不図示の入

50

力部より入力された画像（以下、入力画像とも称する）は、画像処理部 1 4 0 1 a で画像処理 1 を実行し、その実行結果を分割部 4 0 2 に出力する。

【 0 0 9 8 】

分割部 4 0 2 は、後述の制御部 4 0 7 の判定処理に従って、画像処理 1 が施された入力画像を第 1 領域と第 2 領域に分割する。分割後の第 1 領域は画像処理部 2 4 0 3 a に出力され、分割後の第 2 領域は選択部 4 1 0 に出力される。選択部 4 1 0 は、画像処理部 1 4 0 1 b からの出力以外の出力、つまりは、分割部 4 0 2 からの出力（即ち、第 2 領域）を選択し、画像処理部 2 4 0 3 a に出力する。

【 0 0 9 9 】

画像処理部 2 4 0 3 の各々（即ち、画像処理部 2 4 0 3 a、画像処理部 2 4 0 3 a）には、制御部 4 0 7 により同一の動作モードが設定される。画像処理部 2 は、分割後の第 1 領域の画像に対して所定の画像処理を実行し、その実行結果を結合部 4 0 4 に出力する。ここでは、画像処理部 2 4 0 3 a はメモリ 4 0 9 a を使用し、画像処理部 2 4 0 3 b はメモリ 4 0 9 b を使用するように制御される。

10

【 0 1 0 0 】

結合部 4 0 4 は、分割部 4 0 2 で分割された第 1 領域、第 2 領域を結合し、その結合した結果を画像処理部 3 4 0 5 に出力する。画像処理部 3 4 0 5 は、メモリ 4 0 9 b よりグラフィックを読み出して、結合部 4 0 4 により結合された画像に合成し、その合成した結果を画像処理部 4 4 0 6 に出力する。なお、合成するグラフィックデータは不図示の描画部によって生成され、描画処理はメモリ 4 0 9 b の空きメモリ帯域を使用して実行される。画像処理部 4 4 0 6 は、メモリ 4 0 9 b を使用した所定の画像処理を実行し、その実行結果を出力する。

20

【 0 1 0 1 】

以下、上述の図 2 のフローチャートを用いて、本実施形態に係る画像処理装置 4 0 の制御部 4 0 7 における処理について説明する。上述の第 1 実施形態ではメモリが異なるチップに搭載されていたが、本実施形態では、同一のチップに 2 つのメモリが搭載され、その 2 つのメモリにおいてメモリ帯域の割り当てを実施する点で、第 1 実施形態とは異なる。

【 0 1 0 2 】

S 3 において、制御部 4 0 7 は、入力フォーマット、及び画像処理モードが確定すると（S 1、S 2）、画像処理 1 乃至 4 のメモリ要求帯域が確定する。ここで、図 1 6（図 1 6（a））に、画像処理装置 4 0 の各画像処理のメモリ要求帯域を示す。なお、図 1 6（b）、（c）に関しては、上述の第 1 実施形態の図 3 と同様であることから、ここでは、その説明を省略する。

30

【 0 1 0 3 】

S 4 において、制御部 4 0 7 は、画像処理 1 乃至 4 を、メモリ 4 0 9 a、メモリ 4 0 9 b の何れのチップで実行するかを割り振る。本実施形態では、各画像処理が同一のチップ内で実行されるため、第 1 実施形態と異なり画像処理の順序を考慮した割り当ては不要であるが、画像処理 3 の処理能力を最大化するように、可能な限り、画像処理 3 が割り当てられる空きメモリ帯域を最大化する。この場合、例えば、図 1 6（b）に示されるようにメモリ 4 0 9 a に画像処理 1 を割り当てる場合や、図 1 6（d）に示されるようにメモリ 4 0 9 a に画像処理 1、4 を割り当てる場合等が想定される。

40

【 0 1 0 4 】

S 5 において、メモリ 4 0 9 の空きメモリ帯域を算出し、S 6 において、画像処理 2 を分割処理の対象として特定する。ここで、図 1 6（d）の割振りを選択した場合、画像処理 2 をメモリ 4 0 9 b に割り振ることで、メモリ帯域の制約を満たした状態で処理が実行することができるが、可能な限り、メモリ 4 0 9 b の帯域を空けるため、画像処理 2 の分割処理を検討する。

【 0 1 0 5 】

S 7 において、画像処理部 2 4 0 3 の前段に分割部 4 0 2、後段に結合部 4 0 4 が実装されていることから、画像処理 2 における処理を分割可能と判定する。次に、S 8、S 9

50

において、上述の処理の手順に従って、画像処理部 2 4 0 3 において処理対象とする画像の分割位置を特定し、図 1 6 (c)、(e) に示されるように、分割位置 $W a$ 、オーバーラップ領域 $W o v e r$ を確定する。その結果、S 1 0 において、各メモリ帯域は破綻しないと判定され、判定処理を終了する。

【 0 1 0 6 】

以上、説明したように、複数のチップを直列に接続する構成のみならず、チップ内で同一の画像処理部を複数、備える構成においても、メモリの使用状況に応じて画像処理に使用されるメモリ帯域を割り当てることで、メモリ帯域を好適に制御することができる。

【 0 1 0 7 】

< その他の実施形態 >

なお、上述の実施形態において、画像処理部 1 - 4 は、メモリアクセスに関して異なる処理を実行するものとして説明したが、同様の処理を行うようにしてもよい。

【 0 1 0 8 】

本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路（例えば、A S I C）によっても実現可能である。

【 符号の説明 】

【 0 1 0 9 】

- 1 0 画像処理装置
- 1 0 0 a チップ 0
- 1 0 0 b チップ 1
- 1 0 1 画像処理部 1
- 1 0 2 分割部
- 1 0 3 画像処理部 2
- 1 0 4 結合部
- 1 0 5 画像処理部 3
- 1 0 6 画像処理部 4
- 1 0 7 制御部
- 1 0 8 バス
- 1 0 9 メモリ

10

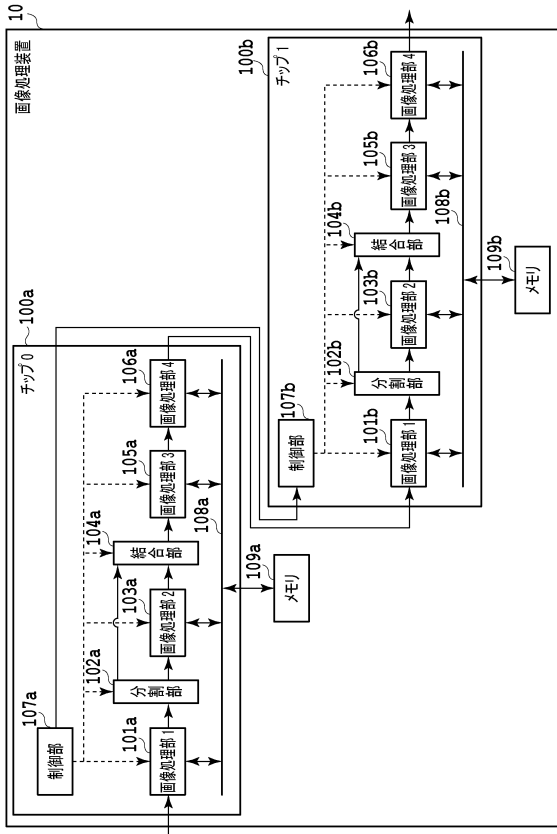
20

30

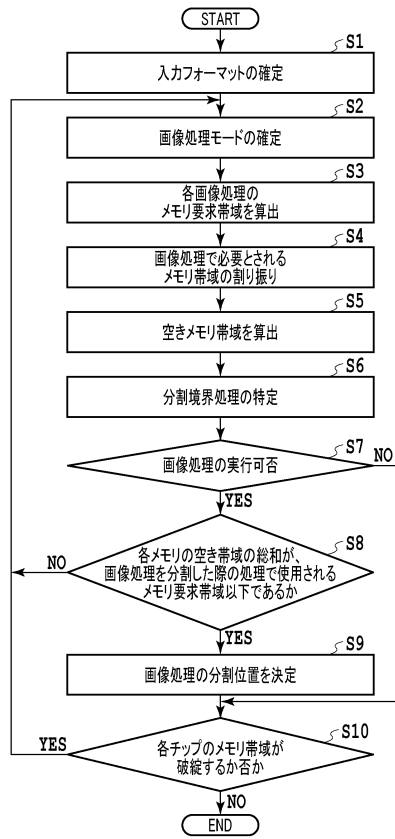
40

50

【図面】
【図 1】



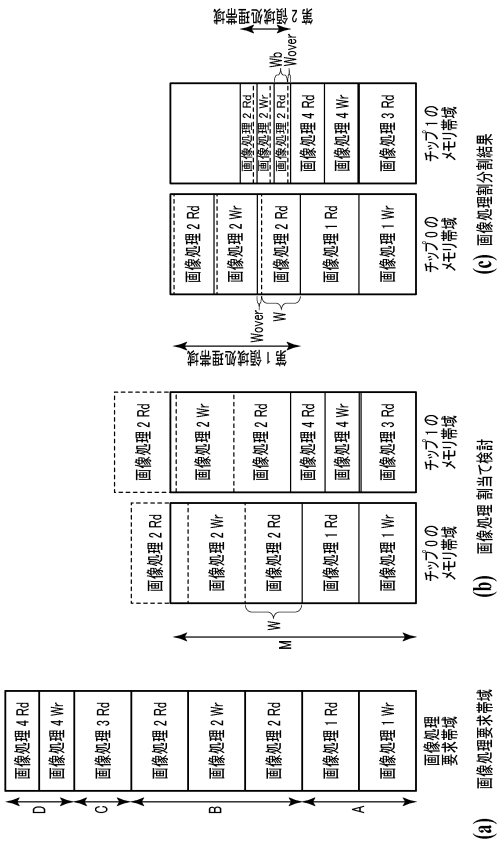
【図 2】



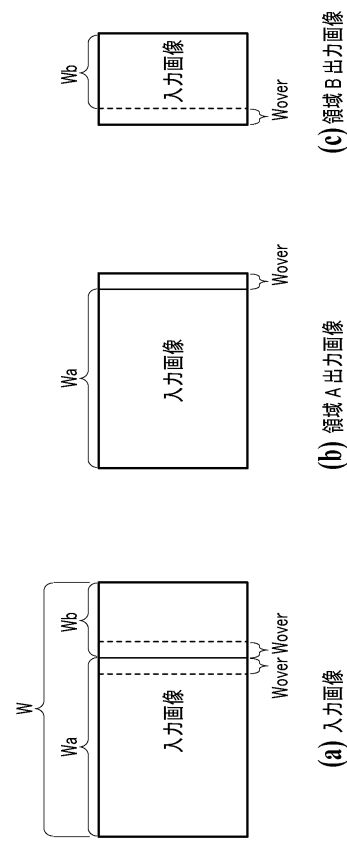
10

20

【図 3】



【図 4】

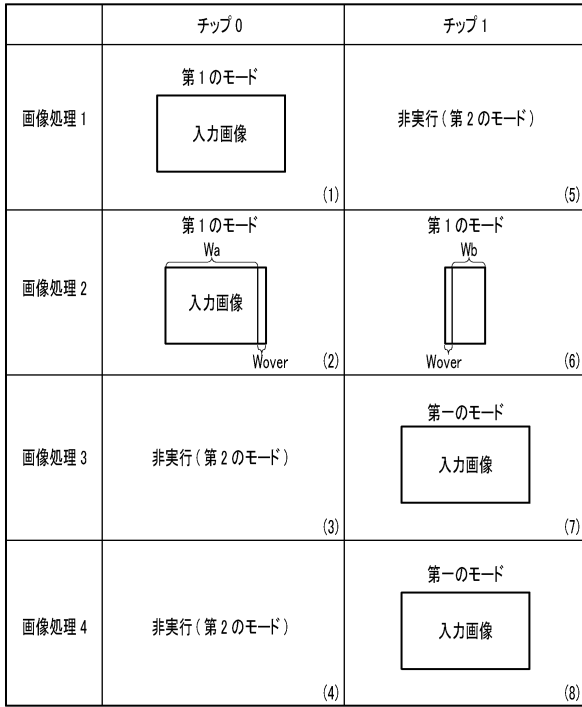


30

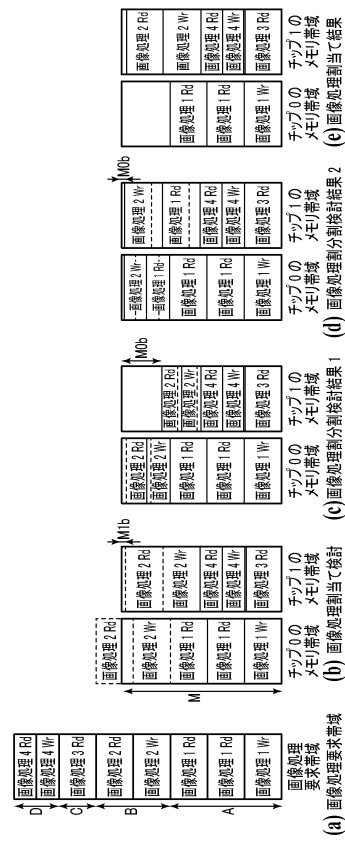
40

50

【図 5】



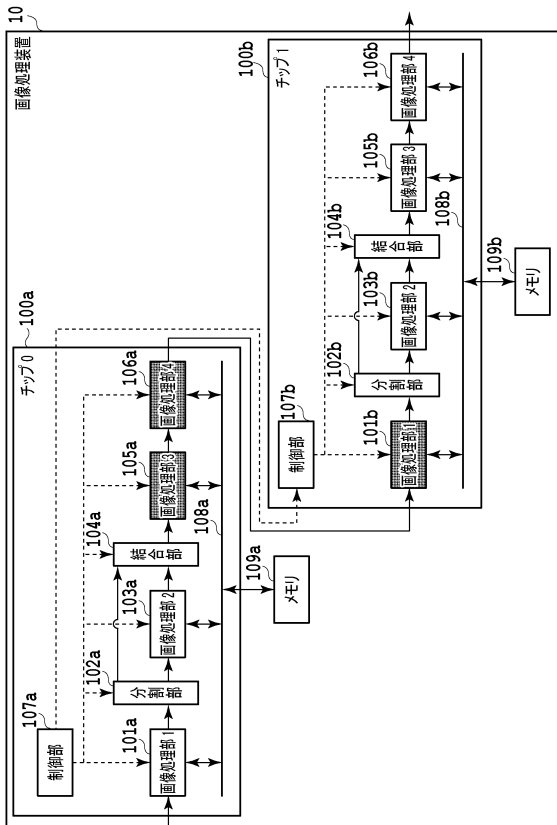
【図 6】



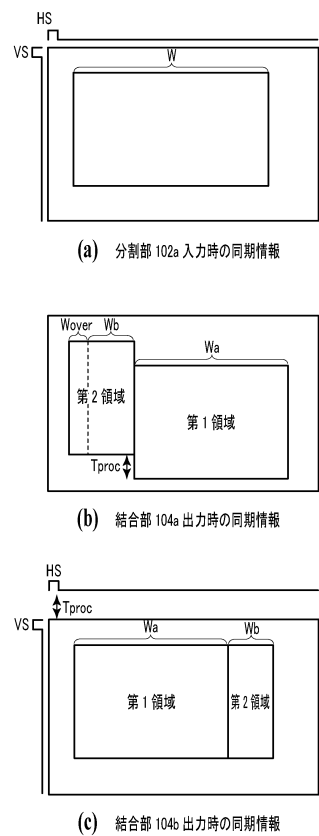
10

20

【図 7】



【図 8】

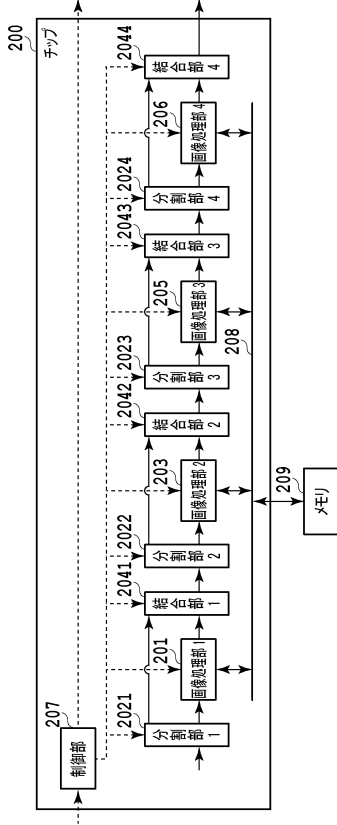


30

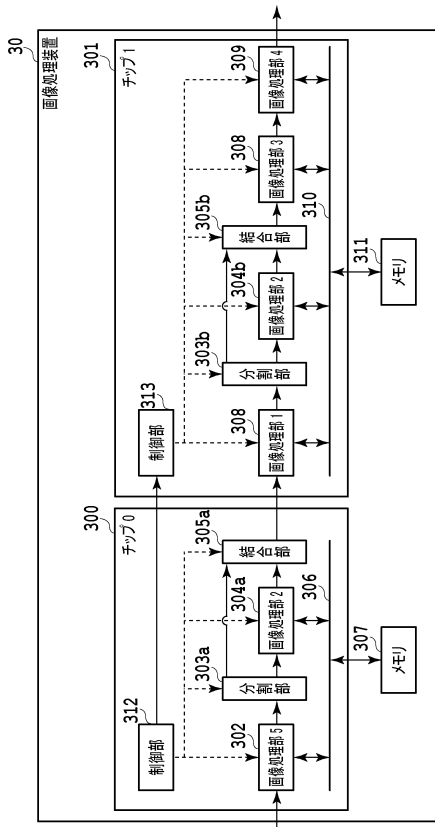
40

50

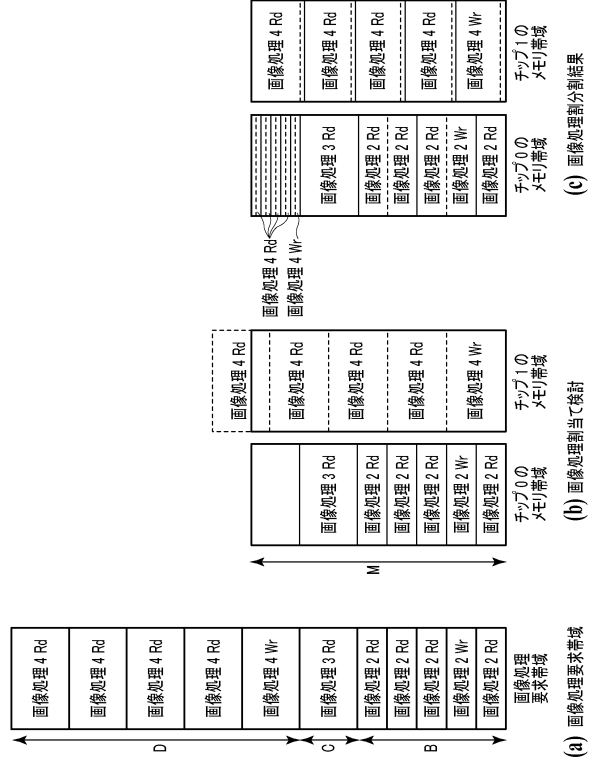
【図 9】



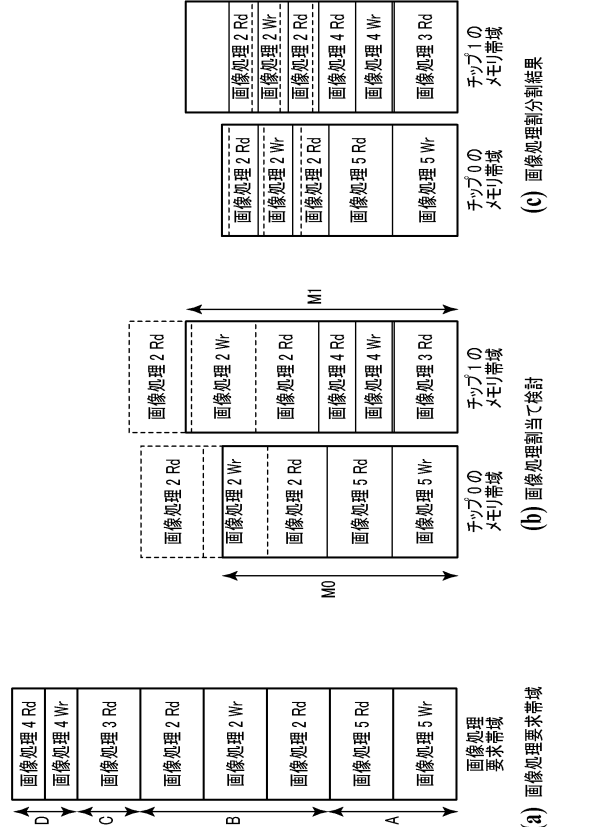
【図 11】



【図 10】



【図 12】



10

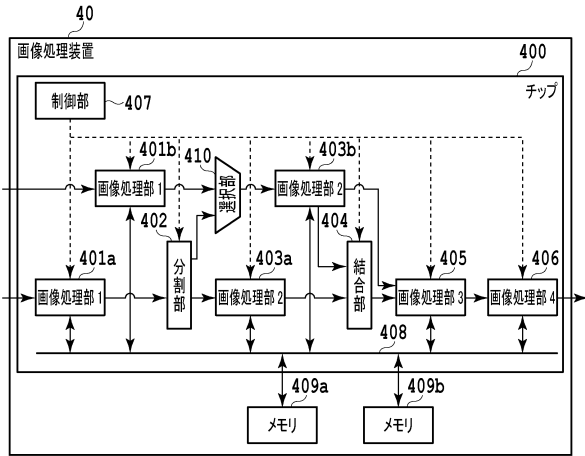
20

30

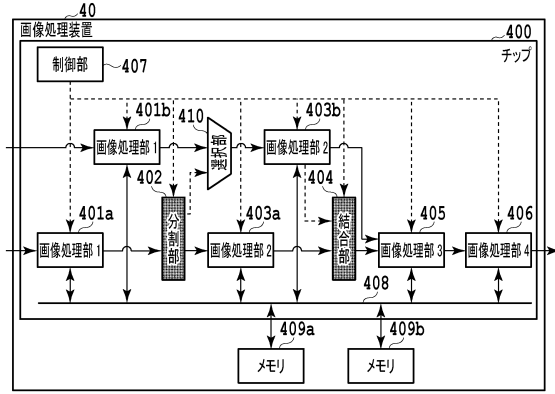
40

50

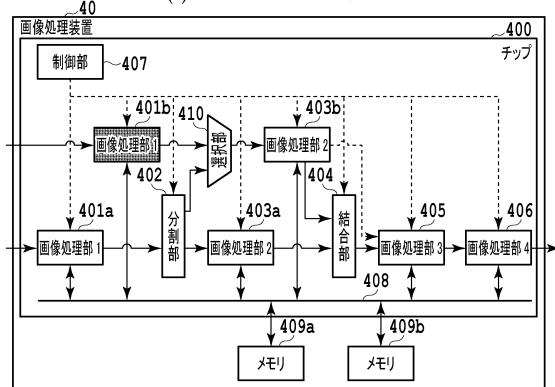
【 図 1 3 】



【 図 1 4 】

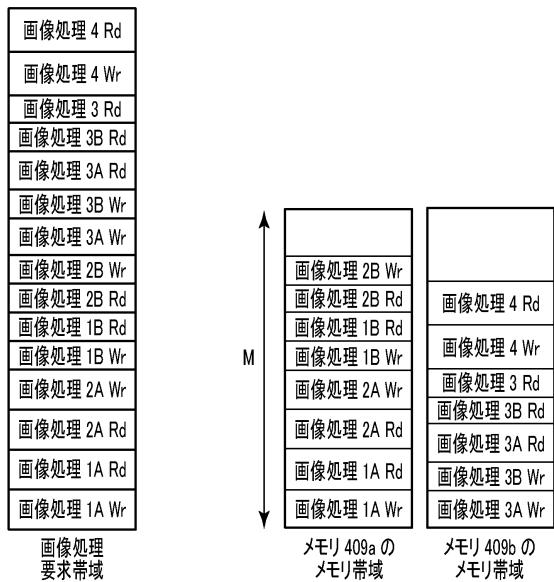


(a) 2画面合成動作時の画像処理装置の動作



(b) 1入力処理時の画像処理装置の動作

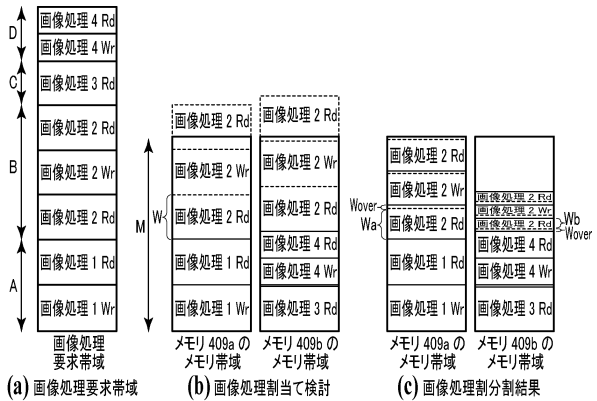
【 図 1 5 】



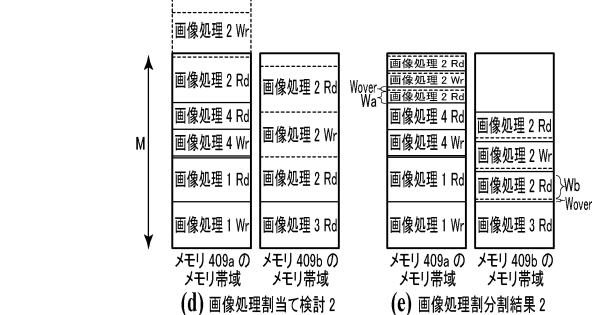
(a) 画像処理要求帯域

(b) 画像処理割当て検討

【 図 1 6 】



【 図 1 6 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 7 - 0 5 4 2 6 3 (J P , A)
特開平 1 0 - 1 6 4 5 8 4 (J P , A)
特開 2 0 1 5 - 2 1 0 3 7 5 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
G 0 6 T 1 / 2 0