



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월04일
 (11) 등록번호 10-0849923
 (24) 등록일자 2008년07월28일

(51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 (21) 출원번호 10-2007-0053311
 (22) 출원일자 2007년05월31일
 심사청구일자 2007년05월31일
 (65) 공개번호 10-2008-0052217
 (43) 공개일자 2008년06월11일
 (30) 우선권주장
 1020060122742 2006년12월06일 대한민국(KR)
 (56) 선행기술조사문헌
 JP2005203642 A
 KR1019920010674 B1
 JP2001053083 A

(73) 특허권자
 한국전자통신연구원
 대전 유성구 가정동 161번지
 (72) 발명자
 윤형섭
 대전 유성구 신성동 하나아파트 106-202
 심재엽
 대전 유성구 하기동 512 송림마을 107-302
 (뒷면에 계속)
 (74) 대리인
 신영무

전체 청구항 수 : 총 12 항

심사관 : 김주식

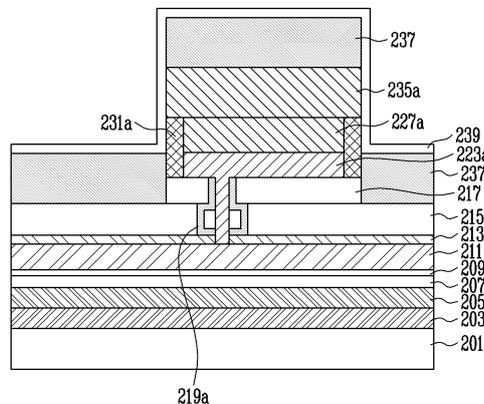
(54) 화합물 반도체소자의 제작방법

(57) 요약

본 발명은 기판 상에 형성된 버퍼층, 채널층, 스페이서층 및 쇼트키층을 포함하는 화합물 반도체 소자의 제조 방법에 관한 것이다. 본 화합물 반도체 소자의 제조 방법은 상기 쇼트키층 상에 식각 정지층 및 오믹층을 형성하는 단계; 상기 오믹층 상에 질화막을 형성하는 단계; 상기 질화막을 패터닝하여 미세 게이트 패턴을 형성하는 단계; 상기 미세 게이트 패턴을 이용하여 상기 오믹층을 선택적으로 식각하여 제1 게이트 리세스를 형성하는 단계; 상기 제1 게이트 리세스가 형성된 다음, 상기 질화막 상에 산화막을 증착하여 산화막 스페이서를 형성하는 단계; 상기 산화막 스페이서가 형성된 다음, 상기 식각 정지층을 식각하여 제2 게이트 리세스를 형성하는 단계; 상기 제2 게이트 리세스가 형성된 다음, 상기 질화막 상에 게이트 금속을 형성하는 단계; 상기 게이트 금속 상에 제1 포토 레지스트 패턴을 형성하고, 상기 제1 포토레지스트 패턴 상에 제1 금속층을 형성하는 단계; 리프트 오프 공정을 이용하여 상기 제1 포토 레지스트 패턴을 제거하여 상기 제1 금속층으로 비대칭형 게이트 전극의 머리 부분을 형성하는 단계; 및 상기 비대칭형 게이트 전극의 머리 부분이 형성된 다음, 상기 비대칭형 게이트 전극의 머리 부분을 마스크로 하여 상기 게이트 금속을 패터닝하는 단계를 포함한다.

이에 따라, 미세한 게이트 패턴을 용이하게 형성할 수 있고, 게이트 리세스 영역에 절연막을 형성하는 방법을 고안하여 소자의 표면을 보호할 수 있어 신뢰성이 높은 화합물 반도체 소자를 제작할 수 있다. 또한, 게이트 리세스 공정을 이 단계로 실시함으로써, 게이트 전극의 유효 길이 손실을 방지할 수 있기 때문에 화합물 반도체 소자의 차단주파수를 향상시킬 수 있다.

대표도 - 도2k



(72) 발명자

강동민

대전 유성구 전민동 284-2

홍주연

서울 강남구 수서동 삼익아파트 404-601

이경호

대전 유성구 어은동 한빛아파트 102-1701

특허청구의 범위

청구항 1

기관 상에 형성된 버퍼층, 채널층, 스페이서층 및 쇼트키층을 포함하는 화합물 반도체 소자의 제조 방법에 있어서,

상기 쇼트키층 상에 식각 정지층 및 오믹층을 형성하는 단계;

상기 오믹층 상에 질화막을 형성하는 단계;

상기 질화막을 패터닝하여 미세 게이트 패턴을 형성하는 단계;

상기 미세 게이트 패턴을 이용하여 상기 오믹층을 선택적으로 식각하여 제1 게이트 리세스를 형성하는 단계;

상기 제1 게이트 리세스가 형성된 다음, 상기 질화막 상에 산화막을 증착하여 산화막 스페이서를 형성하는 단계;

상기 산화막 스페이서가 형성된 다음, 상기 식각 정지층을 식각하여 제2 게이트 리세스를 형성하는 단계;

상기 제2 게이트 리세스가 형성된 다음, 상기 질화막 상에 게이트 금속을 형성하는 단계;

상기 게이트 금속 상에 제1 포토 레지스트 패턴을 형성하고, 상기 제1 포토레지스트 패턴 상에 제1 금속층을 형성하는 단계;

리프트 오프 공정을 이용하여 상기 제1 포토 레지스트 패턴을 제거하여 상기 제1 금속층으로 비대칭형 게이트 전극의 머리 부분을 형성하는 단계; 및

상기 비대칭형 게이트 전극의 머리 부분이 형성된 다음, 상기 비대칭형 게이트 전극의 머리 부분을 마스크로 하여 상기 게이트 금속을 패터닝하는 단계

를 포함하는 화합물 반도체 소자의 제조방법.

청구항 2

제1항에 있어서,

상기 질화막 상에 절연층을 형성하는 단계;

상기 절연층 상에 제2 포토 레지스트 패턴을 형성하는 단계;

상기 제2 포토 레지스트 패턴 상에 제2 금속층을 증착하는 단계;

상기 제2 포토레지스 패턴을 제거한 다음, 남아있는 상기 제2 금속층을 마스크로 이용하여 상기 절연층과 상기 질화막을 식각하는 단계;

상기 절연층과 상기 질화막을 식각한 다음, 상기 기관 상에 소오스/드레인 오믹 금속을 증착하는 단계; 및

상기 소오스/드레인 오믹 금속 상에 소자를 보호하는 보호막을 형성하는 단계

를 더 포함하는 화합물 반도체 소자의 제조방법.

청구항 3

제1항에 있어서,

상기 제1 게이트 리세스를 형성하는 단계에서는

습식 식각 공정으로 상기 오믹층을 언더 컷(under-cut) 형태의 리세스 프로파일을 형성하는 화합물 반도체 소자의 제조방법.

청구항 4

제3항에 있어서,

상기 습식 식각 공정에서는 구연산 계열의 습식용액을 이용하는 화합물 반도체 소자의 제조방법.

청구항 5

제4항에 있어서,
 상기 습식 용액은 구연산과 과산화수소를 1대 2의 비율로 혼합한 용액인 화합물 반도체 소자의 제조방법.

청구항 6

제1항에 있어서,
 상기 식각 정지층은 도핑되지 않은 In_xAlAs_{1-x} 식각 정지층이며, 상기 x는 0.1 ~ 0.15 인 화합물 반도체 소자의 제조방법.

청구항 7

제1항에 있어서,
 상기 미세 게이트 패턴을 형성하는 단계에서 상기 미세 게이트 패턴은 전자선 리소그래피 방법으로 형성되는 화합물 반도체 소자의 제조방법.

청구항 8

제2항에 있어서,
 상기 제1 금속층 및 상기 제2 금속층은 Ti/Au 금속인 화합물 반도체 소자의 제조방법.

청구항 9

제1항에 있어서,
 상기 게이트 금속은 내열성 금속인 화합물 반도체 소자의 제조방법.

청구항 10

제2항에 있어서,
 상기 질화막 상에 절연층을 형성하는 단계에서는 상기 절연층을 증착한 다음, 백-에칭(etch-back) 공정을 이용하여 상기 비대칭형 게이트 전극을 노출시키는 화합물 반도체 소자의 제조방법.

청구항 11

제2항에 있어서,
 상기 절연층을 식각하여 형성된 절연층 스페이서에 의해 게이트 전극으로 사용되는 상기 게이트 금속 및 상기 제1 금속층과 상기 소오스/드레인 오믹 금속을 분리하는 화합물 반도체 소자의 제조방법.

청구항 12

제1항에 있어서,
 상기 산화막 스페이서 및 상기 제2 게이트 리세스가 형성된 다음, 상기 질화막 상에 상기 게이트 금속을 증착하는 단계에서는, 상기 제1 및 제2 게이트 리세스에 증착된 상기 게이트 금속과 상기 산화막 스페이서 사이에 에어 캐비티가 형성되는 화합물 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 화합물 반도체 소자 제조 방법에 관한 것으로, 보다 상세하게는 비대칭형 게이트 전극을 갖는 화합물 반도체 소자 제조 방법에 관한 것이다.
- <16> 이하, 도면을 참조하여 종래 화합물 반도체 소자의 제조 방법을 구체적으로 설명한다.
- <17> 도 1a 내지 도 1d는 종래 기술에 따른 화합물 반도체 소자의 제조 방법을 개략적으로 나타낸 제조 공정도이다. 도 1a 내지 도 1d의 화합물 반도체 소자 제조 방법을 이용하여 갈륨 비소 고전자 이동도 트랜지스터(HEMT; high electron mobility transistor), 금속-반도체 전계 효과 트랜지스터(MESFET; metal semiconductor field effect transistor) 등의 제조가 가능하다.
- <18> 도 1a를 참조하면, 종래의 화합물 반도체 소자를 제조하기 위해서는, 우선, 반절연 갈륨비소 기판(101) 상에 버퍼층(103)을 형성한다. 상기 버퍼층(103)은 GaAs 버퍼층이고, GaAs 버퍼층(103) 상에는 AlGaAs/GaAs 초격자 버퍼층(105)을 형성하고, AlGaAs/GaAs 초격자 버퍼층(105) 상에는 채널층(107)을 형성하고, 채널층(107) 상에는 스페이서층(109)을 형성한다. 스페이서층(109) 상에는 쇼트키층(111)을 형성하고, 쇼트키층(111) 상에는 오믹층(113)을 형성한다. 상기 오믹층(113)은 N형 GaAs로 이루어진 N형 GaAs 오믹층이다.
- <19> 도 1b를 참조하면, N형 GaAs오믹층(113) 상에는 PMMA(polymethyl Methacrylate) 및 코-폴리머(co-polymer)와 같은 포토 레지스트(115)를 도포한다. 포토레지스트(115)를 도포한 다음, 전자선 리소그래피 방법으로 노광하여 T형 레지스트 패턴(115a)을 형성한다. T형 레지스트 패턴(115a)이 형성된 다음, T형 레지스트 패턴(115a)과 연결되도록 N형 GaAs오믹층(113) 일부를 건식 식각하여 게이트 리세스(113a; recess)를 형성한다.
- <20> 도 1c를 참조하면, 게이트 리세스(113a)와 T형 레지스트 패턴(115a)이 형성된 다음, 포토레지스트(115) 상에 게이트 금속전극(117)을 형성한다. 상기 금속 전극은 Ti/Pt/Au로 구성되며, 게이트 금속전극(117)은 리세스(113a)와 T형 레지스트 패턴(115a)에 T형으로 형성된다.
- <21> 도 1d를 참조하면, 게이트 금속전극(117)이 형성된 다음, 리프트 오프 공정을 이용하여 포토레지스트(115)를 제거하면, 리세스(113a)와 레지스트 패턴(115a)에 형성되어 있는 T형 게이트(119)가 남는다. 포토레지스트(115)가 제거된 다음, T형 게이트(119)를 마스크로 사용하여 소오스/드레인 오믹 금속 전극(121)을 N형 GaAs오믹층(113) 및 T형 게이트(119) 상에 형성한다. 이때, 소오스/드레인 오믹 금속 전극(121)은 열처리 가열 진공 증착 장치로 증착되며, AuGe금속을 1000 ~ 2000Å 두께로 증착하고, Ni 금속을 400 ~ 1000Å 두께로 증착한 다음, Au 금속을 증착한다.
- <22> 상기와 같이, AuGe금속, Ni 금속, Au 금속을 차례로 증착하면, 소오스/드레인 오믹 금속전극(AuGe/Ni/Au)(121)이 자기 정렬된다. 그 다음, 순차적으로 증착된 소오스/드레인 오믹 금속 전극(121)은 금속 열처리 장치를 사용하여 약 430℃의 온도에서 20초 동안 오믹 열처리하면, 갈륨 비소 고전자 이동도 트랜지스터(HEMT; high electron mobility transistor), 금속-반도체 전계 효과 트랜지스터(MESFET; metal semiconductor field effect transistor) 등과 같은 화합물 반도체 소자가 완성된다.
- <23> 전술한 제조 공정을 통해 제작된 화합물 반도체소자는 PMMA와 co-polymer를 사용하여 T형 레지스트 프로파일을 형성하였기 때문에, 미세한 게이트 길이를 갖는 T형 게이트 전극을 형성할 경우에는 게이트 전극을 형성하기 위한 레지스터 패턴의 좁은 개구부 부근에서 게이트 금속이 균일하게 증착되지 않아, T자형 게이트전극이 단절된다는 문제가 있다. 또한, 게이트 전극의 저항을 낮추기 위해서 게이트 금속을 두껍게 증착할 경우에는 진공증착 장치의 온도가 높아져 레지스터 패턴이 변형되기 때문에 T형 게이트 전극을 안정하게 형성할 수 없고 전자 소자 제작의 재현성도 떨어지게 된다. 게다가, 기존의 T형 게이트 전극을 사용하여 화합물 반도체 소자의 소오스와 드레인 오믹전극을 자기정렬하여 화합물 반도체소자를 제작하는 경우에는, 게이트와 드레인 전극간의 거리가 상대적으로 짧게 되어 전자 소자의 파괴 전압이 낮아지는 문제가 발생한다. 또한, 기존의 화합물 반도체 소자 제작방법에서는 리세스 영역이 대기중에 노출되어 있기 때문에 소자가 열화되는 문제가 발생하고 이 때문에 소자의 신뢰성이 떨어질 수 있다.

발명이 이루고자 하는 기술적 과제

- <24> 본 발명은 전술한 문제점을 해결하기 위해 고안된 발명으로, 본 발명의 목적은 안정된 비대칭 게이트 전극을 갖는 화합물 반도체소자 제조방법을 제공하는데 있다.
- <25>

발명의 구성 및 작용

- <26> 전술한 목적을 달성하기 위한, 본 발명의 일측면에 따르면, 본 화합물 반도체 소자의 제조방법은 기판 상에 형성된 버퍼층, 채널층, 스페이서층 및 쇼트키층을 포함하며, 상기 쇼트키층 상에 식각 정지층 및 오믹층을 형성하는 단계; 상기 오믹층 상에 질화막을 형성하는 단계; 상기 질화막을 패터닝하여 미세 게이트 패턴을 형성하는 단계; 상기 미세 게이트 패턴을 이용하여 상기 오믹층을 선택적으로 식각하여 제1 게이트 리세스를 형성하는 단계; 상기 제1 게이트 리세스가 형성된 다음, 상기 질화막 상에 산화막을 증착하여 산화막 스페이서를 형성하는 단계; 상기 산화막 스페이서가 형성된 다음, 상기 식각 정지층을 식각하여 제2 게이트 리세스를 형성하는 단계; 상기 제2 게이트 리세스가 형성된 다음, 상기 질화막 상에 게이트 금속을 형성하는 단계; 상기 게이트 금속 상에 제1 포토 레지스트 패턴을 형성하고, 상기 제1 포토레지스트 패턴 상에 제1 금속층을 형성하는 단계; 리프트 오프 공정을 이용하여 상기 제1 포토 레지스트 패턴을 제거하여 상기 제1 금속층으로 비대칭형 게이트 전극의 머리 부분을 형성하는 단계; 및 상기 비대칭형 게이트 전극의 머리 부분이 형성된 다음, 상기 비대칭형 게이트 전극의 머리 부분을 마스크로 하여 상기 게이트 금속을 패터닝하는 단계를 포함한다.
- <27> 바람직하게, 본 화합물 반도체 소자의 제조 방법은 상기 질화막 상에 절연층을 형성하는 단계; 상기 절연층 상에 제2 포토 레지스트 패턴을 형성하는 단계; 상기 제2 포토 레지스트 패턴 상에 제2 금속층을 증착하는 단계; 상기 제2 포토레지스트 패턴을 제거한 다음, 남아있는 상기 제2 금속층을 마스크로 이용하여 상기 절연층과 상기 질화막을 식각하는 단계; 상기 절연층과 상기 질화막을 식각한 다음, 상기 기판 상에 소오스/드레인 오믹 금속을 증착하는 단계; 및 상기 소오스/드레인 오믹 금속 상에 소자를 보호하는 보호막을 형성하는 단계를 더 포함한다.
- <28> 상기 제1 게이트 리세스를 형성하는 단계에서는 습식 식각 공정으로 상기 오믹층을 언더 컷(under-cut) 형태의 리세스 프로파일을 형성하며, 상기 습식 식각 공정에서는 구연산 계열의 습식용액을 이용한다. 상기 식각 정지층은 도핑되지 않은 In_xAlAs_{1-x} 식각 정지층이며, 상기 x는 0.1 ~ 0.15 이다.
- <29> 상기 미세 게이트 패턴을 형성하는 단계에서 상기 미세 게이트 패턴은 전자선 리소그래피 방법으로 형성된다. 상기 제1 금속층 및 상기 제2 금속층은 Ti/Au 금속이고, 상기 게이트 금속은 내열성 금속이다.
- <30> 상기 질화막 상에 절연층을 형성하는 단계에서는 상기 절연층을 증착한 다음, 백-에칭(etch-back) 공정을 이용하여 상기 비대칭형 게이트 전극을 노출시킨다. 상기 절연층을 식각하여 형성된 절연층 스페이서에 의해 게이트 전극으로 사용되는 상기 게이트 금속 및 상기 제1 금속층과 상기 소오스/드레인 오믹 금속을 분리한다.
- <31> 이하, 본 발명의 실시 예 도면을 참조하여 본 발명에 따른 화합물 반도체 소자의 제조 방법을 구체적으로 설명한다.
- <32> 도 2a 내지 도 2k는 본 발명에 따른 화합물 반도체소자의 제조 방법을 개략적으로 나타내는 제조 공정도이다.
- <33> 도 2a를 참조하면, 화합물 반도체 소자를 제조하기 위해서는, 우선, 기판(201) 상에 버퍼층(203)을 형성한다. 기판(201)은 반절연 갈륨 비소 기판을 이용하며, 버퍼층(203)은 GaAs로 이루어진 GaAs 버퍼층이다. GaAs 버퍼층(203) 상에는 채널층(205)이 형성되고, 채널층(205) 상에는 스페이서층(207)이 형성된다. 여기서 채널층(205)은 InGaAs로 이루어진 InGaAs 채널층이다. 상기 스페이서층(207) 상에는 Si-델타 도핑층(209)을 형성한다. Si-델타 도핑층(209) 상에는 AlGaAs쇼트키층(211)을 형성하고, AlGaAs 쇼트키층(211) 상에는 도핑되지 않은 식각정지층(213)을 형성한다. 식각정지층(213)은 In_xAlAs_{1-x} 로 이루어지며, $x=0.1 \sim 0.15$ 이다. In_xAlAs_{1-x} 식각정지층(213) 상에는 N형 GaAs 오믹층(215)이 형성된다. 상기 기판(201)에서부터 상기 N형 GaAs 오믹층(215)은 상기 기판(201)에서부터 성장된 고주파 전자 소자의 반도체 에피택셜층 기판 구조이다.
- <34> N형 GaAs 오믹층(215)이 형성된 다음, N형 GaAs 오믹층(215) 상에는 질화막(217)을 형성한다. 질화막(217)은 플라즈마 보강 기상증착(PECVD)으로 250°C의 온도에서 1000Å 정도의 두께로 증착된다. 증착된 질화막(217)에는 전자선 리소그래피 방법으로 패터닝된 미세 게이트 패턴(217a)이 형성된다. 미세 게이트 패턴(217a)이 형성된 다음, 구연산 계열의 습식 식각 용액을 사용하여 N형 GaAs 오믹층(215)을 식각하여 선택적으로 제1 게이트 리세스(215a)를 형성한다. 본 실시 예에서는 구연산 계열의 습식 식각 용액으로 구연산과 과산화수소를 1: 2로 혼합한 용액을 사용한다. N형 GaAs 오믹층(215)을 식각할 때, 언더-컷(under-cut) 형태의 리세스 프로파일을 형성하는 방법으로 게이트 리세스 공정을 수행하여 제1 게이트 리세스(215a)를 형성한다.
- <35> 도 2b 내지 도 2d를 참조하면, 1차 게이트 리세스 공정을 통해 제1 게이트 리세스(215a)가 형성된 다음, 미세 게이트 패턴(217a)이 형성된 질화막(217) 상에 산화막(219)을 증착한다. 산화막(219)이 증착된 다음, 제1 게이트 리세스(215a)와 미세 게이트 패턴(217a)의 측벽에 산화막 스페이서(219a)를 형성하기 위하여, 산화막(219)을

건식 식각 공정을 이용하여 식각한다.

- <36> 미세 게이트 패턴(217a) 및 제1 게이트 리세스(215a)의 측벽을 둘러싸는 산화막 스페이서(219a)가 형성된 다음, 2차 게이트 리세스 공정을 수행하여 In_xAlAs_{1-x} ($x=0.1\sim 0.15$) 식각정지층(213)에 제2 게이트 리세스(221)를 형성한다. 제2 게이트 리세스(221)가 형성된 다음, 질화막(217) 상에는 게이트 금속(223)이 증착한다. 게이트 금속(223)은 텅스텐(W)과 같은 내열성 금속을 이용하여 스퍼터링 진공 증착 방법으로 증착한다. 산화막 스페이서(219a)를 형성한 후, 질화막(217) 상에 게이트 금속(223)이 증착되면 산화막 스페이서(219a)와 제1 및 제2 게이트 리세스(215a, 221)에 증착된 게이트 금속(223) 사이에 에어 캐비티가 형성되어 소자를 보호한다.
- <37> 도 2e 및 도 2f를 참조하면, 증착된 게이트 금속(223) 상에 비대칭형 게이트 전극의 헤드 부분이 정의되도록 제1 포토 레지스트 패턴(225)을 형성한다. 비대칭형 게이트 전극의 헤드 부분이 형성된 제1 포토 레지스트 패턴(225)이 증착되면, 게이트 전극으로 사용될 제1 금속층(227)을 증착한다. 제1 금속층(227)으로는 Ti/Au를 이용한다.
- <38> 도 2g 내지 도 2i를 참조하면, 제1 금속층(227)이 증착된 다음, 리프트 오프 공정을 이용하여 제1 포토 레지스트 패턴(225)을 제거한다. 제1 포토 레지스트 패턴(225)이 제거되면, 게이트 금속(223) 상에는 게이트 전극으로 사용될 패터닝된 제1 금속층(227a)만 남게 된다. 제1 금속층(227a)이 남게 되면, 제1 금속층(227a)을 마스크로 이용하여 내열성 금속으로 증착된 게이트 금속(223)을 패터닝한다. 이때, 게이트 금속(223)은 건식 식각을 통해 패터닝되며, 제1 금속층(227a)과 동일한 형태, 즉, 비대칭형(예를 들면, Γ (감마)자형)으로 형성된다. 이처럼, 패터닝된 제1 금속층(227a) 및 패터닝된 게이트 금속(223a)은 다층 구조의 비대칭형 게이트 전극을 이룬다.
- <39> 제1 금속층(227a) 및 게이트 금속(223a)이 비대칭형으로 패터닝된 다음, 질화막(217) 상에는 게이트 전극으로 이용되는 상기 금속들(227a, 223a)이 노출되도록 절연층(231)을 증착한다. 게이트 전극용 금속들을 노출시키기 위해서는 백-에칭(etch-back) 공정을 이용한다. 다음, 절연층(231) 상에는 비대칭형으로 패터닝된 게이트 금속 및 제1 금속층(223a, 227a)이 노출되도록 제2 포토 레지스트 패턴(233)을 증착하고, 제2 포토레지스트 패턴(233) 및 제1 금속층(227a) 상에 제2 금속층(235)을 증착한다. 제2 금속층(235)은 도 2d에서 증착된 제1 금속층(223)과 마찬가지로, Ti/Au금속을 이용한다.
- <40> 도 2j 및 도 2k를 참조하면, 제2 금속층(235)이 증착된 다음, 리프트 오프 공정을 이용하여 제2 포토 레지스트 패턴(233)을 제거하여 제1 금속층(227a) 상에 비대칭형으로 패터닝된 제2 금속층(235a)을 남긴다. 그 다음, 비대칭형 제2 금속층(235a)을 마스크로 이용하여, 절연층(231)과 질화막(217)을 패터닝한다. 절연층(231)과 질화막(217)의 패터닝은 건식 식각 공정을 이용한다.
- <41> 절연층(231)과 질화막(217)을 패터닝하면, 제1 금속층(227a) 및 게이트 금속(235a)의 측벽에 절연층 스페이서(231a)가 형성된다. 절연층 스페이서(231a)가 형성된 다음, N형 GaAs오믹층(215) 및 패터닝된 제2 금속층(235a) 상에 전자선 진공 증착 방법을 이용하여, Au/Ge/Ni/Ti/Au금속을 증착하여 자기 정렬된 소오스/드레인 오믹 금속(237)을 형성한다. 절연층 스페이서(231a)는 게이트 전극용 금속들과 소오스/드레인 오믹 금속(237)을 분리하는 역할을 수행한다.
- <42> 다음, 소오스/드레인 오믹 금속전극(237)이 형성된 다음, 기판 전면에서 질화막(239)을 증착한다. 상기 질화막(239)은 화합물 반도체 소자를 보호하기 위하여 증착되는 것으로, 상기 질화막(239)이 증착됨으로써, 비대칭형 게이트 전극을 갖는 화합물 반도체 소자의 제조가 완료된다.
- <43> 본 발명의 기술 사상은 상기 바람직한 실시 예에 따라 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상적인 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

발명의 효과

- <44> 본 발명에 의해서 완성된 화합물 반도체 소자는 PMMA와 co-polymer를 사용하는 기존의 T형 게이트 제작방법과 달리 전자선 리소그래피방법과 절연막 스페이서를 사용하여 미세한 게이트 패턴을 용이하게 형성할 수 있고, 게이트 리세스 영역에 절연막을 형성하는 방법을 고안하여 소자의 표면을 보호할 수 있어 신뢰성이 높은 화합물 반도체 소자를 제작할 수 있다.
- <45> 또한, 게이트 리세스 공정을 이 단계로 실시함으로써, 게이트 전극의 유효 길이 손실을 방지할 수 있기 때문에

화합물 반도체 소자의 차단주파수를 향상시킬 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1d는 종래 기술에 따른 화합물 반도체소자의 제조 방법을 개략적으로 나타내는 제조 공정도이다.

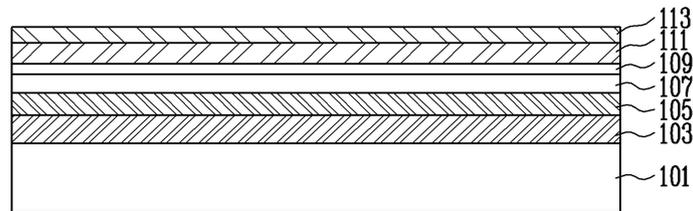
<2> 도 2a 내지 도 2k는 본 발명에 따른 화합물 반도체소자의 제조 방법을 개략적으로 나타내는 제조 공정도이다.

<3> * 주요 부분에 대한 부호 설명 *

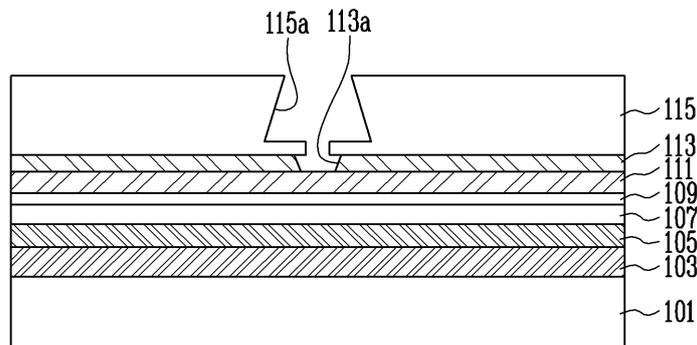
- | | | |
|------|------------------------|--------------------|
| <4> | 201: 반절연 갈륨비소 기판 | 203: GaAs 버퍼층 |
| <5> | 205: InGaAs 채널층 | 207: 스페이서층 |
| <6> | 209: Si-델타 도핑층 | 211: AlGaAs 쇼트키층 |
| <7> | 213: 식각 정지층(etch-stop) | 215: N형 GaAs오믹층 |
| <8> | 215a: 제1 게이트 리세스 | 217: 질화막 |
| <9> | 217a: 미세게이트 패턴 | 219: 산화막 |
| <10> | 221: 제2 게이트 리세스 | 223: 게이트 금속 |
| <11> | 225: 제1 포토 레지스트 패턴 | 227: 제1 금속층 |
| <12> | 231: 절연층 | 233: 제2 포토 레지스트 패턴 |
| <13> | 235: 제2 금속층 | 237: 오믹 금속 전극 |
| <14> | 239: 보호막 | |

도면

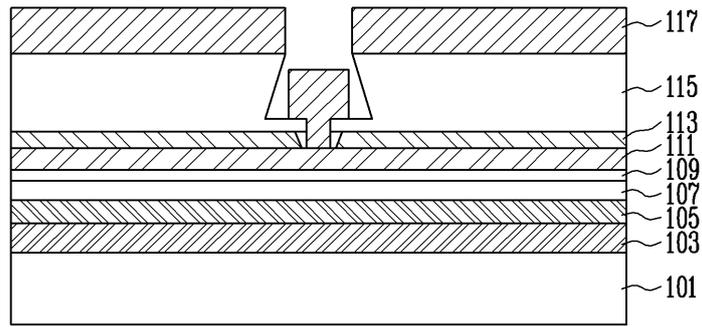
도면1a



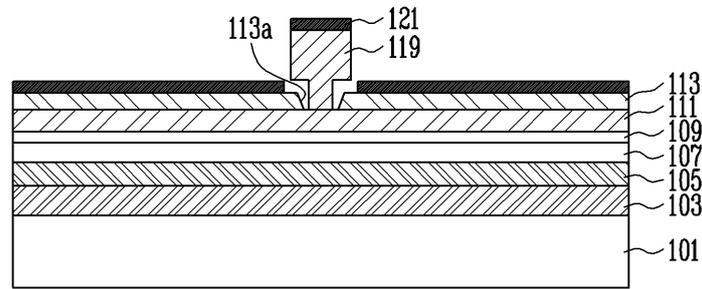
도면1b



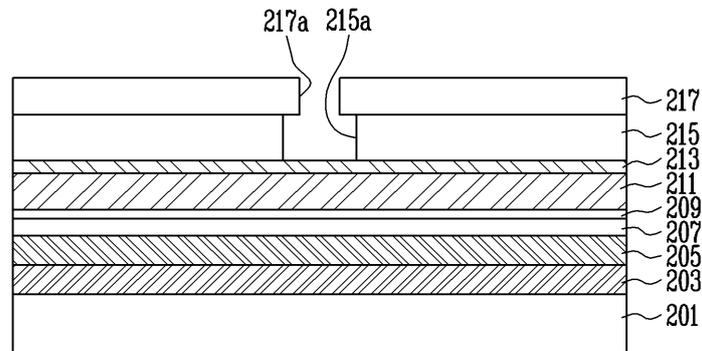
도면1c



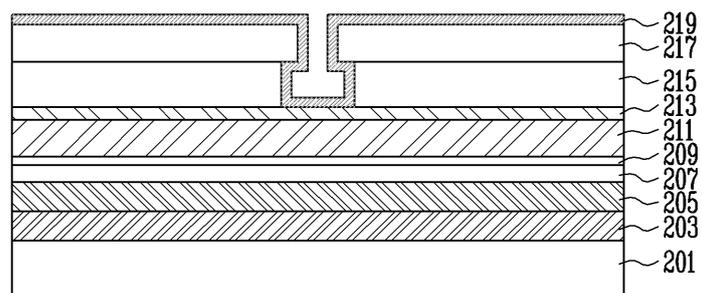
도면1d



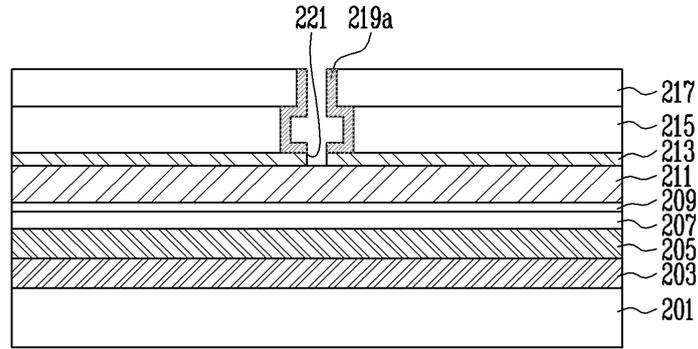
도면2a



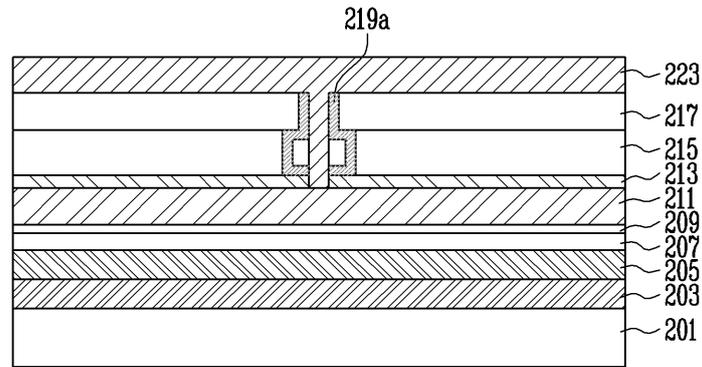
도면2b



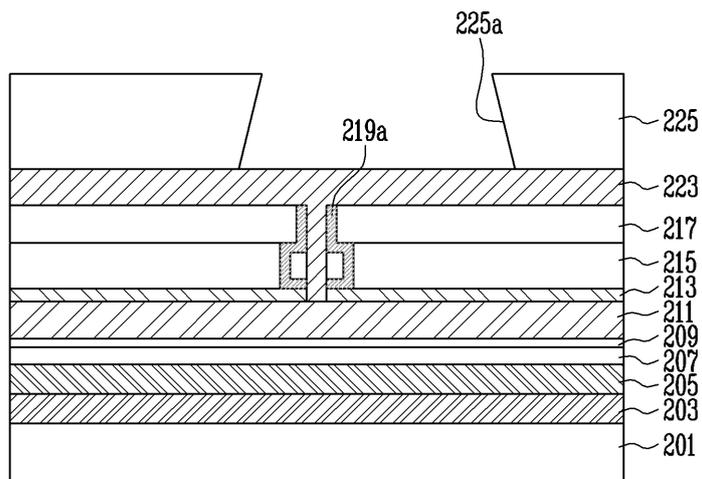
도면2c



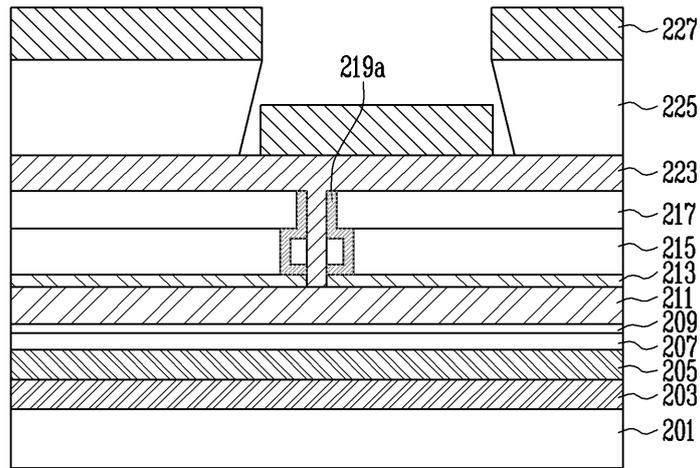
도면2d



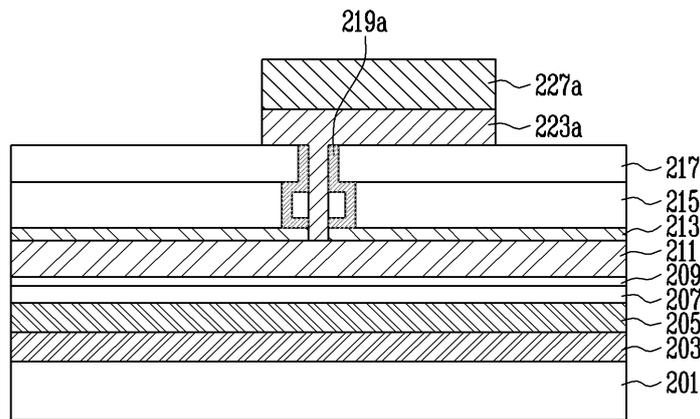
도면2e



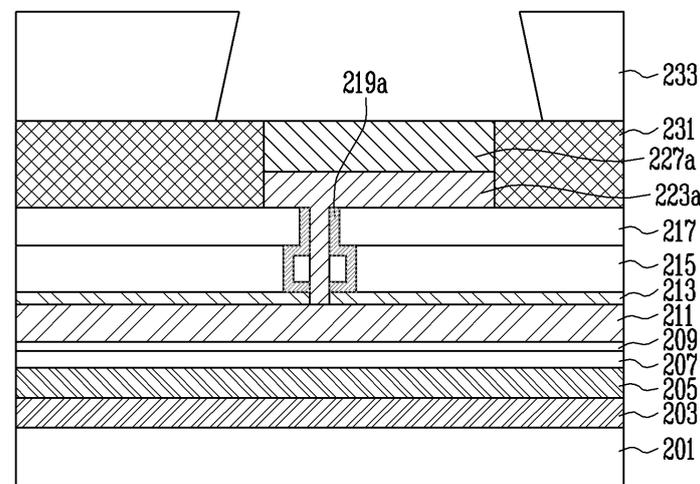
도면2f



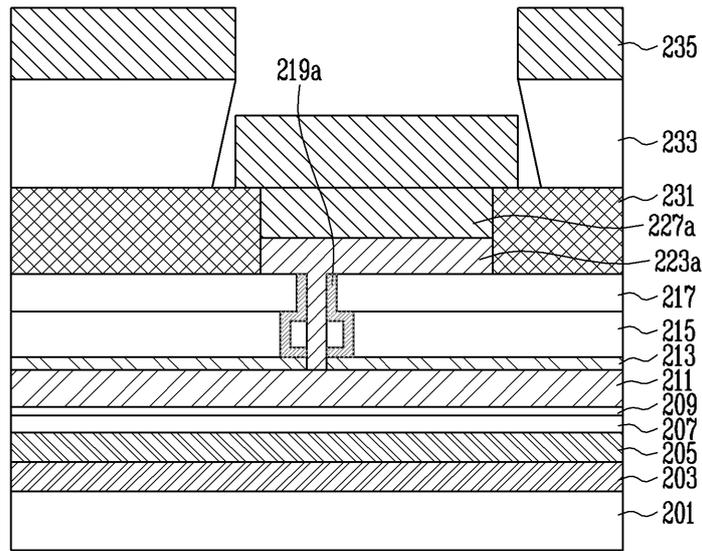
도면2g



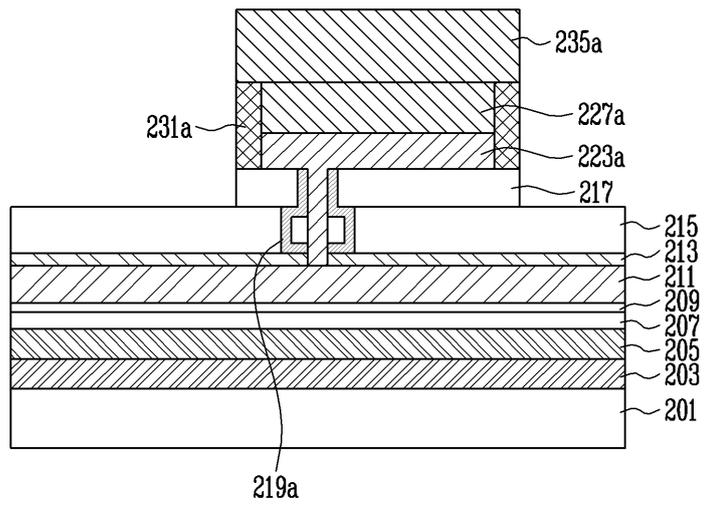
도면2h



도면2i



도면2j



도면2k

