



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0089838
(43) 공개일자 2015년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)
(21) 출원번호 10-2014-0010886
(22) 출원일자 2014년01월28일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
박제민
경기도 수원시 영통구 영통로 111, 302동 1801호
(망포동, LG동수원자이아파트)
황유상
경기도 수원시 영통구 영통로200번길 156, 1001동
504호 (망포동, 방죽마을영통뜨란채아파트)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 랜딩 패드를 구비하는 반도체 소자

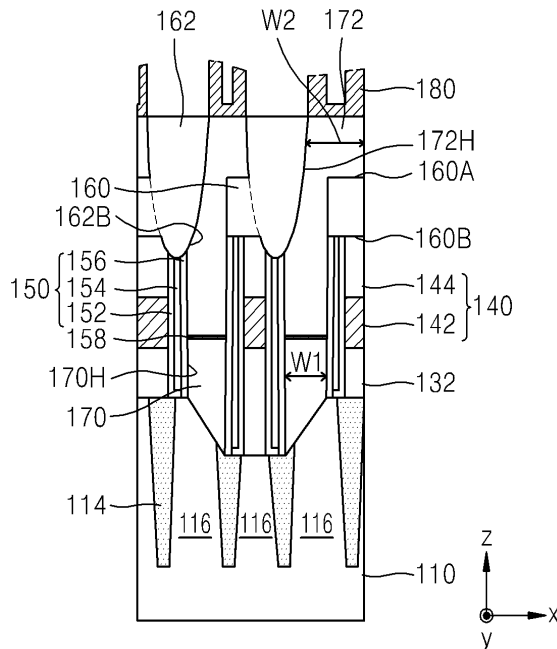
(57) 요약

본 발명의 기술적 사상에 의한 반도체 소자는 랜딩 패드간 브리지 현상을 방지하고, 공정 상 절연 스페이서에 커 패시터 하부 전극 물질이 침투하는 것을 방지하기 위해 활성영역을 가지는 기관; 제1 절연 패턴을 사이에 두고 기관과 이격된 한 쌍의 도전 라인; 상기 한 쌍의 도전 라인 상에 접하는 절연 캡핑 라인; 상기 한 쌍의 도전 라

(뒷면에 계속)

대표도 - 도1

100-1



인 사이에서 제1 방향으로 제1 폭을 가지는 콘택홀을 한정하도록 상기 한 쌍의 도전 라인 각각의 측벽을 덮는 절연 스페이스 구조체; 상기 콘택홀의 내부를 채우며 활성영역과 연결되도록 형성되는 콘택 플러그; 상기 한 쌍의 도전 라인의 상부 및 상기 절연 스페이스 구조체의 상부에 형성되는 제2 절연패턴; 상기 제2 절연패턴의 일변 및 상기 절연 스페이스 구조체의 상부에 상기 제1 방향으로 제1 폭보다 큰 제2 폭을 가지고 상기 콘택 플러그와 연결되는 랜딩 패드 홀을 한정하는 제3 절연 패턴; 상기 콘택 플러그와 연결되고 상기 한 쌍의 도전 라인 중 하나의 도전 라인과 수직으로 오버랩되도록 상기 랜딩 패드 홀 내에 형성되는 랜딩 패드를 포함하는 것을 특징으로 하는 반도체 소자를 제공한다.

명세서

청구범위

청구항 1

활성영역을 가지는 기관;

제1 절연 패턴을 사이에 두고 상기 기관과 이격된 한 쌍의 도전 라인 구조체;

상기 한 쌍의 도전 라인 구조체 사이에서 상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 제1 크기의 폭을 가지는 콘택홀을 한정하도록 상기 한 쌍의 도전 라인 구조체의 각각의 측벽을 덮는 절연 스페이서 구조체;

상기 한 쌍의 도전 라인 구조체의 상부 및 상기 절연 스페이서 구조체의 상부에 형성되는 제2 절연패턴;

상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 상기 제2 절연 패턴의 위에서 제2 크기의 폭을 가지며 상기 콘택홀과 연결되는 랜딩 패드 홀을 한정하고, 상기 제2 절연 패턴의 일측면 및 상기 절연 스페이서 구조체의 상부에 접하게 형성되는 제3 절연 패턴;

상기 콘택홀의 내부를 채우며 활성영역과 연결되도록 형성되는 콘택 플러그;

상기 콘택 플러그와 연결되고 상기 한 쌍의 도전 라인 구조체 중 하나의 도전 라인 구조체와 수직으로 오버랩되도록 상기 랜딩 패드 홀 내에 형성되는 랜딩 패드를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 랜딩 패드의 상면에 형성되고, 상기 랜딩 패드와 전기적으로 연결되는 커패시터 하부 전극을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 제2 절연 패턴의 상면은 기관의 주면에서 연장되는 평면에 평행하고,

상기 제2 절연 패턴의 하면은 상기 절연 스페이서 구조체 및 상기 도전 라인 구조체의 상부를 기관의 주면에 연장되는 평면에 평행한 방향으로 덮는 형태로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 4

제1 항에 있어서,

상기 제2 크기의 폭은 상기 제1 크기의 폭보다 큰 값을 가지는 것을 특징으로 하는 반도체 소자.

청구항 5

제1 항에 있어서,

상기 콘택 플러그와 상기 랜딩 패드의 사이에 금속 실리사이드막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 6

제1 항에 있어서,

상기 절연 스페이서 구조체는 에어 스페이서(air spacer)가 형성된 것을 특징으로 하는 반도체 소자.

청구항 7

활성영역을 가지는 기관;

절연막을 사이에 두고 기관과 이격된 한 쌍의 도전 라인 구조체;
 상기 한 쌍의 도전 라인 구조체 사이에서 상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 제1 크기의 폭을 가지는 콘택홀을 한정하도록 상기 한 쌍의 도전 라인 구조체의 각각의 측벽을 덮는 절연 스페이서 구조체;
 상기 도전 라인 구조체의 상부 및 상기 절연 스페이서 구조체의 상부에 형성되는 절연 패턴;
 상기 활성영역에 연결되고, 상기 콘택홀 내부를 채우는 콘택 형성용 도전층;
 상기 콘택 형성용 도전층의 상면에 접하여 형성되는 랜딩 패드 형성용 도전층;
 상기 랜딩 패드 형성용 도전층의 상면에 연결되고, 상기 한 쌍의 도전 라인 구조체 중 하나의 도전 라인 구조체와 수직으로 오버랩 되도록 형성되는 랜딩 패드를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

제7 항에 있어서,
 상기 도전 라인 구조체는 절연 캡핑 라인을 포함하고,
 상기 절연 패턴의 하면이 상기 절연 캡핑 라인 및 상기 절연 스페이서의 상면을 기관의 주면에 연장되는 평면에 평행한 방향으로 덮는 형태로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 9

제7 항에 있어서,
 상기 랜딩 패드 형성용 도전층이 상기 랜딩 패드와 접하는 면의 높이는 상기 콘택 형성용 도전층이 상기 제2 절연 패턴과 기관의 주면에 연장되는 평면에 평행한 방향으로 접하는 면의 높이보다 낮은 것을 특징으로 하는 반도체 소자.

청구항 10

제7 항에 있어서,
 상기 랜딩 패드 형성용 도전층이 상기 콘택 형성용 도전층과 접하게 형성됨으로써 상기 랜딩 패드 형성용 도전층 및 상기 콘택 형성용 도전층이 상기 기관의 주면에 연장되는 평면에 평행한 방향으로 이루는 폭의 크기는 상기 한 쌍의 도전 라인 구조체 사이에서 형성된 상기 콘택 형성용 도전층이 기관의 주면에 연장되는 평면에 평행한 방향으로 갖는 폭의 크기보다 큰 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 특히 기관의 활성 영역과 커패시터의 하부 전극을 상호 연결시키기 위한 랜딩 패드를 구비한 반도체 소자에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰이 감소되고 있다. 고도로 집적된 반도체 소자에서 복수의 도전 라인 및 이들 사이에 개재되는 콘택 플러그의 단면적이 점차 감소되고 있다. 이로 인해 작아진 단면적을 가지는 콘택 플러그 위에 형성되는 커패시터 하부 전극을 상기 콘택 플러그를 통해 기관의 활성 영역에 연결시킬 때, 상기 콘택 플러그와의 접촉 면적이 제한되어 접촉 저항을 낮추는 데 한계가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 집적화에 의해 미세화된 단위 셀 사이즈를 가지는 반도체 소자에서 작아진 단면적을 가지는 콘택 플러그를 통해 커패시터 하부 전극을 기관의 활성 영역과 연결시키는

데 있어서, 랜딩 패드의 단락현상을 해결할 수 있는 반도체 소자를 제공함에 있다.

과제의 해결 수단

- [0004] 상기 과제를 해결하기 위하여 본 발명의 기술적 사상은 활성영역을 가지는 기관; 제1 절연 패턴을 사이에 두고 상기 기관과 이격된 한 쌍의 도전 라인 구조체; 상기 한 쌍의 도전 라인 구조체 사이에서 상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 제1 크기의 폭을 가지는 콘택홀을 한정하도록 상기 한 쌍의 도전 라인 구조체의 각각의 측벽을 덮는 절연 스페이스 구조체; 상기 한 쌍의 도전 라인 구조체의 상부 및 상기 절연 스페이스 구조체의 상부에 형성되는 제2 절연패턴; 상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 상기 제2 절연 패턴의 위에서 제2 크기의 폭을 가지며 상기 콘택홀과 연결되는 랜딩 패드 홀을 한정하고, 상기 제2 절연 패턴의 일측면 및 상기 절연 스페이스 구조체의 상부에 접하게 형성되는 제3 절연 패턴; 상기 콘택홀의 내부를 채우며 활성영역과 연결되도록 형성되는 콘택 플러그; 상기 콘택 플러그와 연결되고 상기 한 쌍의 도전 라인 구조체 중 하나의 도전 라인 구조체와 수직으로 오버랩되도록 상기 랜딩 패드 홀 내에 형성되는 랜딩 패드를 포함하는 것을 특징으로 하는 반도체 소자를 제공한다.
- [0005] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드의 상면에 형성되고, 상기 랜딩 패드와 전기적으로 연결되는 커패시터 하부 전극을 더 포함하는 것을 특징으로 한다.
- [0006] 본 발명의 일 실시예에 있어서, 상기 제2 절연 패턴의 상면은 기관의 주면에서 연장되는 평면에 평행하고, 상기 제2 절연 패턴의 하면은 상기 절연 스페이스 구조체 및 상기 도전 라인 구조체의 상부를 기관의 주면에 연장되는 평면에 평행한 방향으로 덮는 형태로 형성되는 것을 특징으로 한다.
- [0007] 본 발명의 일 실시예에 있어서, 상기 제2 크기의 폭은 상기 제1 크기의 폭보다 큰 값을 가지는 것을 특징으로 한다.
- [0008] 본 발명의 일 실시예에 있어서, 상기 콘택 플러그와 상기 랜딩 패드의 사이에 금속 실리사이드막을 더 포함하는 것을 특징으로 한다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 제2 절연 패턴과 제3 절연 패턴은 동일한 물질로 이루어지는 것을 특징으로 한다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 절연 스페이스 구조체는 에어 스페이스(air spacer)가 형성된 것을 특징으로 한다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 제2 절연 패턴, 제3 절연 패턴 및 상기 절연 스페이스 구조체의 측벽을 둘러싸는 방식으로 형성되는 배리어막을 더 포함하는 것을 특징으로 한다.
- [0012] 상기 과제를 해결하기 위하여 본 발명의 기술적 사상은 또한, 활성영역을 가지는 기관; 절연막을 사이에 두고 기관과 이격된 한 쌍의 도전 라인 구조체; 상기 한 쌍의 도전 라인 구조체 사이에서 상기 기관의 주면에서 연장되는 평면에 평행한 방향으로 제1 크기의 폭을 가지는 콘택홀을 한정하도록 상기 한 쌍의 도전 라인 구조체의 각각의 측벽을 덮는 절연 스페이스 구조체; 상기 도전 라인 구조체의 상부 및 상기 절연 스페이스 구조체의 상부에 형성되는 절연 패턴; 상기 활성영역에 연결되고, 상기 콘택홀 내부를 채우는 콘택 형성용 도전층; 상기 콘택 형성용 도전층의 상면에 접하여 형성되는 랜딩 패드 형성용 도전층; 상기 랜딩 패드 형성용 도전층의 상면에 연결되고, 상기 한 쌍의 도전 라인 구조체 중 하나의 도전 라인 구조체와 수직으로 오버랩 되도록 형성되는 랜딩 패드를 포함하는 것을 특징으로 하는 반도체 소자를 제공한다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 도전 라인 구조체는 절연 캡핑 라인을 포함하고, 상기 절연 패턴의 하면이 상기 절연 캡핑 라인 및 상기 절연 스페이스의 상면을 기관의 주면에 연장되는 평면에 평행한 방향으로 덮는 형태로 형성되는 것을 특징으로 한다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드 형성용 도전층이 상기 랜딩 패드와 접하는 면의 높이는 상기 콘택 형성용 도전층이 상기 제2 절연 패턴과 기관의 주면에 연장되는 평면에 평행한 방향으로 접하는 면의 높이보다 낮은 것을 특징으로 한다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드 형성용 도전층이 상기 콘택 형성용 도전층과 접하게 형성됨으로써 상기 랜딩 패드 형성용 도전층 및 상기 콘택 형성용 도전층이 상기 기관의 주면에 연장되는 평면에 평행한 방향으로 이루는 폭의 크기는 상기 한 쌍의 도전 라인 구조체 사이에서 형성된 상기 콘택 형성용 도전층이 기관의 주면에 연장되는 평면에 평행한 방향으로 갖는 폭의 크기보다 큰 것을 특징으로 한다.

- [0016] 본 발명의 일 실시예에 있어서, 상기 콘택 형성용 도전층은 상기 랜딩 패드 형성용 도전층을 이루는 물질과 동일한 물질을 포함하는 것을 특징으로 한다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드와 랜딩 패드 형성용 도전층이 접하는 상기 랜딩 패드의 하면 및 일측면에 금속 실리사이드막을 더 포함하는 것을 특징으로 한다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드의 측벽 및 상기 금속 실리사이드막의 상면에 배리어막을 더 포함하는 것을 특징으로 한다.

발명의 효과

- [0019] 본 발명의 기술적 사상에 의한 반도체 소자는 도전 라인 상의 절연 캡핑 라인에 평탄화된 절연 패턴을 구비함으로써 랜딩 패드간 브리지 현상을 방지하고, 공정 상 절연 스페이서에 커패시터 하부 전극 물질이 침투하는 것을 방지할 수 있다.
- [0020] 본 발명의 기술적 사상에 의한 다른 실시예에 따른 반도체 소자는 상기와 같은 절연 패턴을 포함하고, 상기 절연 패턴에 랜딩 패드 패턴을 연결하여, 콘택 플러그와 직접 이어지게 함으로써 상기 랜딩 패드 브리지 현상 및 커패시터 하부 전극 물질의 절연 스페이서 침투 방지효과에 추가하여 공정 상 발생할 수 있는 랜딩 패드 넥(neck) 현상까지 방지할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 요부(要部) 단면도이다.
- 도 2는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 요부 단면도이다.
- 도 3은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 셀 어레이 영역의 개략적인 평면 레이아웃이다.
- 도 4a 내지 도 12d는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 13 내지 도 17d는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- 도 18는 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 시스템이다.
- 도 19는 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 카드이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0023] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것으로, 아래의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래의 실시예들로 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하며 당해 기술분야에서 통상의 지식을 가진 자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0024] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 영역, 층들, 부위 및/또는 구성 요소들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들, 부위 및/또는 구성 요소들은 이들 용어에 의해 한정되어서는 안 됨은 자명하다. 이들 용어는 특정 순서나 상하, 또는 우열을 의미하지 않으며, 하나의 부재, 영역, 부위, 또는 구성 요소를 다른 부재, 영역, 부위 또는 구성 요소와 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1 부재, 영역, 부위 또는 구성 요소는 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 영역, 부위 또는 구성 요소를 지칭할 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0025] 달리 정의되지 않는 한, 여기에 사용되는 모든 용어들은 기술 용어와 과학 용어를 포함하여 본 발명 개념이 속하는 기술 분야에서 통상의 지식을 가진 자가 공통적으로 이해하고 있는 바와 동일한 의미를 지닌다. 또한, 통상적으로 사용되는, 사전에 정의된 바와 같은 용어들은 관련된 기술의 맥락에서 이들이 의미하는 바와 일관되

는 의미를 갖는 것으로 해석되어야 하며, 여기에 명시적으로 정의하지 않는 한 과도하게 형식적인 의미로 해석되어서는 아니 될 것임은 이해될 것이다.

- [0026] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 수행될 수도 있다.
- [0027] 첨부 도면에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예들은 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조 과정에서 초래되는 형상의 변화를 포함하여야 한다.
- [0028] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자(100-1)의 요부(要部) 단면도이다. 도 1은 도 12a에서 요부만 도시한 것으로 일부 구성요소가 생략되어 도시될 수 있다.
- [0029] 도 1을 참조하면, 반도체 소자(100-1)는 소자분리막(114)에 의해 정의되는 활성 영역(116)을 가지는 기판(110)을 포함한다.
- [0030] 상기 기판(110)은 Si (silicon), 예를 들면 단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘을 포함할 수 있다. 다른 일부 실시예들에서, 상기 기판(110)은 Ge (germanium), 또는 SiGe (silicon germanium), SiC (silicon carbide), GaAs (gallium arsenide), InAs (indium arsenide), 또는 InP (indium phosphide)와 같은 반도체 물질을 포함할 수 있다. 일부 실시예들에서, 상기 기판(110)은 도전 영역, 예를 들면 불순물이 도핑된 웰 (well), 또는 불순물이 도핑된 구조물을 포함할 수 있다.
- [0031] 상기 기판(110) 위에는 절연막(132)을 사이에 두고 기판(110)과 이격되어 있는 복수의 도전 라인(142)이 형성되어 있다. 상기 복수의 도전 라인(142)은 상기 기판(110) 상에서 일 방향(Y 방향)을 따라서 상호 평행하게 연장될 수 있다.
- [0032] 일부 실시예들에서, 상기 복수의 도전 라인(142)은 복수의 비트 라인을 구성할 수 있다.
- [0033] 상기 복수의 도전 라인(142)은 각각 절연 캡핑 라인(144)으로 덮여 있다. 하나의 도전 라인(142)과, 상기 하나의 도전 라인(142)을 덮는 하나의 절연 캡핑 라인(144)은 하나의 도전 라인 구조체(140)를 구성한다. 상기 도전 라인 구조체(140)의 상부에는 제2 절연 패턴(160)이 형성될 수 있다. 상기 제2 절연 패턴(160)의 상면(160A)과 하면(160B)은 상기 기판(110)의 주면에 평행한 형태로 형성될 수 있다. 복수의 도전 라인 구조체(140) 각각의 양 측벽은 절연 스페이서 구조체(150)로 덮여 있다. 상기 절연 스페이서 구조체(150)는 제1 절연 스페이서(152), 제2 절연 스페이서(154) 및 제3 절연 스페이서(156)를 포함할 수 있다. 상기 제1 절연 스페이서(152)와 제3 절연 스페이서(156)의 사이에 형성되어 있는 제2 절연 스페이서(154)는 내부가 공기로 채워져 있는 에어 스페이서(air spacer)일 수 있다. 또한, 상기 제2 절연 스페이서(154)의 상부는 제3 절연 패턴의 하면(162B)에 의해 폐쇄되는 형태로 형성되고, 상기 제1 절연 스페이서(152) 및 제3 절연 스페이서(156)의 상부는 상기 제3 절연 패턴의 하면(162B)에 접하게 형성될 수 있다.
- [0034] 상기 절연막(132)에는 활성 영역(116)이 노출되도록 절연막(132)을 관통하는 복수의 콘택홀(170H)이 형성될 수 있다. 상기 콘택홀(170H)은 상기 복수의 도전 라인(142)중 이웃하는 2 개의 도전 라인(142) 사이에서 상기 이웃하는 2 개의 도전 라인(142) 각각의 측벽을 덮는 절연 스페이서 구조체(150)에 의해 한정된다.
- [0035] 상기 복수의 도전 라인(142)의 상부에는 상기 콘택홀(170H)과 연통되는 복수의 랜딩 패드 홀(172H)이 형성된 제3 절연 패턴(162)이 형성될 수 있다.
- [0036] 상기 콘택홀(170H)은 기판(110)의 주면 방향에 평행한 방향을 따르는 평면에서 제1 크기의 폭(W1)을 가질 수 있다. 그리고, 상기 복수의 랜딩 패드 홀(172H)은 제2 절연 패턴의 상면(160A) 상에서 기판(110)의 주면 방향에서 연장된 평면에 평행한 방향으로 제2 크기의 폭(W2)을 가질 수 있다. 상기 제2 크기의 폭(W2)은 상기 제1 크기의 폭(W1)보다 큰 값을 가질 수 있다.
- [0037] 상기 복수의 도전 라인(142) 각각의 사이에는 기판(110)에 연결되고 상기 콘택홀(170H)의 내부를 채우는 콘택 플러그(170)이 형성될 수 있다. 상기 콘택 플러그(170) 상에는 금속 실리사이드막(158)이 형성될 수 있다.
- [0038] 상기 복수의 콘택 플러그(170)는 각각 기판의 활성 영역(116)에 연결되어 있으며 상기 콘택홀(170H)의 내부에서 기판(110)의 주면 연장 방향에 수직인 방향 (Z 방향)으로 연장된다.
- [0039] 랜딩 패드(172)는 복수의 절연 스페이서 구조체(150)의 사이, 제2 절연 패턴(160) 및 제3 절연 패턴(162)에 의

하여 한정되는 랜딩 패드 홀(172H)을 채우며 형성될 수 있다. 상기 랜딩 패드(172)는 상기 콘택 플러그(170)와 연결되어 상기 복수의 도전 라인(142) 중에서 선택되는 하나의 도전 라인(142)과 수직으로 오버랩되도록 상기 제2 절연 패턴의 상면(160A) 위로 연장된다.

[0040] 상기 콘택 플러그(170)와 상기 랜딩 패드(172)의 사이에는 금속 실리사이드막(158)이 형성될 수 있다. 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x), 니켈 실리사이드(NiSi_x) 또는 망간 실리사이드(MnSi_x) 중에서 선택되는 적어도 하나를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x)로 이루어질 수 있다.

[0041] 커패시터 하부 전극(180)은 상기 랜딩 패드(172) 위에 접하게 형성될 수 있다.

[0042] 상기 콘택 플러그(170)는 복수의 도전 라인(142) 사이에서 상기 콘택홀(170H)의 수평 단면적에 대응하는 제1 크기의 폭(W1)을 가질 수 있다. 상기 랜딩 패드(172)는 상기 랜딩 패드 홀(172H)의 수평 단면적에 대응하여, 제2 절연 패턴의 상면(160A) 위에서 제2 크기의 폭(W2)을 가질 수 있다. X 방향에서, 상기 랜딩 패드(172)의 제2 크기의 폭(W2)은 상기 콘택 플러그(170)의 제1 크기의 폭(W1)보다 큰 값을 가질 수 있다.

[0043] 반도체 소자(100-1)는 기판(110)의 활성 영역(116)과 커패시터 하부 전극(180)을 전기적으로 연결하기 위해 상기 기판(110)의 활성 영역(116)과 연결되는 콘택 플러그(170) 및 랜딩 패드(172)를 포함한다. 상기 랜딩 패드(172)는 도전 라인(142)과 수직으로 오버랩되어 도전 라인 구조체(140)와 제2 절연 패턴(160)을 덮도록 형성된다. 상기 랜딩 패드(172)는 상기 콘택 플러그와 전기적으로 연결된다. 상기 콘택 플러그(170)와 상기 랜딩 패드(172) 사이에 금속 실리사이드막(158)이 형성될 수 있다. 커패시터 하부 전극(180)은 상기 랜딩 패드(172)와 연결된다. 상기 제2 절연 패턴(160)은 그 상면(160A)과 하면(160B)이 기판(110)의 주면에서 연장되는 평면에 평행하며, 상기 도전 라인 구조체(140)의 절연 캡핑 라인(144)을 기판(110)의 주면에서 연장되는 평면에 평행한 방향으로 덮는 형태로 형성될 수 있다. 또한, 상기 제2 절연 패턴(160)은 절연 스페이서 구조체(150)의 상부를 제3 절연 패턴의 하면(162B)으로 덮으며 형성될 수 있다. 전술한 구조상의 특징으로 인해 랜딩 패드(172)의 브리지 현상을 방지하고, 상기 절연 스페이서 구조체(150)의 제2 절연 스페이서(154)가 내부가 비어 있는 에어 스페이서인 경우, 상기 랜딩 패드(172)를 형성하는 물질 증착 시 증착되는 물질의 일부가 상기 에어 스페이서로 침투하는 것을 방지하는 효과가 있다.

[0044] 도 2는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자(100-2)의 요부(要部) 단면도이다. 도 2은 도 17a에서 요부만 도시한 것으로 일부 구성요소가 생략되어 도시될 수 있다.

[0045] 도 2에서, 도 1에서와 동일한 참조 부호는 동일 부재를 의미한다.

[0046] 상기 반도체 소자(100-2)는 활성 영역(116)을 포함하는 기판(110), 기판(110) 상의 절연막(132), 도전 라인 구조체(140) 및 상기 도전 라인 구조체(140)의 상면에 기판(110)의 주면에서 연장되는 평면에 평행한 방향으로 제2 절연 패턴(160)이 형성될 수 있다. 도 1에 도시된 반도체 소자(100-1)와 도 2에 도시된 반도체 소자(100-2)의 차이점은 콘택형 랜딩 패드 홀(171H) 및 랜딩 패드 형성용 도전층이다. 도 1에서 설명한 내용과 중복되는 내용의 설명은 생략한다.

[0047] 상기 절연막(132)에는 활성 영역(116)이 노출되는 복수의 콘택홀(170H)이 형성될 수 있다. 상기 콘택홀(170H)은 상기 복수의 도전 라인(142)중 이웃하는 2 개의 도전 라인(142) 사이에서 상기 이웃하는 2 개의 도전 라인(142) 각각의 측벽을 덮는 절연 스페이서 구조체(150) 및 상기 절연 스페이서 구조체(150)에 접하며 형성된 제2 절연 패턴(160)에 의해 한정된다. 상기 복수의 도전 라인(142) 각각의 사이에는 상기 콘택홀(170H)의 내부를 채우며 기판(110)에 연결되는 콘택 형성용 도전층(170A)이 형성될 수 있다.

[0048] 콘택형 랜딩 패드 홀(171H)은 콘택홀(170H) 상에서 제2 절연 패턴(160)에 의해 한정되는 공간에 형성된다. 랜딩 패드 형성용 도전층(170B)은 상기 콘택형 랜딩 패드 홀(171H)의 하부를 채우도록 형성된다. 상기 랜딩 패드 형성용 도전층(170B)은 상기 콘택 형성용 도전층(170A)에 전기적으로 연결될 수 있다.

[0049] 상기 랜딩 패드 형성용 도전층(170B) 상에 랜딩 패드(172)가 형성된다. 상기 랜딩 패드(172)는 상기 랜딩 패드 형성용 도전층(170B)과 연결되고, 도전 라인 구조체(140)에 수직으로 오버랩되도록 형성될 수 있다. 커패시터 하부 전극(180)은 상기 랜딩 패드(172) 상에 연결되도록 형성된다.

[0050] 본 발명의 일 실시예에 있어서, 상기 랜딩 패드 형성용 도전층(170B)와 상기 랜딩 패드(172) 사이에 금속 실리사이드막(158)을 포함할 수 있다. 상기 금속 실리사이드막(158)에 대한 설명은 도 1의 설명과 동일하다.

- [0051] 도 2를 참조하여 설명한 실시예들에 따른 반도체 소자(100-2)는, 도 1에서 설명한 반도체 소자(100-1)와 같이 기판(110)의 주면에 연장되는 평면에 평행하는 방향으로 상면 및 하면이 수평한 형태를 가진 제2 절연 패턴(160)으로 인해 랜딩 패드(172)의 브리지 현상과 커패시터 하부 전극(180)을 구성하는 물질이 에어 스페이서인 제2 절연 스페이서(154)에 침투하는 현상을 방지할 수 있다. 또한, 콘택 형성용 도전층(170A)이 제2 절연 패턴(160)의 하부까지 연장되도록 형성하고, 랜딩 패드 형성용 도전층(170B)이 상기 콘택 형성용 도전층(170A)의 상부에 일체를 이루며 연결되게 구성함으로써, 랜딩 패드(172)가 연결될 수 있는 제3 크기의 폭(W3)을 확보할 수 있다. 이로 인해, 상기 랜딩 패드(172) 제조 공정 시 랜딩 패드(172)가 형성되는 위치의 폭에 대한 충분한 마진 확보를 할 수 있어 불량률을 줄일 수 있는 효과가 있다.
- [0052] 도 3은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자(100-1 및 100-2)의 셀 어레이 영역의 개략적인 평면 레이아웃이다. 도 3에 예시한 레이아웃은 예를 들면 반도체 메모리 소자에서 6F2의 단위 셀 사이즈를 가지는 메모리 셀에 적용 가능하다. 여기서, F는 최소 리소그래피 피처 사이즈 (minimum lithographic feature size)를 나타낸다.
- [0053] 도 3을 참조하면, 상기 반도체 소자(100-1 및 100-2)는 복수의 활성 영역(AC)을 포함한다. 상기 활성 영역(AC)은 도 1 및 도 2에 도시된 기판(110)의 활성 영역(116)에 대응된다. 복수의 워드 라인(WL)이 상기 복수의 활성 영역(AC)을 가로질러 제1 방향 (도 3에서 X 방향)을 따라 상호 평행하게 연장되어 있다. 상기 복수의 워드 라인(WL)은 서로 등간격으로 배치될 수 있다. 상기 워드 라인(WL)은 도 4b, 4c, 4d에 도시된 워드 라인(120)에 대응된다.
- [0054] 상기 복수의 워드 라인(WL) 위에는 복수의 비트 라인(BL)이 상기 제1 방향과 직교하는 제2 방향 (도 3에서 Y 방향)을 따라 상호 평행하게 연장 되어 있다. 상기 복수의 비트 라인(BL)은 복수의 다이렉트 콘택(DC)을 통해 상기 복수의 활성 영역(AC)에 연결되어 있다. 상기 비트 라인(BL)은 도 1 및 도 2의 도전 라인(142)에 대응된다.
- [0055] 일부 실시예들에서, 복수의 비트 라인(BL)은 각각 3F의 피치(pitch)를 가지고 서로 평행하게 배치될 수 있다. 일부 실시예들에서, 복수의 워드 라인(WL)은 각각 2F의 피치를 가지고 서로 평행하게 배치될 수 있다.
- [0056] 복수의 베리드 콘택(buried contact, BC)은 복수의 비트 라인(BL) 중 상호 인접한 2 개의 비트 라인(BL) 사이의 영역으로부터 상기 상호 인접한 2 개의 비트 라인(BL) 중 어느 하나의 비트 라인(BL)의 상부까지 연장되는 콘택 구조물로 구성될 수 있다. 일부 실시예들에서, 상기 복수의 베리드 콘택(BC)은 상기 제1 방향 및 제2 방향을 따라 일렬로 배열될 수 있다. 일부 실시예들에서, 상기 복수의 베리드 콘택(BC)은 제2 방향을 따라 등간격으로 배치될 수 있다. 상기 베리드 콘택(BC)은 도 1에서는 콘택 플러그(170), 도 2에서는 콘택 형성용 도전층(170A)에 대응된다.
- [0057] 상기 복수의 베리드 콘택(BC)은 커패시터의 하부 전극(ST)을 활성 영역(AC)에 전기적으로 연결시키는 역할을 할 수 있다. 상기 커패시터 하부 전극(ST)은 도 1 및 도 2에 도시된 커패시터 하부 전극(180)에 대응된다.
- [0058] 도 4a 내지 도 12d는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 4a 내지 도 4e는 도 1 및 도 2에 도시된 반도체 소자(100-1 및 100-2)의 제조 과정 중 공통적인 공정을 나타내는 단면도이고, 도 5 내지 도 12d는 도 1에서 설명한 반도체 소자(100-1)의 제조 공정을 나타내고, 도 13 내지 도 17d는 도 2에서 설명한 반도체 소자(100-2)의 제조 공정을 나타낸다. 도 5 내지 도 11/ 도 13 내지 도 16의 경우 연속적인 제조 공정을 나타내는 단면도이므로, 본 발명의 특징이 부각될 수 있는 부분만 도시하였고, 나머지 단면도는 생략하였다.
- [0059] 상기 반도체 소자(100-1 및 100-2)의 셀 어레이 영역은 도 3에 예시한 레이아웃을 가질 수 있다. 도 4a, 도 12a 및 도 13a는 각각 도 3의 A - A' 선 단면에 대응하는 일부 구성의 단면도이다. 도 4b, 도 12b 및 도 17b는 각각 도 3의 B - B' 선 단면에 대응하는 일부 구성의 단면도이다. 도 4c, 도 12c 및 도 17c는 각각 도 3의 C - C' 선 단면에 대응하는 일부 구성의 단면도이다. 도 4d, 도 12d 및 도 17d는 각각 도 3의 D - D' 선 단면에 대응하는 일부 구성의 단면도이다. 도 4e는 상기 반도체 소자(100-1 및 100-2)의 셀 어레이 영역 주위에 배치되는 코어 영역 및 주변회로 영역 (CORE/PERI) (이하, "주변회로 영역"이라 칭함)의 일부 구성을 도시한 단면도이다. 도 4e에서 예시되는 구성은 상기 반도체 소자(100-1 및 100-2)의 코어 영역 또는 주변회로 영역의 일부 구성에 해당할 수도 있다.
- [0060] 도 4a 내지 도 4e를 참조하면, 기판(110)에 소자 분리용 트렌치(112)를 형성하고, 상기 소자 분리용 트렌치(112) 내에 소자분리막(114)을 형성한다. 상기 소자분리막(114)에 의해 기판(110)에 복수의 활성 영역(116)이 정의된다. 상기 복수의 활성 영역(116)은 도 3에 예시한 활성 영역(AC)과 같이 각각 단축 및 장축을 가지는 비

교적 긴 아일랜드 형상을 가질 수 있다.

- [0061] 상기 소자분리막(114)은 제1 절연막(114A) 및 제2 절연막(114B)을 포함할 수 있다. 상기 제1 절연막(114A) 및 제2 절연막(114B)은 서로 다른 물질로 이루어질 수 있다. 예를 들면, 상기 제1 절연막(114A)은 산화막으로 이루어지고, 상기 제2 절연막(114B)은 질화막으로 이루어질 수 있다. 그러나, 본 발명의 기술적 사상에 따르면, 상기 소자분리막(114)의 구성은 상술한 바에 한정되는 것은 아니다. 예를 들면, 상기 소자분리막(114)은 1 종류의 절연막으로 이루어지는 단일층, 또는 적어도 3 종류의 절연막들의 조합으로 이루어지는 다중층으로 구성될 수도 있다.
- [0062] 도 4b에 예시된 바와 같이, 저면에 단차가 형성된 상기 복수의 워드 라인 트렌치(118)를 형성하기 위하여, 소자분리막(114) 및 기판(110)에 대하여 각각 별도의 식각 공정을 이용하거나 또는 식각 선택비가 다른 식각 공정을 이용하여 동시에 식각하여, 소자분리막(114)의 식각 깊이와 기판(110)의 식각 깊이가 서로 다르게 되도록 할 수 있다.
- [0063] 상기 복수의 워드 라인 트렌치(118)가 형성된 결과물을 세정한 후, 상기 복수의 워드 라인 트렌치(118) 각각의 내부에 게이트 유전막(122), 워드 라인(120), 및 매몰 절연막(124)을 차례로 형성한다.
- [0064] 일부 실시예들에서, 상기 워드 라인(120)을 형성한 후, 상기 워드 라인 트렌치(118)의 측면에 인접한 상기 기판(110)에 불순물 이온을 주입하여 활성 영역(116)의 상면에 소스/드레인 영역(116S)을 형성할 수 있다. 다른 일부 실시예들에서, 상기 복수의 워드 라인(120)을 형성하기 전에 소스/드레인 영역(116S)을 형성하기 위한 불순물 이온 주입 공정이 수행될 수 있다.
- [0065] 상기 복수의 워드 라인(120)의 저면은 요철 형상을 가지며, 복수의 활성 영역(116)에는 새들 핀 구조의 트랜지스터 (saddle FINFET)가 형성된다. 일부 실시예들에서, 상기 복수의 워드 라인(120)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, 또는 WSiN 중에서 선택되는 적어도 하나의 물질로 이루어진다.
- [0066] 상기 게이트 유전막(122)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO (oxide/nitride/oxide), 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막 (high-k dielectric film) 중에서 선택되는 적어도 하나로 이루어질 수 있다. 예를 들면, 상기 게이트 유전막(122)은 약 10 내지 25의 유전 상수를 가질 수 있다. 일부 실시예들에서, 상기 게이트 유전막(122)은 hafnium 산화물(HfO₂), hafnium 실리케이트(HfSiO₄), hafnium 산화 질화물(HfON), hafnium 실리콘 산화 질화물(HfSiON), lanthanum 산화물(LaO), lanthanum 알루미늄 산화물(LaAlO₃), zirconium 산화물(ZrO), zirconium 실리케이트(ZrSiO₄), zirconium 산화 질화물(ZrON), zirconium 실리콘 산화 질화물(ZrSiON), tantalum 산화물(TaO), titanium 산화물(TiO), barium 스트론튬 티타늄 산화물(BaSrTiO₃), barium 티타늄 산화물(BaTiO₃), strontium 티타늄 산화물(SrTiO₃), yttrium 산화물(YO), aluminum 산화물(AlO), 또는 납 스칸듐 탄탈륨 산화물(PbScTaO) 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 예를 들면, 상기 게이트 유전막(122)은 HfO₂, Al₂O₃, HfAlO₃, Ta₂O₃, 또는 TiO₂ 로 이루어질 수 있다.
- [0067] 상기 매몰 절연막(124)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0068] 상기 기판(110)상에 절연막(132)을 형성한다. 상기 절연막(132)은 약 200 ~ 400 Å의 두께를 가지도록 형성될 수 있다. 상기 절연막(132)은 실리콘 산화물을 포함할 수 있다. 예를 들면, 상기 절연막(132)은 TEOS (tetraethylorthosilicate), HDP (high density plasma), 또는 BPSG (boro-phospho silicate glass)로 이루어질 수 있다.
- [0069] 상기 절연막(132)은 복수의 소스 영역(116S)을 노출시키는 복수의 개구(132H)가 형성될 수 있다.
- [0070] 그 후, 절연막(132)에 형성된 복수의 개구(132H) 내에 도전 물질을 채워 상기 활성 영역(116)의 소스 영역(116S)에 전기적으로 연결 가능한 복수의 다이렉트 콘택(130)을 형성한다.
- [0071] 상기 절연막(132) 및 복수의 다이렉트 콘택(130) 위에서 상호 평행하게 연장되는 복수의 도전 라인 구조체(140)를 형성한다. 상기 복수의 도전 라인 구조체(140)는 복수의 도전 라인(142)과, 상기 복수의 도전 라인(142)의 상면을 각각 덮는 절연 캡핑 라인(144)을 포함한다. 상기 복수의 도전 라인(142)은 상기 복수의 다이렉트 콘택(130)과 연결됨으로써 기판(110)의 활성 영역(116)의 소스 영역(116S)과 전기적으로 연결될 수 있다.
- [0072] 일부 실시예들에서, 상기 복수의 도전 라인(142)은 불순물이 도핑된 반도체, 금속, 도전성 금속 질화물, 또는 금속 실리사이드 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 다른 일부 실시예들에서, 상기 복수의

도전 라인(142)은 제1 금속 실리사이드막, 도전성 배리어막, 제2 금속 실리사이드막, 및 금속 또는 금속 질화물로 이루어지는 전극층이 차례로 적층된 다중층 구조로 이루어질 수 있다. 예를 들면, 상기 복수의 도전 라인(142)은 도핑된 폴리실리콘, TiN 및 텅스텐이 순차적으로 적층된 적층 구조를 가질 수 있다.

[0073] 일부 실시예들에서, 상기 복수의 절연 캡핑 라인(144)은 실리콘 질화막으로 이루어진다. 상기 복수의 절연 캡핑 라인(144)의 두께는 상기 복수의 도전 라인(142)의 두께보다 더 클 수 있다.

[0074] 일부 실시예들에서, 복수의 도전 라인 구조체(140)를 형성하기 위하여, 먼저 상기 절연막(132) 위에 도전 라인 형성용 도전층과, 상기 도전층을 덮는 절연층을 형성한다. 상기 절연층의 두께는 상기 도전 라인 형성용 도전층의 두께보다 더 클 수 있다. 상기 절연층을 패터닝하여 상기 복수의 절연 캡핑 라인(144)을 형성한 후, 상기 복수의 절연 캡핑 라인(144)을 식각 마스크로 이용하여 상기 도전 라인 형성용 도전층을 식각하여, 상기 복수의 도전 라인(142)을 형성한다.

[0075] 상기 복수의 도전 라인 구조체(140)의 양 측벽은 절연 스페이서 구조체(150)로 덮여 있다. 상기 절연 스페이서 구조체(150)는 제1 절연 스페이서(152), 제2 절연 스페이서(154) 및 제3 절연 스페이서(156)를 포함할 수 있다. 상기 절연 스페이서 구조체(150)는 실리콘 산화막, 실리콘 질화막, 공기(air), 또는 이들의 조합으로 이루어질 수 있다. 본 발명의 일 실시예에서는 상기 절연 스페이서 구조체(150) 중 제1 절연 스페이서(152) 및 제3 절연 스페이서(156)로 둘러 쌓여 있는 제2 절연 스페이서(154)는 선택적으로 제거될 수 있는 희생절연막으로서, 내부가 공기(air)로 채워진 에어 스페이서(air spacer)로 형성될 수 있다. 상기 절연 스페이서 구조체(150)는 실리콘 산화막, 실리콘 질화막, 공기 또는 그 조합으로 이루어질 수 있다. 또한, 상기 절연 스페이서 구조체(150)가 삼중층으로 이루어진 경우를 예시하였지만, 이에 한정되는 것은 아니고, 단일층 또는 이중층일 수 있다.

[0076] 복수의 도전 라인 구조체(140) 및 절연 스페이서 구조체(150) 각각의 사이의 공간(도 4b 참조)에는 복수의 제1 절연 패턴(134)이 형성된다. 본 발명의 일 실시예에서, 상기 복수의 제1 절연 패턴(134)을 형성하기 위하여 먼저 상기 복수의 도전 라인 구조체(140) 각각의 사이의 공간을 채우는 절연막을 형성한 후, 에치백(etch back) 또는 화학적 물리적 연마(Chemical Mechanical Polishing) 공정을 이용하여 상기 절연막을 식각하여 상기 복수의 도전 라인 구조체(140)의 상부를 노출시키고, 상기 공간 내에 상기 제1 절연 패턴(134)이 남도록 할 수 있다. 본 발명의 일 실시예에서, 상기 제1 절연 패턴(134)은 실리콘 산화막, 실리콘 질화막, 또는 이들의 조합으로 이루어질 수 있다.

[0077] 기판(110)의 활성 영역(116)이 노출되도록 절연막(132)을 관통하는 복수의 콘택홀(170H)이 형성된다. 상기 콘택홀(170H)은 상기 제1 절연 패턴(134)의 일부를 선택적으로 제거하여 복수의 도전 라인(142)중 이웃하는 2 개의 도전 라인(142) 사이에서 상기 이웃하는 2 개의 도전 라인(142) 각각의 측벽을 덮는 절연 스페이서 구조체(150)에 의해 한정되는 공간을 형성할 수 있다. 상기 콘택홀(170H)은 제1 절연 패턴(134)만을 제거할 수 있는 식각 선택비를 가진 공정, 예를 들어 에치백(etch back) 공정을 이용하여 식각하여 형성할 수 있다.

[0078] 도전 라인 구조체(140)의 상면은 모서리의 형태가 아닌 타원 형태로 둥글게 형성될 수 있다. 이는 상기 도전 라인 구조체(140)의 절연 캡핑 라인(144)을 증착 및 식각 공정으로 제조하기 때문인데, 추후 랜딩 패드를 형성하는 공정을 진행할 때 랜딩 패드가 서로 분리되지 않아 단락이 일어나는 브리지 현상이 발생할 수 있고, 커패시터 하부 전극을 형성하는 공정 시에 상기 커패시터 하부 전극을 이루는 물질, 예를 들어 TiN이 에어 스페이서인 제2 절연 스페이서(154)에 침투할 수 있는 문제점이 발생할 수 있다. 이는 랜딩 패드의 제조 공정의 불량률을 높일 수 있는 것으로 전체적인 수율을 감소시킬 수 있다.

[0079] 도 4e에 예시된 바와 같이, 주변회로 영역(CORE/PERI)에서는 상기 복수의 도전 라인 구조체(140)와 동일한 물질의 적층 구조를 포함하는 게이트 구조(240)가 형성될 수 있다. 상기 게이트 구조(240)는 게이트 절연막(230)과, 게이트 전극(242)과, 상기 게이트 전극(242)의 상면을 덮는 절연 캡핑층(244)을 포함한다. 일부 실시예들에서, 상기 게이트 전극(242)의 구성 물질은 상기 복수의 도전 라인(142)의 구성 물질과 동일하다.

[0080] 상기 게이트 구조(240)의 양 측벽은 주변회로 영역 절연 스페이서 구조체(250)로 덮여 있다. 상기 주변회로 영역 절연 스페이서 구조체(250)는 제1 절연 스페이서(252), 제2 절연 스페이서(254) 및 제3 절연 스페이서(256)를 포함할 수 있다. 상기 주변회로 영역 절연 스페이서 구조체(250)는 실리콘 산화막, 실리콘 질화막, 공기(air), 또는 이들의 조합으로 이루어지는 절연성 물질로 이루어진다. 본 발명의 일 실시예에서는 상기 주변회로 영역 절연 스페이서 구조체(250) 중 제2 절연 스페이서(254)가 에어 스페이서인 것을 예시하였지만 이에 한정되는 것은 아니며, 실리콘 산화막 또는 실리콘 질화막의 단일층, 이중층, 또는 삼중층으로 이루어질 수 있다.

[0081] 상기 게이트 구조(240)의 주위에는 평탄화된 층간절연막(260)이 형성되어 있다. 상기 층간절연막(260)은

산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 일부 실시예들에서, 상기 층간절연막(260)은 그 상면에서 노출되는 식각 저지막(262)을 포함할 수 있다. 상기 식각 저지막(262)은 예를 들면 도 6을 참조하여 후술하는 절연 공간(160E)의 형성을 위한 식각 공정시 식각 저지층으로 이용될 수 있다. 일부 실시예들에서, 상기 식각 저지막(262)은 실리콘 질화막으로 이루어질 수 있다. 다른 일부 실시예에서, 상기 식각 저지막(262)은 생략되거나 다른 식각 마스크를 활용할 수 있다.

[0082] 도 5를 참조하면, 셀 어레이 영역에서, 상기 복수의 도전 라인 구조체(140)의 양 측면에 형성된 상기 한쌍의 절연 스페이스 구조체(150) 각각의 사이 공간(도 4a 및 도 4d 참조)이 형성하는 콘택홀(170H)에 콘택 형성용 도전층(170A)을 채운다. 상기 콘택 형성용 도전층(170A)을 채우는 방법으로 화학 기상 증착(Chemical Vapor Deposition), 물리 기상 증착(Physical Vapor Deposition), 실리콘 에피탁시 성장(Silicon Epitaxial Growing) 등의 방법을 사용할 수 있다. 상기 콘택 형성용 도전층(170A)은 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 콘택 형성용 도전층(170A)은 기판(110)의 활성 영역(116)에 연결되어 추후 공정에서 콘택 플러그를 형성하게 된다.

[0083] 상기 방법으로 콘택 형성용 도전층(170A)을 형성한 후에는 식각 선택비를 가지는 화학적 기계적 연마(Chemical Mechanical Polishing) 공정 및/또는 에치백(etchback) 공정을 이용하여 상기 콘택 형성용 도전층(170A)만을 선택적으로 식각하여 단차를 낮춘다. 도전 라인 구조체(140)의 상부는 절연 캡핑 라인(144)을 포함하므로 절연층은 식각하지 않고, 도전층만 식각할 수 있도록 식각 선택비를 가지는 방법으로 식각하는 경우 상기 절연 캡핑 라인(144)은 높이가 그대로 유지될 수 있다.

[0084] 도 6을 참조하면, 상기 복수의 도전 라인 구조체(140)의 상측 일부분을 제거하여 상면이 기판(110)의 주면에 연장되는 평면에 평행하도록 형성시킬 수 있다. 이 때, 셀 어레이 영역만 식각하는 공정을 적용해야 하므로, 도 4e에 도시된 주변회로 영역은 상기 식각 저지막(262)을 사용하거나 별도의 마스크를 사용하여 식각되지 않게 할 수 있다. 본 발명의 일 실시예에서 상기 식각 저지막(262) 대신 셀 오픈 포토(Cell Open Photo)를 활용할 수 있다. 상기 식각 공정을 통해 절연 스페이스 구조체(150)의 상면 일부가 노출되고, 절연 캡핑 라인(144)의 상면이 기판의 주면에 연장되는 평면에 평행한 형태로 형성될 수 있다.

[0085] 상기 식각 공정은 도전 물질은 식각하지 않고, 절연 물질만을 식각하는 식각 선택비를 가진 공정을 사용할 수 있다. 본 발명의 일 실시예에서는 습식 식각(wet etch), 건식 식각(dry etch) 또는 에치백(etchback) 공정을 사용할 수 있다. 상기 절연 캡핑 라인(144) 및 상기 절연 스페이스 구조체(150)는 상기 식각 공정을 통해 상면의 일부가 제거됨으로써, 인접 2개의 콘택 형성용 도전층(170A)의 상측 사이에 제2 절연 패턴 공간(160E)이 형성된다. 상기 도전 라인 구조체(140) 및 상기 절연 스페이스 구조체(150)의 상면이 식각 선택비에 의해 제거되지 않은 콘택 형성용 도전층(170A)의 상면과 소정의 단차(160H)를 형성할 수 있다.

[0086] 도 7을 참조하면, 제2 절연 패턴 공간(160E)을 모두 채우고 콘택 형성용 도전층(170A)의 상면을 덮도록 제2 절연 패턴(160)을 형성한다. 상기 제2 절연 패턴(160)을 형성하는 물질은 실리콘 산화막, 실리콘 질화막 또는 이들의 조합 중 적어도 하나로 이루어질 수 있다. 본 발명의 일 실시예에 있어서는, 실리콘 질화막으로 이루어질 수 있다. 상기 제2 절연 패턴(160)을 형성하는 방법으로 화학 기상 증착(Chemical Vapor Deposition), 물리 기상 증착(Physical Vapor Deposition) 등을 사용할 수 있다.

[0087] 제2 절연 패턴(160)을 형성하는 물질을 콘택 형성용 도전층(170A)을 모두 덮도록 형성한 후에는 상기 콘택 형성용 도전층(170A)이 노출될 때까지 상기 제2 절연 패턴(160)을 형성하는 물질을 일부 제거하여, 상기 제2 절연 패턴(160)을 형성하는 물질의 상면을 평탄화시키는 공정을 수행한다. 상기 식각 공정은 도전 물질은 식각하지 않고, 절연 물질만을 식각하는 화학적 기계적 연마(Chemical Mechanical Polishing) 또는 에치백(etchback) 공정을 사용할 수 있다. 이는 제2 절연 패턴(160)을 형성할 때 화학 기상 증착이나 물리 기상 증착 등의 방법을 사용하는 경우 표면이 평탄하지 않고, 둥근 면이 되는 것을 방지하기 위함이다. 전술한 방법으로 제2 절연 패턴(160)을 형성하고, 상기 제2 절연 패턴(160)의 상면(160A)을 기판(110)의 주면에 연장되는 평면에 평행하게 함으로써 추후 랜딩 패드 형성 공정에서 랜딩 패드가 서로 분리되지 않는 브리지 현상을 방지할 수 있고, 또한 커패시터 하부 전극 형성시에 상기 커패시터 하부 전극 형성 물질의 에어 스페이스 침투를 방지하는 효과를 얻을 수 있다.

[0088] 도 8을 참조하면, 콘택 형성용 도전층(170A)을 식각 선택비를 가지는 식각 공정을 이용하여 단차를 낮추도록 선택적으로 일부 제거하여 콘택 플러그(170)를 형성한다. 이는 추후에 랜딩 패드와 연결하여 결과적으로 커패시터 하부 전극과 기판(110)의 활성 영역(116)을 전기적으로 연결하려는 것으로, 상기 콘택 형성용 도전층(170A)의 높이를 낮추지 않고 그대로 상기 랜딩 패드를 연결시킬 경우 발생할 수 있는 브리지 현상을 방지하기 위함이다.

- [0089] 상기 콘택 플러그(170)를 형성한 이후에는 절연 스페이스 구조체(150)의 측벽 및 제2 절연 패턴(160)의 측벽에 랜딩 패드 스페이스(155)를 형성할 수 있다. 상기 랜딩 패드 스페이스(155)는 랜딩 패드의 형성시 상기 랜딩 패드의 폭을 한정할 수 있다. 다른 일부 실시예들에서, 상기 랜딩 패드 스페이스(155)의 형성 공정은 생략될 수 있다.
- [0090] 도 9를 참조하면, 상기 콘택 플러그(170)의 상면에 노출되는 표면에 금속 실리사이드막(158)을 형성할 수 있다. 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x), 니켈 실리사이드(NiSi_x), 망간 실리사이드(MnSi_x) 중 에서 선택되는 적어도 하나를 포함할 수 있다. 본 발명의 일 실시예에 있어서는 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x)로 이루어질 수 있다. 그러나, 상기 금속 실리사이드막(158)은 상기 예시된 바에 한정 되는 것은 아니다.
- [0091] 일부 실시예들에서, 상기 금속 실리사이드막(158)을 형성하기 위하여 다음의 공정들을 수행할 수 있다. 먼저, 복수의 콘택 플러그(170) 각각의 상면에 노출되는 표면에 금속층을 퇴적한 후, 제1 RTP(Rapid Thermal Processing) 공정을 행하여 상기 금속층을 실리사이드화(silicidation)한다. 상기 제1 RTP 공정은 약 450 ~ 550 °C의 온도하에서 행할 수 있다. 상기 제1 RTP 공정에서 Si 원자와 반응하지 않은 금속층을 제거한 후, 상기 제1 RTP 공정시보다 더 높은 온도, 예를 들면 약 800 ~ 950 °C의 온도하에서 제2 RTP 공정을 행하여, 상기 금속 실리사이드막(158)을 형성한다. 일부 실시예들에서, 상기 금속층으로서 Co 층을 형성하여, 코발트 실리사이드로 이루어지는 금속 실리사이드막(158)을 형성할 수 있다. 다른 일부 실시예들에서, 상기 금속 실리사이드막(158)의 형성 공정은 생략될 수 있다.
- [0092] 상기 금속 실리사이드막(158)의 형성 공정 이후에 제2 절연 패턴(160)의 측면 및 상기 랜딩 패드 스페이스(155)의 측면을 덮는 배리어막(159)을 형성할 수 있다. 상기 배리어막(159)은 선택적으로 상기 금속 실리사이드막(158)의 상면에도 형성될 수 있다. 상기 배리어막(159)은 Ti/TiN 적층 구조로 이루어질 수 있다.
- [0093] 도 10을 참조하면, 랜딩 패드 형성용 물질(172A)이 배리어막(159)이 한정하는 공간을 채우도록 형성시킨다. 상기 랜딩 패드 형성용 물질(172A)은 화학 기상 증착(Chemical Vapor Deposition) 또는 물리 기상 증착(Physical Vapor Deposition)의 방법으로 형성될 수 있다. 상기 랜딩 패드 형성용 물질(172A)은 금속, 금속 화합물 또는 폴리실리콘과 같은 도전성 물질로 이루어질 수 있다. 본 발명의 일 실시예에 있어서 상기 랜딩 패드 형성용 물질(172A)은 텅스텐(W)으로 이루어질 수 있다.
- [0094] 상기 랜딩 패드 형성용 물질(172A)은 상기 금속 실리사이드막(158) 및 상기 배리어막(159)으로 한정된 공간을 채우며 전체적으로 도전 라인 구조체(140) 및 제2 절연 패턴(160)을 덮는 형태로 형성될 수 있다. 상기 랜딩 패드 형성용 물질(172A)은 금속 실리사이드막(158)을 통해 콘택 플러그(170)와 물리적 또는 전기적으로 연결되고, 상기 콘택 플러그(170)는 기판의 활성 영역(116)과 전기적으로 연결되어 추후 공정을 통해 커패시터 하부 전극과의 전기적 연결을 이루게 된다.
- [0095] 도 11을 참조하면, 랜딩 패드(172)의 일부 및 제2 절연 패턴(160)의 일측의 일부를 절연 스페이스 구조체(150)가 노출되도록 제거하여 랜딩 패드 홀(172H)을 형성할 수 있다. 상기 랜딩 패드 홀(172H)은 제2 절연 패턴(160)의 일측의 일부 및 절연 스페이스 구조체(150)의 상측 일부를 제거하여 형성됨으로써 상기 랜딩 패드(172)를 서로 단락되지 않게 나누어줄 수 있다.
- [0096] 상기 랜딩 패드 홀(172H)을 형성하면, 상기 절연 스페이스 구조체(150)의 상면이 노출되므로, 상기 랜딩 패드 홀(172H)을 통해 노출된 상기 절연 스페이스 구조체(150)의 삼중층 구조의 가장 내부에 형성된 제2 절연 스페이스(154)를 선택적으로 제거하여 빈 공간으로 만들 수 있다. 상기 제거 방법은 예를 들면, 식각 선택비를 가진 습식 식각(wet etch) 방법을 사용할 수 있다. 이때 상기 제2 절연 스페이스(154)는 희생 절연막으로 하여 상기 방법을 통해서 내부가 비어있는 에어 스페이스를 형성할 수 있다.
- [0097] 상기 에어 스페이스는 복수의 도전 라인 구조체(140)의 길이 방향을 따라 연장될 수 있다. 고도로 다운 스케일링(down scaling)된 고집적 반도체 소자의 제한된 공간 내에서 상기 복수의 도전 라인(142)과 복수의 콘택 플러그(170)와의 사이에 상기 에어 스페이스가 형성됨으로써, 복수의 도전 라인(142) 및 복수의 콘택 플러그(170) 각각의 사이에서의 비유전율(relative permittivity)이 감소되어, 서로 인접한 도전 라인(142)들 또는 상기 도전 라인(142)과 상기 콘택 플러그(170) 간의 커패시턴스(capacitance)를 감소시킬 수 있다.
- [0098] 도 12a 내지 도 12d를 참조하면, 상기 랜딩 패드 홀(172H)에 절연 물질을 채워넣어 제3 절연 패턴(162)을 형성할 수 있다. 상기 랜딩 패드 홀(172H)에 채워넣는 절연 물질은 실리콘 산화막, 실리콘 질화막 또는 그 조합일

수 있다.

- [0099] 도 12a 내지 도 12d를 참조하여 설명한 실시예들에 따른 반도체 소자에서, 기관(110)의 활성 영역(116)과 커패시터 하부 전극을 전기적으로 연결하기 위한 콘택 구조물은 활성 영역(116)에 연결되는 콘택 플러그(170), 상기 콘택 플러그(170)에 연결되고 도전 라인(142)과 수직으로 오버랩되도록 도전 라인 구조체(140) 상의 제2 절연 패턴(160)을 덮는 형태로 형성된 랜딩 패드(172)를 포함한다. 상기 콘택 플러그(170)와 상기 랜딩 패드(172) 사이에는 금속 실리사이드막(158)과 배리어막(159)이 더 형성될 수 있다. 도 1에 도시된 커패시터 하부 전극(180)이 상기 랜딩 패드(172)와 연결된다. 이후 커패시터 하부 전극 상에 커패시터 절연막과 커패시터 상부 전극을 순차적으로 형성하여 상기 커패시터 하부 전극, 상기 커패시터 절연막 및 상기 커패시터 상부 전극을 연결하여 커패시터를 형성할 수 있다.
- [0100] 랜딩 패드 홀(172H)의 제조 공정에서 배리어막(159)의 일부를 절단하는데, 제2 절연 패턴(160)이 생략된 경우, 즉 도전 라인 구조체(140)의 절연 캡핑 라인(144)을 식각하지 않고, 상기 제2 절연 패턴(160)도 기관의 주면에 연장되는 평면에 평행하게 형성하지 않는 경우에는 상기 도전 라인 구조체(140)의 상면이 둥근 모양 혹은 총알 모양으로 형성되어 상기 배리어막(159)이 절단되지 않아 단락이 일어나는 랜딩 패드(172)의 브리지 현상이 발생할 수 있다. 상기 랜딩 패드 홀(172H)에 절연 물질을 채워 제3 절연 패턴(162)을 형성함으로써, 상기 제2 절연 스페이서(154)가 에어 스페이서인 경우 상기 에어 스페이서에 커패시터 하부 전극을 이루는 물질의 침투를 방지할 수 있다.
- [0101] 도 13 내지 도 17d는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자(도 2 및 도 17a 참조)의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- [0102] 상기 반도체 소자의 제조 방법은 도 4a 내지 도 4e에서 설명한 단계에 이어 도 5 및 도 6에서 설명한 부분 이후부터 진행된다. 따라서 도 4a 내지 도 4e, 도 5 및 도 6에서 설명한 내용 중 중복되는 내용은 생략한다.
- [0103] 도 13을 참조하면, 기관(110)의 주면에서 연장되는 평면에 평행하도록 식각된 절연 캡핑 라인(144), 절연 스페이서 구조체(150)의 상면 및 콘택 형성용 도전층(170A)의 위에 제2 절연 패턴(160)을 덮으며 형성한다. 상기 제2 절연 패턴(160)은 실리콘 산화물, 실리콘 질화물 또는 그 조합으로 이루어질 수 있다. 상기 제2 절연 패턴(160)의 형성은 화학 기상 증착(Chemical Vapor Deposition), 물리 기상 증착(Physical Vapor Deposition) 등의 방법을 사용할 수 있다.
- [0104] 제2 절연 스페이서(154)를 희생절연막으로 하여 내부를 식각하여 제거한 후 에어 스페이서로 형성한 다음 상기 에어 스페이서의 상층을 막는 방식으로 상기 제2 절연 패턴(160)을 채워넣음으로써 추후 커패시터 하부 전극을 채우는 공정에서 상기 커패시터 하부 전극을 이루는 물질이 상기 에어 스페이서에 침투하는 것을 방지하는 효과를 얻을 수 있다.
- [0105] 도 14를 참조하면, 상기 제2 절연 패턴(160)에 콘택형 랜딩 패드 홀(171H)을 형성한다. 상기 콘택형 랜딩 패드 홀(171H)은 상기 제2 절연 패턴(160)의 일부를 식각하여 공간을 확보하는 것으로, 도 11에 도시된 실시예에서 제2 절연 패턴(160) 및 절연 스페이서 구조체(150)에 공간을 만드는 것과는 차이가 있다. 추후 공정 단계에 따라 상세히 설명하겠지만, 도 14에 도시된 것과 같이 제2 절연 패턴(160)에만 콘택형 랜딩 패드 홀(171H)을 형성함으로써 랜딩 패드 넥(Landing Pad Neck) 현상을 방지할 수 있다.
- [0106] 도 15를 참조하면, 상기 콘택형 랜딩 패드 홀(171H)을 채우고 제2 절연 패턴(160)의 상면을 덮도록 랜딩 패드 형성용 도전층(170B)을 형성한다. 상기 랜딩 패드 형성용 도전층(170B)은 화학 기상 증착(Chemical Vapor Deposition) 또는 물리 기상 증착(Physical Vapor Deposition)의 방법으로 형성될 수 있다. 상기 랜딩 패드 형성용 도전층(170B)은 도핑된 폴리실리콘과 같은 도전성 물질로 이루어질 수 있다.
- [0107] 상기 랜딩 패드 형성용 도전층(170B)은 상기 한 쌍의 도전 라인 구조체(140) 사이에 형성되어 있는 상기 콘택 형성용 도전층(170A)과 일체를 이루어 연결될 수 있다. 상기 랜딩 패드 형성용 도전층(170B)과 상기 콘택 형성용 도전층(170A)은 동일한 물질로 이루어질 수 있다.
- [0108] 도 16을 참조하면, 랜딩 패드 형성용 도전층(170B)의 단차를 낮추는 공정을 수행한다. 상기 콘택 형성용 도전층(170A)과 제2 절연 패턴(160)이 X 방향으로 접하는 부분의 높이(160C)보다 낮은 높이로 낮춘다. 이는 상기 랜딩 패드 형성용 도전층(170B)의 단차를 상기 높이(160C)보다 낮추지 않고, 랜딩 패드를 형성하는 경우 랜딩 패드 간 분리가 제대로 이루어지지 않아 브리지 현상이 발생할 수 있으므로 이를 방지하기 위함이다.
- [0109] 상기 랜딩 패드 형성용 도전층(170B)의 단차를 낮추기 위해서 도전물질만 식각하고, 절연물질은 그대로 유지시

킬 수 있는 식각 선택비를 가진 식각 방법을 사용할 수 있다. 식각 선택비를 가지지만 하면 되므로 화학적 기계적 연마(Chemical Mechanical Polishing) 또는 에치백(etchback) 공정을 이용하여 상기 랜딩 패드 형성용 도전층(170B)만을 일부 제거하여 상기 랜딩 패드 형성용 도전층(170B)의 단차를 상기 높이(160C)보다 낮출 수 있다.

[0110] 도 17a 내지 도 17d를 참조하면, 금속 실리사이드막(158)을 상기 식각 공정으로 단차가 낮아진 랜딩 패드 형성용 도전층(170B)의 상면에 형성하고, 배리어막(159)을 콘택형 랜딩 패드 홀(171H)의 양 측면을 채워 형성한 후에 상기 금속 실리사이드막(158)과 배리어막(159)으로 한정된 상기 콘택형 랜딩 패드 홀(171H)의 나머지 공간에 도전 물질을 채워 랜딩 패드(172)를 형성한다.

[0111] 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x), 니켈 실리사이드(NiSi_x) 또는 망간 실리사이드(MnSi_x) 중에서 선택되는 적어도 하나를 포함할 수 있다. 본 발명의 일 실시예에 있어서는 상기 금속 실리사이드막(158)은 코발트 실리사이드(CoSi_x)로 이루어질 수 있다. 그러나, 본 발명의 기술적 사상에 의하면, 상기 금속 실리사이드막(158)은 상기 예시된 바에 한정되는 것은 아니며, 다양한 종류의 금속 실리사이드 중에서 선택되는 물질로 이루어질 수 있다. 상기 금속 실리사이드막(158)을 형성하기 위한 방법은 도 9에서 설명한 것과 동일하므로 생략한다.

[0112] 상기 금속 실리사이드막(158)의 형성하는 공정 이후에 콘택형 랜딩 패드 홀(171H)의 내부 측면을 덮는 형태로 배리어막(159)이 형성될 수 있다. 상기 배리어막(159)은 선택적으로 상기 금속 실리사이드막(158)의 상면에 도 형성될 수 있다. 상기 배리어막(159)은 Ti/TiN 적층 구조로 이루어질 수 있다.

[0113] 상기 배리어막(159)과 상기 금속 실리사이드막(158)로 한정된 콘택형 랜딩 패드 홀(171H)의 남은 공간에 랜딩 패드(172)를 형성한다. 상기 랜딩 패드(172)는 도전 물질을 화학 기상 증착(Chemical Vapor Deposition) 또는 물리 기상 증착(Physical Vapor Deposition)의 방법으로 채워넣어 형성될 수 있다. 상기 랜딩 패드(172)는 금속, 금속 화합물 또는 도핑된 폴리실리콘과 같은 도전성 물질로 이루어질 수 있다. 본 발명의 일 실시예에 있어서는 텅스텐(W)으로 이루어질 수 있다.

[0114] 상기 랜딩 패드(172)는 상기 금속 실리사이드막(158)을 통해 랜딩 패드 형성용 도전층(170B)과 물리적 또는 전기적으로 연결되고, 상기 랜딩 패드 형성용 도전층(170B)은 상기 콘택 형성용 도전층(170A)과 일체를 이루고 기판의 활성 영역(116)과 연결시킬 수 있어 추후 공정을 통해 도 2에 도시된 커패시터 하부 전극(180)과의 전기적 연결을 이룰 수 있다.

[0115] 설명한 바와 같이, 본 발명의 기술적 사상에 의한 실시예에 있어서는, 상기 도전 라인 구조체(140)의 절연 캡핑 라인(144)을 식각 공정으로 평탄화한 후에 제2 절연 스페이서(154)를 희생절연막으로 하여 에어 스페이서를 형성하고, 그 상층을 제2 절연 패턴(160)으로 막음으로써 추후 커패시터 하부 전극을 형성하는 공정에서 상기 커패시터 하부 전극을 이루는 물질이 상기 에어 스페이서에 침투하는 것을 방지할 수 있다. 또한, 제2 절연 패턴(160)을 형성하고, 내부에 콘택형 랜딩 패드 홀(171H)의 공간을 한정하여 랜딩 패드를 구성함으로써, 추후 랜딩 패드 형성 공정에서 나타날 수 있는 브리지 현상을 방지할 수 있다.

[0116] 또한, 본 발명의 기술적 사상에 의한 실시예에서는 콘택 형성용 도전층(170A)과 랜딩 패드 형성용 도전층(170B)을 일체로 연결되게 형성하고, 그 상면에 랜딩 패드(172)를 배치함으로써, 상기 콘택 형성용 도전층(170A), 상기 랜딩 패드 형성용 도전층(170B) 및 상기 랜딩 패드(172)가 콘택 구조체(170S)를 이룰 수 있다. 상기 콘택 구조체(170S)에서 상기 콘택 형성용 도전층(170A)와 상기 랜딩 패드(172) 사이의 이어지는 공간은 제3 크기의 폭(W3)을 가질 수 있다. 상기 콘택 구조체는 제3 크기의 폭(W3)을 확보함으로써, 공정 과정 상 마진 부족에 따라 발생할 수 있는 랜딩 패드의 넥(Neck) 현상도 방지할 수 있다.

[0117] 도 18은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 시스템(1000)이다.

[0118] 시스템(1000)은 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 및 인터페이스(1040)를 포함한다. 상기 시스템(1000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시예에서, 상기 모바일 시스템은 PDA, 휴대용 컴퓨터 (portable computer), 웹 태블릿 (web tablet), 무선 폰 (wireless phone), 모바일 폰 (mobile phone), 디지털 뮤직 플레이어 (digital music player) 또는 메모리 카드 (memory card)이다. 제어기(1010)는 시스템(1000)에서의 실행 프로그램을 제어하기 위한 것으로, 마이크로프로세서 (microprocessor), 디지털 신호 처리기 (digital signal processor), 마이크로컨트롤러 (microcontroller), 또는 이와 유사한 장치로 이루어질 수 있다. 입/출력 장치(1020)는 시스템(1000)의 데이터를 입력 또는 출력하는 데 이용될 수 있다. 시스템(1000)은 입/출력 장치(1020)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네

트위크에 연결되고, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1020)는, 예를 들면 키패드 (keypad), 키보드 (keyboard), 또는 표시장치 (display)일 수 있다.

- [0119] 기억 장치(1030)는 제어기(1010)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 제어기(1010)에서 처리된 데이터를 저장할 수 있다. 상기 기억 장치(1030)는 본 발명의 기술적 사상에 의한 핀형 전계 효과 트랜지스터를 구비하는 반도체 소자를 포함한다. 예를 들면, 상기 기억 장치(1030)는 도 1 및 도 2에 예시한 반도체 소자 중 적어도 하나의 반도체 소자를 포함할 수 있다.
- [0120] 인터페이스(1040)는 상기 시스템(1000)과 외부의 다른 장치 사이의 데이터 전송 통로일 수 있다. 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 및 인터페이스(1040)는 버스(1050)를 통해 서로 통신할 수 있다. 상기 시스템(1000)은 모바일 폰 (mobile phone), MP3 플레이어, 네비게이션 (navigation), 휴대용 멀티미디어 재생기 (portable multimedia player, PMP), 고상 디스크 (solid state disk; SSD), 또는 가전 제품 (household appliances)에 이용될 수 있다.
- [0121] 도 19은 본 발명의 기술적 사상에 의한 반도체 소자를 포함하는 메모리 카드(1100)이다.
- [0122] 메모리 카드(1100)는 기억 장치(1110) 및 메모리 제어기(1120)를 포함한다.
- [0123] 기억 장치(1110)는 데이터를 저장할 수 있다. 일부 실시예들에서, 상기 기억 장치(1110)는 전원 공급이 중단되어도 저장된 데이터를 그대로 유지할 수 있는 비휘발성 특성을 가질 수 있다. 기억 장치(1110)는 도 1 및 도 2에 예시한 반도체 소자 중 적어도 하나의 반도체 소자를 포함할 수 있다.
- [0124] 메모리 제어기(1120)는 호스트(1130)의 읽기/쓰기 요청에 응답하여 상기 기억 장치(1110)에 저장된 데이터를 읽거나, 기억 장치(1110)의 데이터를 저장할 수 있다. 메모리 제어기(1120)는 도 1 및 도 2에 예시한 반도체 소자 중 적어도 하나의 반도체 소자를 포함할 수 있다.
- [0125] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

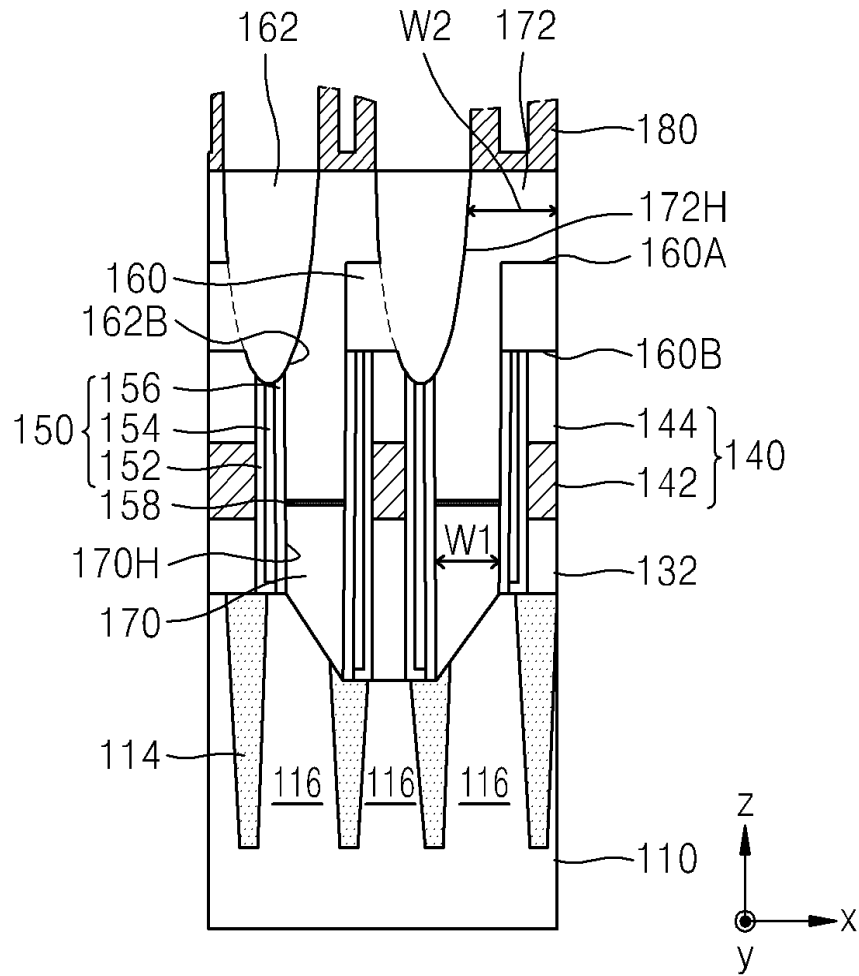
부호의 설명

- [0126] 100-1, 100-2: 반도체 소자, 110: 기관, 112: 소자 분리용 트렌치, 114: 소자분리막, 114A: 제1 절연막, 114B: 제2 절연막, 116S: 영역, 116: 활성 영역, 118: 워드 라인 트렌치, 120: 워드 라인, 122: 게이트 유전막, 124: 매몰 절연막, 130: 다이렉트 콘택, 132H: 개구, 132: 절연막, 134: 제1 절연 패턴, 140: 도전 라인 구조체, 142: 도전 라인, 144: 절연 캡핑 라인, 150: 절연 스페이서 구조체, 152: 제1 절연 스페이서, 154: 제2 절연 스페이서, 155: 랜딩 패드 스페이서, 156: 제3 절연 스페이서, 158: 금속 실리사이드막, 159: 배리어막, 160C: 제 2 절연 패턴이 콘택 형성용 도전층과 접하는 부분의 높이, 160A: 제2 절연 패턴의 상면, 160H: 제2 절연 패턴과 콘택 형성용 도전층이 이루는 단차, 160: 제2 절연 패턴, 160B: 제2 절연 패턴의 하면, 162: 제3 절연 패턴, 162B: 제3 절연 패턴의 하면, 170: 콘택 플러그, 170A: 콘택 형성용 도전층, 170B: 랜딩 패드 형성용 도전층, 170H: 콘택홀, 170S: 콘택 구조체, 171H: 콘택형 랜딩 패드 홀, 172A: 랜딩 패드 형성용 물질, 172H: 랜딩 패드 홀, 172: 랜딩 패드, 180: 커패시터 하부 전극, 230: 게이트 절연막, 240: 게이트 구조, 242: 게이트 전극, 244: 상면을 덮는 절연 캡핑층, 250: 주변회로 영역 절연 스페이서 구조체, 252: 제1 절연 스페이서, 254: 제2 절연 스페이서, 256: 및 제3 절연 스페이서, 260: 층간절연막, 262: 식각 저지막, 1000: 시스템, 1010: 제어기, 1020: 입/출력 장치, 1030: 기억 장치, 1040: 인터페이스, 1050: 버스, 1100: 메모리 카드, 1110: 기억 장치, 1120: 메모리 제어기, 1130: 호스트

도면

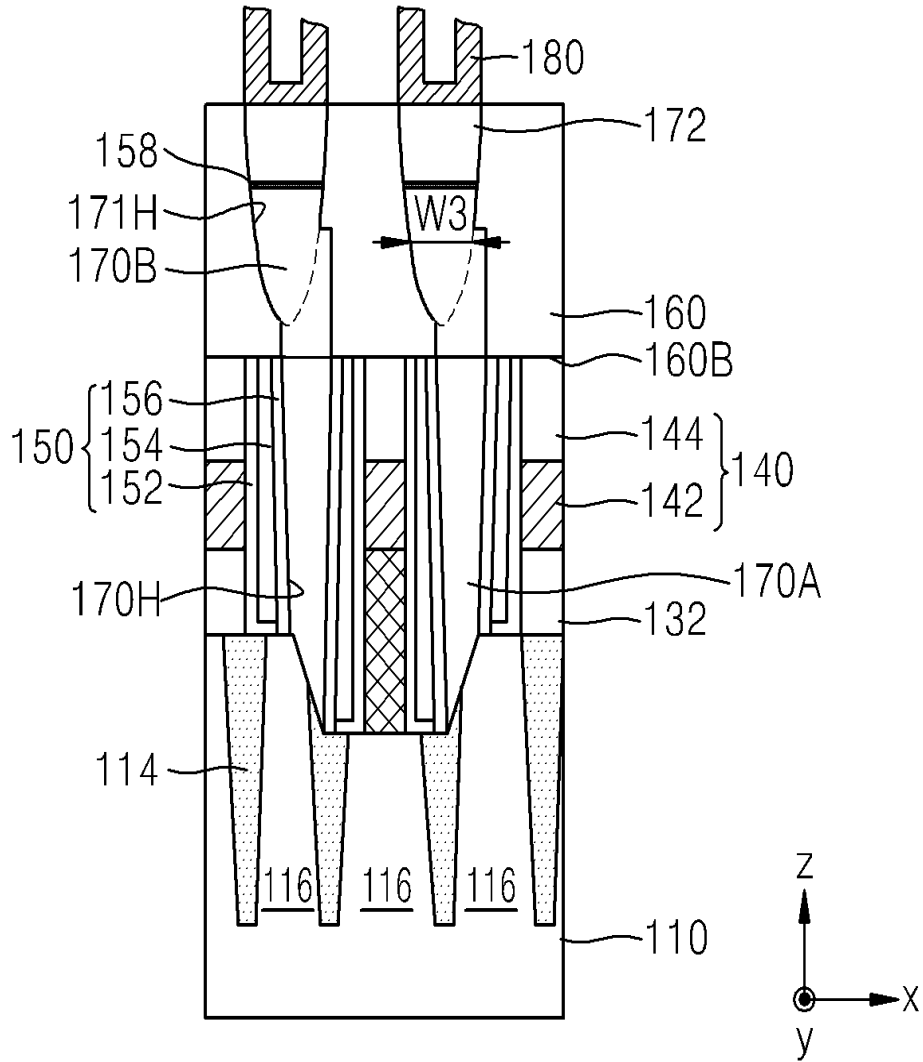
도면1

100-1

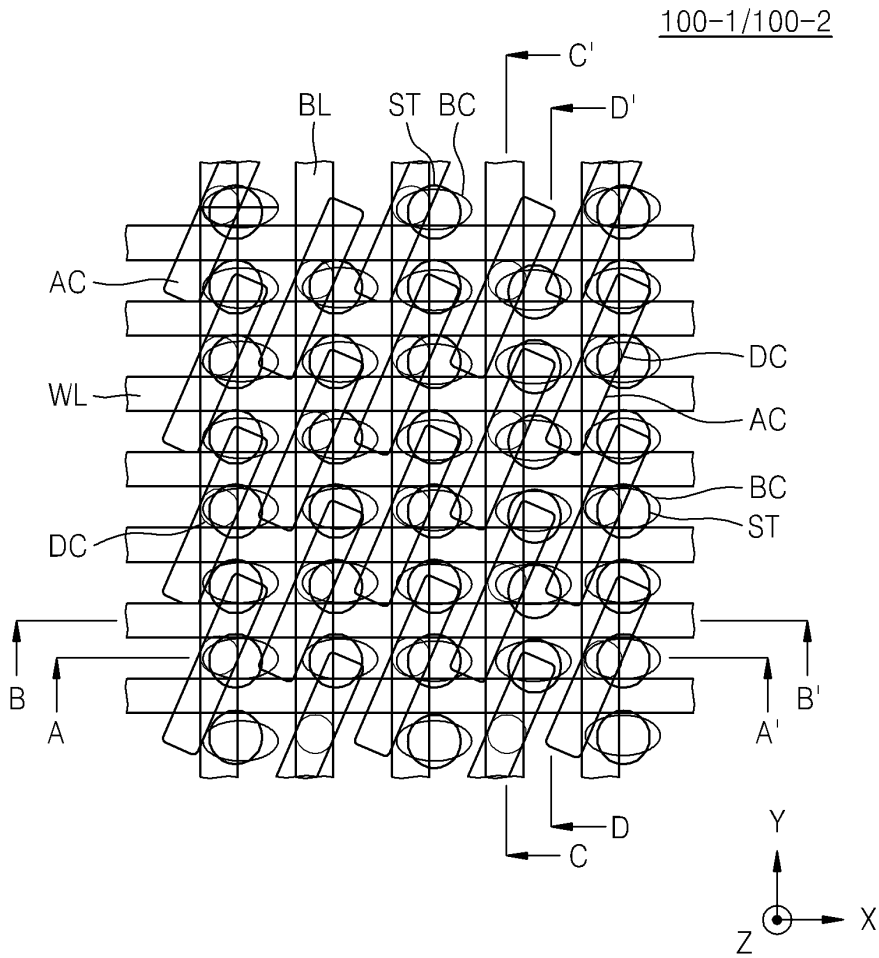


도면2

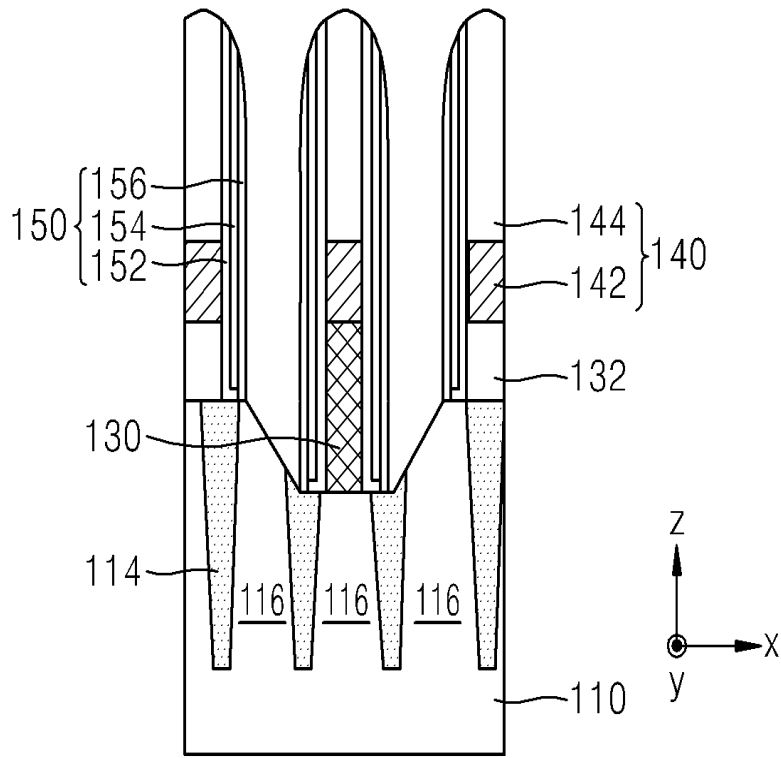
100-2



도면3

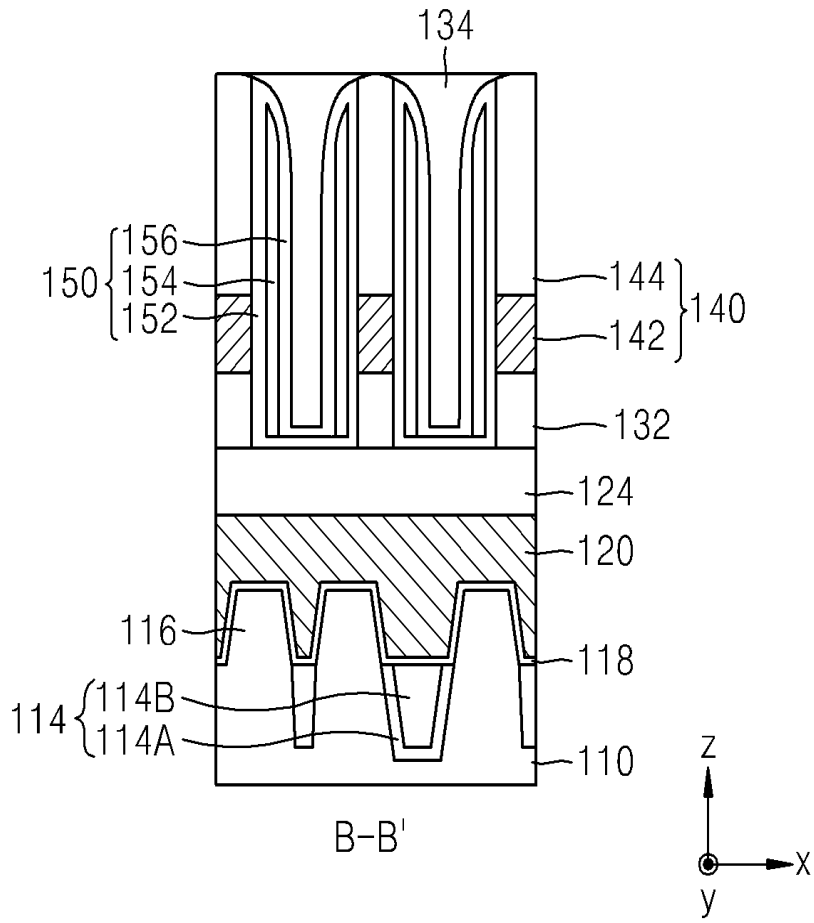


도면4a

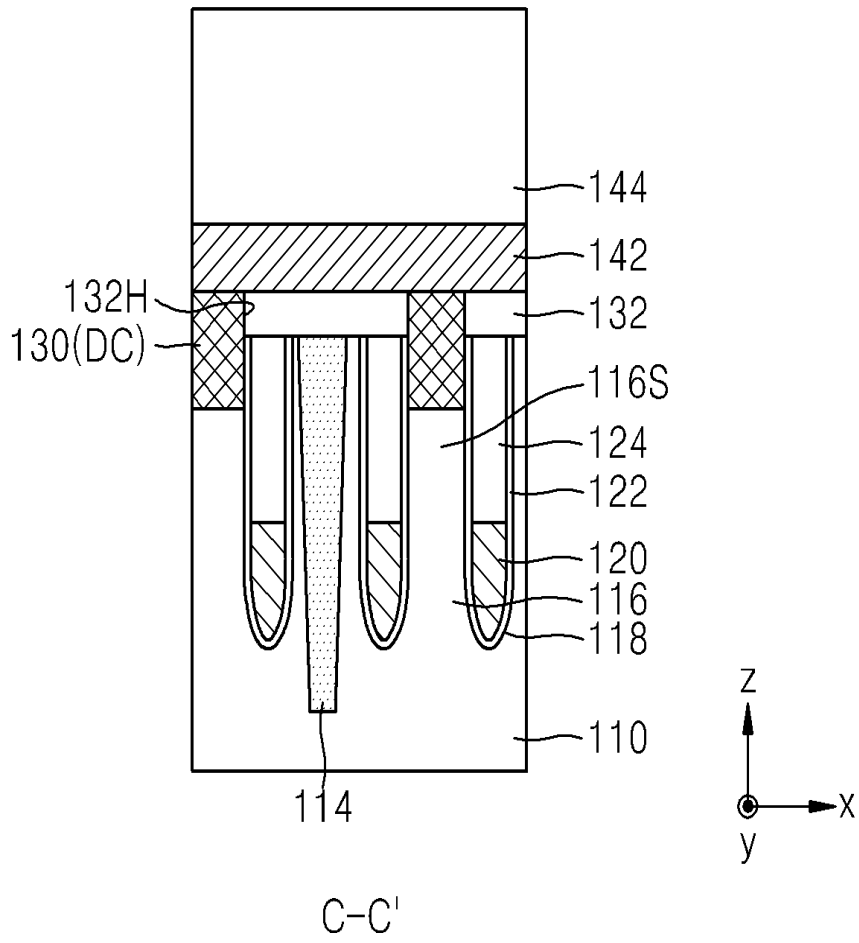


A - A'

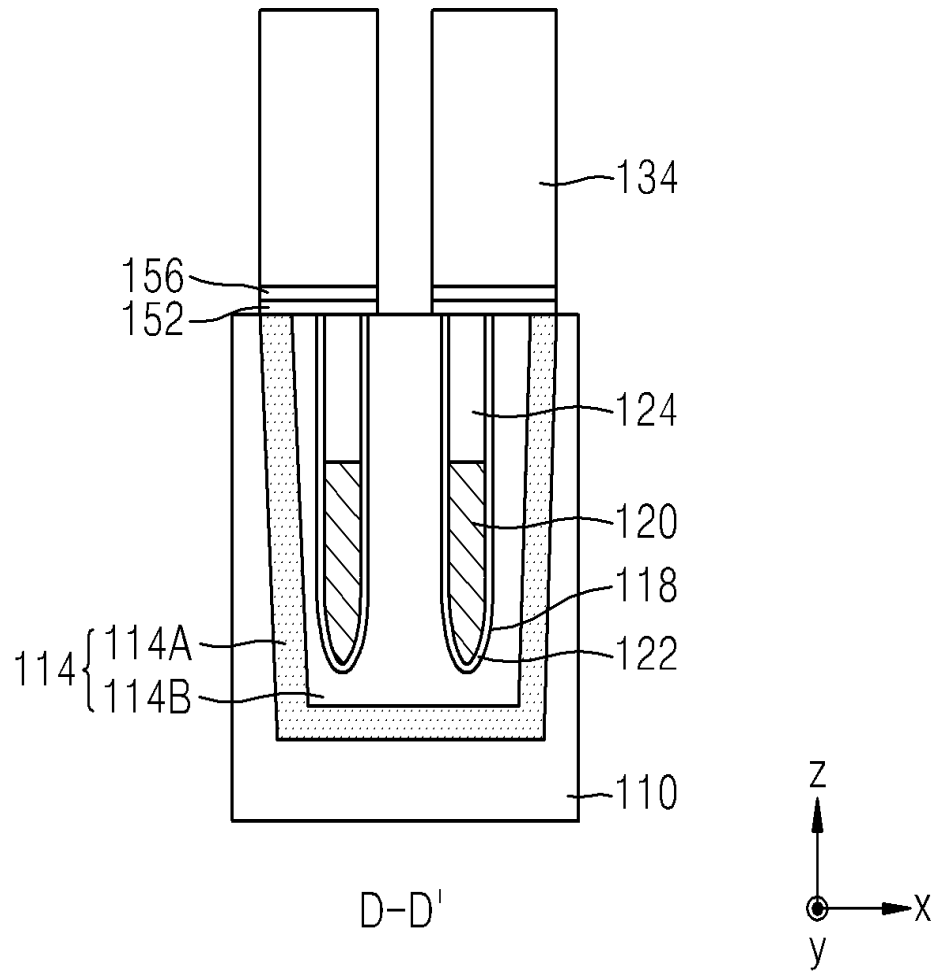
도면4b



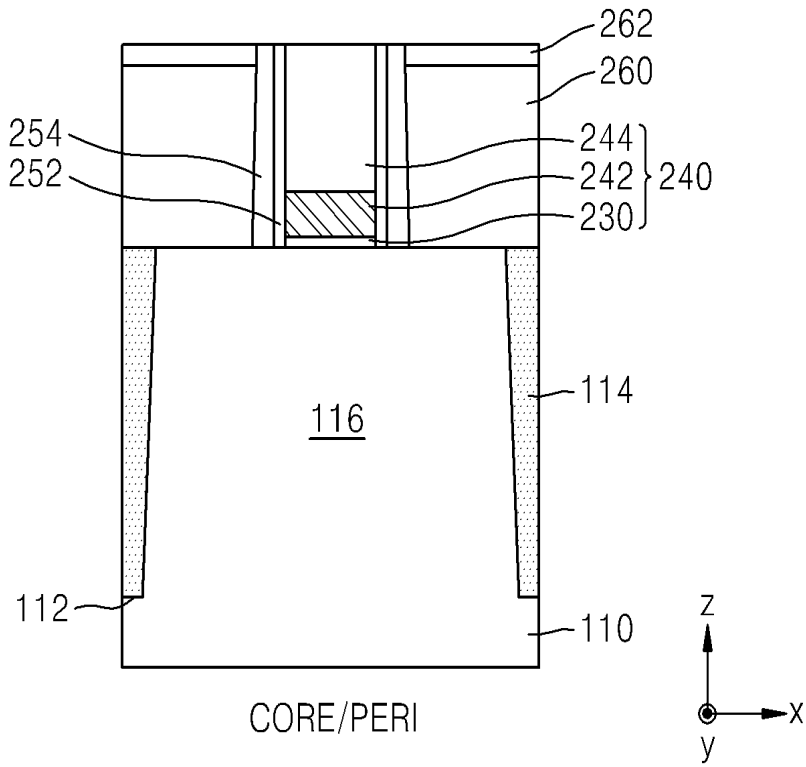
도면4c



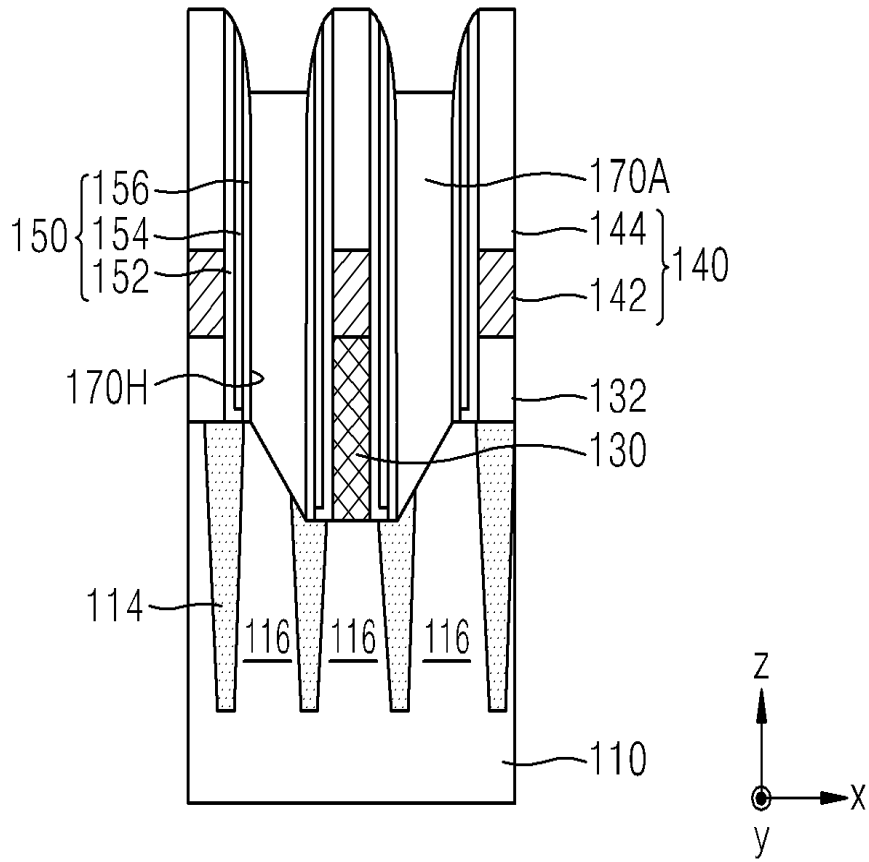
도면4d



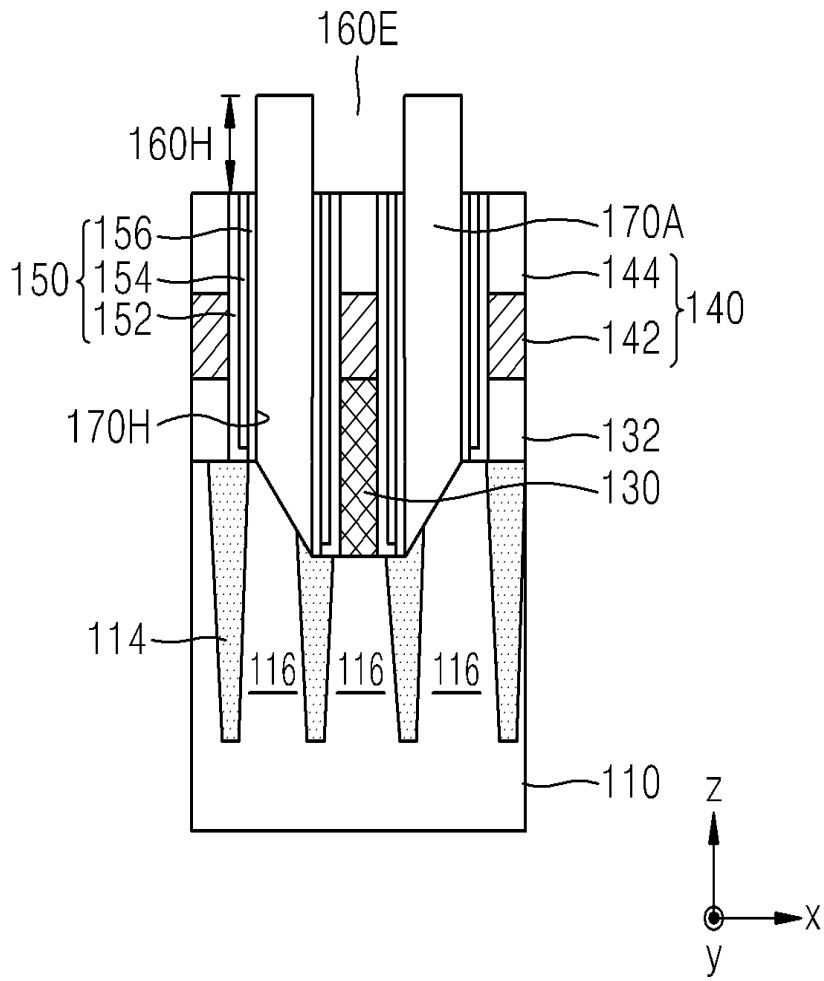
도면4e



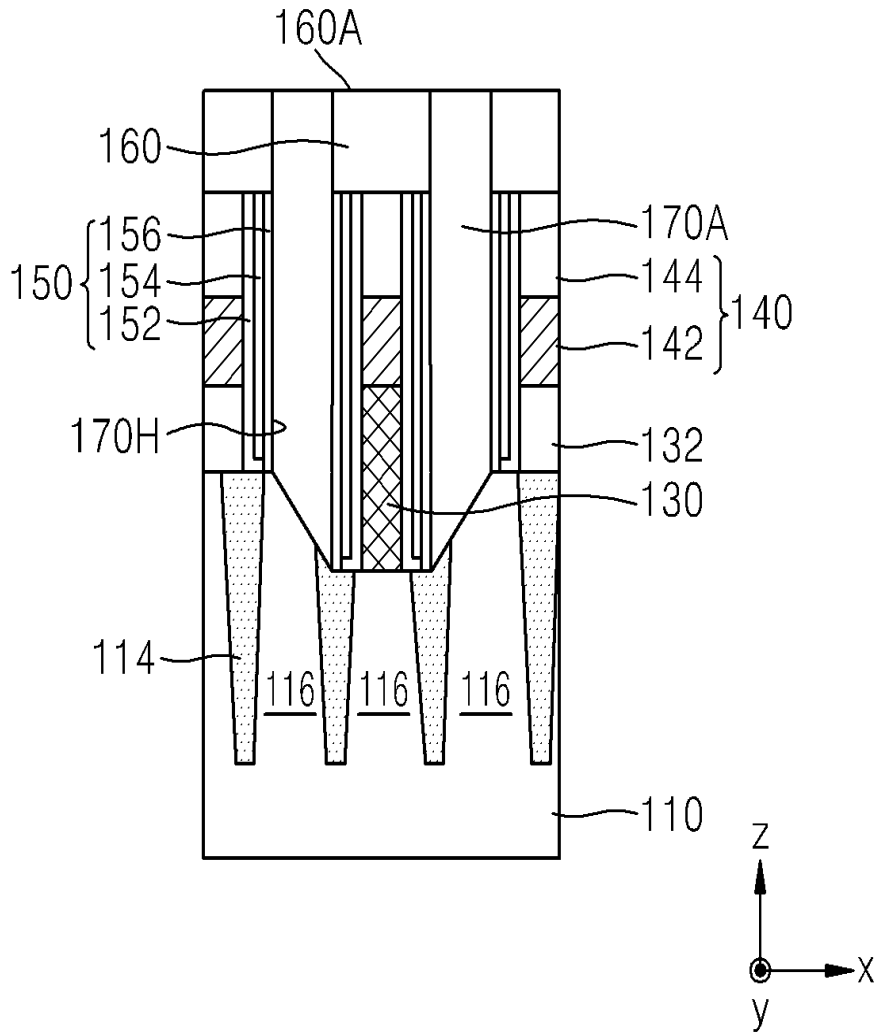
도면5



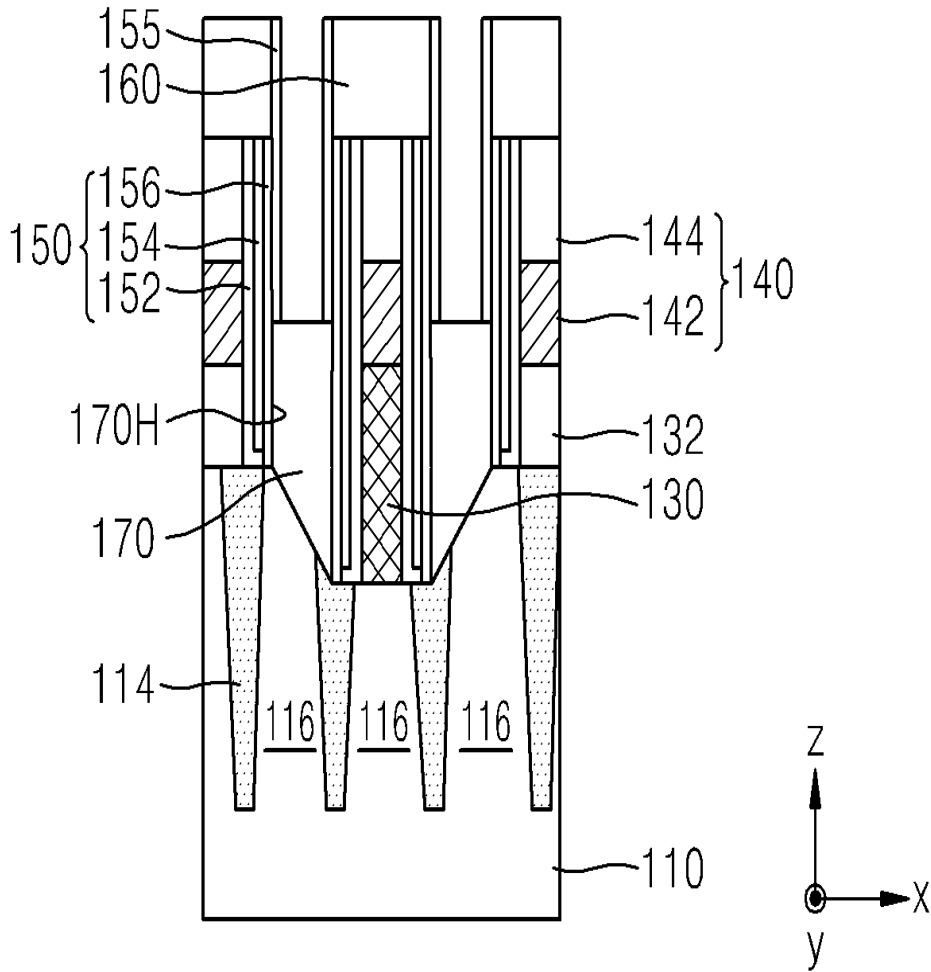
도면6



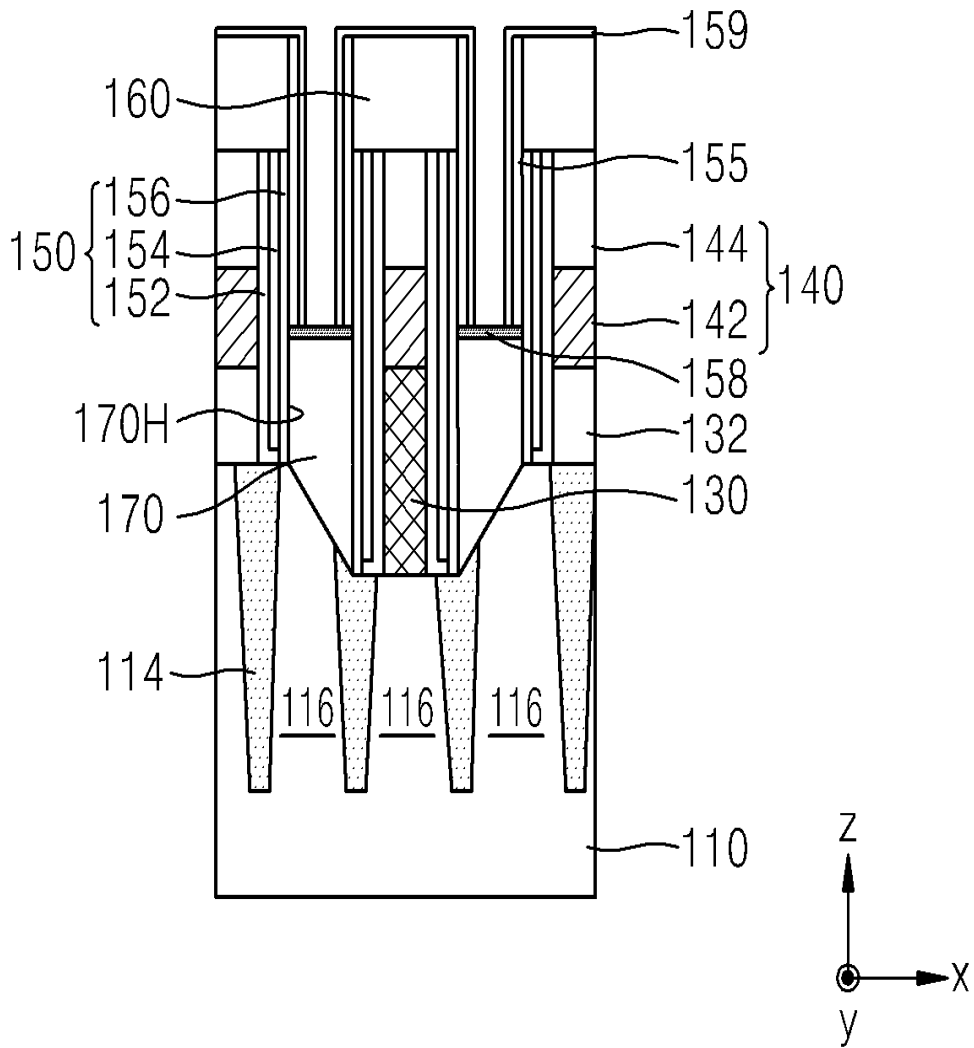
도면7



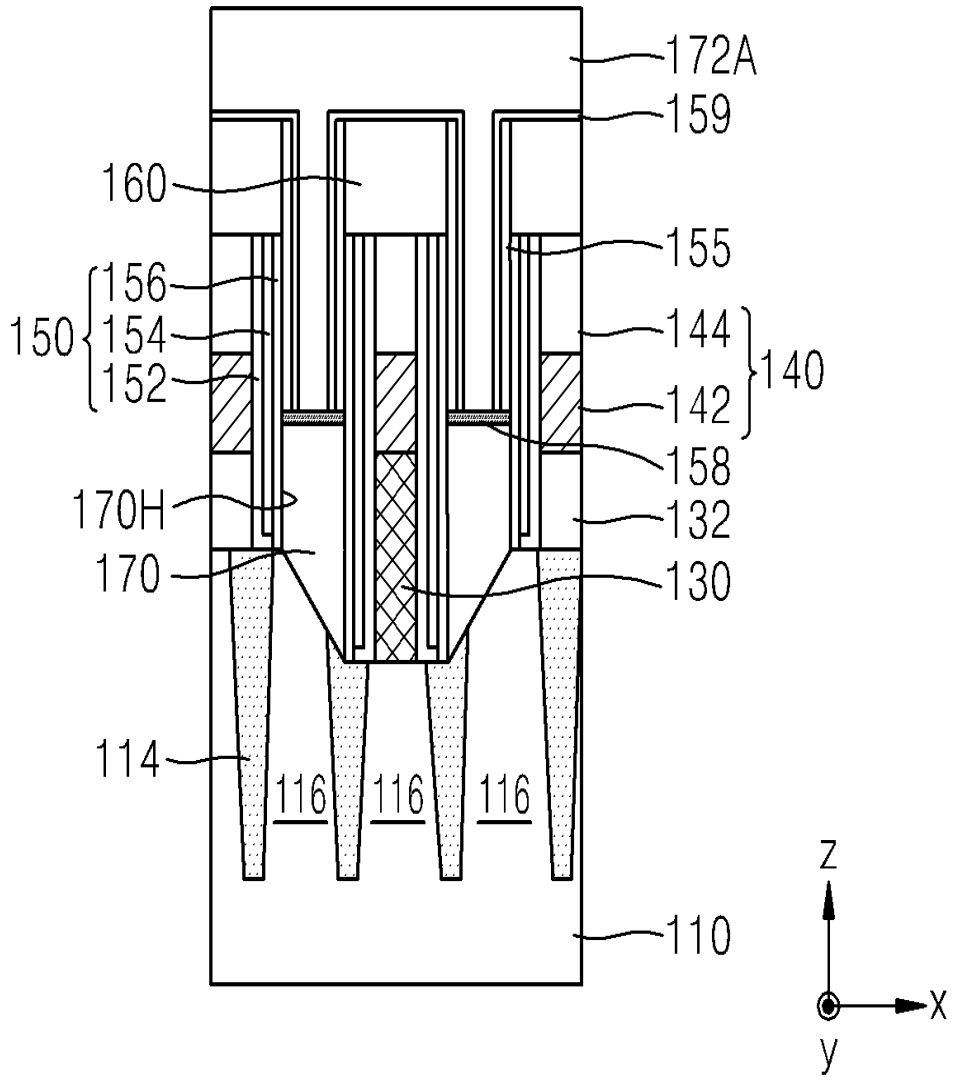
도면8



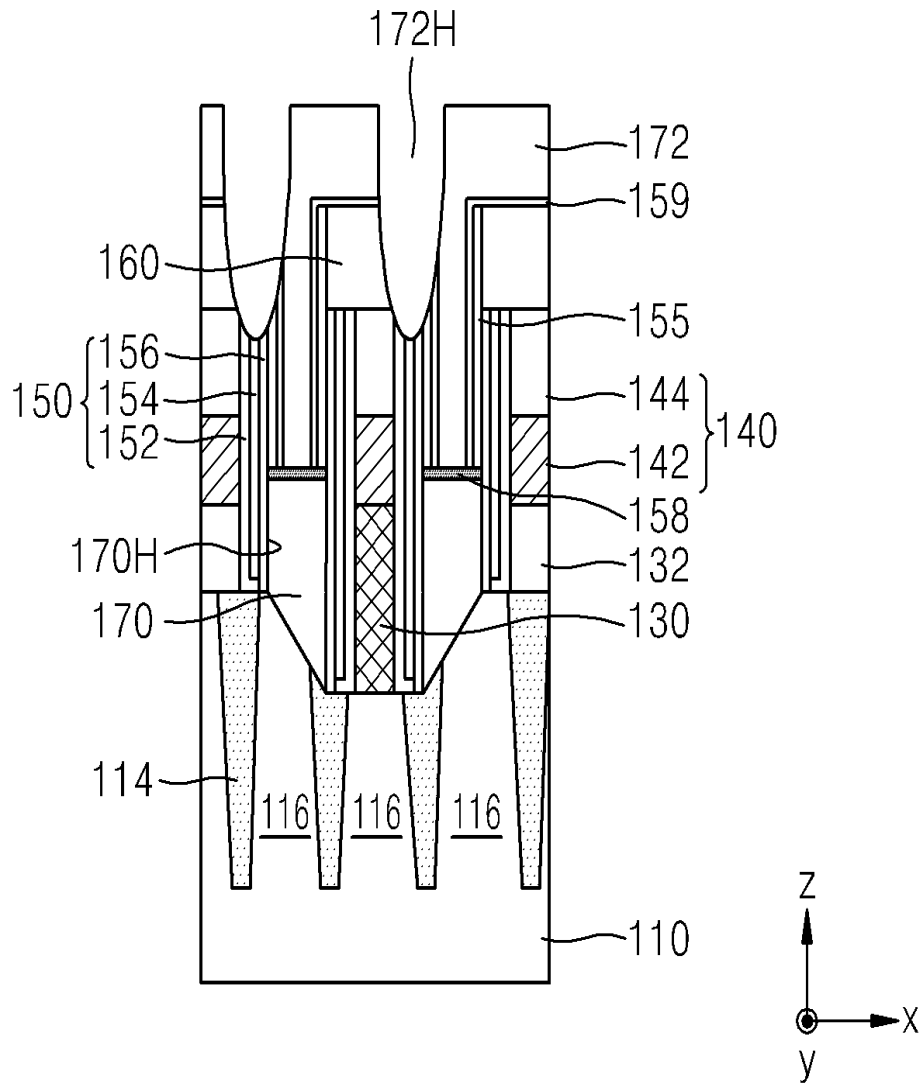
도면9



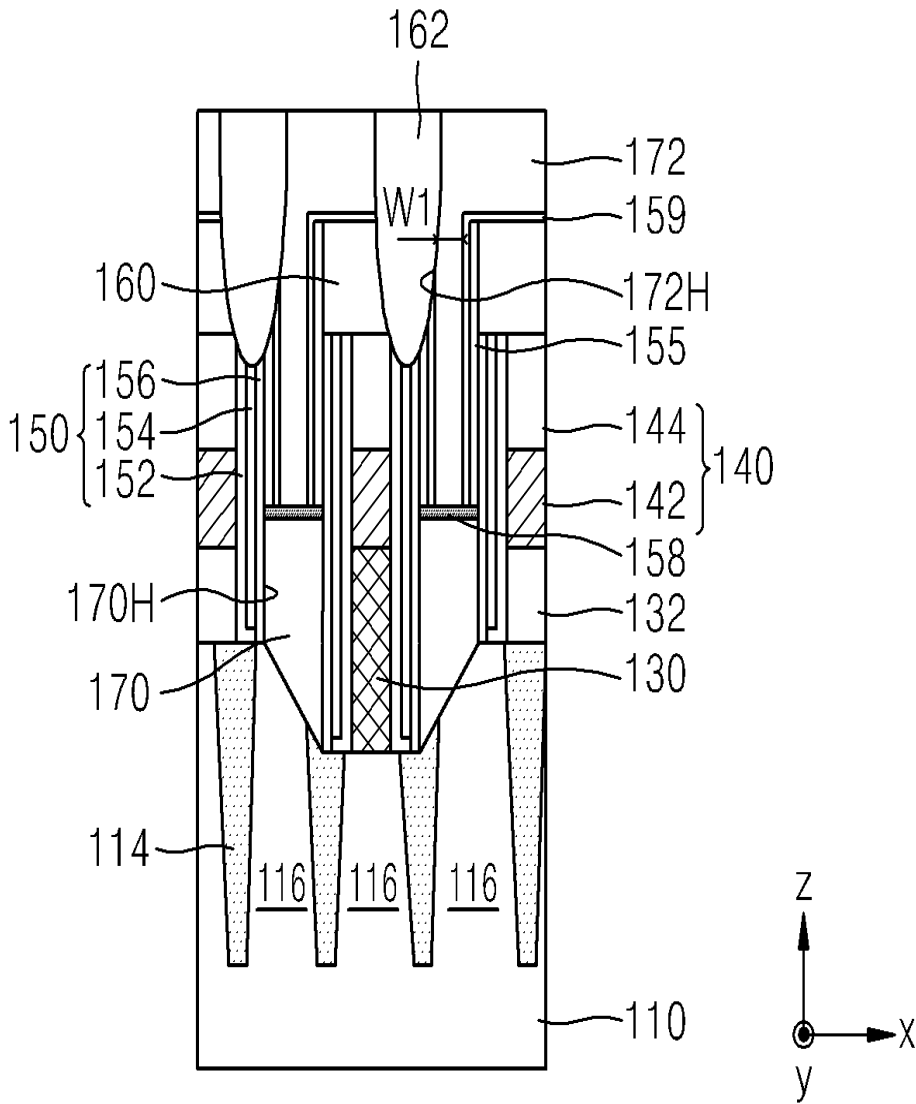
도면10



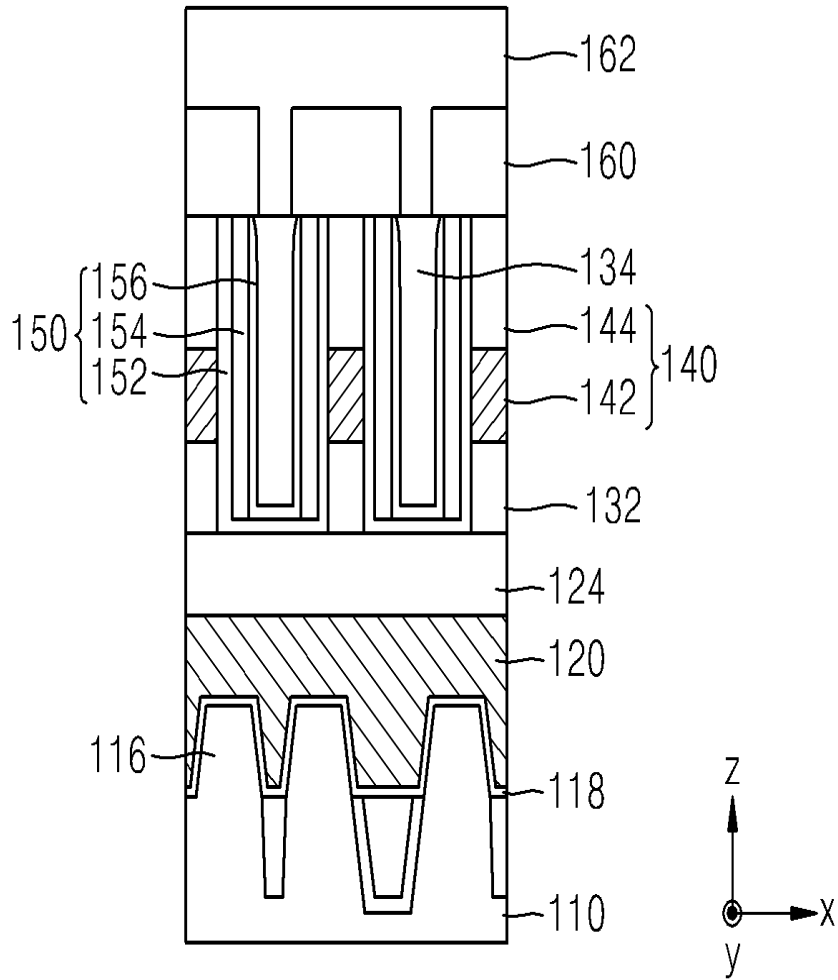
도면11



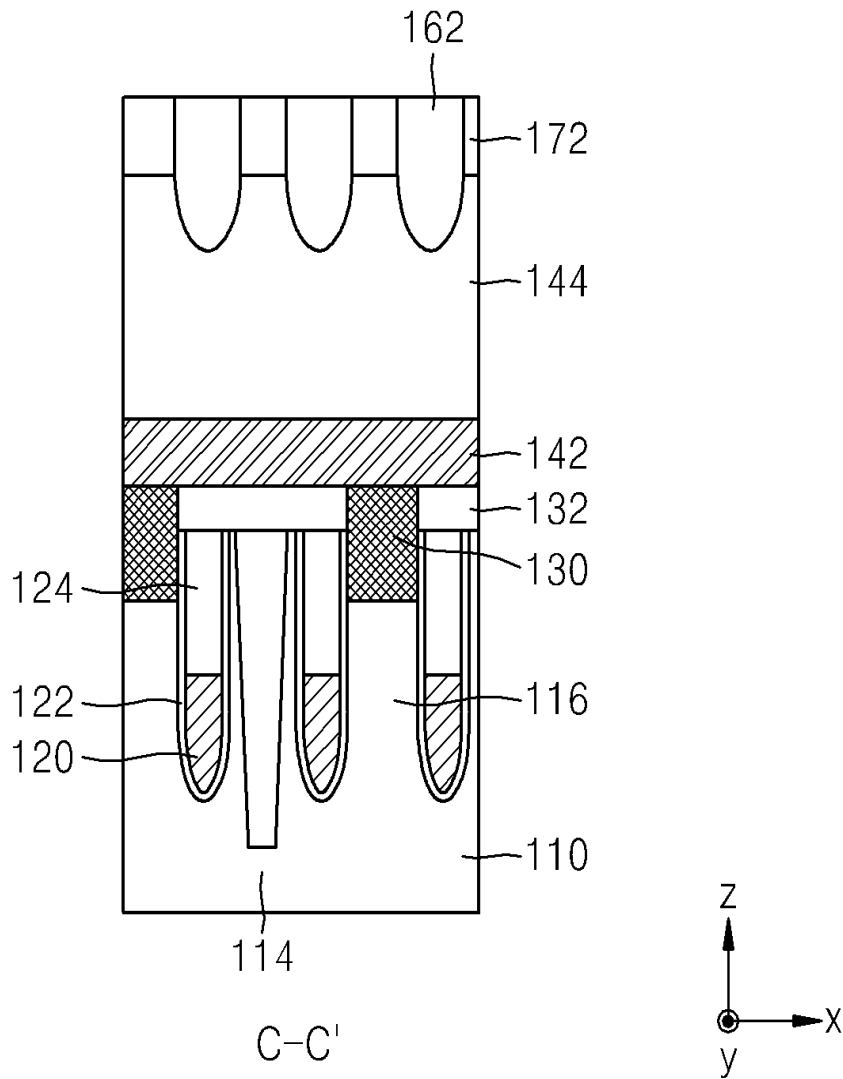
도면12a



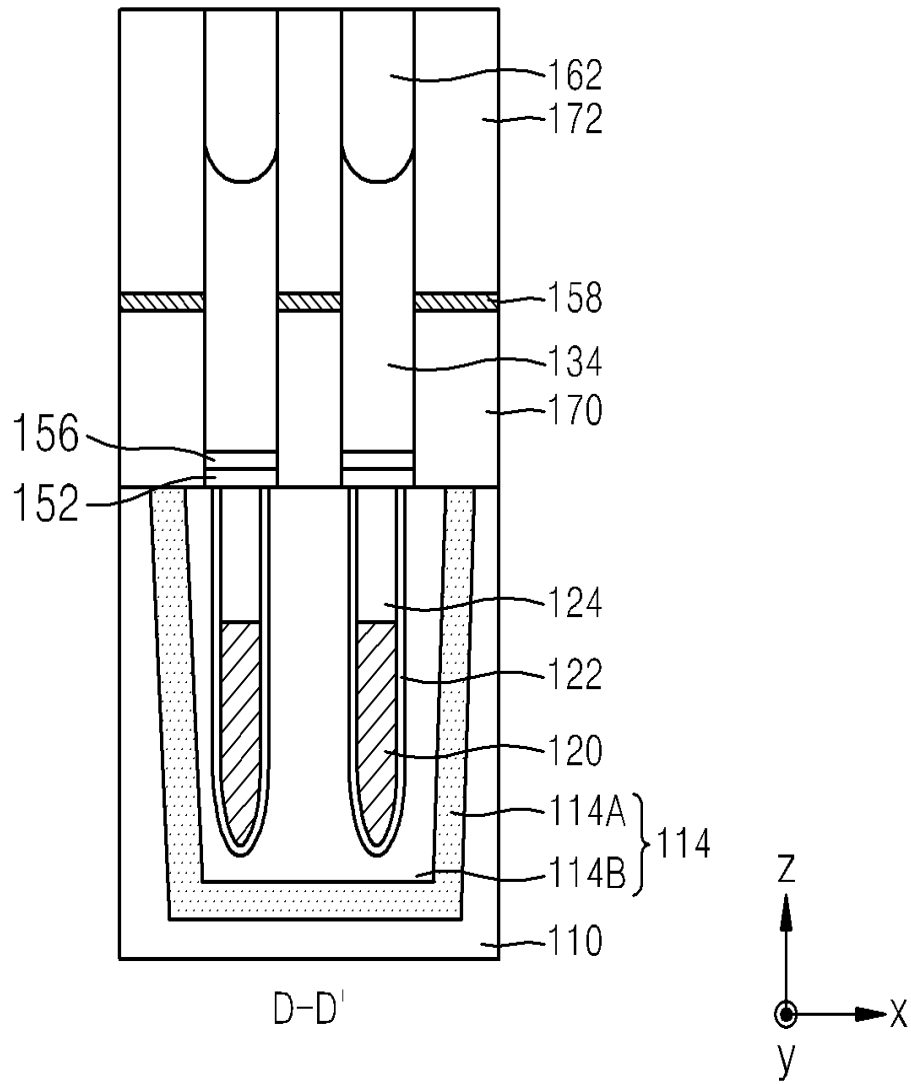
도면12b



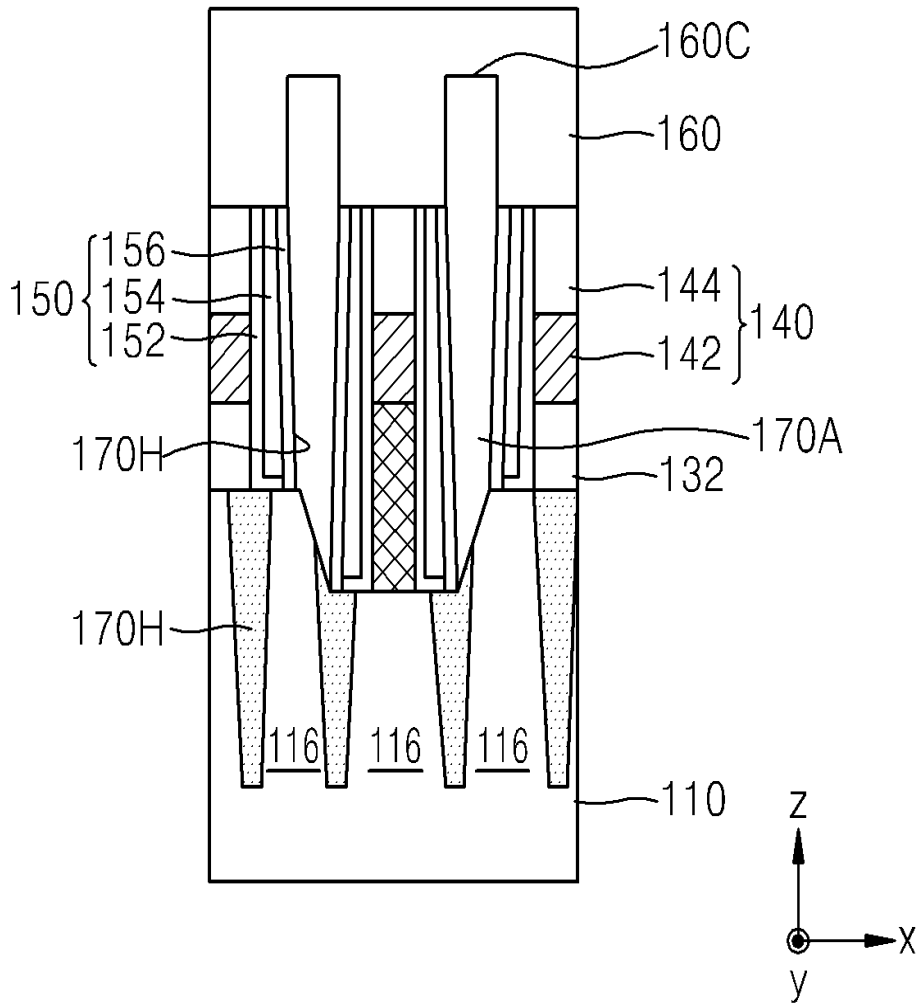
도면12c



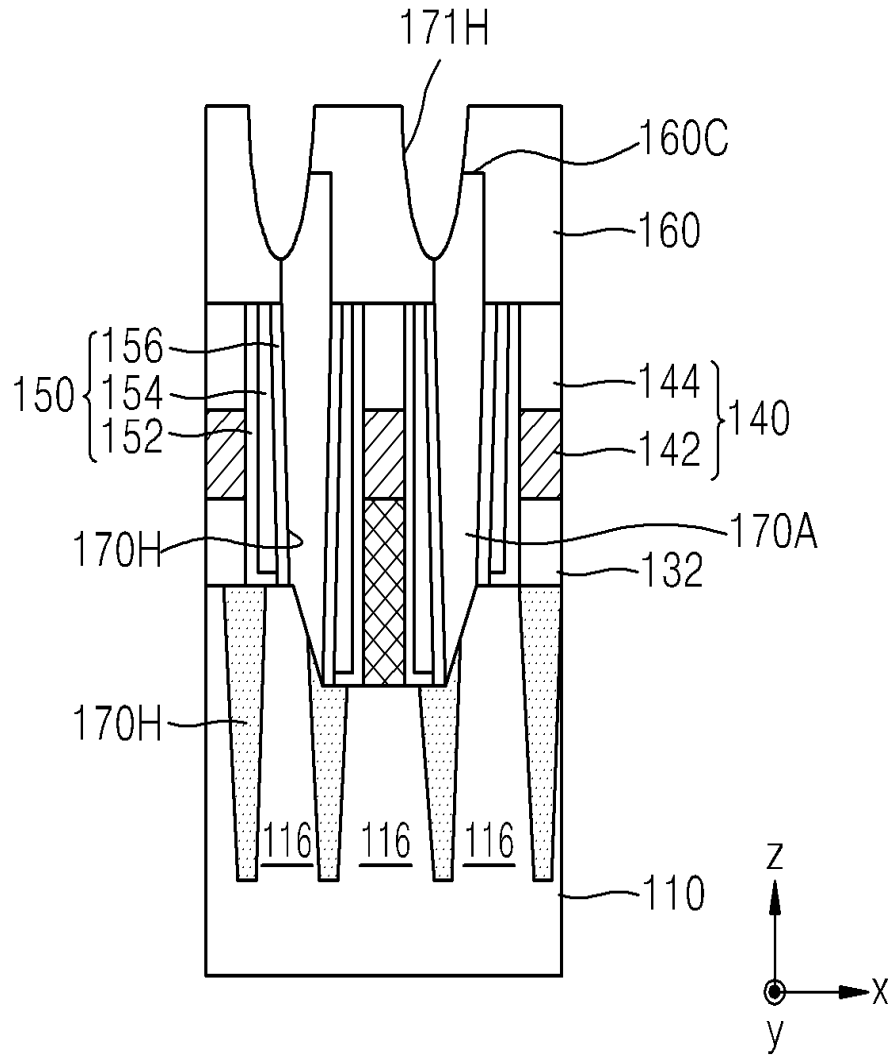
도면12d



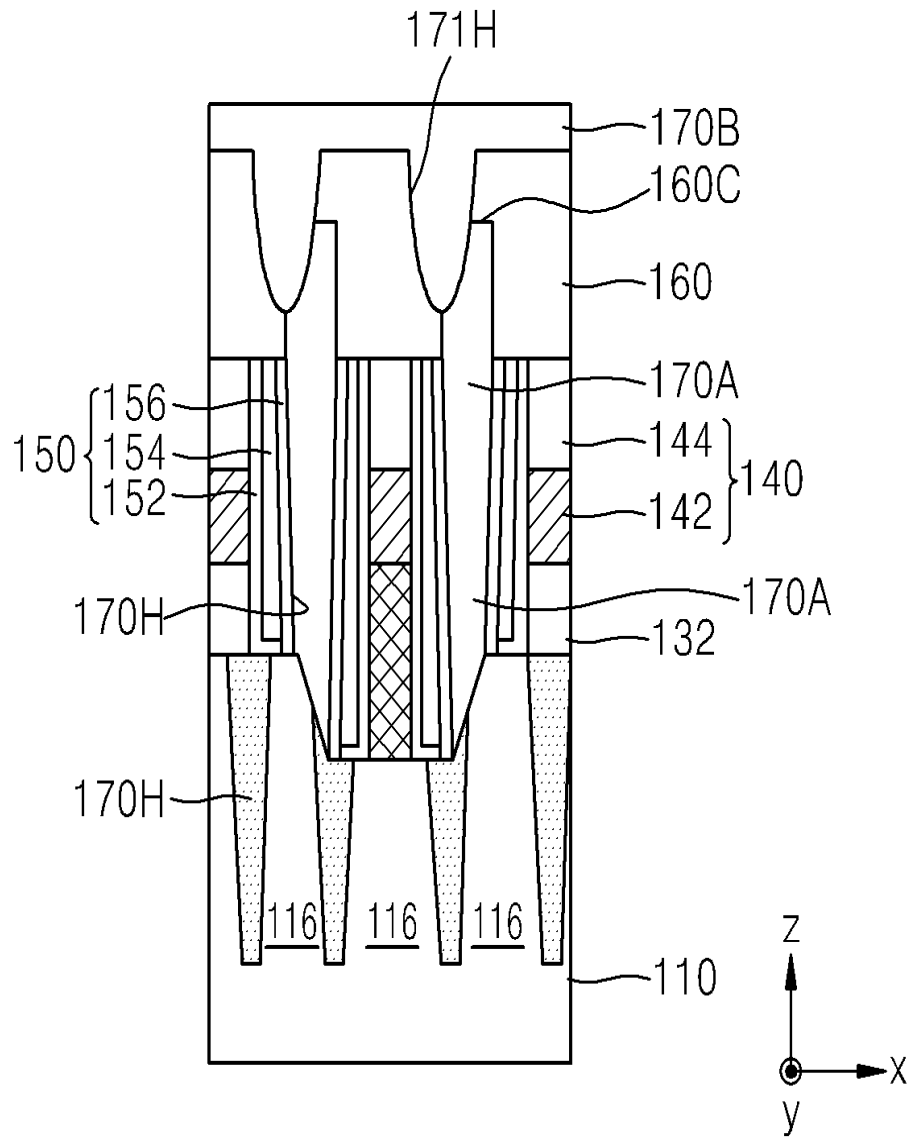
도면13



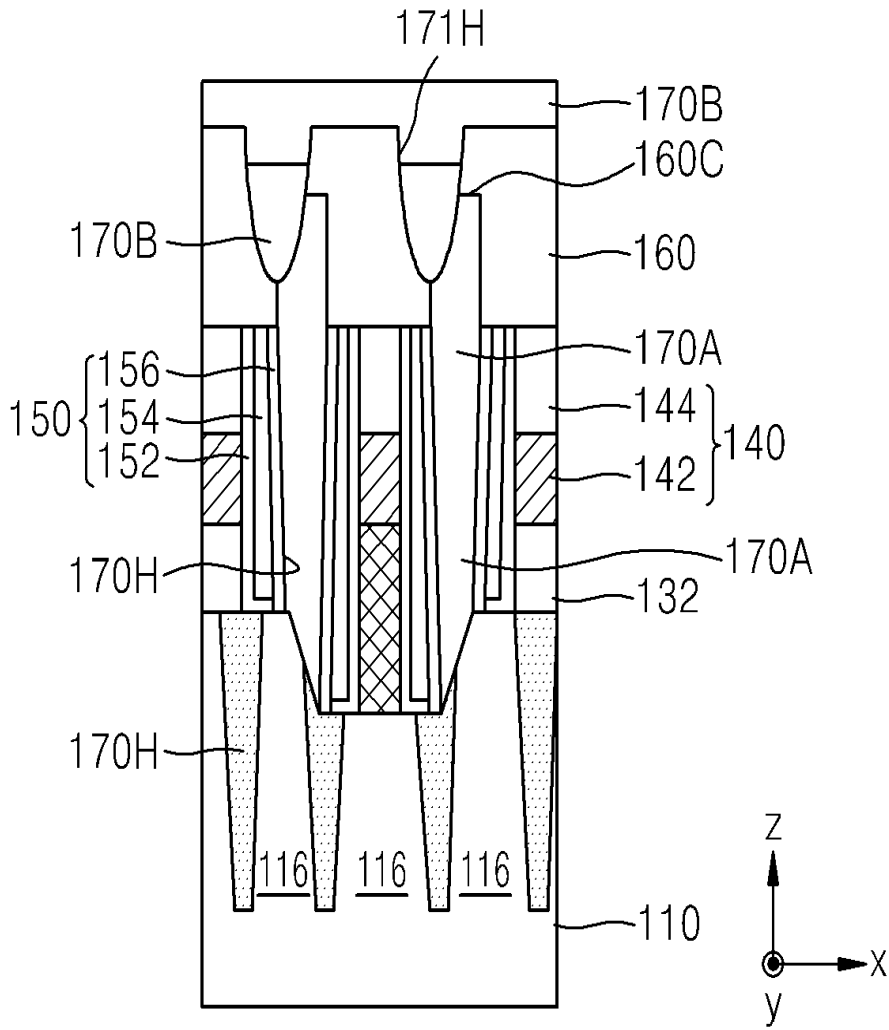
도면14



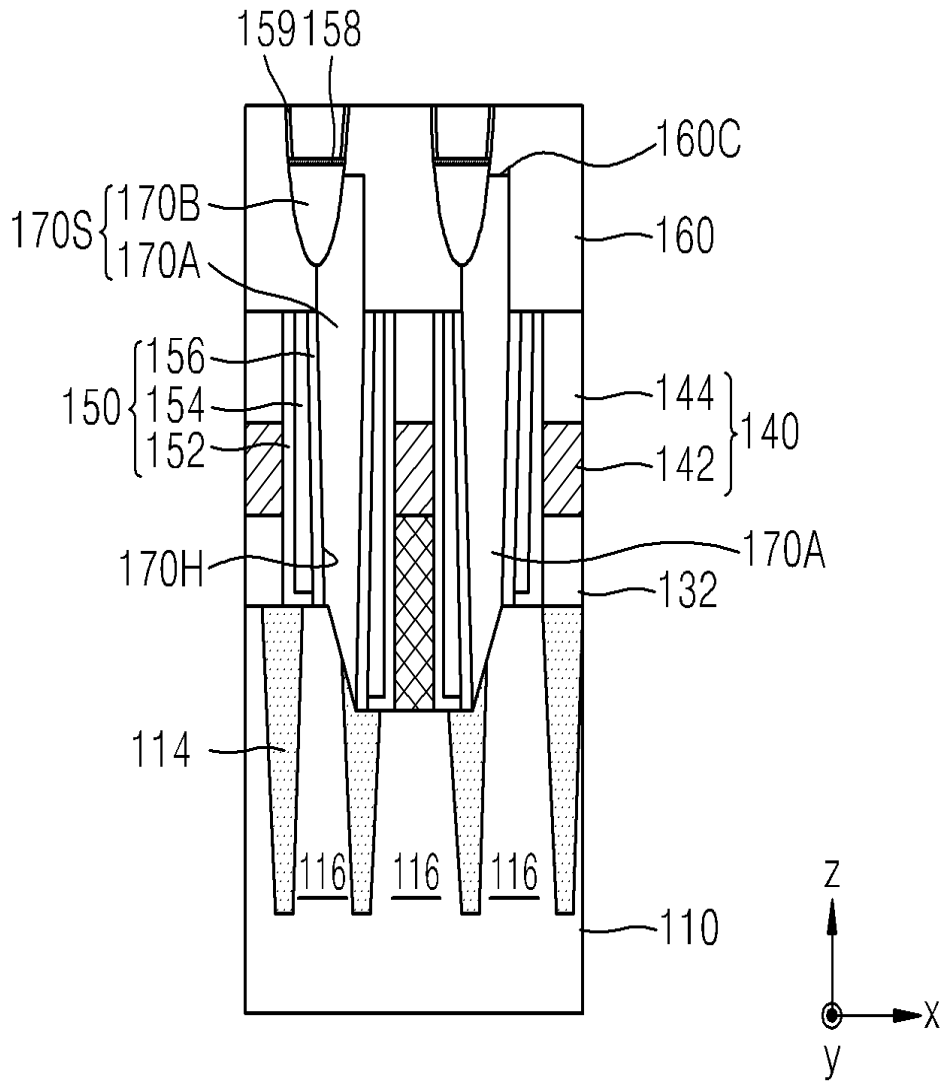
도면15



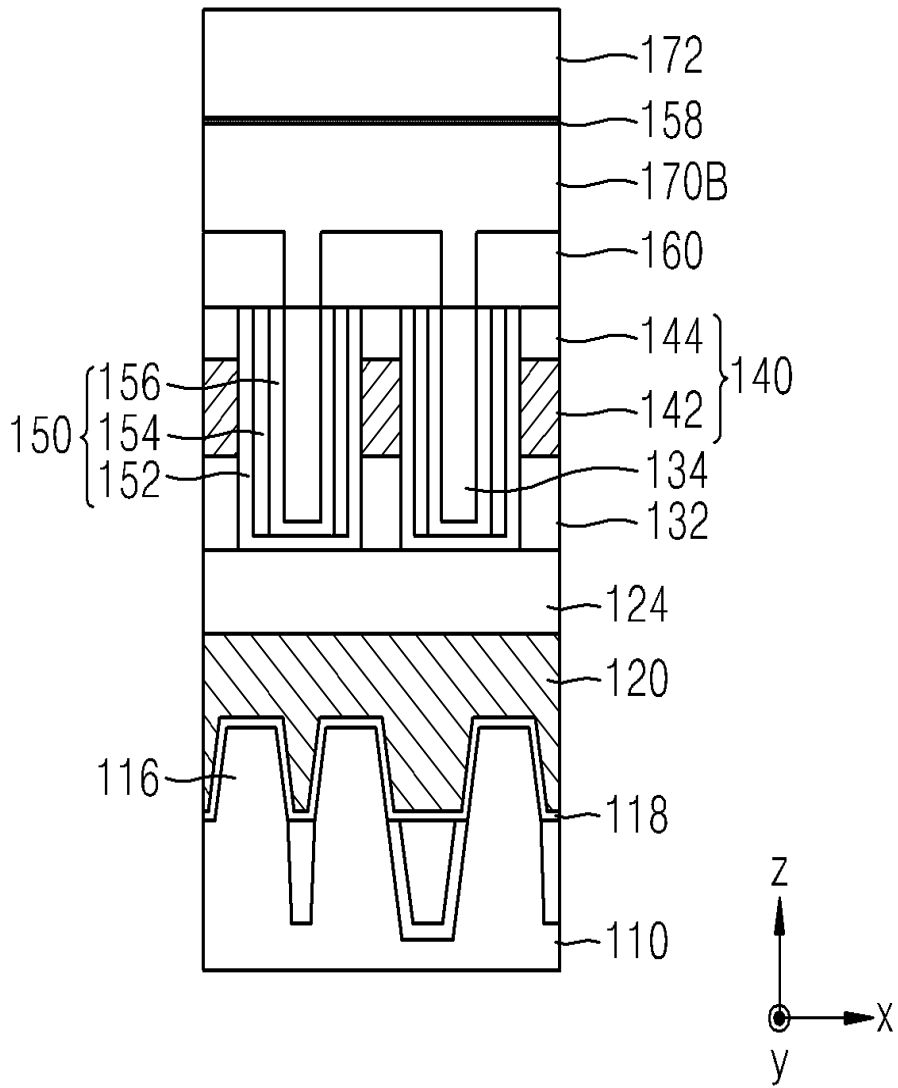
도면16



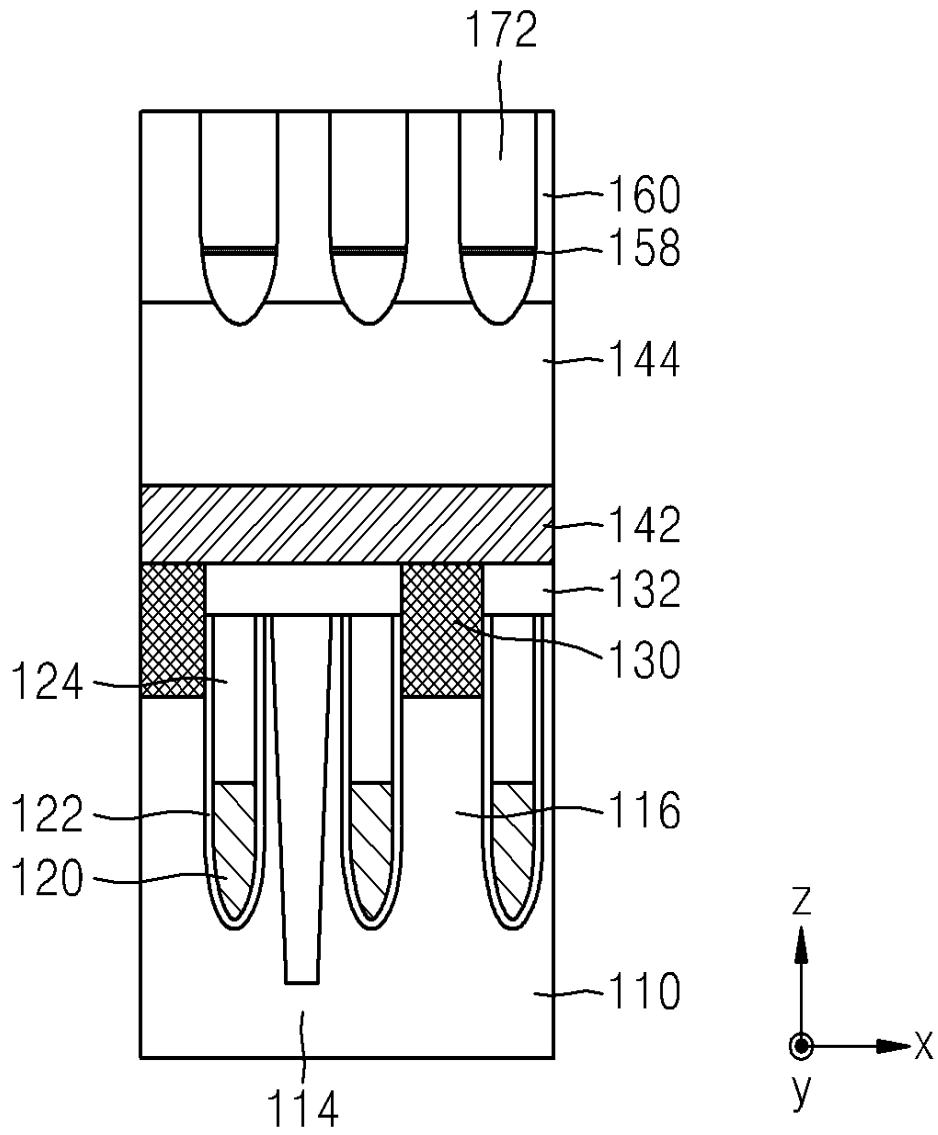
도면17a



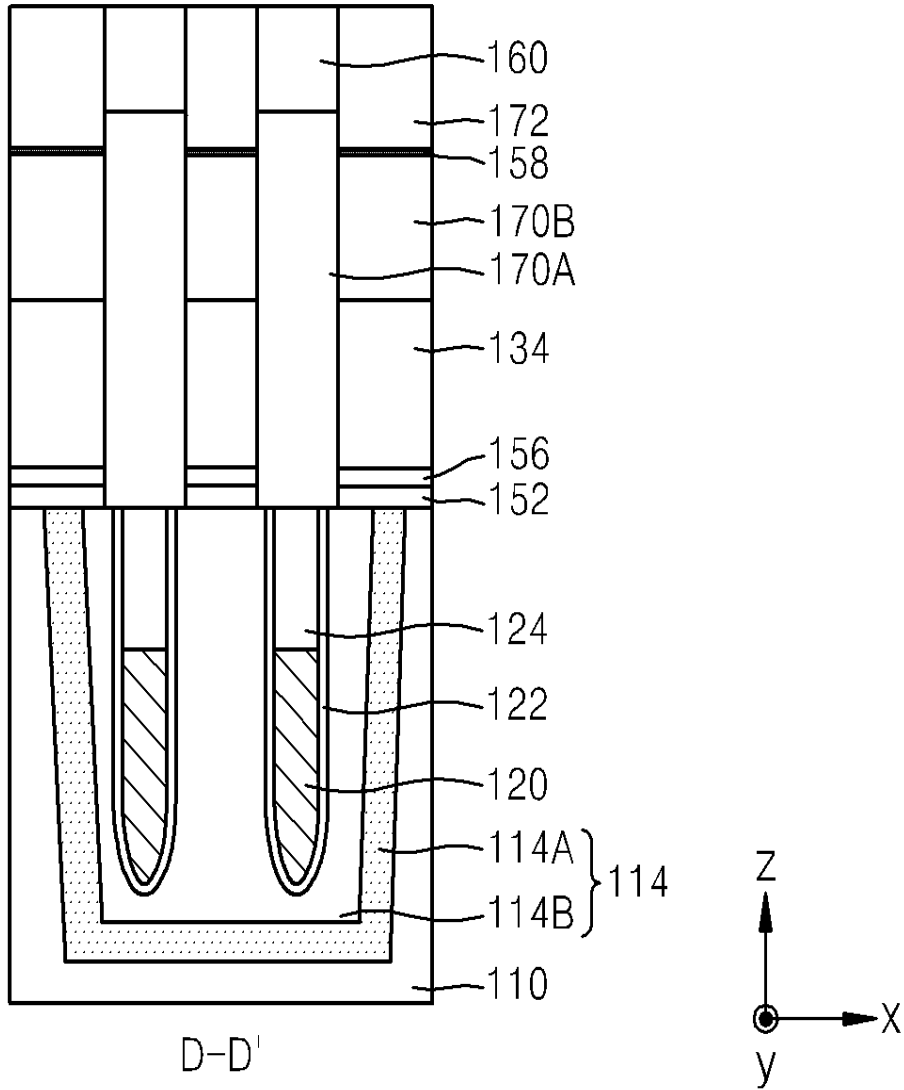
도면17b



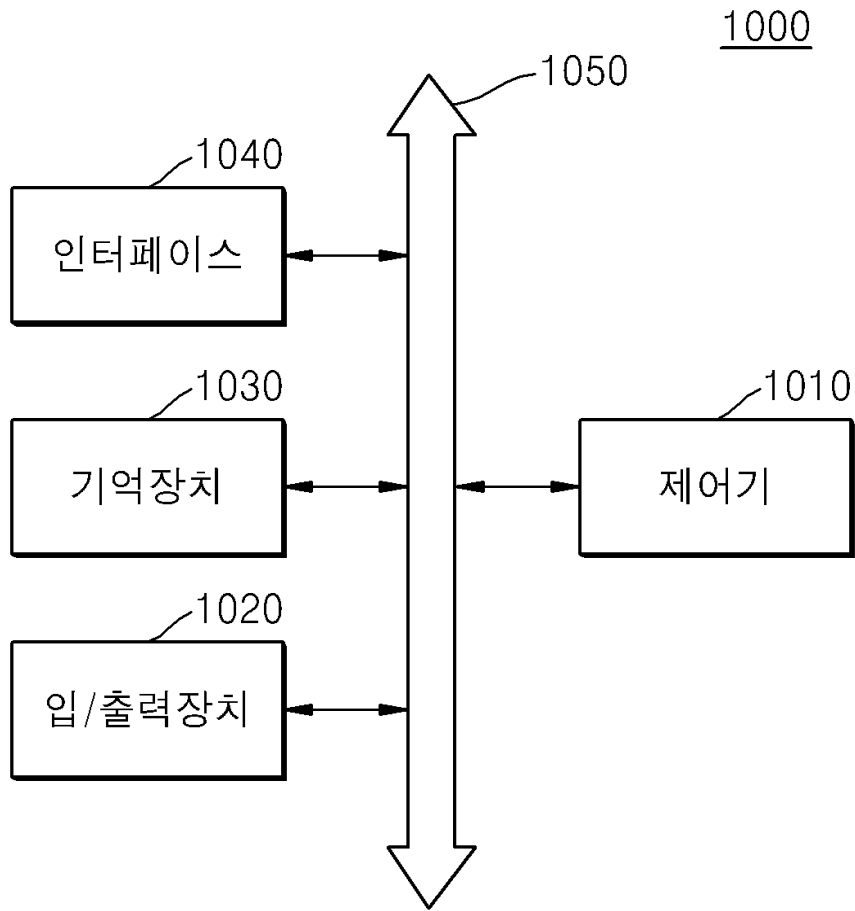
도면17c



도면17d



도면18



도면19

