



(12) 发明专利申请

(10) 申请公布号 CN 115579347 A

(43) 申请公布日 2023. 01. 06

(21) 申请号 202211007837.X

(22) 申请日 2022.08.22

(30) 优先权数据

17/462,066 2021.08.31 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 游明志 叶书伸 汪金华 林柏尧

郑心圃

(74) 专利代理机构 隆天知识产权代理有限公司

72003

专利代理师 闫华

(51) Int. Cl.

H01L 23/498 (2006.01)

H01L 23/18 (2006.01)

H01L 25/18 (2006.01)

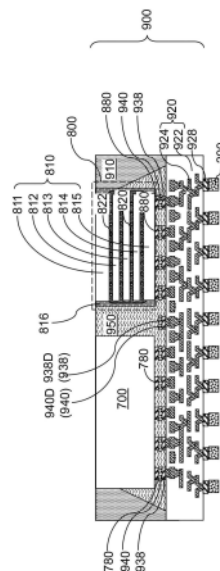
权利要求书1页 说明书17页 附图22页

(54) 发明名称

扇出封装

(57) 摘要

一种扇出封装,包括一重分布结构、多个半导体裸片以及一底部填充材料部分。半导体裸片包括通过焊料材料部分的各自一组而附接至重分布侧结合结构的各自一子集的裸片侧结合结构的各自一组。底部填充材料部分横向地环绕半导体裸片的重分布侧结合结构及半导体裸片的裸片侧结合结构。重分布侧结合结构的一子集不结合至半导体裸片的任何裸片侧结合结构,且被底部填充材料部分横向地环绕,且用以在底部填充材料部分的形成期间提供底部填充材料的均匀分布。



1. 一种扇出封装, 包括:

一重分布结构, 在一侧上包括多个第一金属结合结构;

多个半导体裸片, 包括通过多个凸块部分而附接至多个所述第一金属结合结构的多个第二金属结合结构; 以及

一底部填充材料部分, 横向地环绕多个所述第一金属结合结构及多个所述半导体裸片的多个所述第二金属结合结构;

其中多个所述第一金属结合结构的一子集包括至少一个虚设金属结合结构, 被该底部填充材料部分环绕并通过该底部填充材料部分从多个所述半导体裸片及多个所述第二金属结合结构电性隔离。

扇出封装

技术领域

[0001] 本公开实施例涉及一种半导体结构,尤其涉及一种用于半导体裸片封装中底部填充应用的虚设(dummy)金属结合垫及其形成方法。

背景技术

[0002] 扇外型晶片级封装(fan-out wafer level package,FOWLP)和模塑化合物材料部分之间的界面,在后续处理扇外型晶片级封装、底部填充材料部分和封装基板的组件(例如:封装基板至印刷电路板(printed circuit board,PCB)的附接)期间,承受机械应力。此外,扇外型晶片级封装和底部填充材料部分之间的界面在计算装置内的使用期间会承受机械应力,例如:当扇外型晶片级封装在使用期间变热并且扇外型晶片级封装组件的热膨胀失配导致热应力时,或者当移动装置在使用过程中意外掉落造成机械冲击。裂纹可形成在底部填充材料中,并且可能在半导体裸片、焊料材料部分、重分布结构及/或半导体裸片内或封装基板内的各种介电层中引起额外的裂纹。因此,需要抑制底部填充材料中裂纹的形成。

发明内容

[0003] 根据本公开的一些实施例,一种扇出封装包括:一重分布结构、多个半导体裸片以及一底部填充材料部分。重分布结构在一侧上包括多个第一金属结合结构。多个半导体裸片包括通过多个凸块部分而附接至第一金属结合结构的多个第二金属结合结构。底部填充材料部分横向地环绕第一金属结合结构及半导体裸片的第二金属结合结构。第一金属结合结构的一子集包括至少一个虚设金属结合结构,被底部填充材料部分环绕并通过底部填充材料部分从半导体裸片及第二金属结合结构电性隔离。

[0004] 根据本公开的另一些实施例,一种芯片封装结构包括:一扇出封装以及一封装基板。扇出封装包括一重分布结构、多个半导体裸片以及一第一底部填充材料部分,重分布结构包括多个重分布侧结合结构,半导体裸片包括多个裸片侧结合结构的各自一组,裸片侧结合结构通过多个第一焊料材料部分的各自一组而附接至重分布侧结合结构的各自一子集,第一底部填充材料部分横向地环绕重分布侧结合结构及半导体裸片的裸片侧结合结构,其中在平面视角中,重分布侧结合结构的一子集位于选自半导体裸片的一对相邻的半导体裸片之间。封装基板经由多个第二焊料材料部分的一阵列而附接至扇出封装。

[0005] 根据本公开的又另一些实施例,一种形成芯片封装结构的方法包括:提供一重分布结构,包括其上的多个重分布侧结合结构;提供多个半导体裸片,包括多个裸片侧结合结构的各自一组;利用多个第一焊料材料部分将半导体裸片结合至重分布结构,第一焊料材料部分结合至重分布侧结合结构的一第一子集中的各自一个重分布侧结合结构及至裸片侧结合结构的各自一个,其中重分布侧结合结构的一第二子集不结合至半导体裸片的任何一个;以及绕着第一焊料材料部分、重分布侧结合结构及裸片侧结合结构形成一第一底部填充材料部分。

附图说明

[0006] 根据以下的详细说明并配合所附附图做完整公开。应被强调的是,根据本产业的一般作业,图示并未必按照比例绘制。事实上,可能任意的放大或缩小元件的尺寸,以做清楚的说明。

[0007] 图1为根据本公开的一实施例,示例性结构的一区域的垂直剖面图,包括第一载体基板及重分布结构。

[0008] 图2A为根据本公开的一实施例,在形成重分布侧结合结构及第一焊料材料部分之后,示例性结构的一区域的垂直剖面图。

[0009] 图2B为图2A的示例性结构的区域的俯视图。

[0010] 图3A为根据本公开的一实施例,在附接半导体裸片之后,示例性结构的区域的垂直剖面图。

[0011] 图3B为图3A的示例性结构的区域的俯视图。

[0012] 图4A为根据本公开的一实施例,在附接半导体裸片之后,示例性结构的第一替代性配置的区域俯视图。

[0013] 图4B为根据本公开的一实施例,在附接半导体裸片之后,示例性结构的第二替代性配置的区域俯视图。

[0014] 图4C为根据本公开的一实施例,在附接半导体裸片之后,示例性结构的第三替代性配置的区域俯视图。

[0015] 图5A示出根据本公开的一实施例,第一焊料材料部分的替代形状的俯视图。

[0016] 图5B示出根据本公开的一实施例,第一焊料材料部分的附加替代形状的俯视图。

[0017] 图6为高带宽存储器裸片的放大垂直剖面图。

[0018] 图7A为根据本公开的一实施例,在形成第一底部填充材料部分之后,示例性结构的区域的垂直剖面图。

[0019] 图7B为图7A的示例性结构的区域的俯视图。

[0020] 图8A为根据本公开的一实施例,在形成环氧树脂模制化合物(epoxy molding compound, EMC)基质之后,示例性结构的区域的垂直剖面图。

[0021] 图8B为图8A的示例性结构的区域的俯视图。

[0022] 图9为根据本公开的一实施例,在附接第二载体基板并拆卸第一载体基板之后,示例性结构的区域的垂直剖面图。

[0023] 图10为根据本公开的一实施例,在形成扇出结合垫之后,示例性结构的区域的垂直剖面图。

[0024] 图11为根据本公开的一实施例,在拆卸第二载体基板之后,示例性结构的区域的垂直剖面图。

[0025] 图12为根据本公开的一实施例,在切割重组晶片及环氧树脂模制化合物基质的期间,示例性结构的区域的垂直剖面图。

[0026] 图13为根据本公开的一实施例,扇出封装的垂直剖面图。

[0027] 图14为根据本公开的一实施例,在将扇出封装附接至封装基板之后,示例性结构的垂直剖面图。

[0028] 图15为根据本公开的一实施例,在形成第二底部填充材料部分之后,示例性结构

的垂直剖面图。

[0029] 图16为根据本公开的一实施例,在封装基板附接至印刷电路板(PCB)之后,示例性结构的垂直剖面图。

[0030] 图17为根据本公开的一实施例,示出用于形成示例性结构的步骤的流程图。

[0031] 附图标记如下:

[0032] 100:印刷电路板

[0033] 110:印刷电路板基板

[0034] 180:印刷电路板结合垫

[0035] 190:焊料接点

[0036] 192:底部填充材料部分

[0037] 200:封装基板

[0038] 210:核心基板

[0039] 212:介电衬垫

[0040] 214:穿芯贯孔结构

[0041] 240:板侧表面增层线路

[0042] 242:板侧绝缘层

[0043] 244:板侧布线互连件

[0044] 248:板侧结合垫

[0045] 260:芯片侧表面增层线路

[0046] 262:芯片侧绝缘层

[0047] 264:芯片侧布线互连件

[0048] 268:芯片侧结合垫

[0049] 290:第二焊料材料部分

[0050] 292:第二底部填充材料部分

[0051] 294:稳定结构

[0052] 300:第一载体基板

[0053] 301:第一黏着层

[0054] 400:第二载体基板

[0055] 401:第二黏着层

[0056] 700:半导体裸片(单芯片系统裸片)

[0057] 701:第一半导体裸片

[0058] 702:第二半导体裸片

[0059] 703:第三半导体裸片

[0060] 704:第四半导体裸片

[0061] 780:裸片侧结合结构(第二金属结合结构)

[0062] 800:半导体裸片(存储器裸片)

[0063] 810:高带宽存储器裸片

[0064] 811:静态随机存取存储器裸片

[0065] 812:静态随机存取存储器裸片

- [0066] 813:静态随机存取存储器裸片
- [0067] 814:静态随机存取存储器裸片
- [0068] 815:静态随机存取存储器裸片
- [0069] 816:环氧树脂模制材料封闭框体
- [0070] 820:微凸块
- [0071] 822:高带宽存储器底部填充材料部分
- [0072] 880:裸片侧结合结构(第二金属结合结构)(存储器裸片金属结合结构)
- [0073] 900:扇出封装
- [0074] 900W:重组晶片
- [0075] 910:模制化合物裸片框体
- [0076] 910M:环氧树脂模制化合物基质
- [0077] 920:重分布结构
- [0078] 922:重分布介电层
- [0079] 924:重分布布线互连件
- [0080] 928:扇出结合垫
- [0081] 938:重分布侧结合结构(第一金属结合结构)(凸块部分)
- [0082] 938D:虚设重分布侧结合结构(虚设金属结合结构)(虚设凸块结合部分)(虚设凸块部分)
- [0083] 940:第一焊料材料部分
- [0084] 940D:虚设焊料材料部分
- [0085] 950:第一底部填充材料部分
- [0086] 1710,1720,1730,1740:步骤
- [0087] UA:单位面积

具体实施方式

[0088] 以下的公开内容提供许多不同的实施例或范例以实施本案的不同特征。以下的公开内容叙述各个构件及其排列方式的特定范例,以简化说明。当然,这些特定的范例并非用以限定。例如,若是本公开书叙述了一第一特征形成于一第二特征之上或上方,即表示其可能包含上述第一特征与上述第二特征是直接接触的实施例,亦可能包含了有附加特征形成于上述第一特征与上述第二特征之间,而使上述第一特征与第二特征可能未直接接触的实施例。另外,以下公开书不同范例可能重复使用相同的参考符号及/或标记。这些重复为了简化与清晰的目的,并非用以限定所讨论的不同实施例及/或结构之间有特定的关系。

[0089] 此外,与空间相关用词,例如“在…下方”、“下方”、“较低的”、“上方”、“较高的”及类似的用词,为了便于描述图示中一个元件或特征与另一个(些)元件或特征之间的关系。除了在附图中示出的方位外,这些空间相关用词意欲包含使用中或操作中的装置的不同方位。装置可能被转向不同方位(旋转90度或其他方位),则在此使用的空间相关词也可依此相同解释。除非另外明确地限定,具有相同参考符号的每一元件预设为具有相同的材料组成且具有相同厚度范围内的厚度。

[0090] 本公开实施例涉及半导体装置,特别是在半导体裸片封装中,底部填充材料的均

匀应用。一般而言,本公开实施例的方法及结构可用以提供一芯片封装结构,例如:扇出型晶片级封装(FOWLP)或扇出型面板级封装(fan-out panel level package,FOPLP)。虽然本公开实施例是利用扇出型晶片级封装的配置来描述,本公开实施例的方法及结构可运用在扇出型面板级封装的配置上或任何其他扇出型或扇入型封装配置上。

[0091] 半导体裸片和重分布结构上的金属结合结构可以在底部填充材料的应用期间增加毛细力。增加的毛细力可以有利地用于增强在裸片到裸片间隙或裸片到封装间隙(例如:裸片到芯片尺寸封装间隙)中的金属结合结构周围,底部填充材料分布的均匀性。根据本公开实施例的一形态,可以使用虚设金属结合结构及/或虚设焊料材料部分来增强底部填充材料的流动均匀性。通过使用本公开实施例的增强裸片间区域中的毛细力的虚设结构,可以避免或减少在裸片到裸片间隙或裸片到封装间隙内的底部填充材料部分内的空隙形成。

[0092] 举例来说,高性能计算(high performance computing,HPC)封装可包括多个半导体裸片,包括至少一个单芯片系统(system-on-chip,SoC)裸片和小芯片内的至少一个高带宽存储器(high bandwidth memory,HBM)裸片,例如:扇出晶片级封装。裸片到裸片间隙及/或裸片到芯片尺寸封装间隙增加了底部填充材料分配步骤的复杂性。在底部填充材料不均匀流动的情况下,空隙可能在间隙区域中的底部填充材料部分内形成。底部填充材料中的这种空隙可能导致焊料桥接或“爆米花”现象,其中焊料材料部分牢固地附接到金属结合结构。本公开实施例的虚设结构可用于避免或减少底部填充材料中的空隙形成。参照随附图描述了本公开的方法和结构的各种形态和实施例。

[0093] 参照图1,根据本公开的一实施例的示例性结构包括一第一载体基板300以及形成在第一载体基板300的前侧表面上的多个重分布结构920。第一载体基板300可包括光透基板例如:玻璃基板或蓝宝石基板。第一载体基板300的直径可在150毫米至290毫米的范围内,且第一载体基板300的厚度可在500微米至2000微米的范围内,但亦可用较小及较大的厚度。替代性地,第一载体基板300可以矩形面板的形式提供。

[0094] 第一黏着层301可施加在第一载体基板300的前侧表面。在一实施例中,第一黏着层301可为光热转换(light-to-heat conversion,LTHC)层。光热转换层可为以溶剂为基底的涂层,利用旋涂方法施加。光热转换层可将紫外光转换成热,这可导致光热转换层的材料失去黏着性。替代性地,第一黏着层301可包括热分解黏着材料。举例来说,第一黏着层301可包括在高温下分解的压克力压敏黏着剂。热分解黏着材料的脱结(debonding)温度可在摄氏150度至200度的范围内。

[0095] 重分布结构920可形成在第一黏着层301上方。尤其,重分布结构920可形成在每一单位面积UA内,单位面积UA是在第一载体基板300上方的二维阵列中重复的重复单元的面积。每一重分布结构920可包括多个重分布介电层922及多个重分布布线(wiring)互连件924。重分布介电层922包括各自的介电聚合物材料例如:聚酰亚胺(polyimide,PI)、苯环丁烯(benzocyclobutene,BCB)、或聚苯恶唑(polybenzobisoxazole,PBO)。其他适合的材料可在本公开实施例的预期范畴内。每一重分布介电层922可通过各自的介电聚合物材料的旋涂及干燥而形成。每一重分布介电层922的厚度可在2微米至40微米的范围内,例如:4微米至20微米。每一重分布介电层922可被图案化,举例来说,通过施加及图案化其上方的各自的光刻胶层,且通过利用蚀刻工艺(例如:异性蚀刻工艺)将光刻胶层中的图案转移至重分布介电层922。后续可移除(例如:通过灰化)光刻胶层。

[0096] 每一重分布布线互连件924可通过以溅镀沉积金属种晶层、通过施加及图案化金属种晶层上方的光刻胶层以形成通过光刻胶层的开口图案、通过电镀金属填充材料(例如:铜、镍、或铜及镍的堆叠)、通过移除光刻胶层(例如:通过灰化)、以及通过蚀刻位于电镀金属填充材料部分之间的部分金属种晶层而形成。上述金属种晶层可包括例如:钛障壁层及铜种晶层的堆叠。钛障壁层可具有从50纳米至400纳米的范围中的厚度,且铜种晶层可具有从100纳米至500纳米的范围中的厚度。用于重分布布线互连件924的金属填充材料可包括铜、镍、或铜及镍。针对每一重分布布线互连件924所沉积的金属填充材料的厚度可在2微米至40微米的范围内,例如:4微米至10微米,但亦可用更小或更大的厚度。在每一重分布结构920中布线的等级总数(即,重分布布线互连件924的等级)可在1至10的范围内。其他适合的材料可在本公开实施例的预期范畴内。重分布结构920的周期性二维阵列(例如:矩形阵列)可形成在第一载体基板300上方。包括所有重分布结构920的层在本文中称为重分布结构层。重分布结构层包括重分布结构920的二维阵列。

[0097] 参照图2A及图2B,至少一金属材料及一第一材料可依序地沉积在重分布结构920的前侧表面上方。至少一金属材料包括可用于金属凸块的材料,例如:铜。至少一金属材料的厚度可在5微米至60微米的范围内,例如:10微米至30微米,但亦可用更小或更大的厚度。第一材料可包括适于C2结合的第一材料,例如:用于微凸块结合。第一材料的厚度可在2微米至30微米的范围内,例如:4微米至15微米,但亦可用更小或更大的厚度。

[0098] 第一材料及至少一金属材料可被图案化成第一焊料材料部分940的离散阵列及金属结合结构的阵列,在本文中称为重分布侧结合结构938的阵列。每一重分布侧结合结构938的阵列形成在各自的单位面积UA内。每一第一焊料材料部分940的阵列形成在各自的单位面积UA内。每一第一焊料材料部分940可具有和下方的重分布侧结合结构938相同的水平剖面形状。

[0099] 在一实施例中,重分布侧结合结构938可包括铜及含铜的合金及/或实质上可由铜及含铜的合金组成。其他适合的材料可在本公开实施例的预期范畴内。重分布侧结合结构938的厚度可在5微米至60微米的范围内,但亦可用更小或更大的厚度。重分布侧结合结构938可具有矩形、圆边矩形、圆型、正多边形、不规则多边形或任何其他具有封闭缘周的二维曲线形状的水平剖面形状。在一实施例中,重分布侧结合结构938可配置用于微凸块结合(即,C2结合),且可具有在10微米至30微米的范围内的厚度,但亦可用更小或更大的厚度。在此实施例中,每一重分布侧结合结构938的阵列可形成为微凸块(例如:铜柱)的阵列,具有10微米至25微米的范围内的横向尺寸,且具有20微米至50微米的范围内的节距。

[0100] 参照图3A及图3B,一组至少一个半导体裸片(半导体裸片700、半导体裸片800)可结合至每一重分布结构920。在一实施例中,重分布结构920可排列成二维周期性阵列,且多组至少一个半导体裸片(半导体裸片700、半导体裸片800)可结合至重分布结构920作为多组至少一个半导体裸片(半导体裸片700、半导体裸片800)的二维周期性矩形阵列。每一组至少一个半导体裸片(半导体裸片700、半导体裸片800)包括至少一个半导体裸片。每一组至少一个半导体裸片(半导体裸片700、半导体裸片800)可包括任何技术领域中已知的一组至少一个半导体裸片。在一实施例中,每一组至少一个半导体裸片(半导体裸片700、半导体裸片800)可包括多个半导体裸片(半导体裸片700、半导体裸片800)。举例来说,每一组至少一个半导体裸片(半导体裸片700、半导体裸片800)可包括至少一个单芯片系统(SoC)裸片

700及/或至少一个存储器裸片800。每一单芯片系统裸片700可包括一应用处理器裸片、一中央处理单元裸片、或一图像处理单元裸片。在一实施例中,至少一存储器裸片800可包括高带宽存储器(HBM)裸片,包括静态随机存取存储器裸片的垂直堆叠。在一实施例中,至少一个半导体裸片(半导体裸片700、半导体裸片800)可包括至少一个单芯片系统(SoC)裸片以及包括静态随机存取存储器裸片(static random access memory,SRAM)的垂直堆叠的高带宽存储器(HBM)裸片,彼此通过微凸块互连,且被环氧树脂模制材料封闭箱体横向地环绕。

[0101] 参照图3A及图3B,每一半导体裸片(半导体裸片700、半导体裸片800)可包括裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的各自一阵列。举例来说,每一单芯片系统裸片700可包括单芯片系统金属结合结构780的一阵列,且每一半导体裸片800可包括存储器裸片金属结合结构880的一阵列。每一半导体裸片(半导体裸片700、半导体裸片800)可定位在面向下的位置,使得裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)面向第一焊料材料部分940。多个半导体裸片(半导体裸片700、半导体裸片800)的每一组可放置在各自的单位面积UA内。半导体裸片(半导体裸片700、半导体裸片800)的放置可利用取放设备执行,使得每一裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)放置在第一焊料材料部分940的各自一个的顶部表面上。

[0102] 一般而言,可提供重分布结构920,包括其上的重分布侧结合结构938,且可提供多个半导体裸片(半导体裸片700、半导体裸片800),包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。多个半导体裸片(半导体裸片700、半导体裸片800)可利用第一焊料材料部分940而结合至重分布结构920,第一焊料材料部分940结合至重分布侧结合结构938的第一子集内的各自一个重分布侧结合结构938,且至裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的各自一个。重分布侧结合结构938的第二子集不结合至任何的半导体裸片(半导体裸片700、半导体裸片800)。

[0103] 重分布侧结合结构938的第一子集可结合至第一焊料材料部分940的第一子集,且重分布侧结合结构938的第二子集可结合至第一焊料材料部分940的第二子集。重分布侧结合结构938的第二子集在本文中称作虚设重分布侧结合结构938D。第一焊料材料部分940的第二子集在本文中称做虚设焊料材料部分940D。重分布侧结合结构938的第二子集(包括虚设重分布侧结合结构938D)不具有至多个半导体裸片(半导体裸片700、半导体裸片800)的任何裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的任何结合。换句话说,重分布侧结合结构938的第二子集(包括虚设重分布侧结合结构938D)不结合至多个半导体裸片(半导体裸片700、半导体裸片800)的任何裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。

[0104] 重分布侧结合结构938的第一子集内的每一重分布侧结合结构938在平面视角中(例如:俯视图),可具有与多个半导体裸片(半导体裸片700、半导体裸片800)各自一个的区域(areal)重叠,且在平面视角中,可完全地位于多个半导体裸片(半导体裸片700、半导体裸片800)各自一个的面积内。每一虚设重分布侧结合结构938D在平面视角中,不与多个半导体裸片(半导体裸片700、半导体裸片800)有任何区域重叠,且在平面视角中,可完全地位于多个半导体裸片(半导体裸片700、半导体裸片800)内一对相邻的半导体裸片(半导体裸片700、半导体裸片800)的面积之间。

[0105] 第一焊料材料部分940的第一子集内的每一第一焊料材料部分940在平面视角中,可具有与多个半导体裸片(半导体裸片700、半导体裸片800)各自一个的区域(areal)重叠,且在平面视角中,可完全地位于多个半导体裸片(半导体裸片700、半导体裸片800)各自一个的面积内。每一虚设焊料材料部分940D在平面视角中,不与多个半导体裸片(半导体裸片700、半导体裸片800)有任何区域重叠,且在平面视角中,可完全地位于多个半导体裸片(半导体裸片700、半导体裸片800)内一对相邻的半导体裸片(半导体裸片700、半导体裸片800)的面积之间。

[0106] 一般而言,第一焊料材料部分940(例如:第一焊料材料部分940的第一子集)可形成在重分布侧结合结构938的第一子集上,且附加的第一焊料材料部分940(例如:虚设焊料材料部分940D)可形成在重分布侧结合结构938的第二子集上(即,在虚设重分布侧结合结构938D上)。附加的第一焊料材料部分(例如:虚设焊料材料部分940D)不结合至任何的裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。附加的第一焊料材料部分(例如:虚设焊料材料部分940D)不具有与裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的任何结合。

[0107] 在一实施例中,虚设焊料材料部分940D可位于选自重分布侧结合结构938的第二子集的各自一个虚设重分布侧结合结构938D上,且不接触任何半导体裸片(半导体裸片700、半导体裸片800)。在一实施例中,虚设焊料材料部分940D包括至少一列虚设焊料材料部分940D,沿着平行于选自半导体裸片(半导体裸片700、半导体裸片800)的一对相邻的半导体裸片(半导体裸片700、半导体裸片800)的一对侧壁的方向排列,且设置于相邻的半导体裸片(半导体裸片700、半导体裸片800)之间。每一虚设焊料材料部分940D具有与结合至重分布侧结合结构938与裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的各自一对的多组第一焊料材料部分940相同的材料组成。

[0108] 一般而言,虚设重分布侧结合结构938D及虚设焊料材料部分940D在平面视角(例如:图3B的俯视图)中不与多个半导体裸片(半导体裸片700、半导体裸片800)在每一单位面积UA中具有任何区域重叠。在一实施例中,在平面视角中,一列虚设重分布侧结合结构938D及一列虚设焊料材料部分940D可位于多个半导体裸片(半导体裸片700、半导体裸片800)内一对相邻的半导体裸片(半导体裸片700、半导体裸片800)的面积之间。虚设重分布侧结合结构938D及虚设焊料材料部分940D的排列可依据每一单位面积UA内的多个半导体裸片(半导体裸片700、半导体裸片800)的排列而有所不同。

[0109] 图4A至图4C示出示例性结构的替代性配置,由图3A及图3B的示例性结构衍生,改变半导体裸片(半导体裸片700、半导体裸片800)的排列及/或半导体裸片(半导体裸片700、半导体裸片800)的总数量及/或半导体裸片(半导体裸片700、半导体裸片800)的种类。图4A至图4C中示例性结构的替代性配置内的半导体裸片(第一半导体裸片701、第二半导体裸片702、第三半导体裸片703、第四半导体裸片704)包括一第一半导体裸片701、一第二半导体裸片702、选择性地一第三半导体裸片703及/或一第四半导体裸片704。每一半导体裸片(第一半导体裸片701、第二半导体裸片702、第三半导体裸片703、第四半导体裸片704)可包括一单芯片系统裸片700或一存储器裸片800。虚设重分布侧结合结构938D及虚设焊料材料部分940D的图案可包括图4A示出的单列图案、图4B示出的多列图案及/或图4C示出的交叉图案。一般而言,在至少一个虚设重分布侧结合结构938D及至少一个虚设焊料材料部分940D

放置在半导体裸片{(半导体裸片700、半导体裸片800)或(第一半导体裸片701、第二半导体裸片702、第三半导体裸片703、第四半导体裸片704)}的相邻一对之间的前提下,任何图案皆可用于虚设重分布侧结合结构938D及虚设焊料材料部分940D的排列。

[0110] 虽然图3A、图3B及图4A至图4C示出虚设焊料材料部分940D及虚设重分布侧结合结构938D具有各自矩形的水平剖面形状的配置,一般而言,虚设焊料材料部分940D及虚设重分布侧结合结构938D可具有任何具有封闭缘周的二维曲线形状的水平剖面形状。

[0111] 参照图5A,示出虚设焊料材料部分940D(及重分布侧结合结构938)的替代性形状,可包括等边长的正多边形。

[0112] 参照图5B,示出虚设焊料材料部分940D(及重分布侧结合结构938)的附加替代性形状,可包括不规则的多边形。

[0113] 但替代性地,虚设焊料材料部分940D(及重分布侧结合结构938)可具有圆形、椭圆形、卵形、或具有封闭缘周的曲线二维形状的水平剖面形状。

[0114] 参照图6,示出一高带宽存储器(HBM)裸片810,可用作图3A、图3B、图4A、图4B及/或图4C中的半导体裸片800。高带宽存储器裸片810包括静态随机存取存储器裸片(静态随机存取存储器裸片811、静态随机存取存储器裸片812、静态随机存取存储器裸片813、静态随机存取存储器裸片814、静态随机存取存储器裸片815)的垂直堆叠,通过微凸块820彼此互连,且被环氧树脂模制材料封闭框体816横向地环绕。静态随机存取存储器裸片(静态随机存取存储器裸片811、静态随机存取存储器裸片812、静态随机存取存储器裸片813、静态随机存取存储器裸片814、静态随机存取存储器裸片815)垂直地相邻的一对之间的间隙可用高带宽存储器底部填充材料部分822填充,高带宽存储器底部填充材料部分822横向地环绕各自一组微凸块820。高带宽存储器裸片810可包括存储器裸片金属结合结构880的一阵列,配置以在单位面积UA中结合至重分布侧结合结构938的一阵列的一子集。高带宽存储器裸片810可配置以提供以JEDEC标准定义的高带宽,即,通过JEDEC固态技术协会所定义的标准。

[0115] 参照图7A及图7B,可将一第一底部填充材料施加在重分布结构920与结合至重分布结构920的一组半导体裸片(半导体裸片700、半导体裸片800)之间的每一间隙中。第一底部填充材料可包括任何技术领域中已知的底部填充材料。第一底部填充材料部分950可形成在每一单位面积UA内,在重分布结构920及上方的一组多个半导体裸片(半导体裸片700、半导体裸片800)之间。第一底部填充材料部分950可通过绕着各自一个单位面积UA中第一焊料材料部分940的各自一阵列而注射第一底部填充材料来形成。可用任何已知的底部填充材料施加方法,举例来说,毛细底部填充方法、模塑底部填充方法、或印刷底部填充方法。

[0116] 在每一单位面积UA内,第一底部填充材料部分950横向地环绕且接触单位面积UA内的每一第一焊料材料部分940,包括第一焊料材料部分940可结合至各自一对重分布侧结合结构938及裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的第一子集,以及第一焊料材料部分940不结合至任何裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的第二子集(即,虚设焊料材料部分940D)。第一底部填充材料部分950可形成绕着且可接触单位面积UA中的第一焊料材料部分940、重分布侧结合结构938及裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。在每一单位面积UA中,虚设重分布侧结合结构938D(即,重分布侧结合结构938不结合(即,不具有任何结合)至多个半导体裸片(半导体裸

片700、半导体裸片800)的任何裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的子集可被第一底部填充材料部分950横向地环绕且可接触第一底部填充材料部分950。

[0117] 单位面积UA中的每一重分布结构920可包括重分布侧结合结构938。包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)的多个半导体裸片(半导体裸片700、半导体裸片800)可通过第一焊料材料部分940的各自一组(包括第一焊料材料部分940的第一子集)而附接至重分布侧结合结构938的各自一子集。在每一单位面积UA内,第一底部填充材料部分950横向地环绕重分布侧结合结构938及多个半导体裸片(半导体裸片700、半导体裸片800)的裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。重分布侧结合结构938的一子集(即,虚设重分布侧结合结构938D)不结合至多个半导体裸片(半导体裸片700、半导体裸片800)的任何裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),且可被第一底部填充材料部分950横向地环绕。

[0118] 参照图8A及图8B,环氧树脂模制化合物(EMC)可施加在半导体裸片(半导体裸片700、半导体裸片800)的各自一组的比邻组件与第一底部填充材料部分950之间的间隙。环氧树脂模制化合物可包括含环氧树脂的化合物,可被固化(即,硬化)以提供具有足够硬度及机械强度的介电材料部分。环氧树脂模制化合物可包括环氧树脂、硬化剂、二氧化硅(作为填充材料)以及其他添加物。环氧树脂模制化合物可以液体形式或固体形式提供,视黏度及可流动性而定。液体环氧树脂模制化合物提供较佳的操作性(handling)、好的可流动性、较少空隙、较佳的填充度、以及较少的流痕。固体环氧树脂模制化合物提供较少的硬化收缩、较佳的站立高度(stand-off)、以及较少的裸片漂移。环氧树脂模制化合物内较高的填充物含量(例如:重量的85%)可减少在模具中的时间,降低模具收缩,且减少模具翘曲。环氧树脂模制化合物中均匀的填充物尺寸分布可减少流痕,且可增强可流动性。若黏着层包括热性脱结材料,环氧树脂模制化合物的硬化温度可低于第一黏着层301的释放(脱结)温度。举例来说,环氧树脂模制化合物的硬化温度可在125°C至150°C的范围内。

[0119] 环氧树脂模制化合物可在硬化温度被硬化,以形成环氧树脂模制化合物基质910M,横向地环绕且埋设一组半导体裸片(半导体裸片700、半导体裸片800)及第一底部填充材料部分950的每一组件。环氧树脂模制化合物基质910M可包括多个环氧树脂模制化合物(EMC)裸片框体,横向地毗连彼此。每一环氧树脂模制化合物裸片框体可为环氧树脂模制化合物基质910M的一部分,位于各自的单位面积UA内。因此,每一环氧树脂模制化合物裸片框体可横向地环绕且埋设各自一组半导体裸片(半导体裸片700、半导体裸片800)及各自的第一底部填充材料部分950。

[0120] 覆盖在包括半导体裸片(半导体裸片700、半导体裸片800)的顶部表面的水平平面上的环氧树脂模制化合物基质910M的部分可通过平坦化工艺移除。举例来说,覆盖在水平平面上的环氧树脂模制化合物基质910M的部分可利用化学机械平坦化移除。环氧树脂模制化合物基质910M的剩余部分、半导体裸片(半导体裸片700、半导体裸片800)、第一底部填充材料部分950以及重分布结构920的二维阵列的组合包括一重组晶片900W。位于单位面积UA内的环氧树脂模制化合物基质910M的每一部分组成一环氧树脂模制化合物裸片框体。

[0121] 参照图9,第二黏着层401可施加至重组晶片900W实体显露的平面表面,即,环氧树脂模制化合物基质910M、半导体裸片(半导体裸片700、半导体裸片800)及第一底部填充材料部分950的实体显露表面。在一实施例中,第二黏着层401可包括与第一黏着层301的材料

相同或不同的材料。若第一黏着层301包括热性分解黏着材料,则第二黏着层401包括在更高温度分解的另一种热性分解黏着材料,或可包括光热转换材料。

[0122] 第二载体基板400可衔接至第二黏着层401。第二载体基板400可衔接至相对于第一载体基板300,重组晶片900W的相对侧。一般而言,第二载体基板400可包括任何可用于第一载体基板300的材料。第二载体基板400的厚度可在500微米至2000微米的范围内,但亦可用更小或更大的厚度。

[0123] 第一黏着层301可在脱结温度下通过紫外光照射或热退火分解。在第一载体基板300包括光透材料且第一黏着层301包括光热转换层的实施例中,第一黏着层301可通过穿过透明载体基板的辐射紫外光分解。光热转换层可吸收紫外光照射且产生热,将光热转换层的材料分解,且导致透明的第一载体基板300从重组晶片900W脱离。在第一黏着层301包括热性分解黏着材料的实施例中,可在脱结温度下执行热退火工艺,以将第一载体基板300从重组晶片900W脱离。

[0124] 参照图10,可通过沉积及图案化至少一金属材料的堆叠而形成扇出结合垫928及第二焊料材料部分290,至少一金属材料的堆叠可作用为金属凸块及焊料材料层。用于扇出结合垫928的金属填充材料可包括铜。其他适合的材料可在本公开实施例的预期范畴内。扇出结合垫928的厚度可在5微米至100微米的范围内,但亦可用更小或更大的厚度。扇出结合垫928及第二焊料材料部分290可具有矩形、圆边矩形或圆形的水平剖面形状。其他适合的形状可在本公开实施例的预期范畴内。在扇出结合垫928形成为可控塌陷芯片连接(controlled collapse chip connection,C4)垫的实施例中,扇出结合垫928的厚度可在5微米至50微米的范围内,但亦可用更小或更大的厚度。在一些实施例中,扇出结合垫928可为或可包括凸块下金属(under bump metallurgy,UBM)结构。扇出结合垫928的配置不限于扇出结构。替代性地,扇出结合垫928可配置为微凸块结合(即,C2结合),且可具有在30微米至100微米的范围内的厚度,但亦可用更小或更大的厚度。在此种实施例中,扇出结合垫928可形成为微凸块(例如:铜柱)的阵列,具有在10微米至25微米的范围内的横向尺寸,且具有在20微米至50微米的范围内的节距。在一些实施例中,第二焊料材料部分290可微或可包括铜柱。

[0125] 扇出结合垫928及第二焊料材料部分290可相对于重分布结构层,形成在环氧树脂模制化合物基质910M及多组半导体裸片(半导体裸片700、半导体裸片800)的二维阵列的相对侧。重分布结构层包括重分布结构920的三维阵列。每一重分布结构920可位于各自的单位面积UA内。每一重分布结构920可包括重分布介电层922、埋设在重分布介电层922中的重分布布线互连件924、以及扇出结合垫928。扇出结合垫928可相对于重分布介电层922,位于重分布侧结合结构938的相对侧,且可电性连接至重分布侧结合结构938的各自一个。

[0126] 参照图11,第二黏着层401可在脱结温度下通过紫外光照射或通过热退火分解。在第二载体基板400包括光透材料且第二黏着层401包括光热转换层的实施例中,第二黏着层401可通过穿过透明载体基板的辐射紫外光分解。在第二黏着层401包括热性分解黏着材料的实施例中,可在脱结温度下执行热退火工艺,以将第二载体基板400从重组晶片900W脱离。

[0127] 参照图12,包括扇出结合垫928的重组晶片900W可通过执行切割工艺,沿着切割通道而被后续地切割。切割通道对应于相邻一对单位面积UA之间的边界。从重组晶片900W切

割出的每一切割单元包括一扇出封装900。换句话说,多组半导体裸片(半导体裸片700、半导体裸片800)的二维阵列、第一底部填充材料部分950的二维阵列、环氧树脂模制化合物基质910M、以及重分布结构920的二维阵列的组件的每一切割部分包括一扇出封装900。环氧树脂模制化合物基质910M的每一切割部分包括一模制化合物裸片框体910。重分布结构层的每一切割部分(包括重分布结构920的二维阵列)包括一重分布结构920。

[0128] 参照图13,示出在图12的工艺步骤中,通过切割示例性结构而获得的扇出封装900。扇出封装900包括重分布结构920,包括重分布侧结合结构938、多个半导体裸片(半导体裸片700、半导体裸片800)以及第一底部填充材料部分950。半导体裸片(半导体裸片700、半导体裸片800)包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),且裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)通过第一焊料材料部分940的各自一祖而附接至重分布侧结合结构938的各自一子集。第一底部填充材料部分950横向地环绕重分布侧结合结构938及多个半导体裸片(半导体裸片700、半导体裸片800)的裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。其中重分布侧结合结构938的一子集在平面视角中(即,沿着垂直于重分布结构920与第一底部填充材料部分950之间的接合面的一方向),位于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)之间。扇出封装900可包括模制化合物裸片框体910,横向地环绕多个半导体裸片(半导体裸片700、半导体裸片800),且包括模制化合物材料。在一实施例中,模制化合物裸片框体910可包括与重分布结构920的侧壁垂直地重合的侧壁,即,与重分布结构920的侧壁位于相同的垂直平面中。一般而言,在每一扇出封装900内形成第一底部填充材料部分950之后,模制化合物裸片框体910可绕着多个半导体裸片(半导体裸片700、半导体裸片800)形成。模制化合物材料接触重分布结构920的平面表面的缘周部分。

[0129] 参照图14,封装基板200可通过第二焊料材料部分290结合至扇出封装900。封装基板200可为核状(cored)封装基板,包括一核心基板210,或可为无核的封装基板,不包括封装核心。替代性地,封装基板200可包括一系统整合封装基板(system-on-integrated package substrate, SoIS),包括重分布及/或介电界面层、至少一埋设的中介层(例如:硅中介层)。此种系统整合封装基板可包括利用焊料材料部分、微凸块、底部填充材料部分(例如:模制底部填充材料部分)及/或黏着膜而达成的层对层的互连。虽然本公开实施例利用示例性基板封装描述,应了解的是本公开实施例的范畴不限于任何特定种类的基板封装,且可包括系统整合封装基板。核心基板210可包括玻璃环氧树脂板,包括贯通板的孔洞的阵列。包括金属材料的穿芯贯孔结构214的阵列可提供在贯通板的孔洞中。每一穿芯贯孔结构214可或可不包括其中的圆柱形中空。选择性地,介电衬垫212可用以将穿芯贯孔结构214从核心基板210电性隔离。

[0130] 封装基板200可包括板侧表面增层线路(surface laminar circuit, SLC) 240以及芯片侧表面增层线路(SLC) 260。板侧表面增层线路240可包括板侧绝缘层242,埋设有板侧布线互连件244。芯片侧表面增层线路260可包括芯片侧绝缘层262,埋设有芯片侧布线互连件264。板侧绝缘层242及芯片侧绝缘层262可包括光敏性环氧树脂材料,可被光刻图案化以及后续地硬化。板侧布线互连件244及芯片侧布线互连件264可包括铜,可通过电镀而沉积在板侧绝缘层242或芯片侧绝缘层262中的图案内。

[0131] 在一实施例中,封装基板200包括芯片侧表面增层线路260以及板侧表面增层线路240,芯片侧表面增层线路260包括连接至芯片侧结合垫268的一阵列的芯片侧布线互连件264,芯片侧结合垫268结合至第二焊料材料部分290的阵列,板侧表面增层线路240包括连接至板侧结合垫248的一阵列的板侧布线互连件244。板侧结合垫248的阵列配置以容许通过焊料球结合。芯片侧结合垫268的阵列配置以容许通过可控塌陷芯片连接焊料球结合。一般而言,可利用任何种类的封装基板200。虽然利用一实施例来描述本公开,其中封装基板200包括一芯片侧表面增层线路260以及一板侧表面增层线路240,本文明确地预期多种实施例,其中省略芯片侧表面增层线路260及板侧表面增层线路240其中一个,或是以结合结构的阵列(例如:微凸块)来取代。在一说明范例中,芯片侧表面增层线路260可以微凸块的一阵列或任何其他结合结构的阵列取代。

[0132] 附接至扇出封装900的扇出结合垫928的第二焊料材料部分290可设置在封装基板200的芯片侧结合垫268的阵列上。可执行回焊工艺以回焊第二焊料材料部分290,由此导致扇出封装900与封装基板200之间的结合。在一实施例中,第二焊料材料部分290可包括可控塌陷芯片连接焊料球,且扇出封装900可利用可控塌陷芯片连接焊料球的一阵列而附接至封装基板200。

[0133] 参照图15,通过施加及塑形第二底部填充材料,可绕着第二焊料材料部分290形成第二底部填充材料部分292。在回焊第二焊料材料部分290之后,通过绕着第二焊料材料部分290的阵列注射第二底部填充材料,可形成第二底部填充材料部分292。可利用任何已知的底部填充材料施加方法,举例来说,毛细底部填充方法、模塑底部填充方法、或印刷底部填充方法。

[0134] 第二底部填充材料部分292可接触每一第二焊料材料部分290(可为可控塌陷芯片连接焊料球或C2焊料盖件),且可接触扇出封装900的垂直侧壁。第二底部填充材料部分292形成在重分布结构920与封装基板200之间。第二底部填充材料部分292横向地环绕且接触第二焊料材料部分290的阵列以及扇出封装900。

[0135] 选择性地,稳定结构294(例如:盖件结构或环结构)可附接至扇出封装900与封装基板200的组件,以减少后续工艺步骤期间及/或组件使用期间组件的变形。

[0136] 参照图16,可提供包括一印刷电路板基板110以及数个印刷电路板结合垫180的印刷电路板(printed circuit board,PCB)100。印刷电路板100在印刷电路板基板110的至少一侧上包括一印刷电路(图未示)。可形成焊料接点190的一阵列以将板侧结合垫248的阵列结合至印刷电路板结合垫180的阵列。焊料接点190可通过将焊料球的一阵列设置在板侧结合垫248的阵列与印刷电路板结合垫180的阵列之间,并回焊焊料球的阵列而形成。通过施加及塑形底部填充材料,可绕着焊料接点190形成底部填充材料部分192。封装基板200通过焊料接点190的阵列附接至印刷电路板100。

[0137] 参照图17,根据本公开的一实施例,示出用于形成示例性结构的步骤的流程图。

[0138] 参照步骤1710以及图1、图2A及图2B,可提供一重分布结构920,包括其上的重分布侧结合结构938。

[0139] 参照步骤1720以及图3A至图6,可提供多个半导体裸片(半导体裸片700、半导体裸片800),包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。

[0140] 参照步骤1730以及图3A至图6,利用第一焊料材料部分940,可将多个半导体裸片

(半导体裸片700、半导体裸片800)结合至重分布结构920,第一焊料材料部分940结合至重分布侧结合结构938的第一子集内各自一个重分布侧结合结构938以及各自一个裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。重分布侧结合结构938的第二子集(例如:虚设重分布侧结合结构938D)未结合至任何半导体裸片(半导体裸片700、半导体裸片800)。

[0141] 参照步骤1740以及图7A及图7B,绕着第一焊料材料部分940、重分布侧结合结构938以及裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),可形成一第一底部填充材料部分950。

[0142] 参照所有附图且根据本公开的各种实施例,提供一种扇出封装,包括一重分布结构920、多个半导体裸片(半导体裸片700、半导体裸片800)、以及一底部填充材料部分(例如:第一底部填充材料部分950)。重分布结构920在一侧上包括多个第一金属结合结构(例如:重分布侧结合结构938)。半导体裸片(半导体裸片700、半导体裸片800)包括通过凸块部分(例如:第一焊料材料部分940)附接至第一金属结合结构938的多个第二金属结合结构(例如:裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880))。底部填充材料部分横向地环绕第一金属结合结构938以及多个半导体裸片(半导体裸片700、半导体裸片800)的裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),其中第一金属结合结构938的一子集包括至少一虚设金属结合结构938D,虚设金属结合结构938D被底部填充材料部分950环绕,且通过底部填充材料部分950从半导体裸片(半导体裸片700、半导体裸片800)及第二金属结合结构(裸片侧结合结构780、裸片侧结合结构880)电性隔离。一般而言,第一金属结合结构及第二金属结合结构可包括任何种类的结合结构,例如:可控塌陷芯片连接结合垫或C2结合柱或任何其他种类的金属结构,焊料材料可结合至此种结合结构。

[0143] 在一实施例中,在平面视角中,至少一虚设金属结合结构938D位于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)之间。在一实施例中,在平面视角中,至少一虚设金属结合结构938D与多个半导体裸片(半导体裸片700、半导体裸片800)不具有任何区域重叠。

[0144] 在一实施例中,扇出封装包括至少一虚设凸块部分(例如:至少一虚设焊料材料部分940D),位于各自一个至少一虚设金属结合结构938D上且不接触任何第二金属结合结构(裸片侧结合结构780、裸片侧结合结构880)。在一实施例中,至少一虚设凸块部分938D的所有表面与底部填充材料部分950或至少一虚设凸块结合部分938D接触。

[0145] 在一实施例中,至少一虚设凸块部分938D包括至少一列虚设凸块部分938D,沿着平行于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)的一对侧壁排列,且位于此对侧壁之间。在一实施例中,每一至少一虚设凸块部分938D具有与凸块部分938相同的材料组成。

[0146] 在一实施例中,扇出封装900可包括模制化合物裸片框体910,横向地环绕多个半导体裸片(半导体裸片700、半导体裸片800),且包括模制化合物材料。在一实施例中,模制化合物裸片框体910可包括与重分布结构920的侧壁垂直地重核的侧壁。

[0147] 在一实施例中,重分布结构920可包括:重分布布线互连件924以及扇出结合垫928。重分布布线互连件924埋设在重分布介电层922中且电性连接至各自一个重分布侧结合结构938。扇出结合垫928位于重分布侧结合结构938的相对侧且电性连接至各自一个重

分布侧结合结构938。

[0148] 在一实施例中,多个半导体裸片(半导体裸片700、半导体裸片800)包括至少一个单芯片系统(SoC)裸片700以及一存储器裸片800。存储器裸片800例如为高带宽存储器(HBM)裸片810,包括静态随机存取存储器(SRAM)裸片(静态随机存取存储器裸片811、静态随机存取存储器裸片812、静态随机存取存储器裸片813、静态随机存取存储器裸片814、静态随机存取存储器裸片815)的垂直堆叠,通过微凸块820彼此互连,且被环氧树脂模制材料封闭框体816横向地环绕。

[0149] 根据本公开实施例的一形态,可提供包括扇出封装900的一结构,可包括:重分布结构920、多个半导体裸片(半导体裸片700、半导体裸片800)以及底部填充材料部分950。重分布结构920可包括重分布侧结合结构938。半导体裸片(半导体裸片700、半导体裸片800)可包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),通过各自一组焊料材料部分940附接至重分布侧结合结构938的各自一子集。底部填充材料部分950横向地环绕重分布侧结合结构938以及多个半导体裸片(半导体裸片700、半导体裸片800)的裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880)。其中重分布侧结合结构938的一子集(例如:虚设重分布侧结合结构938D)未结合至多个半导体裸片(半导体裸片700、半导体裸片800)的任何一裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),且被第一底部填充材料部分950横向地环绕。

[0150] 在一实施例中,在平面视角中,重分布侧结合结构938的一子集(例如:虚设重分布侧结合结构938D)位于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)之间。在一实施例中,在平面视角中,重分布侧结合结构938的一子集(例如:虚设重分布侧结合结构938D)与多个半导体裸片(半导体裸片700、半导体裸片800)的任何一个不具有区域重叠。

[0151] 在一实施例中,扇出封装可包括虚设焊料材料部分940D,位于各自一个选自重分布侧结合结构938的子集的重分布侧结合结构938(例如:虚设重分布侧结合结构938D)上。在一些实施例中,虚设焊料材料部分940D及虚设重分布侧结合结构938D可不接触及/或电性连接至多个半导体裸片(半导体裸片700、半导体裸片800)的任何一个。

[0152] 在一实施例中,虚设焊料材料部分940D的所有表面可与第一底部填充材料部分950或重分布侧结合结构938的子集(例如:虚设重分布侧结合结构938D)接触。在一实施例中,虚设焊料材料部分940D可包括至少一列虚设焊料材料部分940D,沿着平行于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)的一对侧壁排列,且位于此对侧壁之间。在一实施例中,每一虚设焊料材料部分940D可具有与多组焊料材料部分940相同的材料组成。

[0153] 根据本公开实施例的一形态,提供一种芯片封装结构,可包括:扇出封装900、多个半导体裸片(半导体裸片700、半导体裸片800)、第一底部填充材料部分950以及封装基板200。扇出封装900包括重分布结构920,重分布结构920包括重分布侧结合结构938。半导体裸片(半导体裸片700、半导体裸片800)可包括各自一组裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),可通过各自一组第一焊料材料部分940附接至重分布侧结合结构938的各自一子集。第一底部填充材料部分950横向地环绕重分布侧结合结构938以及多个半导体裸片(半导体裸片700、半导体裸片800)的裸片侧结合结构(裸片侧结合结构780、

裸片侧结合结构880)。其中在平面视角中,重分布侧结合结构938的一子集(例如:虚设重分布侧结合结构938D)可位于选自多个半导体裸片(半导体裸片700、半导体裸片800)的相邻一对半导体裸片(半导体裸片700、半导体裸片800)之间。封装基板200经由第二焊料材料部分290的一阵列附接至扇出封装900。

[0154] 在一实施例中,芯片封装结构可包括一模制化合物裸片框体910,横向地环绕多个半导体裸片(半导体裸片700、半导体裸片800),且可包括模制化合物材料,接触重分布结构920的平面表面的缘周部分。

[0155] 在一实施例中,芯片封装结构可包括一第二底部填充材料部分292,横向地环绕第二焊料材料部分290的阵列及扇出封装900。

[0156] 在一实施例中,重分布侧结合结构938的子集(例如:虚设重分布侧结合结构938D)未结合至多个半导体裸片(半导体裸片700、半导体裸片800)的任何一裸片侧结合结构(裸片侧结合结构780、裸片侧结合结构880),且可被第一底部填充材料部分950横向地环绕且接触。

[0157] 本公开实施例的各种结构及方法可用以提供一种芯片封装结构,包括扇出封装900,扇出封装900包括虚设重分布侧结合结构938D以及虚设焊料材料部分940D,修饰用于底部填充材料的导管的图案,且增加对于底部填充材料的毛细力。本公开实施例的各种方法及结构可用以减少或消除第一底部填充材料部分950中的空隙,且增加扇出封装900的可靠性。

[0158] 根据本公开的一些实施例,一种扇出封装包括:一重分布结构、多个半导体裸片以及一底部填充材料部分。重分布结构在一侧上包括多个第一金属结合结构。多个半导体裸片包括通过多个凸块部分而附接至第一金属结合结构的多个第二金属结合结构。底部填充材料部分横向地环绕第一金属结合结构及半导体裸片的第二金属结合结构。第一金属结合结构的一子集包括至少一个虚设金属结合结构,被底部填充材料部分环绕并通过底部填充材料部分从半导体裸片及第二金属结合结构电性隔离。

[0159] 在一些实施例中,在平面视角中,至少一个虚设金属结构位于选自半导体裸片的一对相邻的半导体裸片之间。在一些实施例中,在平面视角中,至少一个虚设金属结构不具有与任何半导体裸片的区域重叠。在一些实施例中,扇出封装还包括至少一虚设凸块部分,定位在至少一个虚设金属结构的各自一个上,且不接触任何第二金属结合结构。在一些实施例中,至少一个虚设凸块部分的所有表面与底部填充材料部分或与至少一个虚设金属结合结构接触。在一些实施例中,至少一个虚设凸块部分包括至少一列虚设焊料材料部分,沿着平行于选自半导体裸片的一对相邻的半导体裸片的一对侧壁的方向排列,且位于此对侧壁之间。在一些实施例中,至少一个虚设凸块部分的每一个具有与凸块部分相同的材料组成。在一些实施例中,扇出封装还包括一模制化合物裸片框体,横向地环绕半导体裸片,且包括一模制化合物材料。在一些实施例中,模制化合物裸片框体包括多个侧壁,与重分布结构的多个侧壁垂直地重合。在一些实施例中,重分布结构包括:多个重分布布线互连件以及多个扇出金属结合结构。多个重分布布线互连件埋设在多个重分布介电层中,且电性连接至多个重分布侧结合结构的各自一个。多个扇出金属结合结构位于重分布侧结合结构的一相反侧上,且电性连接至重分布侧结合结构的各自一个。在一些实施例中,半导体裸片包括:至少一单芯片系统裸片以及一高带宽存储器裸片。高带宽存储器裸片包括多个静态随

机存取存储器裸片的一垂直堆叠,通过多个微凸块彼此互连,且被一环氧树脂模制材料封闭框体横向地环绕。

[0160] 根据本公开的另一些实施例,一种芯片封装结构包括:一扇出封装以及一封装基板。扇出封装包括一重分布结构、多个半导体裸片以及一第一底部填充材料部分,重分布结构包括多个重分布侧结合结构,半导体裸片包括多个裸片侧结合结构的各自一组,裸片侧结合结构通过多个第一焊料材料部分的各自一组而附接至重分布侧结合结构的各自一子集,第一底部填充材料部分横向地环绕重分布侧结合结构及半导体裸片的裸片侧结合结构,其中在平面视角中,重分布侧结合结构的一子集位于选自半导体裸片的一对相邻的半导体裸片之间。封装基板经由多个第二焊料材料部分的一阵列而附接至扇出封装。

[0161] 在一些实施例中,芯片封装结构还包括一模制化合物裸片框体,横向地环绕半导体裸片,且包括一模制化合物材料,接触重分布结构的一平面表面的一周围部分。在一些实施例中,芯片封装结构还包括一第二底部填充材料部分,横向地环绕第二焊料材料部分的阵列及扇出封装。在一些实施例中,重分布侧结合结构的子集不结合至半导体裸片的裸片侧结合结构的任何一个,且被第一底部填充材料部分横向地环绕并接触第一底部填充材料部分。

[0162] 根据本公开的又另一些实施例,一种形成芯片封装结构的方法包括:提供一重分布结构,包括其上的多个重分布侧结合结构;提供多个半导体裸片,包括多个裸片侧结合结构的各自一组;利用多个第一焊料材料部分将半导体裸片结合至重分布结构,第一焊料材料部分结合至重分布侧结合结构的一第一子集中的各自一个重分布侧结合结构及至裸片侧结合结构的各自一个,其中重分布侧结合结构的一第二子集不结合至半导体裸片的任何一个;以及绕着第一焊料材料部分、重分布侧结合结构及裸片侧结合结构形成一第一底部填充材料部分。

[0163] 在一些实施例中,方法还包括:在重分布侧结合结构的第一子集上形成第一焊料材料部分;以及在重分布侧结合结构的第二子集上形成多个附加的第一焊料材料部分,其中附加的第一焊料材料部分不结合至任何裸片侧结合结构。在一些实施例中,第一底部填充材料部分横向地环绕且接触附加的第一焊料材料部分的每一个。在一些实施例中,方法还包括在形成第一底部填充材料部分之后,绕着半导体裸片形成一模制化合物裸片框体。在一些实施例中,方法还包括:利用多个第二焊料材料部分的一阵列,将重分布结构附接至一封装基板;以及绕着重分布结构与封装基板之间的第二焊料材料部分的阵列,形成一第二底部填充材料部分。

[0164] 前述内文概述了许多实施例的特征,使本技术领域技术人员可以从各个方面更佳地了解本公开。本技术领域技术人员应可理解,且可轻易地以本公开为基础来设计或修饰其他工艺及结构,并以此达到相同的目的及/或达到与在此介绍的实施例等相同的优点。本技术领域技术人员也应了解这些相等的结构并未背离本公开的发明精神与范围。在不背离本公开的发明精神与范围的前提下,可对本公开进行各种改变、置换或修改。

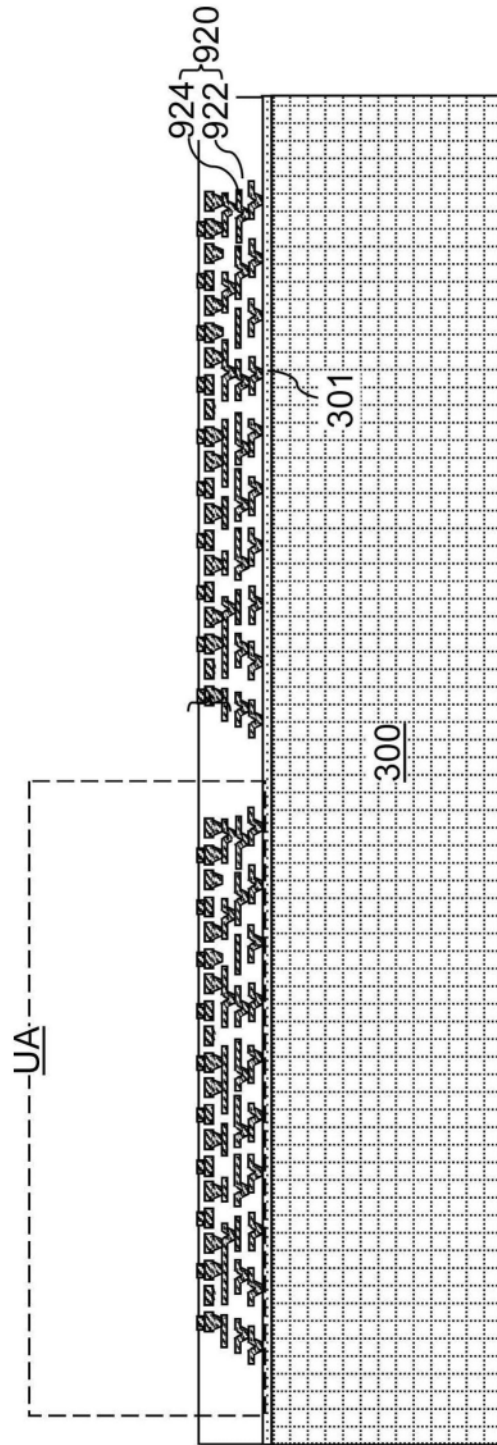


图1

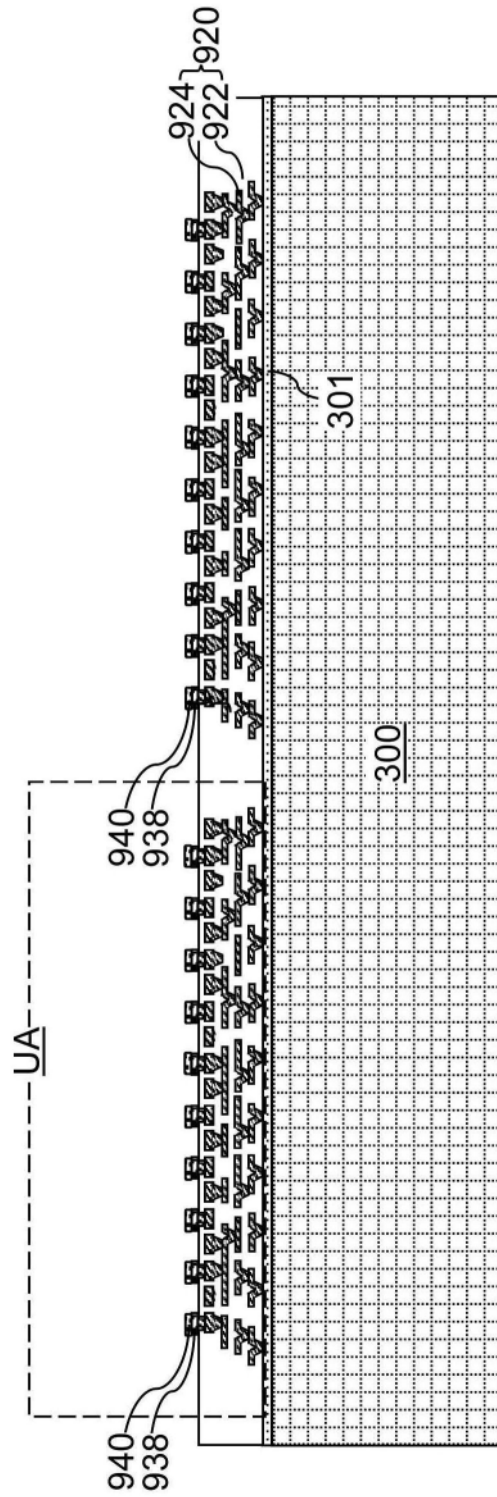


图2A

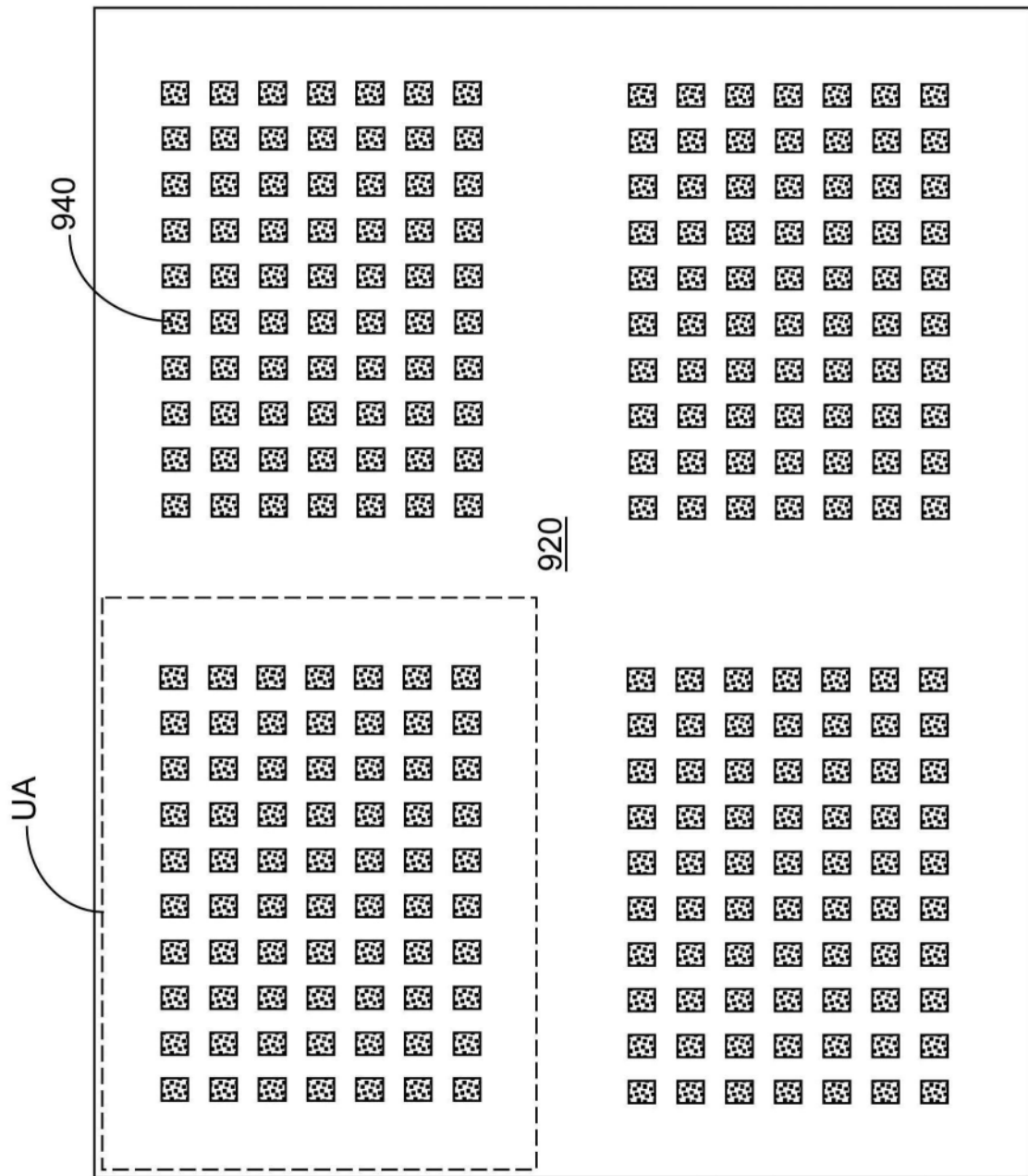


图2B

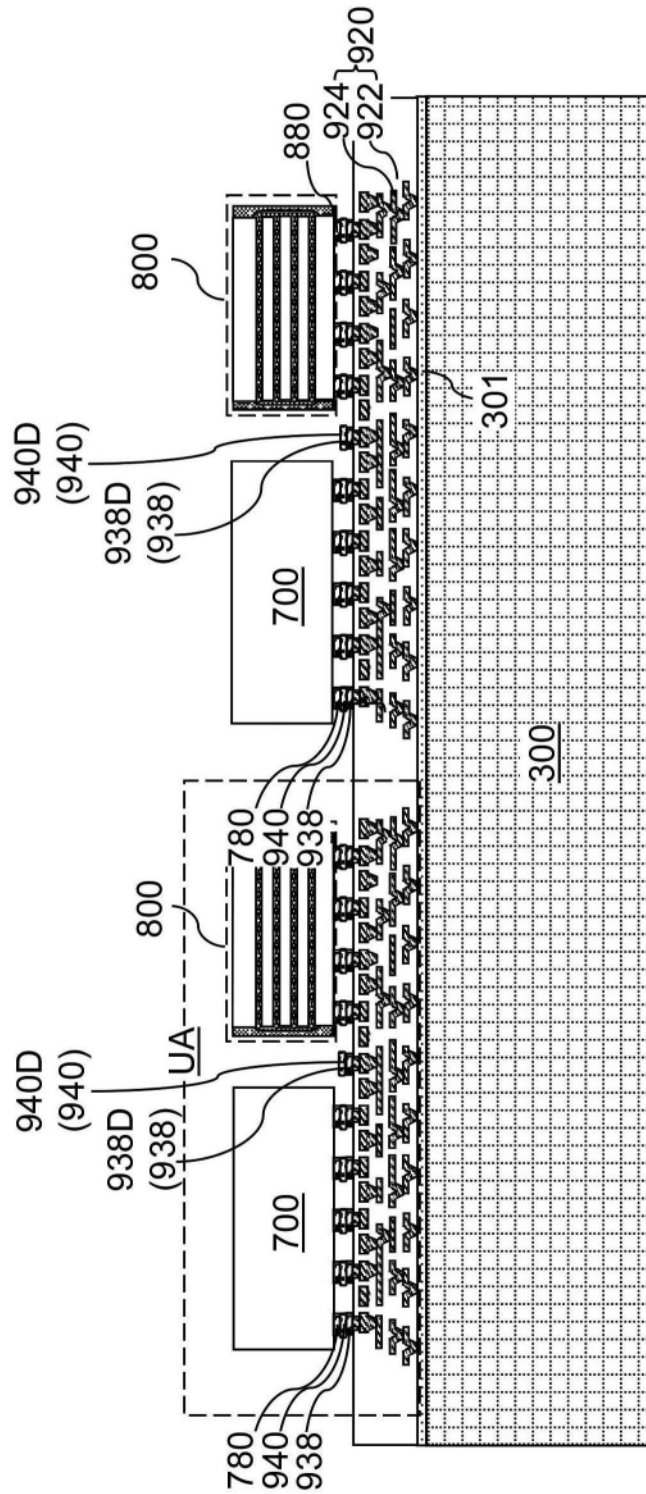


图3A

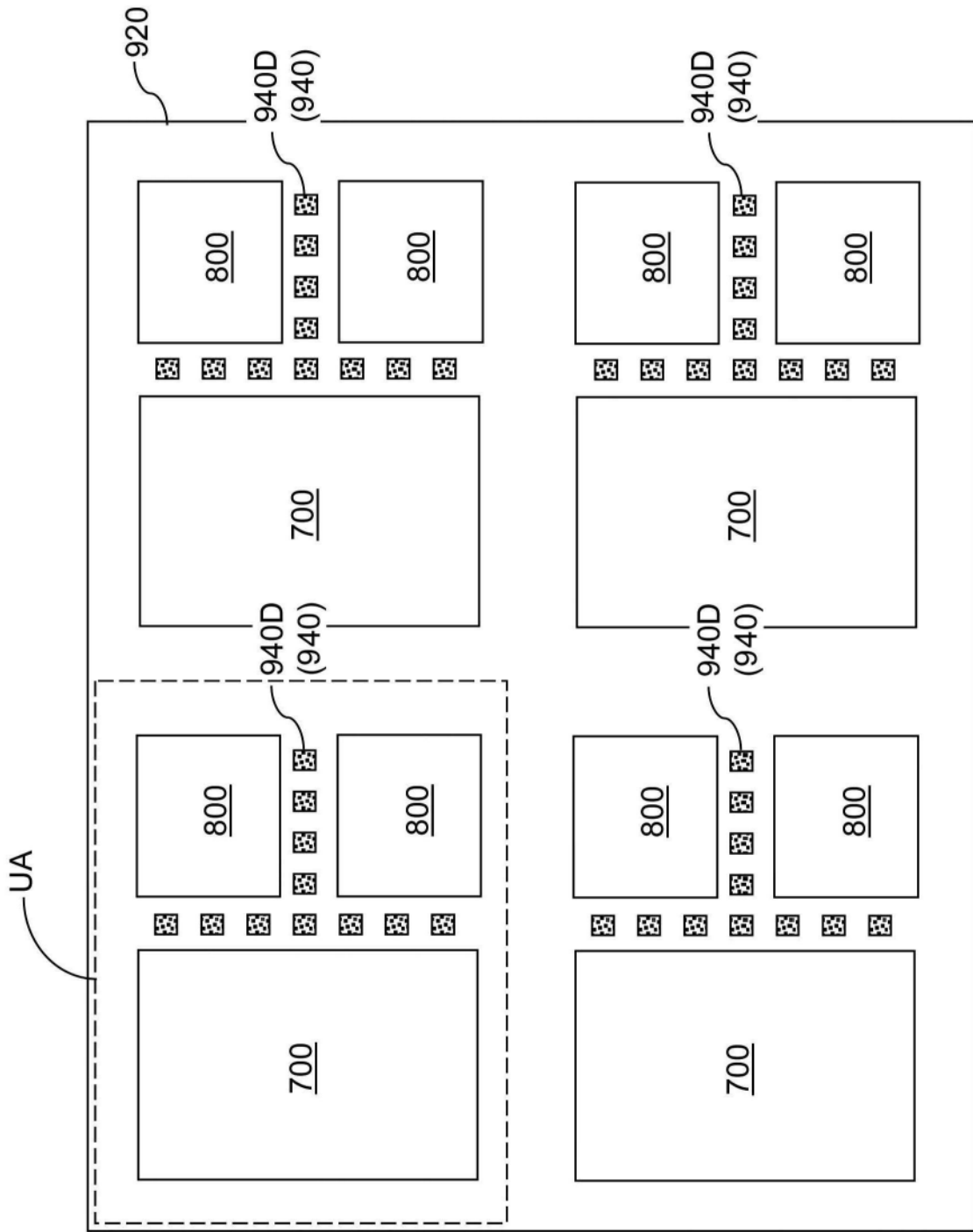


图3B

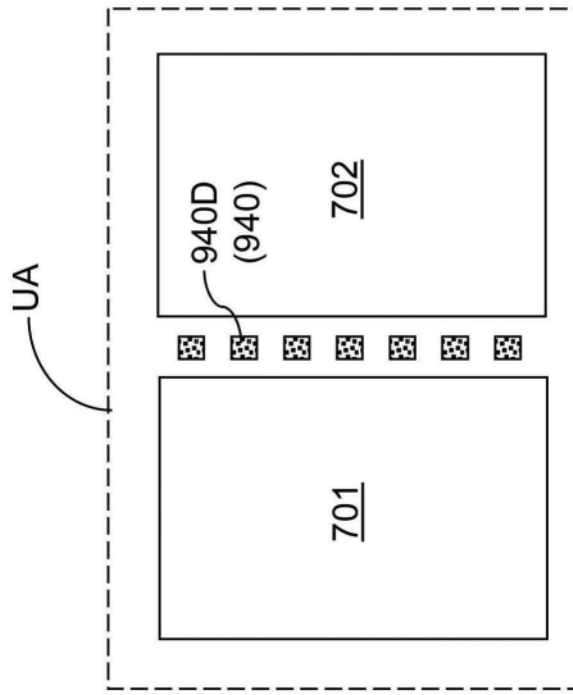


图4A

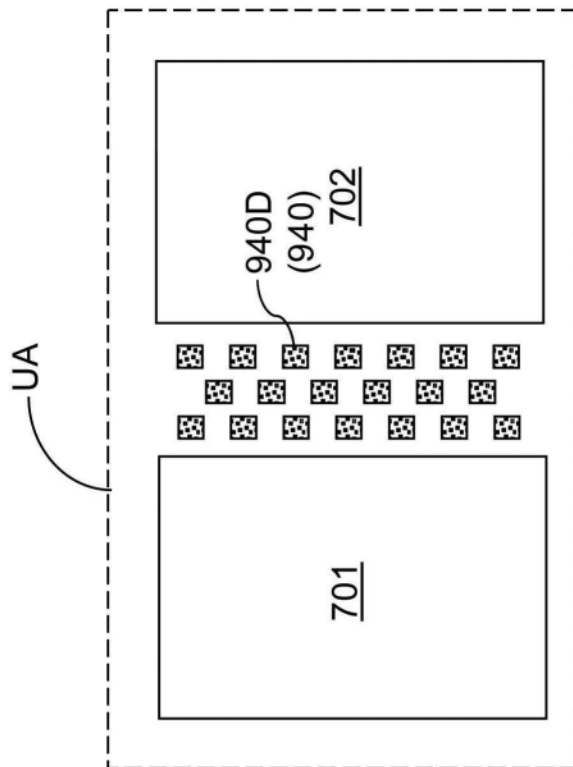


图4B

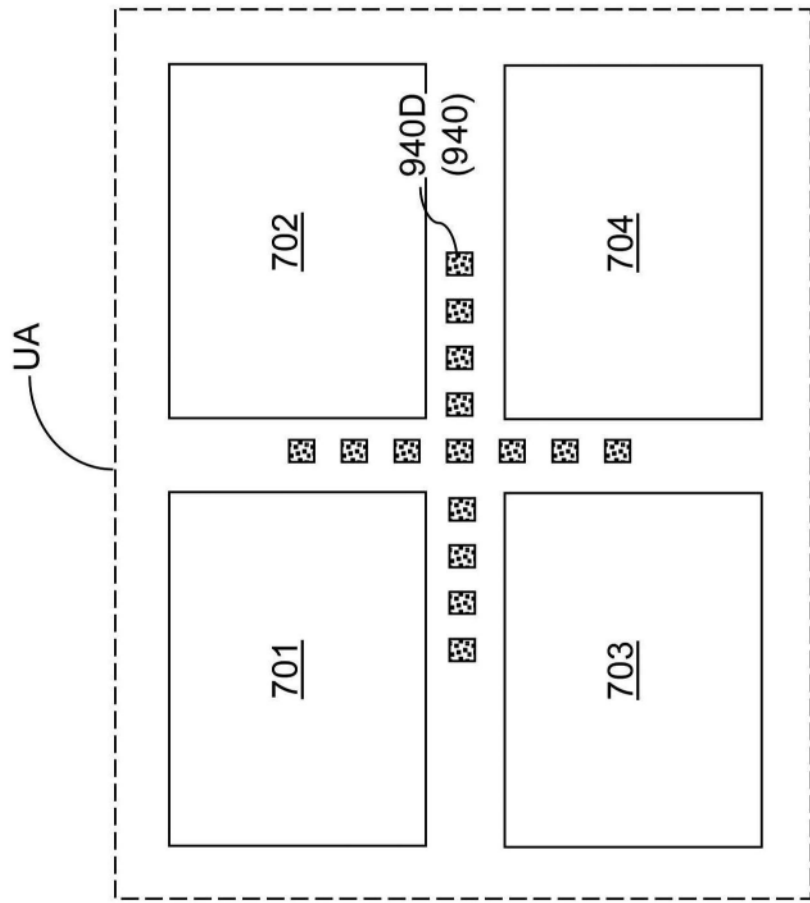


图4C

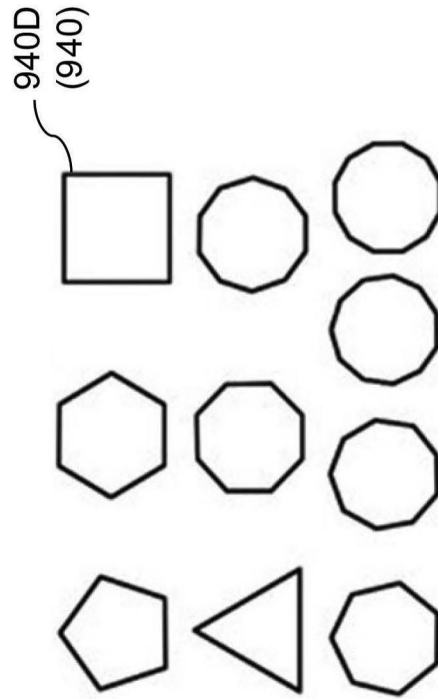


图5A

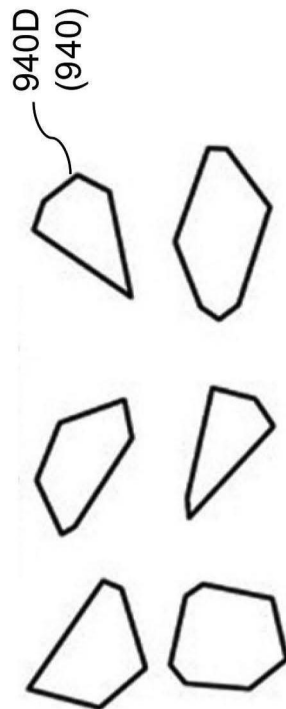


图5B

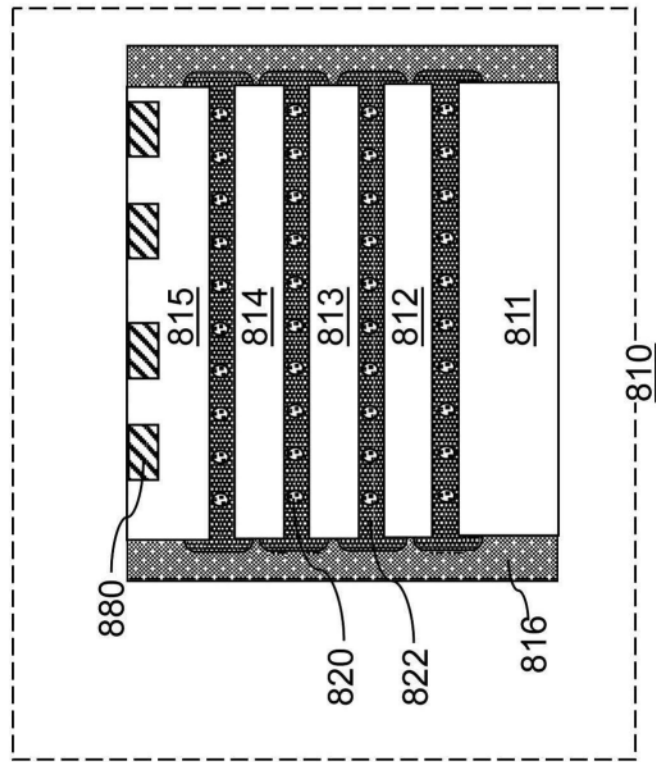


图6

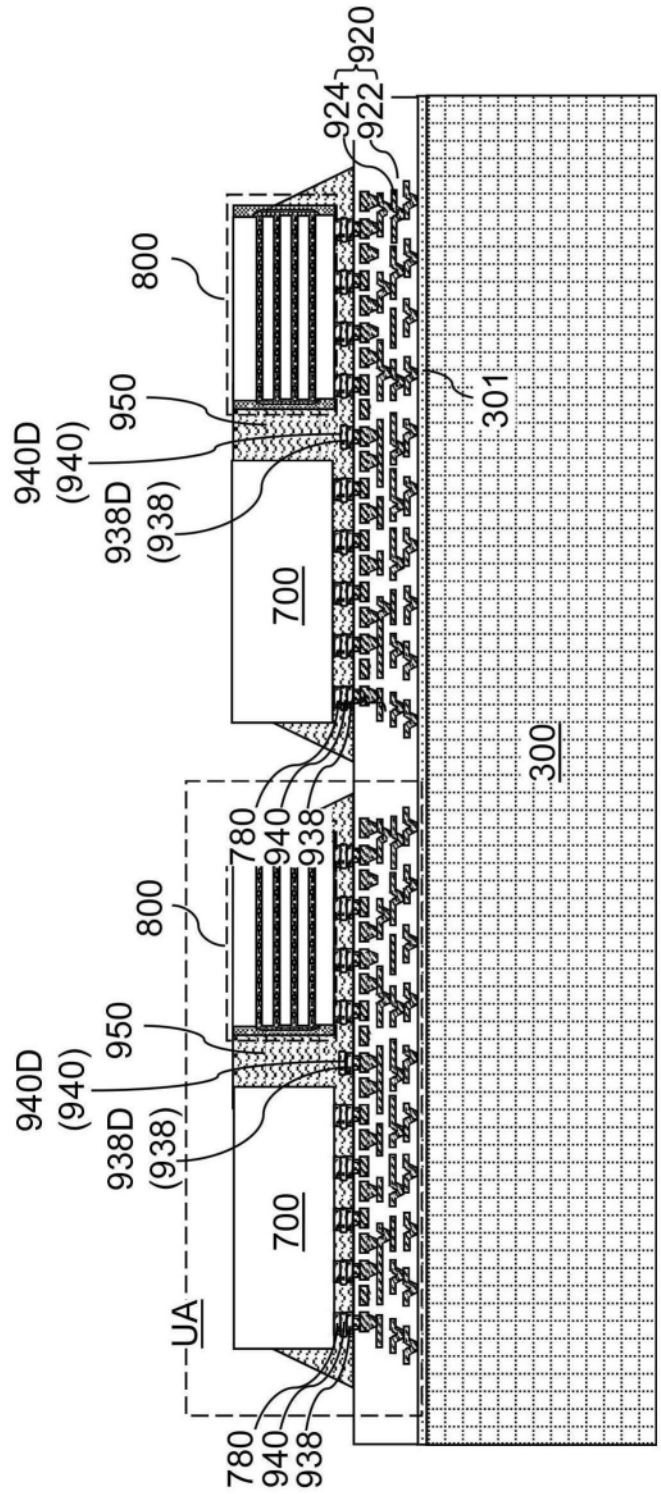


图7A

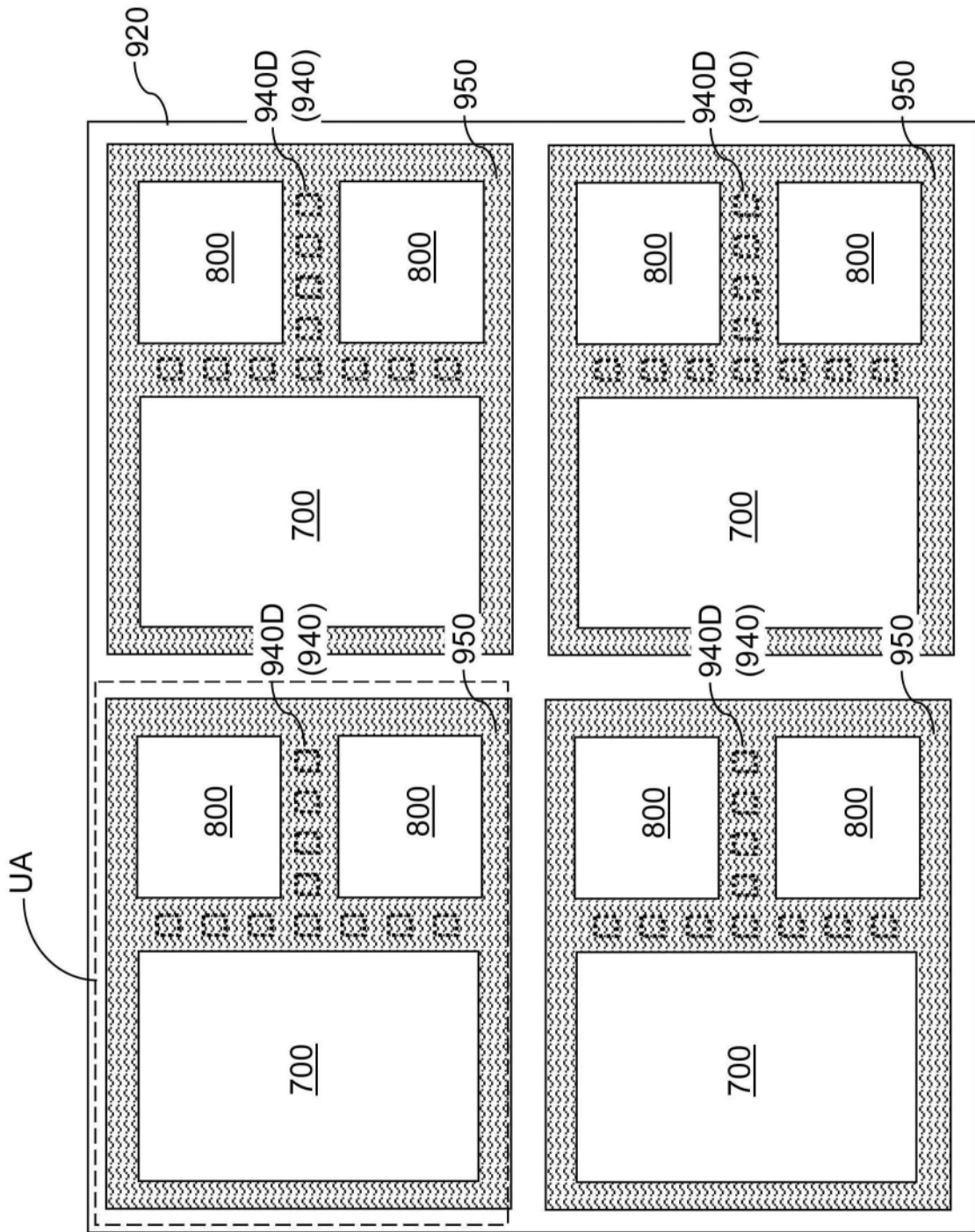


图7B

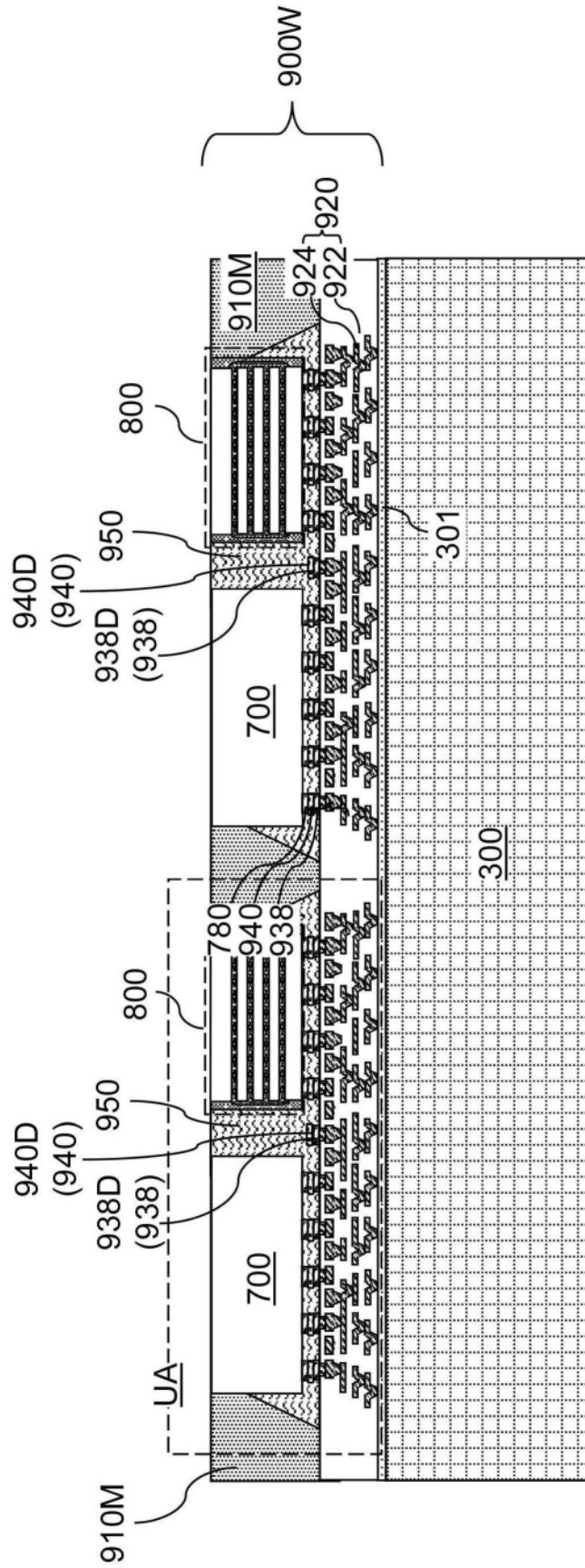


图8A

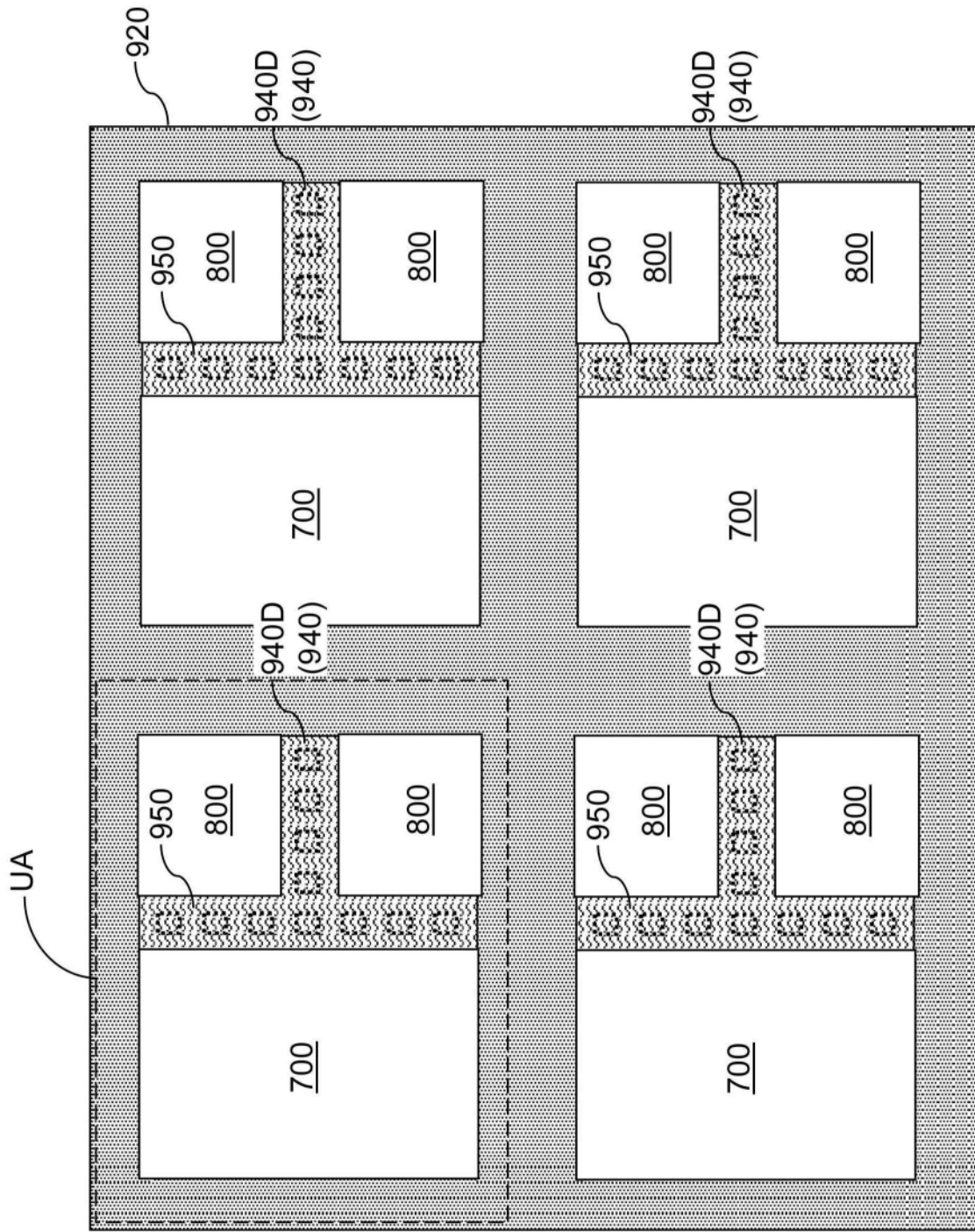


图8B

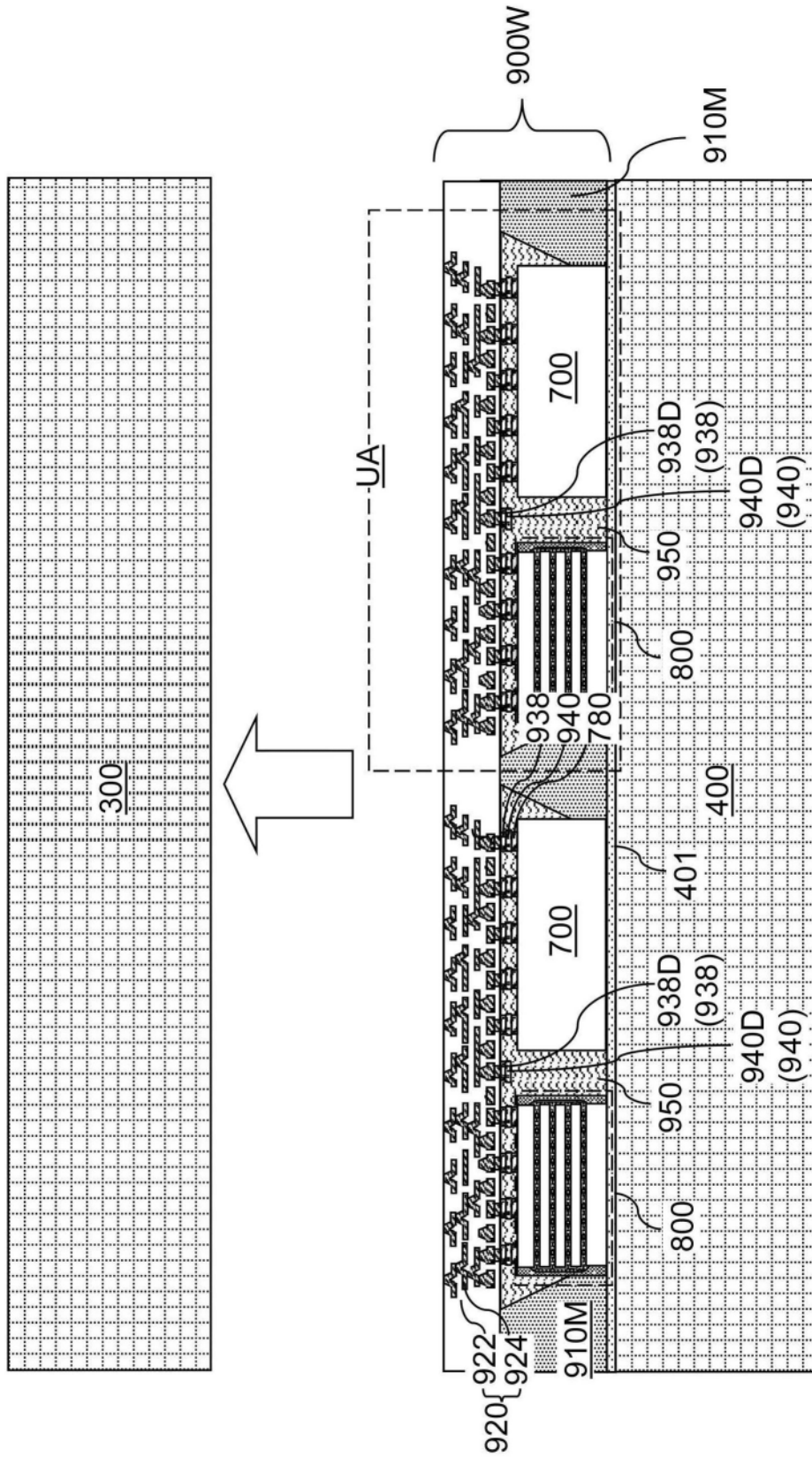


图9

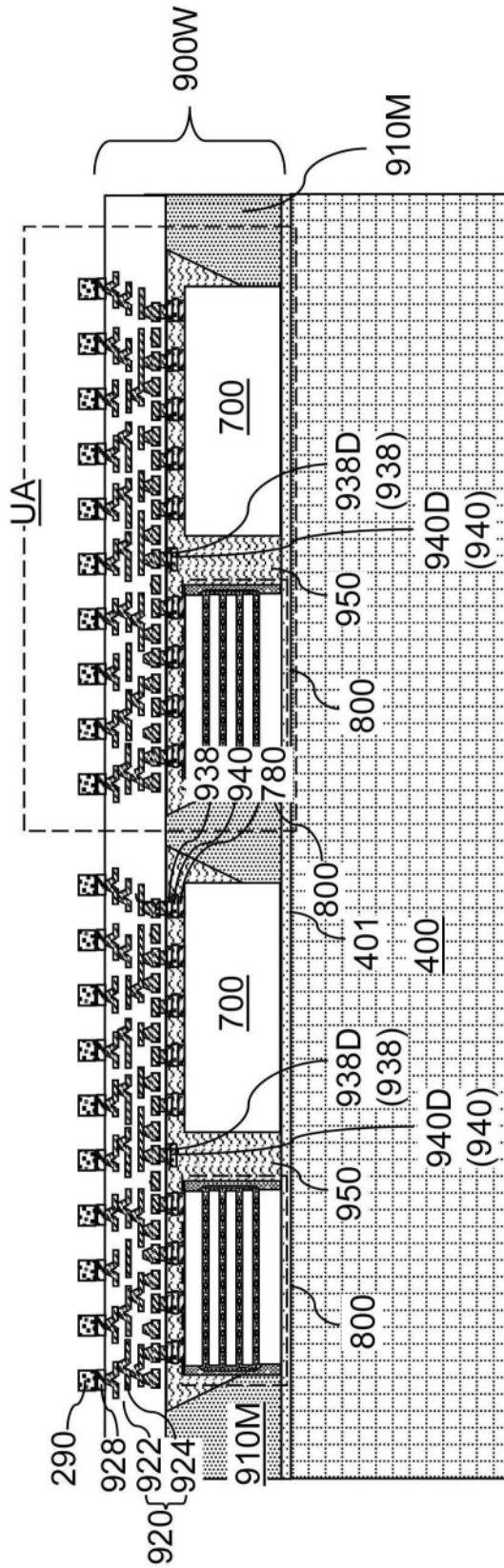


图10

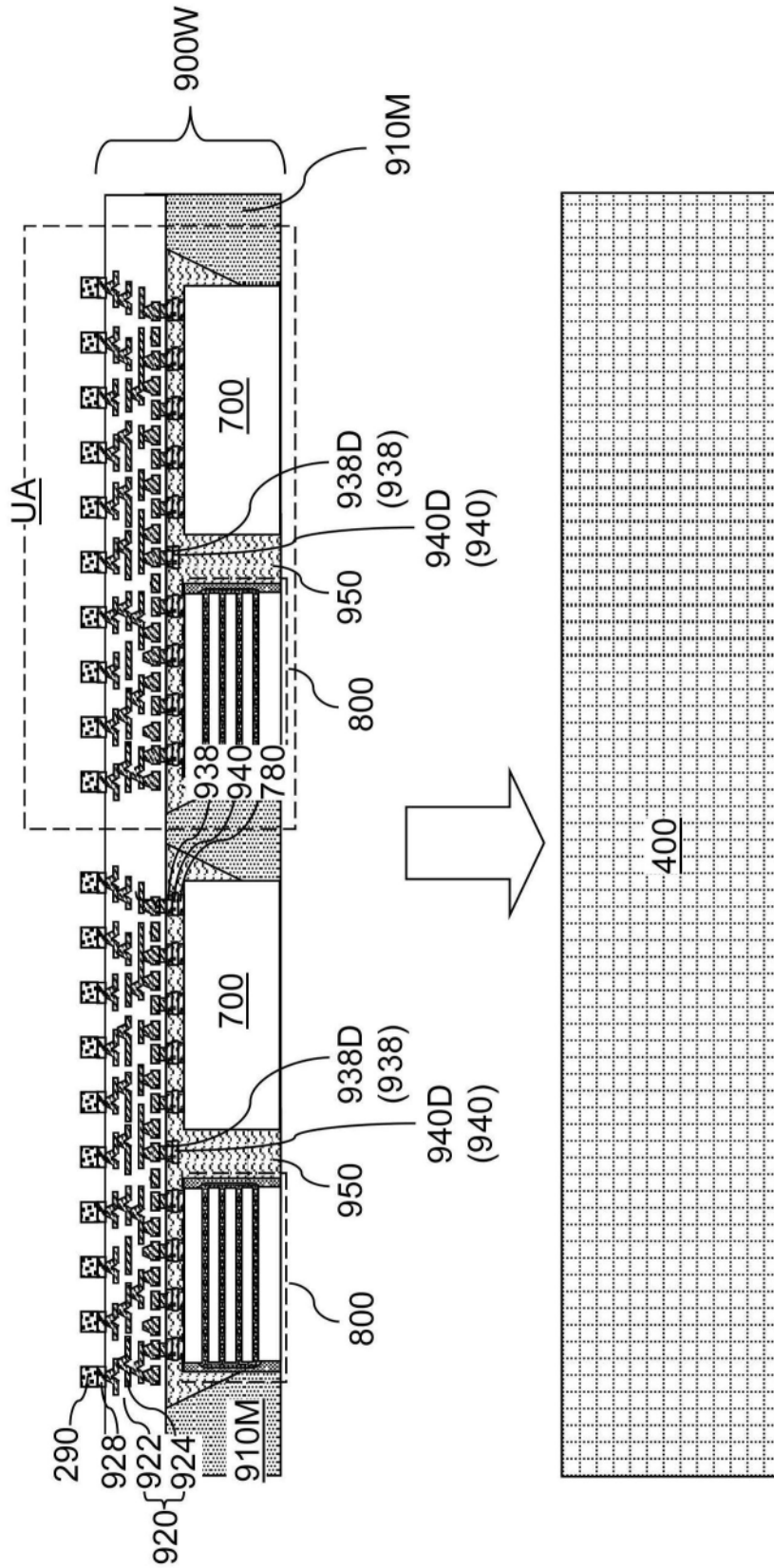


图11

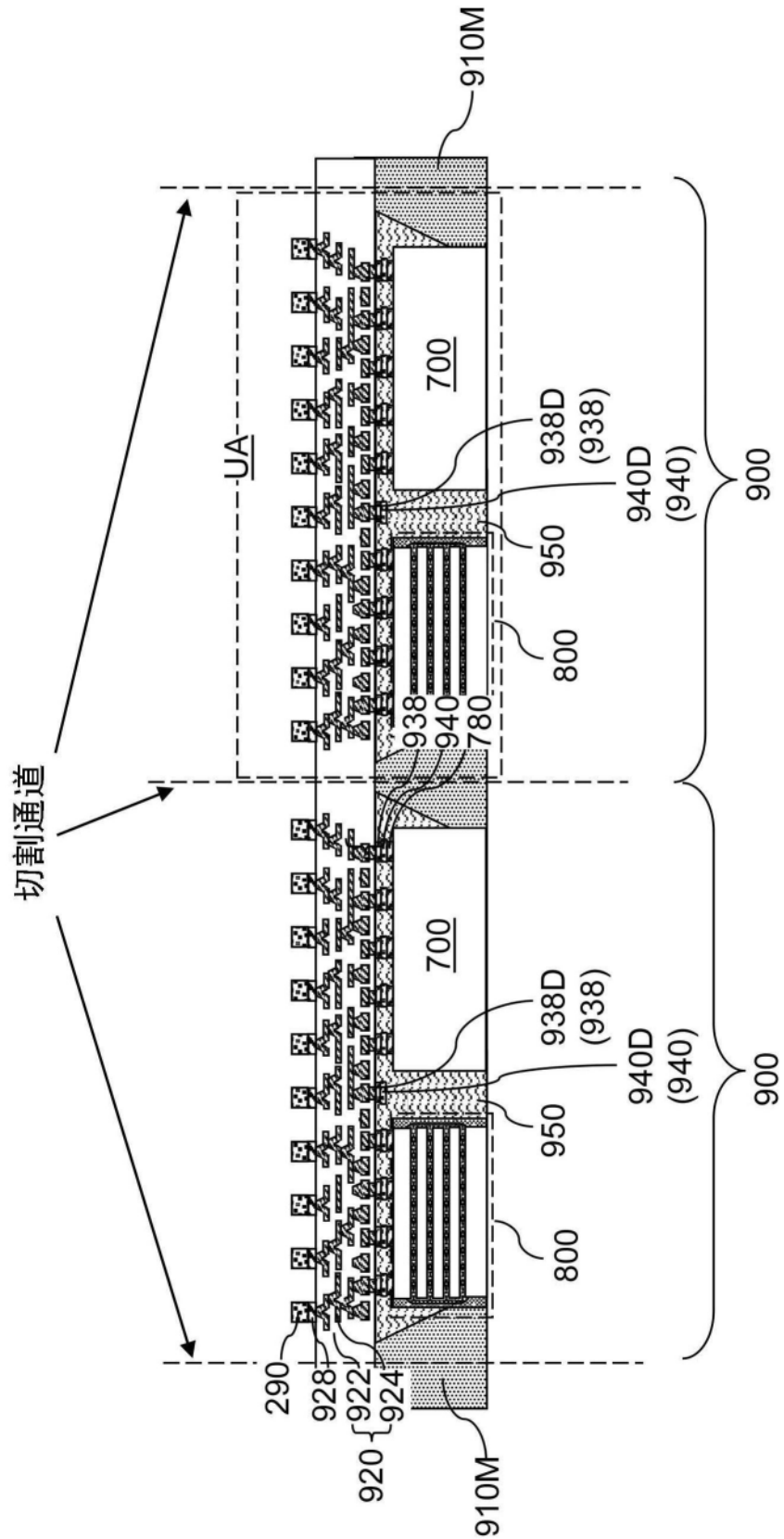


图12

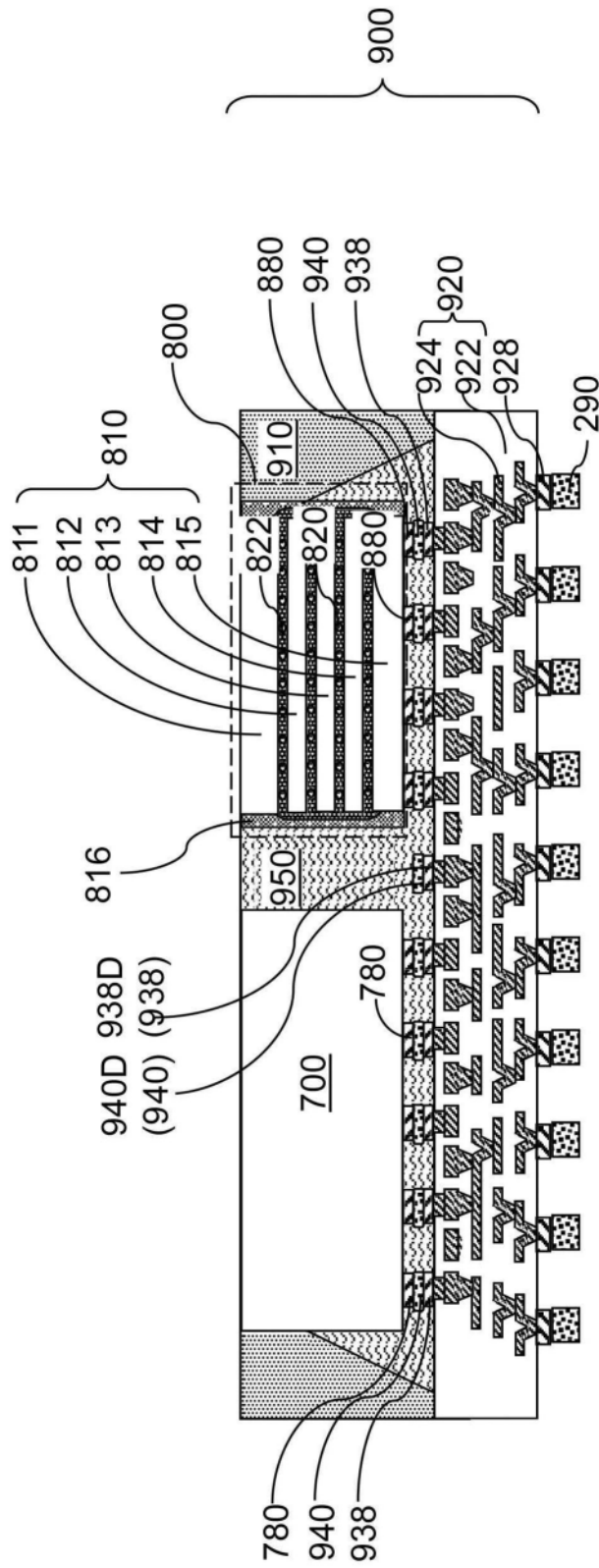


图13

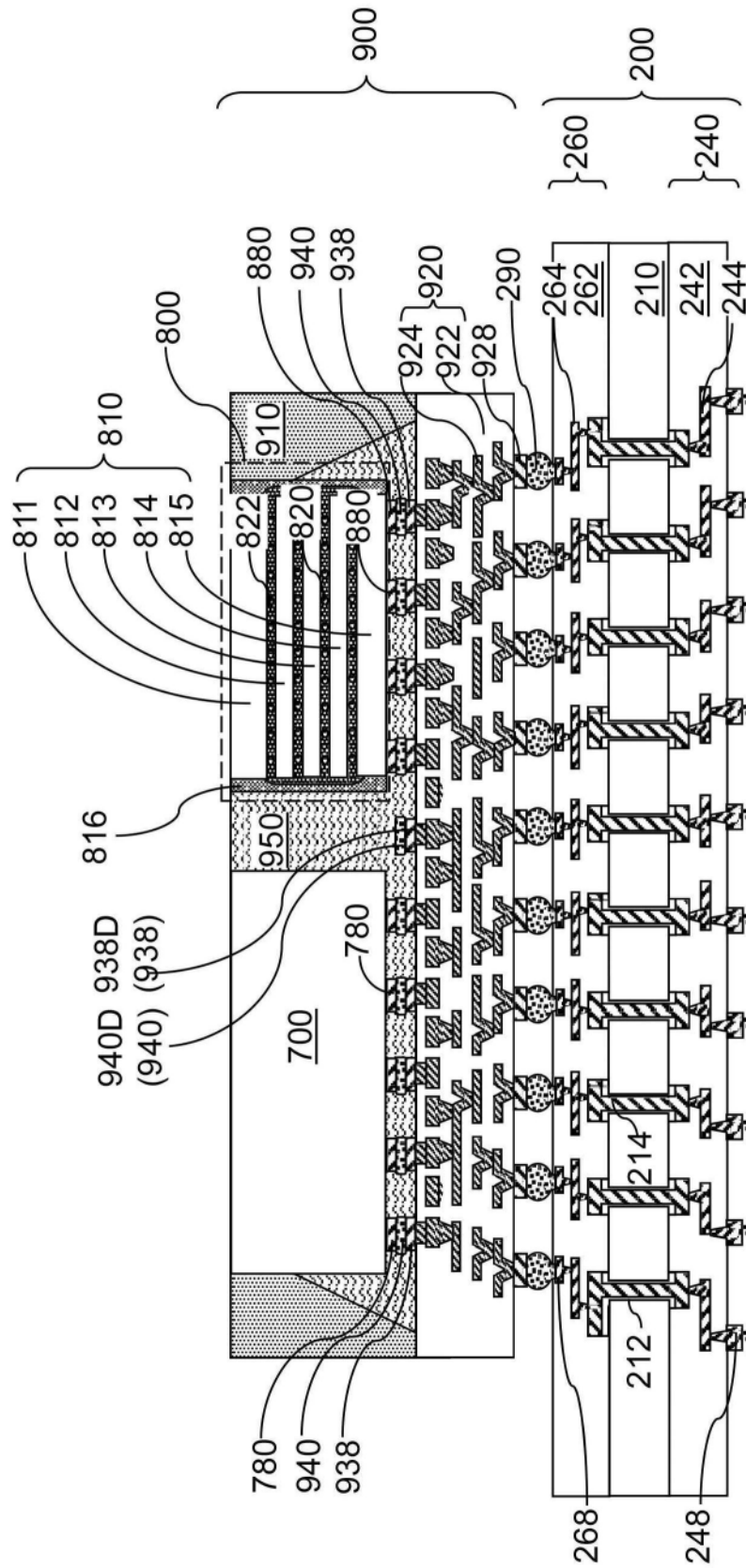


图14

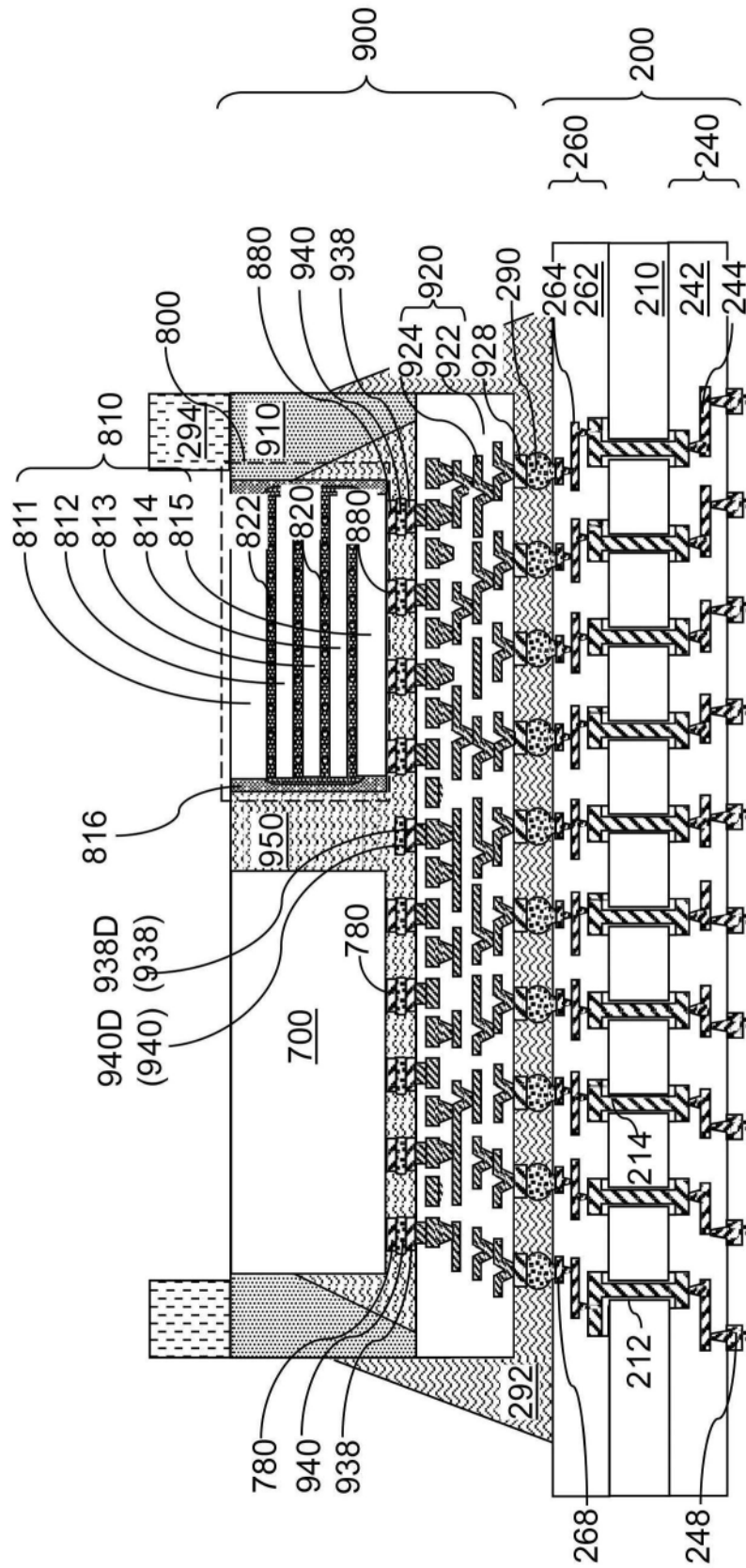


图15

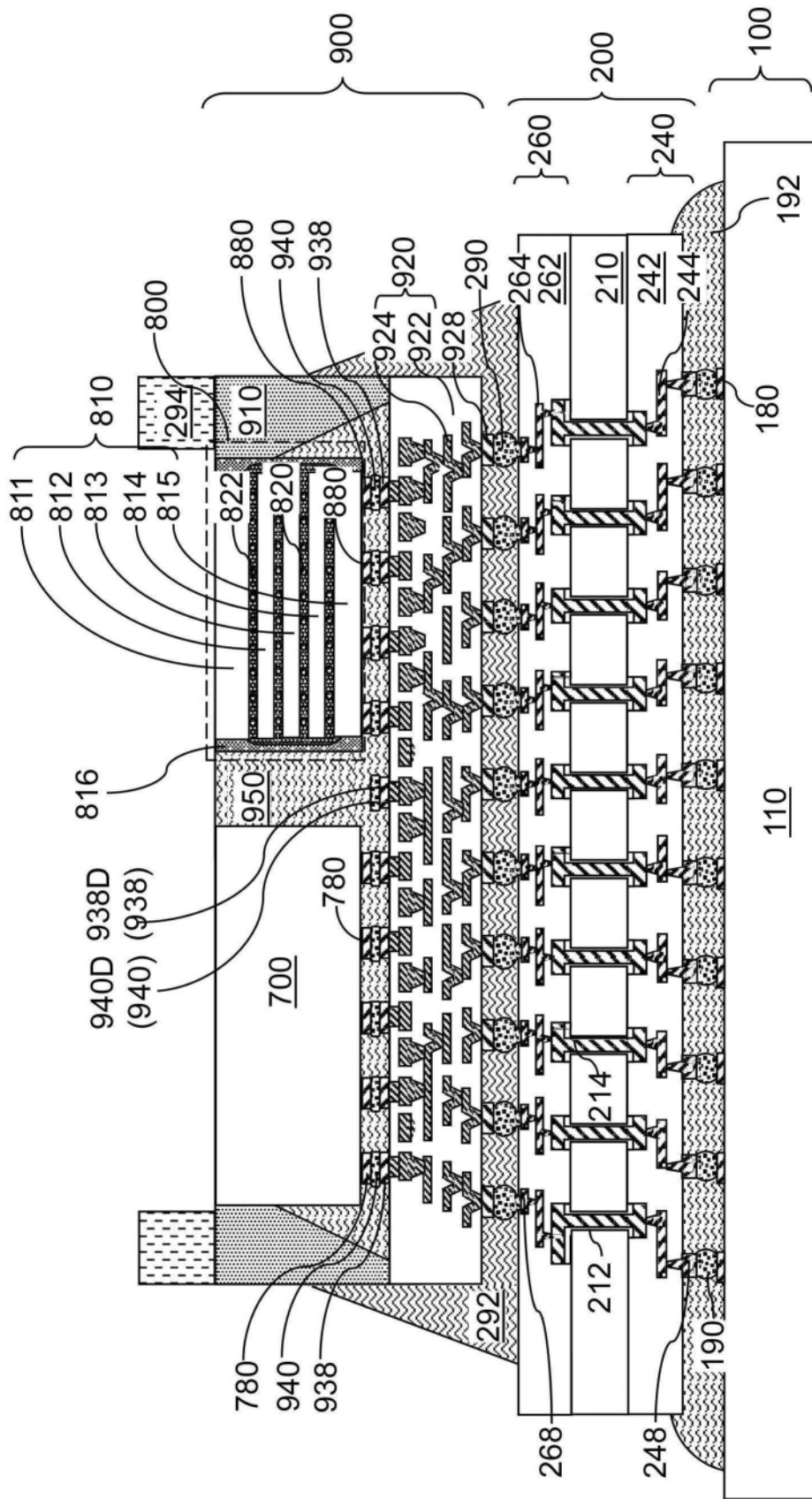


图16

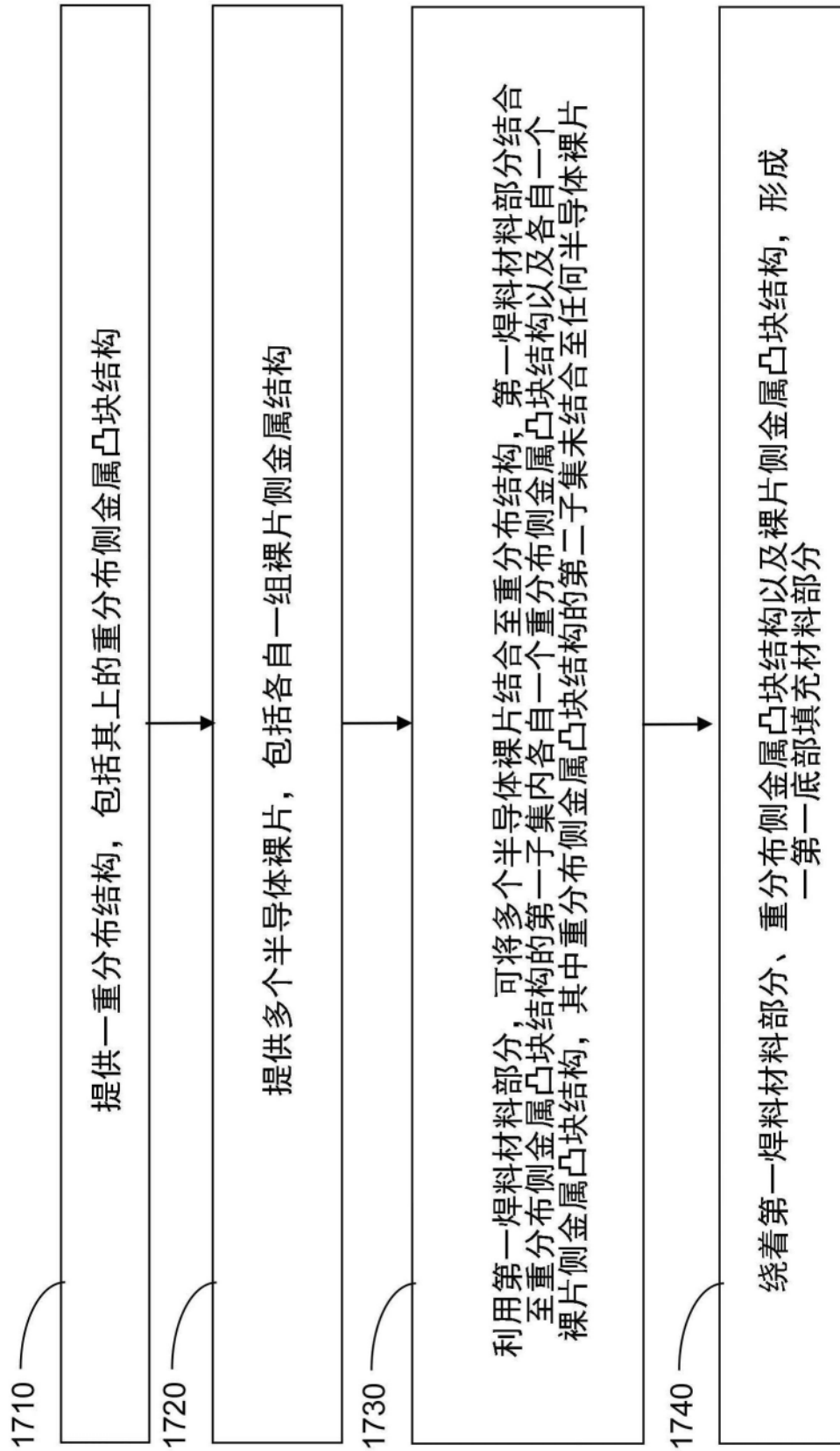


图17