

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510108860.8

[45] 授权公告日 2008 年 12 月 3 日

[11] 授权公告号 CN 100440536C

[22] 申请日 2005.10.9

[21] 申请号 200510108860.8

[30] 优先权

[32] 2005.6.22 [33] JP [31] 2005-182382

[73] 专利权人 富士通株式会社

地址 日本神奈川县

[72] 发明人 岛宗洋介 大田裕之 畑田明良

片上朗 田村直义

[56] 参考文献

CN1525542A 2004.9.1

US6365445B1 2002.4.2

US6621131B2 2003.9.16

US6794713B2 2004.9.21

审查员 王程远

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 郑小军 郑特强

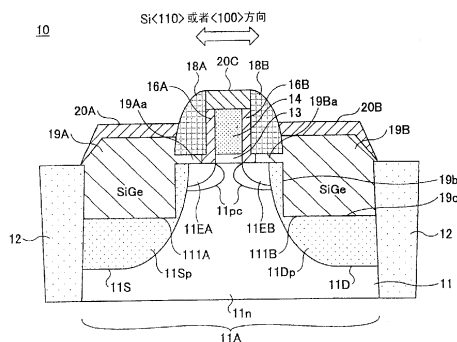
权利要求书 4 页 说明书 27 页 附图 21 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明是公开一种半导体器件及其制造方法，其能够抑制短沟道效应，并且提高载流子迁移率。在该方法中，对应于源极区和漏极区在硅衬底中形成沟槽。当外延生长 p 型半导体混合晶体层以填充沟槽时，沟槽的表面被小平面划界，并且在第二侧壁绝缘膜的底面与硅衬底的表面之间形成半导体混合晶体层的延伸部，并且所述延伸部与源极延伸区和漏极延伸区接触。



1、一种半导体器件，包括：

硅衬底，其具有沟道区；

栅极，其对应于该沟道区形成在该硅衬底上，在该硅衬底与该栅极之间具有栅极绝缘膜；

第一侧壁绝缘膜，其形成在该栅极的侧壁上；

第二侧壁绝缘膜，其形成在该第一侧壁绝缘膜的侧面上；

源极延伸区和漏极延伸区，其由具有预定导电性的扩散区形成，所述扩散区形成在该栅极两侧上的硅衬底中，以将该沟道区夹在其中；

源极区和漏极区，其由所述具有预定导电性的扩散区形成，所述扩散区形成在该第二侧壁绝缘膜外部的硅衬底中，并且分别与该源极延伸区和该漏极延伸区接触；以及

半导体混合晶体层，其形成在该第二侧壁绝缘膜外部的硅衬底中，并且在硅衬底上外延生长；

其中

在该预定导电性是 p 型时，该半导体混合晶体层由 SiGe 混合晶体形成，或者在该预定导电性是 n 型时，该半导体混合晶体层由 SiC 混合晶体形成，

该半导体混合晶体层包含具有该预定导电性的杂质，

该半导体混合晶体层生长到与该硅衬底和该栅极绝缘膜之间的界面不同的高度，以及

该半导体混合晶体层具有延伸部，其位于该第二侧壁绝缘膜的底面与该硅衬底的表面之间，所述延伸部与该源极延伸区和该漏极延伸区的其中之一的一部分接触。

2、根据权利要求 1 的半导体器件，其中

该硅衬底具有作为主平面的 (100) 平面；以及

该栅极在该硅衬底上以近似<110>方向或者近似<100>方向延伸。

3、根据权利要求 1 的半导体器件，其中该半导体混合晶体层被形成为与该第二侧壁绝缘膜的外表面接触。

4、根据权利要求 1 的半导体器件，其中该半导体混合晶体层的侧面包

括相对于该硅衬底的主平面成预定角的小平面。

5、根据权利要求4的半导体器件，其中所述小平面对应于该硅衬底的主平面垂直的方向上延伸的小平面。

6、根据权利要求4的半导体器件，其中所述小平面被形成为使两个半导体混合晶体层的侧面之间的距离在预定方向上减小。

7、根据权利要求4的半导体器件，其中

所述小平面包括上小平面和下小平面，

所述下小平面被形成为使两个半导体混合晶体层的侧面之间的距离在预定方向上减小；以及

所述上小平面被形成为使两个半导体混合晶体层的侧面之间的距离在预定方向上增大。

8、根据权利要求4的半导体器件，其中所述小平面是由平坦的平面形成。

9、根据权利要求8的半导体器件，其中所述小平面是由晶面形成。

10、根据权利要求1的半导体器件，其中该第一侧壁绝缘膜和该第二侧壁绝缘膜由具有不同蚀刻选择性的绝缘材料形成。

11、根据权利要求1的半导体器件，还包括：

元件分隔区，其形成在该硅衬底上用于将元件区划界；

其中该元件分隔区包含覆盖整个元件分隔区的抗氢氟酸膜。

12、根据权利要求1的半导体器件，其中

该半导体器件是p沟道晶体管，其中该预定导电性是p型，并且该半导体混合晶体层由包含p型杂质的SiGe混合晶体层形成，以及

该SiGe混合晶体层中Ge的浓度低于40原子百分比。

13、根据权利要求12的半导体器件，其中

该SiGe混合晶体层包含B杂质，以及

该SiGe混合晶体层中B的浓度是从 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 的范围。

14、一种制造半导体器件的方法，该半导体器件包括在沟道区两侧上的用于在该沟道区中产生应力的半导体混合晶体层，该方法包括下列步骤：

在该硅衬底上形成栅极绝缘膜；

对应于该沟道区在该硅衬底上形成栅极，在该硅衬底与该栅极之间具有

该栅极绝缘膜；

在该栅极的各侧上的硅衬底中形成第一扩散区，并且其具有预定导电性；

在该栅极绝缘膜和该栅极的侧壁上形成第一侧壁绝缘膜，该第一侧壁绝缘膜的一部分在该硅衬底上延伸；

在该第一侧壁绝缘膜的侧面上形成第二侧壁绝缘膜；

在该第二侧壁绝缘膜外部的硅衬底中形成第二扩散区，并且其具有预定导电性，所述第二扩散区形成源极区和漏极区；

通过蚀刻在对应于该源极区和该漏极区的硅衬底中形成沟槽，以使所述沟槽的侧面和底面被该第二扩散区连续覆盖，所述沟槽具有由小平面限定的侧面；

去除该第一侧壁绝缘膜的一部分；

通过外延生长来生长该半导体混合晶体层，以填充所述沟槽，所述半导体混合晶体层生长到与该硅衬底和该栅极绝缘膜之间的界面不同的高度，

其中

在所述去除步骤中，该第二侧壁绝缘膜的底面与该硅衬底的表面之间的一部分第一侧壁绝缘膜被去除，以形成空隙，以及

在所述生长半导体混合晶体层的步骤中，所述半导体混合晶体层填充该空隙。

15、根据权利要求 14 的方法，其中

该第一侧壁绝缘膜和该第二侧壁绝缘膜由具有不同蚀刻选择性的绝缘材料形成，以及

在所述去除步骤中，使用使得该第一侧壁绝缘膜中的蚀刻速度能够大于该第二侧壁绝缘膜中的蚀刻速度的蚀刻溶液。

16、根据权利要求 14 的方法，其中在所述形成沟槽的步骤中，通过干蚀刻形成所述小平面，以使所述沟槽的侧面与该硅衬底的主平面垂直。

17、根据权利要求 14 的方法，其中在所述形成沟槽的步骤中，具有与该硅衬底的主平面垂直的小平面的侧面被蚀刻，以形成沿不同 Si (111) 平面的多个小平面。

18、根据权利要求 14 的方法，其中在所述去除步骤和所述生长步骤之

---

间,具有与该硅衬底的主平面垂直的小平面的侧面被蚀刻,以形成沿 Si(111) 平面的小平面。

19、根据权利要求 14 的方法,其中所述生长步骤是通过利用具有该预定导电性的掺杂气体的低压化学气相沉积而进行的,其中将所述掺杂气体添加到 Si 气体原材料以及 Ge 或 C 气体原材料中。

## 半导体器件及其制造方法

### 相关申请的交叉参考

本专利申请基于在 2005 年 6 月 22 日申请的日本在先专利申请 No.2005-182382，在此通过参考的方式援引其全部内容。

### 技术领域

本发明一般涉及一种半导体器件及制造该半导体器件的方法，更具体地涉及一种由于施加应力而具有高工作速度的半导体器件及制造该半导体器件的方法。

### 背景技术

为了增加半导体器件的工作速度并扩充其功能，以越来越小的尺寸制造半导体器件，并且迄今为止，制造出包括具有栅极长度小于 100nm 的晶体管的大规模集成电路（LSI）。当依据定标法则使晶体管越来越小型化时，半导体器件的工作速度相应增加。但是，当栅极长度变得非常短时，阈值电压降低，也就是，所谓的“短沟道”效应出现。已经提出多种减少短沟道效应的方法，但是这些方法的效果越来越受到限制。

另一方面，由于在硅中空穴的迁移率低于电子的迁移率，因此在相关技术中增加其中空穴用作载流子的 p 沟道 MOS（金属-氧化物-硅）晶体管的工作速度就成为至关重要的问题。

p 沟道 MOS 晶体管是 CMOS（互补金属氧化物半导体）反相电路的元件，其是逻辑电路的基本元件。因此，如果 p 沟道 MOS 晶体管不能以高速运行，则 CMOS 反相电路的速度就不会增加，或者，LSI 的速度也不会增加。

通过对硅衬底的沟道区施加压应力（compressive stress）以提高空穴迁移率是一种公知的方法。

图 1 是受到压应力的 p 沟道 MOS 晶体管 100 的横截面图。

如图 1 所示，在硅衬底 101 上设置栅极 103，其间具有栅极绝缘膜 102。

在栅极 103 的侧壁上，设置侧壁绝缘膜 104A 和 104B 以覆盖硅衬底 101 的表面。

在硅衬底 101 中，在栅极 103 的下方形成沟道区。另外，在硅衬底 101 中，在栅极 103 的两侧上形成其中注入 p 型杂质元素的源极延伸区 101A 和漏极延伸区 101B。此外，在源极延伸区 101A 和漏极延伸区 101B 的外侧形成其中注入 p 型杂质元素的源极区 101S 和漏极区 101D。空穴从源极区 101S 移动，经过源极延伸区 101A、沟道区和漏极延伸区 101B，最后到达漏极区 101D。通过在沟道区中对栅极 103 施加的栅极电压来控制空穴的电流强度。

此外，在 p 沟道 MOS 晶体管 100 中，在硅衬底 101 中的侧壁绝缘膜 104A 和 104B 的外侧区域中形成 SiGe 混合晶体层 105A 和 105B。通过外延生长在硅衬底 101 中形成 SiGe 混合晶体层 105A 和 105B。因为 SiGe 混合晶体层 105A 和 105B 的晶格常数大于硅衬底 101 的晶格常数，所以在 SiGe 混合晶体层 105A 和 105B 中产生水平方向上的压应力，如图 1 中箭头“a”所示。由于该压应力，SiGe 混合晶体层 105A 和 105B 的晶格在垂直方向上伸长，如图 1 中箭头“b”所示，也就是说，会出现晶格变形。

由于这种变形在由 SiGe 混合晶体层 105A 和 105B 夹在中间的硅衬底 101 的沟道区中，随着 SiGe 混合晶体层 105A 和 105B 的晶格的伸长，硅衬底 101 的晶格在垂直方向上伸长，如图 1 中箭头“c”所示。结果，在硅衬底 101 的沟道区中，产生水平方向上的单轴压应力，如图 1 中箭头“d”所示。

在图 1 所示的 p 沟道 MOS 晶体管 100 中，由于沟道区中的单轴压应力，沟道区中的硅晶体的对称性被局部调整。随着沟道区中对称性的变化，重空穴价带和轻重空穴价带的简并（degeneracy）就被去除。结果，沟道区中增大了空穴迁移率，并且晶体管的工作速度提高。特别地，由于沟道区中局部引起的压应力而导致的空穴迁移率的增大以及晶体管工作速度的增加在栅极长度小于 100nm 的晶体管中效果显著。

例如，此技术的详细内容可参考美国专利 No. 6621131（下文中称为“参考文献 1”）。

## 发明内容

因此，本发明的总的目的是解决相关技术的一个或者多个问题。

本发明的更具体的目的是提供一种能够抑制短沟道效应并且提高载流子迁移率的半导体器件及制造该半导体器件的方法。

根据本发明的第一方案，提供一种半导体器件，其包括：硅衬底，其具有沟道区；栅极，其对应于沟道区形成在硅衬底上，在该硅衬底与栅极之间具有栅极绝缘膜；第一侧壁绝缘膜，其形成在栅极的侧壁上；第二侧壁绝缘膜，其形成在第一侧壁绝缘膜的侧面上；源极延伸区和漏极延伸区，其由具有预定导电性的扩散区形成，所述扩散区形成在栅极两侧上的硅衬底中，以将沟道区夹在其中；源极区和漏极区，其由具有预定导电性的扩散区形成，所述扩散区形成在第二侧壁绝缘膜外部的硅衬底中，并且分别与源极延伸区和漏极延伸区接触；以及半导体混合晶体层，其形成在第二侧壁绝缘膜外部的硅衬底中，并且在硅衬底上外延生长；其中在预定导电性是 p 型时，该半导体混合晶体层由 SiGe 混合晶体形成，或者在预定导电性是 n 型时，该半导体混合晶体层由 SiC 混合晶体形成，该半导体混合晶体层包含具有预定导电性的杂质，该半导体混合晶体层生长到与硅衬底和栅极绝缘膜之间的界面不同的高度，以及该半导体混合晶体层具有位于第二侧壁绝缘膜的底面与硅衬底的表面之间的延伸部，所述延伸部与源极延伸区和漏极延伸区的一部分接触。

根据本发明，因为具有预定导电性的半导体混合晶体层在沟道区的侧面外延生长，所以在沟道区中产生单轴应力，并且这样大大提高了穿过沟道区的载流子的迁移率。

此外，因为半导体混合晶体层具有延伸部，其位于第二侧壁绝缘膜的底面与硅衬底的表面之间，并且与源极延伸区和漏极延伸区的其中之一的一部分接触，所以根据本发明的发明人的研究，半导体混合晶体层的延伸部会在紧接在半导体混合晶体层下方的硅衬底中的衬平面内产生与单轴应力相反的应力，并且直接产生与沟道区中硅晶体上的单轴应力方向相同的应力。因为该应力与单轴应力方向相同，所以易于增大沟道区中的应力，由此进一步增大载流子的迁移率。

例如，当半导体器件是 p 沟道 MOS 晶体管时，半导体混合晶体层由 SiGe 混合晶体形成，并且从沟道区两侧上的 SiGe 混合晶体层沿着空穴的移动方向对沟道区施加压应力。因为 SiGe 混合晶体层的延伸部与在源极区和漏极



区的附近的源极延伸区或者漏极延伸区的一部分接触，所以 SiGe 混合晶体层的延伸部对源极延伸区或者漏极延伸区施加拉应力。在这种情况下，因为源极区和漏极区的侧面由 SiGe 混合晶体层固定，所以 SiGe 混合晶体层的延伸部引起与延伸部接触的源极延伸区和漏极延伸区的伸长变形，并且这种伸长变形会在未与 SiGe 混合晶体层接触的沟道区中的硅晶体中产生反向应力。结果，在由源极区和漏极区中的 SiGe 混合晶体层产生变形的同时，能够有效地对沟道区施加压应力。这样进一步增大载流子的迁移率。

另一方面，当半导体器件是 n 沟道 MOS 晶体管时，该半导体混合晶体层由 SiC 混合晶体层形成，并且在沟道区中沿电子移动方向产生拉应力。在这种情况下，由于 SiC 混合晶体层的延伸部，所以对靠近沟道区的源极延伸区和漏极延伸区施加了压应力，并且能够有效地对沟道区施加拉应力，由此进一步增大沟道区中电子的迁移率。

此外，因为半导体混合晶体层包含导电杂质，并且与源极延伸区和漏极延伸区的其中之一的一部分接触，所以能够大大地减小寄生电阻，从而提高半导体器件的驱动电流。

根据本发明的另一方案，提供一种制造半导体器件的方法，该半导体器件包括在沟道区两侧上的半导体混合晶体层，其用于在沟道区中产生应力，该方法包括下列步骤：在硅衬底上形成栅极绝缘膜；对应于沟道区在硅衬底上形成栅极，在该硅衬底与栅极之间具有栅极绝缘膜；在栅极的各侧上的硅衬底中形成第一扩散区，并且其具有预定导电性；在栅极绝缘膜和栅极的侧壁上形成第一侧壁绝缘膜，该第一侧壁绝缘膜的一部分在硅衬底上延伸；在第一侧壁绝缘膜的侧面上形成第二侧壁绝缘膜；在第二侧壁绝缘膜外部的硅衬底中形成第二扩散区，并且其具有预定导电性，所述第二扩散区形成源极区和漏极区；通过蚀刻在对应于源极区和漏极区的硅衬底中形成沟槽，以使所述沟槽的侧面和底面被第二扩散区连续覆盖，所述沟槽具有由小平面限定的侧面；去除一部分第一侧壁绝缘膜；通过外延生长来生长半导体混合晶体层，以填充沟槽，所述半导体混合晶体层生长到与硅衬底和栅极绝缘膜之间的界面不同的高度，其中在去除步骤中，第二侧壁绝缘膜的底面与硅衬底的表面之间的一部分第一侧壁绝缘膜被去除，以形成空隙，以及在生长半导体混合晶体层的步骤中，所述半导体混合晶体层填充该空隙。

根据本发明，形成沟槽，并且在第二侧壁绝缘膜的底面与硅衬底的表面之间的一部分第一侧壁绝缘膜被去除之后，形成空隙，将半导体混合晶体层外延生长到填充沟槽和空隙。

半导体混合晶体层从空隙中的硅衬底的表面开始生长，半导体混合晶体层填充空隙，并且沿第二侧壁绝缘膜生长。因此，在利用 HF 的处理中，半导体混合晶体层和第二侧壁绝缘膜紧密接触，并且空隙被填充。这就防止 HF 进入半导体混合晶体层与第二侧壁绝缘膜之间的空隙，并且防止第一侧壁绝缘膜直接被露出。结果，能够防止第一侧壁绝缘膜被部分去除以露出硅衬底，并且在形成硅化物层的步骤中，能够防止硅化物层像长钉一样损坏硅衬底。

参照附图从给出的优选实施例的下述详细说明中，本发明的这些以及其它目的、特征和优点将更加明显。

## 附图说明

图 1 是受到压应力的 p 沟道 MOS 晶体管 100 的横截面图。

图 2 是参考文献 2 中公开的 MOS 晶体管的横截面图。

图 3 是示出根据本发明第一实施例的半导体器件实例的横截面图。

图 4A 至图 4C 是示出图 3 中半导体器件 10 的一些部分的横截面图，用于示出制造根据本发明本实施例的半导体器件 10 的方法。

图 5A 和图 5B 是接着图 4C 示出图 3 中半导体器件 10 的一些部分的横截面图，用于示出制造本发明本实施例的半导体器件 10 的方法。

图 6 是示出根据本发明第二实施例的半导体器件 30 的实例的横截面图。

图 7A 和图 7B 是示出图 6 中半导体器件 30 的一些部分的横截面图，用于示出制造根据本发明第二实施例的半导体器件 30 的方法。

图 8 是示出根据本发明第三实施例的半导体器件 40 的实例的横截面图。

图 9A 至图 9C 是示出图 8 中半导体器件 40 的一些部分的横截面图，用于示出制造根据本发明第三实施例的半导体器件 40 的方法。

图 10 是示出根据本发明第四实施例的半导体器件 50 的实例的横截面图。

图 11A 至图 11C 是示出图 10 中半导体器件 50 的一些部分的横截面图，

用于示出制造根据本发明第四实施例的半导体器件 50 的方法。

图 12A 至图 12C 是接着图 11C 示出图 10 中半导体器件 50 的一些部分的横截面图，用于示出制造本发明本实施例的半导体器件 50 的方法。

图 13 是接着图 12C 示出半导体器件 50 的一部分的横截面图，用于示出制造本发明本实施例的半导体器件 50 的方法。

图 14 是示出根据本发明第五实施例的半导体器件 60 的实例的横截面图。

图 15 是示出根据本发明第六实施例的半导体器件 65 的实例的横截面图。

图 16 是示出根据本发明第七实施例的半导体器件 70 的实例的横截面图。

图 17 是示出根据本发明第八实施例的半导体器件的实例的横截面图。

图 18 是示出根据本发明第九实施例的半导体器件的实例的横截面图。

图 19 是示出根据本发明第十实施例的半导体器件的实例的横截面图。

图 20 是示出根据本发明第十一实施例的半导体器件的实例的横截面图。

图 21 是示出根据本发明第十二实施例的半导体器件的实例的横截面图。

## 具体实施方式

下面参考附图说明本发明的优选实施例。

本发明的发明人发现了下述迄今为止未公开过的新技术主题。

已知的是，在晶体管的沟道区中产生的压应力增大时，沟道区中的空穴迁移率就会增大，并且晶体管的驱动电流增加。然而，在图 1 所示的 p 沟道 MOS 晶体管 100 中，当 SiGe 混合晶体层 105A 与 105B 之间的间距很大时，在硅衬底 101 的沟道区中心处的垂直伸长量就变得很小，这样，在沟道区中就不会产生足够大的压应力。为了增大压应力，减小 SiGe 混合晶体层 105A 与 105B 之间的间距是有效的方式。

但是，在具有非常短的栅极长度的晶体管中，在沟道区的两侧上的源极延伸区 101A 和漏极延伸区 101B，以及在源极延伸区 101A 和漏极延伸区 101B 的内侧上形成的袋区（未示出）具有抑制短沟道效应的作用。因为在将杂质注入源极延伸区 101A、漏极延伸区 101B 以及袋区中之后，形成 SiGe

混合晶体层 105A 和 105B，所以需要在这些杂质区的附近形成沟槽。由此，在试图减小 SiGe 混合晶体层 105A 与 105B 之间的间距的情况下，当形成沟槽时，杂质分布 (profile) 被扰乱，阈值电压的跌落 (roll-off) 特性会退化，并且漏电流会增大，即，出现短沟道效应。

换句话说，当试图通过缩小 SiGe 混合晶体层 105A 与 105B 之间的间距以增大压应力并且由此增大驱动电流时，应当考虑与抑制短沟道效应之间的平衡。

例如，S.E.Thompson 等人在“IEEE Transaction on Electronics Devices, 卷 51, 11 号, 2004 年 11 月, 1790-1797 页”中讨论了这个问题 (下文中称为“参考文献 2”)。

图 2 是参考文献 2 中公开的 MOS 晶体管的横截面图。

该 MOS 晶体管是图 1 中 MOS 晶体管 100 的变型，因此，利用相同的附图标表示与图 1 中相同的那些元件，并且省略重复的描述。

如图 2 中所示，SiGe 混合晶体层 105A 和 105B 再次外延生长，以填充硅衬底 101 中形成的沟槽 105Aa 和 105Ba，直到图 2 中由虚线所指示的高度 L。如图 2 中所示，高度 L 高于硅衬底 101 与栅极绝缘膜 102 之间的界面。

在图 2 中，在 SiGe 混合晶体层 105A 和 105B 上形成硅化物层 106；实际上，在 90nm 或者小于 90nm 的半导体器件中使用镍硅化物层。当形成镍硅化物层时，利用 HF (氢氟酸) 进行预处理，以去除 SiGe 混合晶体层 105A 和 105B 的表面上原有的氧化膜。在该处理中，如果由于 SiGe 混合晶体层 105A 和 105B 的小平面使得 SiGe 混合晶体层 105A 和 105B 与侧壁绝缘膜 104A 和 104B 的外表面之间存在空隙，则由二氧化硅膜构成的栅极绝缘膜 102、或者侧壁绝缘膜 104A 和 104B 就被 HF 溶解，并且硅衬底 101 的一部分表面最终被暴露。如果在这种条件下形成硅化物层 106，则硅化物层 106 就像长钉一样可能会破坏源极延伸区 101A 和漏极延伸区 101B 与 n 型硅衬底 101 之间形成的 pn 结，并且延伸到硅衬底 101 的 n 阱区中，导致很强的结漏。

如随后的实施例中所述，本发明提供一种解决这些问题的半导体器件及制造该半导体器件的方法。

### 第一实施例

图 3 是示出根据本发明第一实施例的半导体器件实例的横截面图。

图3中所示的半导体器件10是p沟道MOS晶体管,其中在具有作为主平面的(100)晶面的单晶硅衬底11上形成通过元件分隔区12划界的器件区11A。对应于作为n型半导体区的器件区11A,在硅衬底11中形成n型Si阱11n。

在包括n型器件区11A的硅衬底11上,对应于硅衬底中的沟道区,在硅衬底上形成栅极绝缘膜13。例如,栅极绝缘膜13可由热氧化膜、氮化硅膜、氮氧化硅膜等形成。在该实例中,假定栅极绝缘膜13由具有1.2nm厚的氮氧化硅膜形成。

在栅极绝缘膜13上,栅极14由包含硼(B)或者其它p型杂质的多晶硅膜形成。

在栅极绝缘膜13和栅极14的叠层结构的侧壁上,例如通过CVD由二氧化硅膜形成第一侧壁绝缘膜16A和16B。第一侧壁绝缘膜16A和16B覆盖除栅极绝缘膜13覆盖之外的硅衬底的部分,并且覆盖栅极绝缘膜13和栅极14的叠层结构的侧壁。

在第一侧壁绝缘膜16A和16B的侧面上例如由氮化硅膜形成第二侧壁绝缘膜18A和18B。

在硅衬底11中,分别在第二侧壁绝缘膜18A和18B的外侧形成沟槽111A和111B。在沟槽111A和111B中外延生长包含p型杂质的SiGe混合晶体层19A和19B以分别填充沟槽111A和111B。在硅衬底11上外延生长的SiGe混合晶体层19A和19B的晶格常数大于硅衬底11的晶格常数,并且如参照图1所述的,单轴压应力施加在硅衬底11中紧接在栅极14之下的沟道区上。第二侧壁绝缘膜18A和18B覆盖SiGe混合晶体层19A和19B的一部分,并且覆盖第一侧壁绝缘膜16A和16B的侧面。

在图3所示的p沟道MOS晶体管10中,在栅极绝缘膜13的两侧上的器件区11A中形成n型袋注入区11pc。例如,n型袋注入区11pc由倾斜注入的Sb或者其它n型杂质形成。此外,形成源极延伸区11EA和漏极延伸区11EB以部分覆盖n型袋注入区11pc。

源极延伸区11EA和漏极延伸区11EB是p型,并且分别接触p型扩散区11Sp和11Dp(其分别形成p沟道MOS晶体管10的源极区11S和漏极区11D)。p型扩散区11Sp和11Dp分别包围SiGe混合晶体层19A和19B(其

为源极区 11S 和漏极区 11D 的一部分)。由于这种结构,所以具有小带隙的 p 型 SiGe 混合晶体层 19A 和 19B 不直接接触 n 型阱 11n,这样减小了在 Si 和 SiGe 之间界面处的 pn 结中的漏电流。

在 SiGe 混合晶体层 19A 和 19B 上分别形成硅化物层 20A 和 20B,并且在栅极 14 上形成硅化物层 20C。因为硅化物层 20A、20B 和 20C 是金属与 SiGe 混合晶体层 19A 和 19B 之间的实际反应产物,所以硅化物层 20A、20B 和 20C 包含金属氢化锗硅化物和金属硅化物。下面为了简便说明,就简单描述为硅化物层 20A、20B 和 20C 由“硅化物”形成。

虽然未示出,但是在 SiGe 混合晶体层 19A 和 19B 上形成包含 p 型杂质的硅层,并且在硅层上可能形成硅化物层,即,将硅层的表面转成硅化物。相比上述直接消耗 SiGe 混合晶体层 19A 和 19B 的硅化物层,这种不含 Ge 的硅化物层的热阻更高。

在图 3 所示的 p 沟道 MOS 晶体管 10 中,每个 SiGe 混合晶体层 19A 和 19B 具有侧面 19b 和底面 19c,其将 SiGe 混合晶体层 19A 和 19B 划界。侧面 19b 或者底面 19c 是平坦的小平面。底面 19c 是平行于硅衬底 11 的主平面的 (100) 平面,并且侧面 19b 几乎垂直于底面 19c。这样,彼此相对的 SiGe 混合晶体层 19A 的侧面 19b 和 SiGe 混合晶体层 19B 的侧面 19b 几乎垂直于硅衬底 11 的主平面,并且这种结构能有效地限制沟道区中的单轴压应力。

由于 Ge 的浓度大于 20 原子百分比,所以优选地, SiGe 混合晶体层 19A 和 19B 中的 Ge 的浓度在从 20 原子百分比至 40 原子百分比的范围内,这样能够在沟道区上施加强压应力,并且在硅衬底 11 与 SiGe 混合晶体层 19A 和 19B 之间的界面上可防止错位缺陷。

根据本发明的试验结果,在半导体器件的器件区 11A 中,发现即使构成在有限面积的区域中形成的 SiGe 混合晶体层 19A 和 19B 的半导体层的厚度生长到大于所谓的临界膜厚,有时生长的半导体层的质量也没有降低。这不同于二维连续外延生长的模型。此外,还发现即使 Ge 的浓度增长到大于临界浓度,并且认为这种临界浓度可能导致错位缺陷,可有时该生长的半导体层的质量也没有降低。此外,还发现在生长温度降低时有效临界膜厚增大,并且在本发明中,利用局部低温选择性地生长的 SiGe 混合晶体层 19A 和 19B 的薄膜,能够有效地使沟道变形。从这个试验中,发现当 SiGe 混合晶体层

19A 和 19B 中的 Ge 的浓度小于或者等于 40 原子百分比时, SiGe 混合晶体层 19A 和 19B 能够外延生长。

已经知道, 在具有高 Ge 浓度的 SiGe 混合晶体层 19A 和 19B 中, 硼的溶解度增大, 并且杂质的浓度可高到  $1 \times 10^{22} \text{cm}^{-3}$ 。在 SiGe 混合晶体层 19A 和 19B 中的杂质浓度被设定在从  $1 \times 10^{19} \text{cm}^{-3}$  到  $1 \times 10^{21} \text{cm}^{-3}$  的范围内。这样, 就能够减小 SiGe 混合晶体层 19A 和 19B 的电阻。

SiGe 混合晶体层 19A 和 19B 具有延伸部 19Aa 和 19Ba, 其形成在第二侧壁绝缘膜 18A 和 18B 的底面之下的第一侧壁绝缘膜 16A 和 16B 各自的侧边上, 并且覆盖硅衬底 11 的表面。延伸部 19Aa 和 19Ba 分别与源极延伸区 11EA 和漏极延伸区 11EB 接触。如下所述, 由于延伸部 19Aa 和 19Ba, SiGe 混合晶体层 19A 和 19B 是包含高活性 p 型杂质的低电阻 CVD 膜, 所以能够大大减小寄生电阻。结果, 不会出现短沟道效应, 并且提高了 p 沟道 MOS 晶体管 10 的电流驱动能力。

延伸部 19Aa 和 19Ba 在紧接在延伸部 19Aa 和 19Ba 之下的硅衬底 11 上外延生长。在本发明中进行的试验中, 通过利用会聚电子衍射和对应的高次衍射电子束进行的变形分析, 本发明的发明人发现在紧接在 SiGe 混合晶体层 19A 和 19B 下方的硅衬底 11 上施加有栅极长度方向上的拉应力。因此, 推断很可能是延伸部 19Aa 和 19Ba 导致了紧接在延伸部 19Aa 和 19Ba 下方的硅衬底 11 中栅极长度方向上的拉应力。在这种情况下, 因为侧面 19b 由 SiGe 混合晶体层 19A 和 19B 固定, 所以相信 SiGe 混合晶体层 19A 和 19B 的延伸部会导致源极延伸区 11EA 和漏极延伸区 11EB 中的伸长变形, 并且这种伸长变形会产生相对于沟道区中硅晶体的应力。结果, 在图 3 所示的 p 沟道 MOS 晶体管 10 中, 由于与源极延伸区 11EA 和漏极延伸区 11EB 接触的延伸部 19Aa 和 19Ba, 所以能够进一步增大空穴迁移率。

形成延伸部 19Aa 和 19Ba 以填充第二侧壁绝缘膜 18A 和 18B 与硅衬底 11 的表面之间的空隙。此外, 由于延伸部 19Aa 和 19Ba, 所以 SiGe 混合晶体层 19A 和 19B 从延伸部 19Aa 和 19Ba 开始在第二侧壁绝缘膜 18A 和 18B 的外表面上连续生长。因此, SiGe 混合晶体层 19A 和 19B 与第二侧壁绝缘膜 18A 和 18B 紧密接触, 并且 SiGe 混合晶体层 19A 和 19B 的延伸部 19Aa 和 19Ba 覆盖第一侧壁绝缘膜 16A 和 16B 的端部。从而, 在形成硅化物膜的

步骤中的 HF 处理过程中, 第一侧壁绝缘膜 16A 和 16B 不会被腐蚀, 并且能够防止在硅衬底 11 中形成长钉状的硅化物。特别地, 当使用镍形成硅化物层时, 相比在 Si 上的硅化物反应, 很难在 SiGe 上产生镍的硅化物反应。但是, 由于延伸部 19Aa 和 19Ba, 所以能够有效防止镍扩散到源极延伸区 11EA 和漏极延伸区 11EB。由此, 能够防止硅化物层 20A 和 20B 与 n 阱 11n 直接接触, 并且减小漏电流。

优选地, 延伸部 19Aa 和 19Ba 与沟道区和紧接在沟道区上方的栅极绝缘膜 13 有一定距离。下面说明其原因。当 SiGe 混合晶体层 19A 和 19B 的延伸部 19Aa 和 19Ba 在沟道区和紧接在沟道区上方的栅极绝缘膜 13 附近时, 在随后处理的热处理中, SiGe 混合晶体层 19A 和 19B 中的 Ge 原子扩散到沟道区中, 并且可能会引起沟道电流的传播。此外, SiGe 混合晶体层 19A 和 19B 中的 Ge 原子可能扩散到栅极绝缘膜 13, 由此降低栅极绝缘膜 13 的可靠性。考虑到寄生电阻或者应力的大小、在 HF 处理过程中对第一侧壁绝缘膜 16A 和 16B 的保护以及由于 Ge 原子的扩散导致的器件性能降低, 适当地确定延伸部 19Aa 和 19Ba 的纵向长度, 以及延伸部 19Aa 和 19Ba 与栅极绝缘膜 13 之间的距离。

SiGe 混合晶体层 19A 和 19B 生长至比硅衬底和栅极绝缘膜 13 之间的界面高 5nm 至 40nm。由此, 能够有效地引致压应力。

当硅化物层 20A 和 20B 由镍硅化物形成时, 由于通常镍硅化物层会引起对沟道的拉应力, 所以这种拉应力易于抵消压应力。但是, 因为硅化物层 20A 和 20B 形成在 SiGe 混合晶体层 19A 和 19B 上, 并且处于比硅衬底和栅极绝缘膜 13 之间的界面高得多的位置, 所以在硅化物层 20A 和 20B 中产生的拉应力不会抵消在沟道区中产生的压应力。

优选地, 栅极 14 接近沿方向<110>在硅衬底 11 上延伸, 但是栅极 14 也可接近沿方向<100>延伸。

在图 3 所示的 p 沟道 MOS 晶体管 10 中, 在硅衬底 11 是所谓的 (100) 衬底, 并且硅衬底 11 上的栅极长度方向是沿着<110>方向或者<100>方向时, 特别是在<110>方向上时, 由于对沟道区施加的压应力使得空穴迁移率的增强尤为显著。这里, <100>方向包括[100]方向和菱形结构中等效于[100]方向的方向。对于<110>方向是同理。



下面参照图 4A 至图 4C 以及图 5A 和图 5B 说明制造图 3 中的半导体器件 10 的方法。

图 4A 至图 4C 是示出图 3 中半导体器件 10 的一些部分的横截面图，用于示出制造根据本发明本实施例的半导体器件 10 的方法。

在图 4A 所示的步骤中，在 p 型硅衬底 11 上，通过 STI 型的元件分隔区 12 将器件区 11A 划界；将 n 型杂质注入器件区 11A，由此相应于器件区 11A 形成 n 型 Si 阱 11n。

下一步，在图 4B 所示的步骤中，在硅衬底 11 上，对应于器件区 11A，由 SiON 膜和多晶硅膜的图案结构形成栅极绝缘膜 13 和栅极 14，其均匀地形成在硅衬底 11 上。

然后，利用栅极 14 作为掩模，将 Sb 或者其它 n 型杂质倾斜注入到器件区 11A 中，由此形成图 3 中所示的袋区 11pc。在图 4B 和随后的附图中，未示出袋区 11pc。

然后，利用栅极 14 作为掩模，将硼 (B) 或者其它 p 型杂质注入到器件区 11A 中，由此形成源极延伸区 11EA 和漏极延伸区 11EB。

然后，在栅极 14 上形成第一侧壁绝缘膜 16A 和 16B 和第二侧壁绝缘膜 18A 和 18B。此外，注入硼 (B) 或者其它 p 型杂质，并且在硅衬底 11 的器件区 11A 中，在第二侧壁绝缘膜 18A 和 18B 的外侧形成 p 型扩散区 11Sp 和 11Dp。

下一步，在图 4C 所示的步骤中，在硅衬底 11 中，通过干蚀刻，将第二侧壁绝缘膜 18A 和 18B 外侧的一部分器件区 11A 蚀刻成 10 至 60nm 深。由于该蚀刻工艺，在器件区 11A 中形成沟槽 111A 和 111B，其通过与硅衬底 11 的主平面几乎垂直的侧面 19b 以及与硅衬底 11 的主平面几乎平行的侧面 19c 划界。

图 5A 和图 5B 是接着图 4C 示出图 3 中半导体器件 10 的一些部分的横截面图，用于示出制造本发明本实施例的半导体器件 10 的方法。

在图 5A 所示的步骤中，通过各向同性蚀刻去除由二氧化硅膜形成的第一侧壁绝缘膜 16A 和 16B 的一部分，并且在第二侧壁绝缘膜 18A 和 18B 的底面的下方，露出硅衬底 11 的表面，由此形成空隙 16A1 和 16B1，它们就像是沿栅极宽度方向的裂缝。

这里，在各向同性蚀刻中，使用 HF 的水溶液（例如，HF 的浓度为 5 体积百分比）或者 HF 蒸汽。这里，只要能够通过各向同性蚀刻选择性地蚀刻第一侧壁绝缘膜 16A 和 16B，就不会限制各向同性蚀刻的条件。在各向同性蚀刻的过程中，也蚀刻栅极 14 上的第一侧壁绝缘膜 16A 和 16B，由此形成开口 16A2 和 16B2。

优选地，通过各向同性蚀刻形成空隙 16A1 和 16B1，从而通过空隙 16A1 和 16B1 露出硅衬底 11 的大部分表面，在所述大部分表面上形成源极延伸区 11EA 和漏极延伸区 11EB，并且空隙 16A1 和 16B1 不会到达栅极绝缘膜 13。

例如，在图 5A 中，每个第一侧壁绝缘膜 16A 和 16B 可形成为 L 形，并且覆盖栅极绝缘膜 13 和栅极 14 的侧面。

在各向同性蚀刻中，通过蚀刻时间或者 HF 的浓度确定第一侧壁绝缘膜 16A 和 16B 将被去除的量，并且以不露出栅极绝缘膜 13 和栅极 14 的侧面的方式进行各向同性蚀刻。

在各向同性蚀刻中，还去除沟槽 111A 和 111B 上的原有氧化膜。

下一步，在图 5B 所示的步骤中，将其上形成有图 5A 中的结构的衬底置于低压 CVD 装置中，其填充有氢气、氮气、或者氩气、氦气或者其它惰性气体，并且保持在 5 至 1330Pa 的气压。

然后，在氢气氛中将温度提高到 400 至 550℃之后，将气压保持在 5 至 1330Pa 的范围内 5 分钟，以在氢气氛中执行衬底的烘焙。

然后，在 400 至 550℃的衬底温度下，并且利用在 5 至 1330Pa 范围内的氢气、氮气、或者氩气、氦气或者其它惰性气体的分气压，在 1 至 40 分钟的时段内提供下列气体，即，具有从 1 至 10Pa 范围内的分气压的硅烷 ( $\text{SiH}_4$ ) 气体（作为硅的气相材料）、具有从 0.1 至 10Pa 范围内的分气压的氢化锗 ( $\text{GeH}_4$ ) 气体（作为 Ge 的气相材料）、具有从  $1 \times 10^{-5}$  至  $1 \times 10^{-3}$ Pa 范围内的分气压的乙硼烷 ( $\text{B}_2\text{H}_6$ ) 气体（作为掺杂气体）、以及具有从 1 至 10Pa 范围内的分气压的 HCl（氯化氢）气体（作为提高选择性的前体）。由此，在沟槽 111A 和 111B 中外延生长 p 型 SiGe 混合晶体层 19A 和 19B。

此时，SiGe 混合晶体层 19A 和 19B 的延伸部 19Aa 和 19Ba 形成在第二侧壁绝缘膜 18A 和 18B 的底面之下的空隙 16A1 和 16B1 中。此外，SiGe 混合晶体层 19A 和 19B 在与第二侧壁绝缘膜 18A 和 18B 的侧面紧密接触的同

时向上生长。

下一步，在图 5B 所示的步骤之后，SiGe 混合晶体层 19A 和 19B 的表面被转化成硅化物层。特别地，通过使用 HF 处理图 5B 中的结构的表面，从而去除表面上原有的氧化膜。然后，例如通过溅射形成镍膜以覆盖图 5B 中的结构。接着，使用 RTP（快速热处理）装置进行热处理（在 400 至 500℃），以使源极区 19A、漏极区 19B、以及在栅极 14 上例如形成具有 20nm 厚的镍硅化物层（包括氢化锗-硅化物）的 SiGe 混合晶体层 19C 发生反应。

然后，未反应的镍膜通过使用氨和过氧化氢的混合物进行湿蚀刻来蚀刻（第一处理），并且通过使用硫酸和过氧化氢的混合物进行湿蚀刻来进一步蚀刻（第二处理），这样去除未反应的镍膜。在需要时，可以省略一个或者多个湿蚀刻步骤。然后，如果需要，使用 RTP 装置在 400 至 500℃ 进行热处理。

这里，代替镍硅化物膜，可以形成 Co、Ta、Ti、或者 Pt 硅化物膜。

这样，制造出图 3 中的 p 沟道 MOS 晶体管 10。

在本实施例的方法中，因为通过利用 p 型杂质作为掺杂剂的 CVD 形成 SiGe 混合晶体层 19A 和 19B，所以即使不进行热处理，杂质的激活率也几乎为 100%。这个比率高于通过离子注入注入的杂质的激活率。因此，SiGe 混合晶体层 19A 和 19B 具有低电阻，并且延伸部 19Aa 和 19Ba 分别与源极延伸区 11EA 和漏极延伸区 11EB 接触，从而可大大减少寄生电阻，并且提高了 p 沟道 MOS 晶体管 10 的电流驱动能力。

在形成硅化物膜以通过使用 HF 进行处理从而去除 SiGe 混合晶体层 19A 和 19B 上的原有氧化膜的步骤中，能够防止 SiGe 混合晶体层 19A 和 19B 的延伸部 19Aa 和 19Ba 与第一侧壁绝缘膜 16A 和 16B 接触，因此第一侧壁绝缘膜 16A 和 16B 不会被腐蚀，并且硅衬底 11 的表面不会露出。此外，当硅化物层由镍硅化物形成时，相比在 Si 上镍的硅化物反应，很难在 SiGe 上发生镍的硅化物反应。由此，能够防止长钉状的硅化物形成在 n 阱 11n 中。

在图 5B 所示的步骤中，代替上述处理，在 SiGe 混合晶体层 19A 和 19B 生长的初始阶段，可将氢化锗（GeH<sub>4</sub>）气体（作为 Ge 的气相材料）的分气压设定得相对较低，并且随着 SiGe 混合晶体层 19A 和 19B 的生长，可逐步增加氢化锗（GeH<sub>4</sub>）气体的分气压。借此，能够防止硅衬底 11 与 SiGe 混合

晶体层 19A 和 19B 之间的界面中的错位，并且有效地形成 SiGe 混合晶体层 19A 和 19B 内部的水平压缩变形。

在图 5B 所示的步骤之后，在形成硅化物膜的步骤之前，主要包含 Si 的 p 型半导体层可被沉积在 SiGe 混合晶体层 19A 和 19B 上。通过使主要包含 Si 的 p 型半导体层转化为硅化物，能够防止热阻的恶化或者形态结构（morphogy）的退化，而这在 SiGe 混合晶体层 19A 和 19B 中 Ge 的浓度很高时的硅化物转化工艺中容易出现。

特别地，在温度等于或者低于 SiGe 混合晶体层 19A 和 19B 的温度下，一起提供具有从 1 至 10Pa 范围内的分气压的硅烷（ $\text{SiH}_4$ ）气体、具有从  $1 \times 10^{-4}$  至  $1 \times 10^{-2}$ Pa 范围内的分气压的乙硼烷（ $\text{B}_2\text{H}_6$ ）气体、以及具有从 1 至 10Pa 范围内的分气压的 HCl（氯化氢）气体，并且在 SiGe 混合晶体层 19A 和 19B 上形成小于 20nm 厚的 p 型半导体层。

因为考虑到随后的硅化物转化步骤而提供 p 型半导体层，所以优选地，p 型半导体层是能够容易被转化成硅化物的 p 型硅层，但是 p 型半导体层可以包含 Ge，其浓度低于 SiGe 混合晶体层 19A 和 19B 中 Ge 的浓度。当 p 型半导体层包含 Ge 时，在 p 型半导体层生长中，可以提供具有从 0 至 0.4Pa 分气压的  $\text{GeH}_4$  气体。

如上所述，在图 3 中的 p 沟道 MOS 晶体管 10 中，因为在沟道区的侧面上外延生长 p 型 SiGe 混合晶体层 19A 和 19B，所以对沟道区施加了单轴压应力。由于彼此相对的 SiGe 混合晶体层 19A 的侧面 19a 和 SiGe 混合晶体层 19B 的侧面 19b 几乎垂直于硅衬底 11 的主平面，所以能够有效地产生沟道区中的压应力。

此外，因为 SiGe 混合晶体层 19A 和 19B 具有与源极延伸区 11EA 和漏极延伸区 11EB 接触的延伸部 19Aa 和 19Ba，所以可以预见延伸部 19Aa 和 19Ba 能够减小延伸电阻，并且延伸部 19Aa 和 19Ba 对紧接在延伸部 19Aa 和 19Ba 下方的硅衬底施加栅极长度方向上的拉应力。为此，期望对沟道区间接施加压应力，这样进一步加强了施加在沟道区上的压应力。结果，能够提高 p 沟道 MOS 晶体管 10 的电流驱动能力。

## 第二实施例

图 6 是示出根据本发明第二实施例的半导体器件 30 的实例的横截面图。

在随后的说明中，相同的附图标记表示与上述实施例中所述的相同的那些元件，并且省略重复的说明。

图6中所示的半导体器件30是p沟道MOS晶体管。除了硅衬底11中沟槽111A和111B的侧面19d是由沿Si(111)平面的小平面形成的之外，p沟道MOS晶体管30基本与第一实施例的p沟道MOS晶体管10相同。

在p沟道MOS晶体管30中，硅衬底11中的每个沟槽111A和111B均包括与硅衬底11的主平面几乎平行的底面19c以及侧面19d，该侧面19d由沿相对于底面19c成 $56^\circ$ 角的Si(111)平面的小平面形成。

P型SiGe混合晶体层19A和19B在沟槽111A和111B中外延生长，以分别填充沟槽111A和111B。

与第一实施例相同，SiGe混合晶体层19A和19B具有延伸部19Aa和19Ba，其覆盖硅衬底11中形成源极延伸区11EA和漏极延伸区11EB的部分的表面。SiGe混合晶体层19A和19B沿第二侧壁绝缘膜18A和18B的外表面向上生长。

P沟道MOS晶体管30具有与第一实施例中的p沟道MOS晶体管10相同的效能；另外，在p沟道MOS晶体管30中，因为沿Si(111)平面的小平面沿着源极区11S和漏极区11D中的杂质浓度分布形成，并且在干扰杂质浓度分布的同时，源极延伸区11EA和漏极延伸区11EB、SiGe混合晶体层19A和19B在沟道区附近形成。因此，能够更有效地产生沟道区中的压应力。

下面，将参照图7A和图7B说明制造图6中半导体器件30的方法。

图7A和图7B是示出图6中半导体器件30的一些部分的横截面图，用于示出制造根据本发明第二实施例的半导体器件30的方法。

在图7A所示的步骤中，进行第一实施例中图4A至图4C和图5A中所示的工艺。

在至此制造的结构中，每个沟槽111A和111B均包括底面19c和与底面19c几乎垂直的侧面19b；空隙16A1和16B1形成在第二侧壁绝缘膜18A和18B的底面的下方以及硅衬底11的表面上；并且开口16A2和16B2形成在栅极14的上部旁边。

此外，在图7A所示的步骤中，垂直侧面19b被蚀刻以在相对硅衬底11的主平面成 $56^\circ$ 角的Si(111)平面中形成小平面。在该蚀刻工艺中，使用

有机碱蚀刻剂（例如，四甲基氢氧化铵，如 TMAH、胆碱）或者氢氧化铵进行湿蚀刻。可选地，通过在 800°C 的氢和 HCl 气氛中的热处理来进行蚀刻工艺。

这样形成所述小平面，即，使得侧面 19d 的上端未到达栅极绝缘膜 13。为此，将侧面 19d 形成为从沟槽 111A 和 111B 的底面 19c 与垂直侧面 19b 的相交线 19e 起以相对于底面 19c 成 56° 角向上倾斜地延伸。因此，在图 4C 中的步骤中，适当地选择形成垂直侧面 19b 的位置。

侧面 19d 处于被源极区 11S 和漏极区 11D、以及源极延伸区 11EA 和漏极延伸区 11EB 所包围的位置，以使侧面 19d 不会穿透 n 阱 11n。

下一步，在图 7B 所示的步骤中，以与图 5B 中所示的方式相同的方式形成 SiGe 混合晶体层 19A 和 19B。然后，如上书进行硅化物转化步骤。借此，制造出图 6 中的 p 沟道 MOS 晶体管 30。

在本实施例的方法中，SiGe 混合晶体层 19A 和 19B 填充沟槽 111A 和 111B；形成延伸部 19Aa 和 19Ba；并且向上生长的 SiGe 混合晶体层 19A 和 19B 与第二侧壁绝缘膜 18A 和 18B 的外表面紧密接触。因此，能够防止在硅化物转化步骤中的 HF 处理期间露出硅衬底 11 的表面，并且能够防止在硅化物转化步骤中长钉状的硅化物形成在 n 阱 11n 中。此外，当通过使用镍形成硅化物层时，相比在 Si 上镍的硅化物反应，很难在 SiGe 上发生镍的硅化物反应，因此，能够有效地防止在 n 阱 11n 中形成长钉状的硅化物。

### 第三实施例

图 8 是示出根据本发明第三实施例的半导体器件 40 的实例的横截面图。

在随后的说明中，相同的附图标记表示与上述实施例中所述的相同的那些元件，并且省略重复的说明。

图 8 中所示的半导体器件 40 是 p 沟道 MOS 晶体管。除了硅衬底 11 中沟槽 111A 和 111B 的侧面 19d 和侧面 19f 是由沿不同取向的 Si (111) 平面的小平面形成的之外，p 沟道 MOS 晶体管 40 基本与第一实施例的 p 沟道 MOS 晶体管 10 相同。

在 p 沟道 MOS 晶体管 40 中，硅衬底 11 中的每个沟槽 111A 和 111B 均包括底面 19c、侧面 19d 以及侧面 19f，其中底面 19c 与硅衬底 11 的主平面几乎平行；侧面 19d 由相对于底面 19c 成 56° 角的 Si (111) 平面中的小平

面形成,并且向内延伸;而侧面 19f 由相对于底面 19c 成  $124^\circ$  角的 Si(111) 平面中的小平面的形成。侧面 19f 从硅衬底 11 的表面,即硅衬底 11 与栅极绝缘膜 13 之间的界面起向内延伸。

侧面 19d 与侧面 19f 相交,由此形成朝向内的楔形。

P 型 SiGe 混合晶体层 19A 和 19B 在沟槽 111A 和 111B 中外延生长,以分别填充沟槽 111A 和 111B。与第一实施例相同, SiGe 混合晶体层 19A 和 19B 具有延伸部 19Aa 和 19Ba,其覆盖硅衬底 11 中形成源极延伸区 11EA 和漏极延伸区 11EB 的部分的表面。SiGe 混合晶体层 19A 和 19B 与第二侧壁绝缘膜 18A 和 18B 的底面接触,并且沿第二侧壁绝缘膜 18A 和 18B 的外表面上生长。

在 SiGe 混合晶体层 19A 和 19B 中,楔的前端 19g,即侧面 19d 与侧面 19f 的相交线,形成在相对于第二侧壁绝缘膜 18A 或 18B 的外表面的内部位置,并且 SiGe 混合晶体层 19A 和 19B 在紧接在栅极 14 下方的沟道区附近。但是,楔的前端 19g 被形成为不从源极区 11S 和漏极区 11D 穿透进入 n 阱 11n 的内部,这样 SiGe 混合晶体层 19A 与 19B 之间间距小于前述实施例中的间距。

P 沟道 MOS 晶体管 40 具有与第一实施例中的 p 沟道 MOS 晶体管 10 相同的效能;另外,在 p 沟道 MOS 晶体管 40 中,相比 p 沟道 MOS 晶体管 10 和 30,能够在沟道区中产生更强的压应力。因此,能够进一步增大空穴迁移率,并且提高 p 沟道 MOS 晶体管 40 的电流驱动能力。

下面,将参照图 9A 至图 9C 说明制造图 8 中半导体器件 40 的方法。

图 9A 至图 9C 是示出图 8 中半导体器件 40 的一些部分的横截面图,用于示出制造根据本发明第三实施例的半导体器件 40 的方法。

在图 9A 所示的步骤中,进行第一实施例中图 4A 至图 4C 中所示的工艺。

在至此制造的结构中,在第二侧壁绝缘膜 18A 和 18B 外部的器件区中,每个沟槽 111A 和 111B 均包括底面 19c 和与底面 19c 几乎垂直的侧面 19b。在此阶段,限定沟槽 111A 和 111B 的侧面 19b 与底面 19c 之间的相交线,并且限定第一侧壁绝缘膜 16A 和 16B 的端部 19h 的位置。因为这些位置限定在下一步骤中形成的两个不同 Si(111) 平面中的小平面的起始位置,所以这样形成侧面 19b 和侧面 19c,使得在下一步骤中能够形成期望的侧面。

应当注意,不需使侧面 19b 与底面 19c 垂直,因此,可以灵活限定 Si(111) 平面中小平面的起始位置。

此外,在图 9A 所示的步骤中,蚀刻垂直侧面 19b,以形成由两个小平面形成的侧面 19d 和侧面 19f。与图 7A 中的步骤相同,在该蚀刻工艺中,使用有机碱蚀刻剂(例如,四甲基氢氧化铵,如 TMAH、胆碱)或者氢氧化铵进行湿蚀刻。可选地,通过在 800°C 下的氢和 HCl 气氛中的热处理来进行蚀刻工艺。

结果,侧面 19d 和侧面 19f 均由 Si(111) 平面中的小平面形成,但是侧面 19d 由相对于硅衬底 11 的主平面成 56° 角的 Si(111) 平面中的小平面形成,而侧面 19f 由相对于硅衬底 11 的主平面成 124° 角的 Si(111) 平面中的小平面形成。

由于侧面 19d 是由 Si(111) 平面中的小平面形成的,所以一旦限定了底面 19c 与垂直侧面 19b(参见图 4C)的相交线 19e 的位置,就能够控制侧面 19d 的形成。另一方面,由于侧面 19f 也是由 Si(111) 平面中的小平面形成的,所以一旦限定了第一侧壁绝缘膜 16A 和 16B 的端部 19h 的位置,就能够控制侧面 19f 的形成。

因此,由于能够控制楔的前端 19g 即侧面 19d 与侧面 19f 的相交线的形成,所以能够防止楔的前端 19g 从源极区 11S 和漏极区 11D 穿透进入 n 阱 11n 的内部,并且防止干扰杂质分布。

下一步,在图 9B 所示的步骤中,以与图 5B 中所示的方式相同的方式,通过各向同性蚀刻去除第一侧壁绝缘膜 16A 和 16B 的某些部分。

下一步,在图 9C 所示的步骤中,以与图 5B 中所示的方式相同的方式形成 SiGe 混合晶体层 19A 和 19B。SiGe 混合晶体层 19A 和 19B 分别填充沟槽 111A 和 111B,并且同时,以与第一实施例中的方式相同的方式,接近填满第二侧壁绝缘膜 18A 和 18B 的底面与硅衬底 11 的表面之间的空隙 16A1 和 16B1,并且沿第二侧壁绝缘膜 18A 和 18B 的外表面生长。

然后,以与上述方式相同的方式形成硅化物层 20A 至 20C。借此,制造出图 8 中的 p 沟道 MOS 晶体管 40。

在本实施例的方法中,因为形成包括底面 19c 和垂直侧面 19b 的沟槽 111A 和 111B 以限定蚀刻的起始位置,并且进行蚀刻从而选择性地露出 Si



(111) 平面，由此能够控制朝向内的突出楔的侧面的形成。因此，能够在增大压应力的同时，防止短沟道效应；由此能够增大沟道区中的空穴迁移率，并且提高 p 沟道 MOS 晶体管 40 的电流驱动能力。

#### 第四实施例

图 10 是示出根据本发明第四实施例的半导体器件 50 的实例的横截面图。

在随后的说明中，相同的附图标记表示与上述实施例中所述的相同的那些元件，并且省略重复的说明。

图 10 中所示的半导体器件 50 是 p 沟道 MOS 晶体管。除了元件分隔区的结构不同之外，p 沟道 MOS 晶体管 50 基本与第一实施例的 p 沟道 MOS 晶体管 10 相同。

在 p 沟道 MOS 晶体管 50 中，元件分隔区 52 包括在元件分隔凹槽 112 的表面上形成的抗 HF 膜 52C、覆盖抗 HF 膜 52C 并且填充元件分割凹槽 112 的 CVD 氧化膜 52B、以及覆盖 CVD 氧化膜 52B 的抗 HF 膜 55。

抗 HF 膜 52C 和 55 可以是 SiN 膜、SiOCN 膜、或者 SiCN 膜。特别地，优选使用 SiOCN 膜或者 SiCN 膜，因为它们在抗 HF 性上更强。

在元件分隔区 52 中，因为抗 HF 膜 52C 和 55 覆盖整个 CVD 氧化膜 52B（该 CVD 氧化膜 52B 用于去除原有氧化膜），所以可防止在为了去除硅衬底 11 上的原有氧化膜而反复执行的 HF 处理时导致的元件分隔区的削减（subduction）。

在如上述实施例中制造半导体器件的方法中，通过 HF 处理蚀刻第一侧壁绝缘膜 16A 和 16B 的某些部分，并且在该工艺中，可能过度进行 HF 处理。在本实施例中，即使过度进行了 HF 处理，在 p 沟道 MOS 晶体管 50 中也可防止元件分隔区 52 的腐蚀。因此，能够防止源极或者漏极的硅化物层到达硅衬底 11 中的 n 阱 11n，并且防止结漏。

下面，将参照图 11A 至图 11C、图 12A 至图 12C、以及图 13 说明制造图 10 中半导体器件 50 的方法。

图 11A 至图 11C 是示出图 10 中半导体器件 50 的一部分的横截面图，用于示出制造根据本发明第四实施例的半导体器件 50 的方法。

这里，假定抗 HF 膜 52C 和 55 是 SiOCN 膜或者 SiCN 膜。

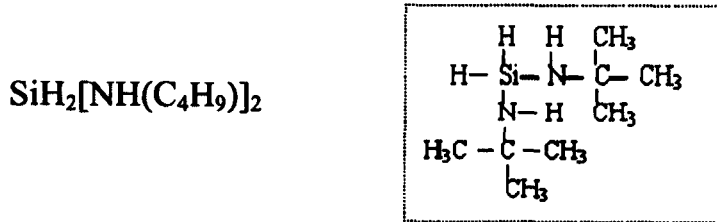
在图 11A 所示的步骤中，在硅衬底 11 上，形成 10nm 厚的牺牲氧化膜 53，然后，通过在 775℃ 的衬底温度下的热 CVD，在牺牲氧化膜 53 上形成 105nm 厚的 SiN 膜。

将 SiN 膜 54 图案化。利用获得的 SiN 图案 54 作为掩模，在硅衬底 11 中形成元件分割凹槽 112，以将器件区 11A 划界。

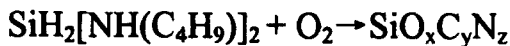
下一步，在图 11B 所示的步骤中，在元件分隔凹槽 112 的侧面和底面上形成 3nm 厚的热氧化膜 52A。

然后，作为抗 HF 膜 52C，通过利用 BTBAS（二叔丁基氨基硅烷）作为原材料的 LPCVD（低压 CVD），形成 20nm 厚的 SiOCN 膜或者 SiCN 膜，以覆盖位于元件分隔凹槽 112 的侧面和底面上的热氧化膜 52A。

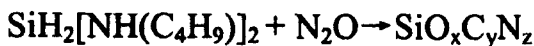
二叔丁基氨基硅烷的化学式如下。



在 LPCVD 中，发生由下述化学反应式所表示的反应。

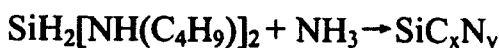


或者



并且形成由  $\text{SiO}_x\text{C}_y\text{N}_z$  表示的 SiOCN 膜。如此获得的 SiOCN 膜包含浓度超过掺杂剂浓度的 C。举例说来，按照如此获得的 SiOCN 膜的分析结果，发现所获得的 SiOCN 膜中 Si、O、N 和 C 的比率为 2:2:2:1。

如果使用氨取代上述反应中的  $\text{O}_2$  或  $\text{N}_2\text{O}$ ，则发生下列反应：



并且形成由  $\text{SiC}_x\text{N}_y$  表示的 SiCN 膜。

此外，在图 11B 所示的步骤中，通过高密度等离子体 CVD，在抗 HF 膜 52C 上沉积 CVD 氧化膜 52B，以填充元件分隔凹槽 112。然后，通过 CMP（化学机械抛光）抛光并去除 SiN 图案 54 上沉积的 CVD 氧化膜 52B，由此，CVD 氧化膜 52B 的高度与 SiN 图案 54 的高度相等。

下一步，在图 11C 所示的步骤中，对 CVD 氧化膜 52B 进行 HF 处理，

也就是，通过使用 HF 的湿蚀刻而蚀刻 CVD 氧化膜 52B，结果，CVD 氧化膜 52B 降低了 80nm 至 120nm。

图 12A 至图 12C 是接着图 11C 示出图 10 中半导体器件 50 的一些部分的横截面图，用于示出制造本发明本实施例的半导体器件 50 的方法。

下一步，在图 12A 所示的步骤中，在图 11C 所示的结构上，通过利用 BTBAS（二叔丁基氨基硅烷）作为原材料的 LPCVD 沉积作为抗 HF 膜 55 的 SiOCN 膜或者 SiCN 膜。

将抗 HF 膜 55 沉积到其与硅衬底 11 的表面等高的厚度。

下一步，在图 12B 所示的步骤中，通过高密度等离子体 CVD，在图 12A 所示的结构上沉积二氧化硅膜。然后，通过 CMP 抛光并去除二氧化硅膜，由此，在对应于元件分隔凹槽 112 的抗 HF 膜 55 上形成二氧化硅膜图案 56。

下一步，在图 12C 所示的步骤中，利用二氧化硅膜图案 56 作为掩模，通过热磷酸盐处理溶解并去除抗 HF 膜 55 和抗 HF 膜 55 下方的 SiN 图案 54。然后，通过使用 HF 的湿蚀刻，去除二氧化硅膜图案 56。这里，因为 SiOCN 膜或者 SiCN 膜在热磷酸盐中可溶解，并且其具有与 SiN 相似或者比 SiN 稍慢的蚀刻速度，因此，在热磷酸盐处理中，即使去除 SiN 图案，在此之前，也不会于元件分隔凹槽 112 中去除抗 HF 膜 52C 和 55，这样一点也不会露出 CVD 氧化膜 52B。此外，在热磷酸盐处理之后，可以突出一部分抗 HF 膜 55，以形成凸起 55a。在这种情况下，可以通过 CMP 使抗 HF 膜 55 变平坦。借此，形成元件分隔区 52，其中 CVD 氧化膜 52B 整体上被抗 HF 膜 52C 和 55 覆盖。

图 13 是接着图 12C 示出半导体器件 50 的一部分的横截面图，用于示出制造本发明本实施例的半导体器件 50 的方法。

在图 13 所示的步骤中，在图 12C 中的器件区 11A 中，进行第一实施例中图 4A 至图 4C 以及图 5A 中所示的工艺。也就是，将 n 型杂质注入器件区 11A 中（图 4A）；形成栅极绝缘膜 13、栅极 14、源极延伸区 11EA、漏极延伸区 11EB、第一侧壁绝缘膜 16A 和 16B、第二侧壁绝缘膜 18A 和 18B（图 4B）；在器件区 11A 中形成沟槽 111A 和 111B（图 4C）；以及通过各向同性蚀刻去除第一侧壁绝缘膜 16A 和 16B 的由二氧化硅膜形成的某些部分，并且通过露出硅衬底 11 在第二侧壁绝缘膜 18A 和 18B 的底面下方的表面形成

空隙 16A1 和 16B1。

在图 13 中的步骤之后，形成如图 5B 所示的硅化物层。

借此，制造出图 10 中的 p 沟道 MOS 晶体管 50。

在本实施例的方法中，在图 13 所示的步骤中，由于去除了第一侧壁绝缘膜 16A 和 16B 的某些部分，所以即使过度进行了 HF 处理，由于整个元件分隔区 52 被抗 HF 膜 52C 和 55 覆盖，也可防止被 HF 溶解。因此，可防止元件分隔区 52 的腐蚀，并且能够防止结漏。

#### 第五实施例

图 14 是示出根据本发明第五实施例的半导体器件 60 的实例的横截面图。

图 14 中所示的作为 p 沟道 MOS 晶体管的半导体器件 60，除了用图 13 中的元件分隔区 52 替换元件分隔区 12 之外，基本与第二实施例的图 6 中的 p 沟道 MOS 晶体管 30 相同。因此，p 沟道 MOS 晶体管 60 具有与第四实施例的图 10 中的 p 沟道 MOS 晶体管 50 相同的效能。

#### 第六实施例

图 15 是示出根据本发明第六实施例的半导体器件 65 的实例的横截面图。

图 15 中所示的作为 p 沟道 MOS 晶体管的半导体器件 65，除了用图 13 中的元件分隔区 52 替换元件分隔区 12 之外，基本与第三实施例的图 8 中的 p 沟道 MOS 晶体管 40 相同。因此，p 沟道 MOS 晶体管 65 具有与第四实施例的图 10 中的 p 沟道 MOS 晶体管 50 相同的效能。

#### 第七实施例

图 16 是示出根据本发明第七实施例的半导体器件 70 的实例的横截面图。

在随后的说明中，相同的附图标记指定与上述实施例中所述的那些相同的元件，并且省略重复的说明。

图 16 中所示的半导体器件 70 是 n 沟道 MOS 晶体管。在 n 沟道 MOS 晶体管中，替代第二实施例的图 3 中 p 沟道 MOS 晶体管 30 中的 SiGe 混合晶体层 19A 和 19B，采用 SiC 混合晶体层 71A 和 71B 来产生沟道区中的拉应力。

另外,引入到n沟道MOS晶体管70中的杂质具有的导电性与引入到图3中的p沟道MOS晶体管10中的杂质的导电性相反,即,SiC混合晶体层71A和71B包含n型杂质。此外,在n沟道MOS晶体管70中,将p型杂质注入器件区11A、袋区11pc、以及Si阱区,而将n型杂质注入源极延伸区11EA和漏极延伸区11EB、源极区11Sn和漏极区11Dn。除了上述几点外,n沟道MOS晶体管70与第二实施例的图3中的p沟道MOS晶体管30基本相同。

在硅衬底11中,在第二侧壁绝缘膜18A和18B的外部分别形成沟槽111A和111B。包含n型杂质的SiC混合晶体层71A和71B在沟槽111A和111B中外延生长,以分别填充沟槽111A和111B。在硅衬底11上外延生长的SiC混合晶体层71A和71B具有的晶格常数小于硅衬底11,如上述参照图1所述的,产生与箭头“a”、“b”、“c”、“d”相反的应力。结果,对硅衬底11中紧接在栅极14下方的沟道区施加单轴拉应力。由于该拉应力,在沟道区中的电子迁移率增大,并且提高了n沟道MOS晶体管70的电流驱动能力。

与图3中SiGe混合晶体层19A和19B相同,SiC混合晶体层71A和71B具有延伸部71Aa和71Ba,其形成在第二侧壁绝缘膜18A和18B的底面下方的、第一侧壁绝缘膜16A和16B的各侧上,并且覆盖硅衬底11的表面。延伸部71Aa和71Ba分别与源极延伸区11EA和漏极延伸区11EB接触。如下述,因为SiC混合晶体层71A和71B是包含高活性的n型杂质的低电阻CVD膜,因此延伸部71Aa和71Ba的存在能够极大地减小寄生电阻。结果,不会出现短沟道效应,并且提高了n沟道MOS晶体管70的电流驱动能力。

此外,期望延伸部71Aa和71Ba引致紧接在延伸部71Aa和71Ba下方的硅衬底11中栅极长度方向上的压应力。在这种情况下,因为侧面19b由SiC混合晶体层71A和71B固定,所以确信SiC混合晶体层71A和71B的延伸部71Aa和71Ba导致了源极延伸区11EA和漏极延伸区11EB中的压缩变形,并且这种压缩变形产生沟道区中硅晶体中的相对拉应力。结果,在图16所示的n沟道MOS晶体管70中,由于与源极延伸区11EA和漏极延伸区11EB接触的延伸部71Aa和71Ba,所以能够进一步增大电子迁移率。

由于SiC混合晶体层71A和71B的良好结晶性质,优选地,C的原子浓

度在 SiC 混合晶体层 71A 和 71B 中为 0.1 原子百分比至 2.0 原子百分比。例如，SiC 混合晶体层 71A 和 71B 中的 n 型杂质是 P（磷）或者 As（砷），并且 n 型杂质的浓度为从  $1 \times 10^{19} \text{cm}^{-3}$  到  $1 \times 10^{20} \text{cm}^{-3}$ 。

例如，通过使用低压 CVD 装置能够形成 SiC 混合晶体层 71A 和 71B。其方法如下。

进行第一实施例中图 4A 至图 4C 以及图 5A 中所示的工艺。将其上形成有沟槽 111A 和 111B 的衬底置于低压 CVD 装置中，其填充有氢气、氮气、氩气、氦气或者其它惰性气体，并且保持在 5 至 1330Pa 的气压。

然后，在氢气氛中将温度提高到 400 至 550°C 之后，将气压保持在 5 至 1330Pa 的范围内 5 分钟，以在氢气氛中执行衬底的烘焙。

然后，在 400 至 550°C 的衬底温度下，并且利用在 5 至 1330Pa 范围内的氢气、氮气、氩气、氦气或者其它惰性气体的分气压，在 1 至 40 分钟的时间段内提供下列气体，即，具有从 1 至 10Pa 范围内的分气压的硅烷 ( $\text{SiH}_4$ ) 气体（作为硅的气相材料）、具有从 0.01 至 1Pa 范围内的分气压的一甲硅烷 ( $\text{SiH}_3\text{CH}_3$ ) 气体（作为 C 的气相材料）、具有从  $1 \times 10^{-5}$  至  $1 \times 10^{-2}$ Pa 范围内的分气压的磷化氢 ( $\text{PH}_3$ ) 气体（作为掺杂气体）、以及具有从 1 至 10Pa 范围内的分气压的 HCl（氯化氢）气体（作为提高选择性的前体）。

由此，在沟槽 111A 和 111B 中外延生长 n 型 SiC 混合晶体层 71A 和 71B。借此，SiC 混合晶体层 71A 和 71B 也在第二侧壁绝缘膜 18A 和 18B 的底面下方的空隙中生长，并且形成 SiC 混合晶体层 71A 和 71B 的延伸部 71Aa 和 71Ba。此外，SiC 混合晶体层 71A 和 71B 在与第二侧壁绝缘膜 18A 和 18B 的侧面紧密接触的同时向上生长。

在本实施例的 n 沟道 MOS 晶体管 70 中，硅衬底 11 中沟槽 111A 和 111B（这些沟槽填充有 SiC 混合晶体层 71A 和 71B）的侧面的形状与上述 p 沟道 MOS 晶体管的形状相同。

#### 第八实施例

图 17 是示出根据本发明第八实施例的半导体器件的实例的横截面图。

在本实施例中，相同的附图标记指定与上述实施例中所述的那些相同的元件，并且省略重复的说明。

图 17 中所示的半导体器件 75 是 n 沟道 MOS 晶体管。在 n 沟道 MOS 晶

体管 75 中, SiC 混合晶体层 71A 和 71B 的侧面 19d 与第二实施例中图 6 中的那些相同。

在 n 沟道 MOS 晶体管 75 中,除了应力与第二实施例中的应力相反之外,能够获得相同的效果,并且进一步提高了 n 沟道 MOS 晶体管 75 的电流驱动能力。

#### 第九实施例

图 18 是示出根据本发明第九实施例的半导体器件的实例的横截面图。

在本实施例中,相同的附图标记指定与上述实施例中所述的那些相同的元件,并且省略重复的说明。

图 18 中所示的半导体器件 80 是 n 沟道 MOS 晶体管。在 n 沟道 MOS 晶体管 80 中, SiC 混合晶体层 71A 和 71B 的侧面 19d、19f 与第三实施例中图 8 中的那些相同。

在 n 沟道 MOS 晶体管 80 中,除了应力与第三实施例中的应力相反之外,能够获得相同的效果,并且进一步提高了 n 沟道 MOS 晶体管 80 的电流驱动能力。

#### 第十实施例

图 19 是示出根据本发明第十实施例的半导体器件的实例的横截面图。

在本实施例中,相同的附图标记指定与上述实施例中所述的那些相同的元件,并且省略重复的说明。

图 19 中所示的半导体器件 85 是 n 沟道 MOS 晶体管,其是通过将图 10 中所示的元件分隔区 52 并入第七实施例的 n 沟道 MOS 晶体管而获得的。

在 n 沟道 MOS 晶体管 85 的元件分隔区 52 中,因为抗 HF 膜 52C 和 55 覆盖了用于去除原有氧化膜的整个 CVD 氧化膜 52B,所以可防止在为去除一部分第一侧壁绝缘膜 16A 和 16B 或者为去除硅衬底 11 上的原有氧化膜而执行的 HF 处理时导致的元件分隔区 52 的腐蚀。结果,能够防止源极或者漏极的硅化物层到达硅衬底 11 中的 n 阱 11n,并且防止结漏。

#### 第十一实施例

图 20 是示出根据本发明第十一实施例的半导体器件的实例的横截面图。

在本实施例中,相同的附图标记指定与上述实施例中所述的那些相同的元件,并且省略重复的说明。

图 20 中所示的半导体器件 90 是 n 沟道 MOS 晶体管，其是通过将图 10 中所示的元件分隔区 52 并入第八实施例的 n 沟道 MOS 晶体管而获得的。

n 沟道 MOS 晶体管 90 具有与 n 沟道 MOS 晶体管 85 相同的效能。

#### 第十二实施例

图 21 是示出根据本发明第十二实施例的半导体器件的实例的横截面图。

图 21 中所示的半导体器件 95 是 n 沟道 MOS 晶体管，其是通过将图 10 中所示的元件分隔区 52 并入第九实施例的 n 沟道 MOS 晶体管而获得的。

n 沟道 MOS 晶体管 95 具有与 n 沟道 MOS 晶体管 85 相同的效能。

为了举例说明的目的，上述参照选择的具体实施例对本发明进行了说明，但是很明显本发明并不限于这些实施例，本领域技术人员在不脱离本发明的基本概念和范围的条件下，可以进行大量改型。



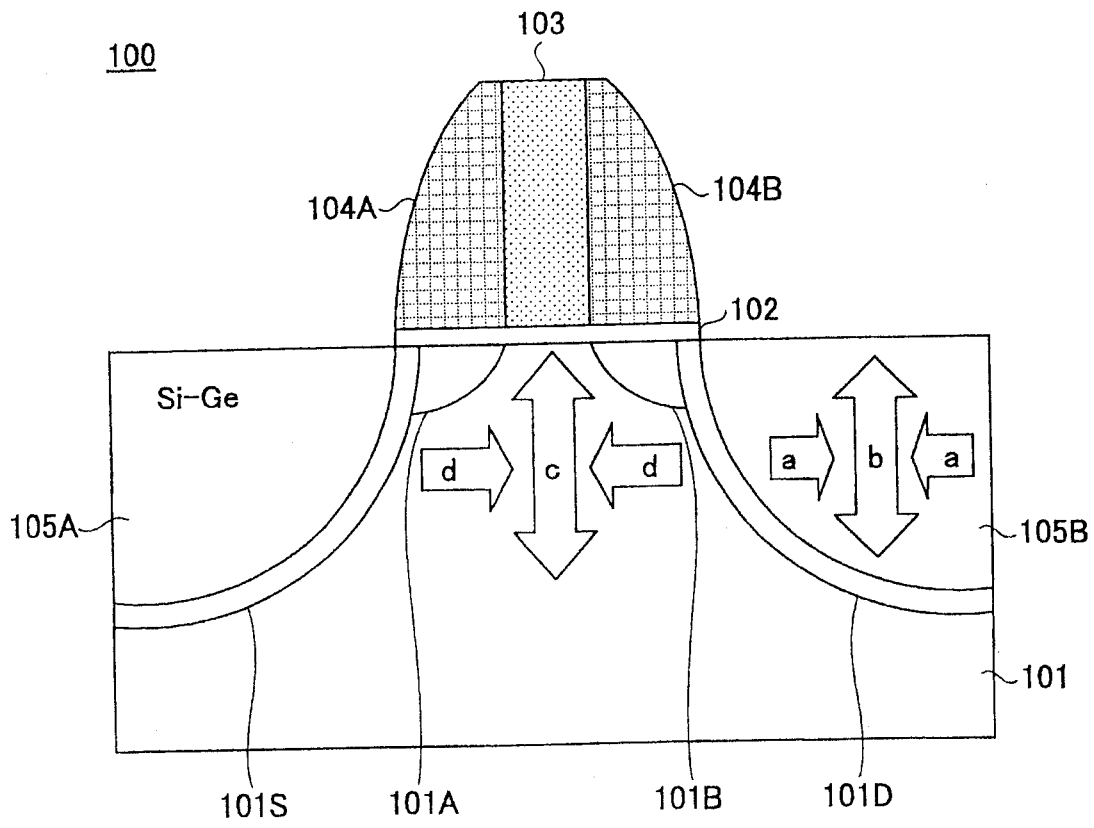


图 1

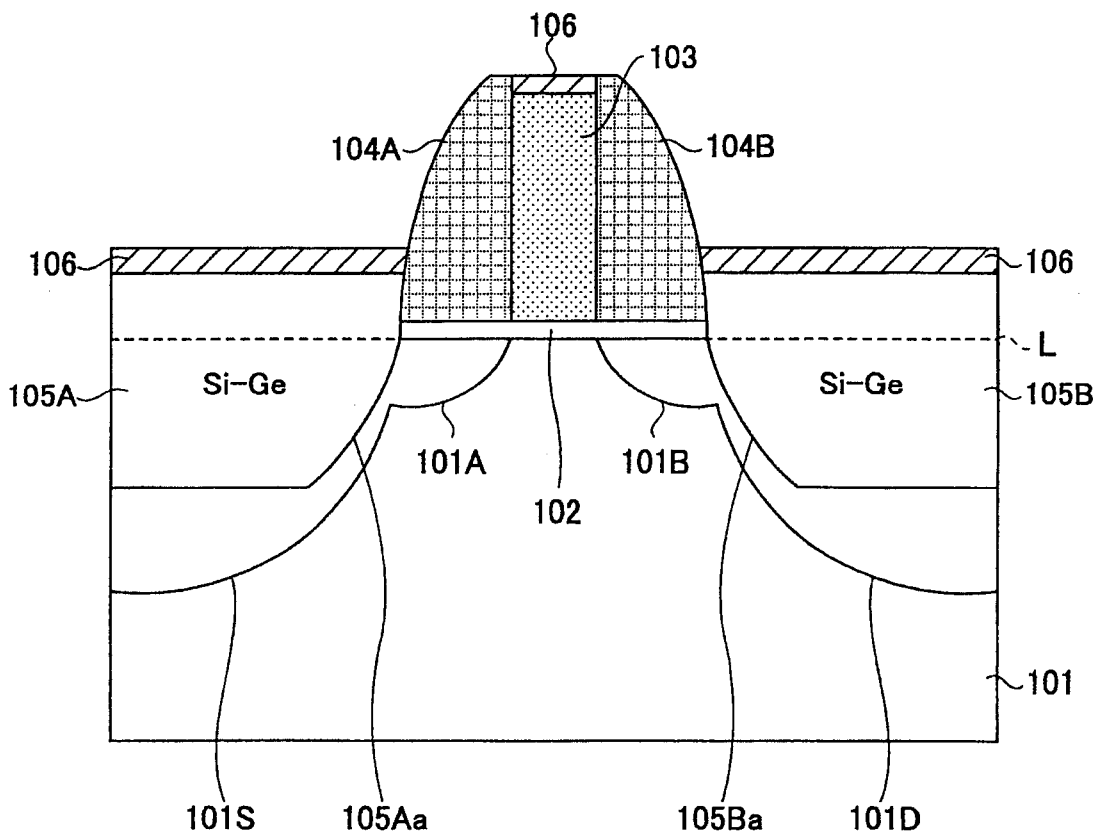


图 2

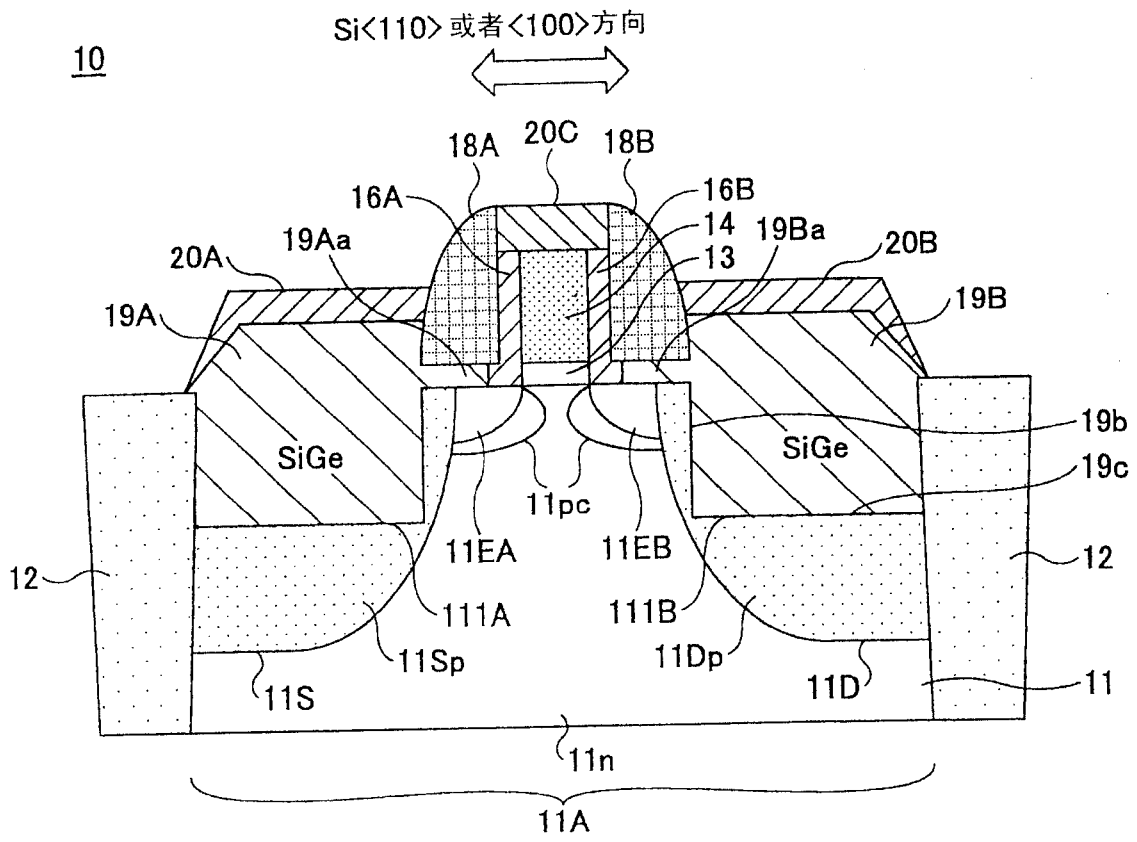


图 3

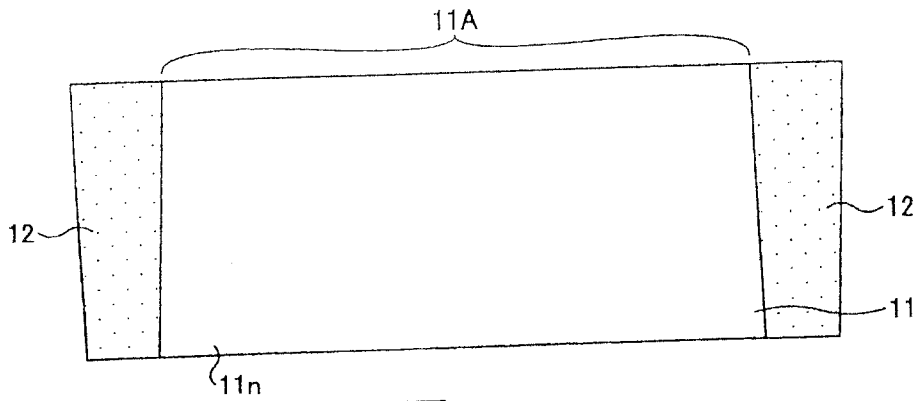


图 4A

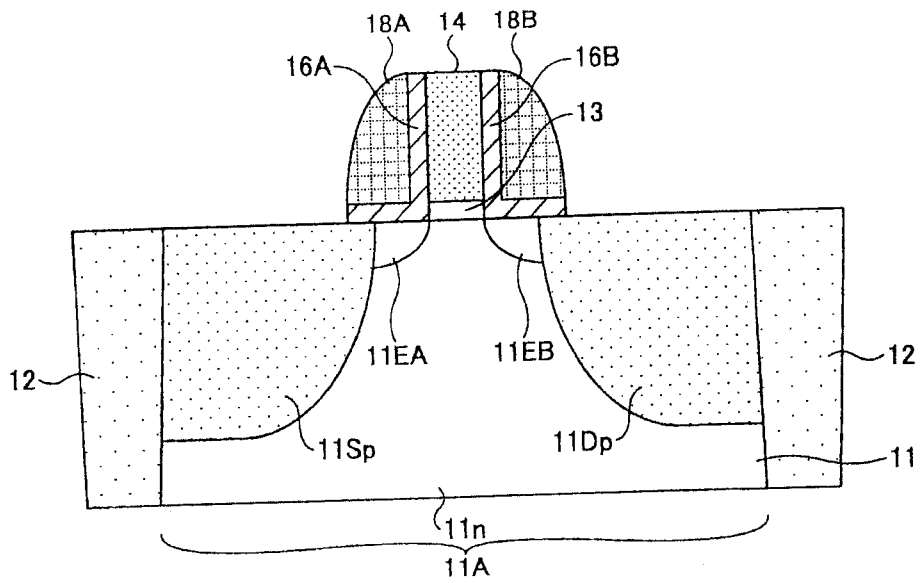


图 4B

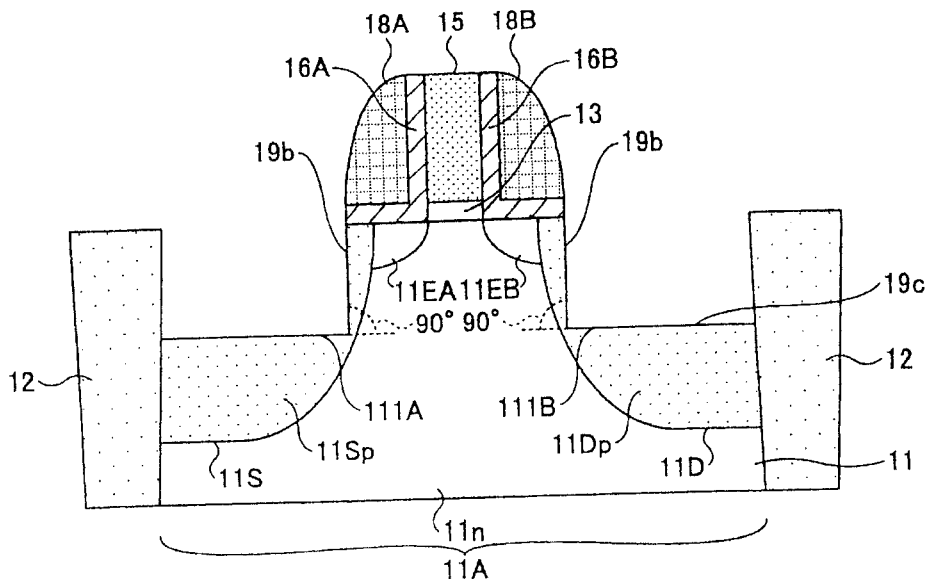


图 4C

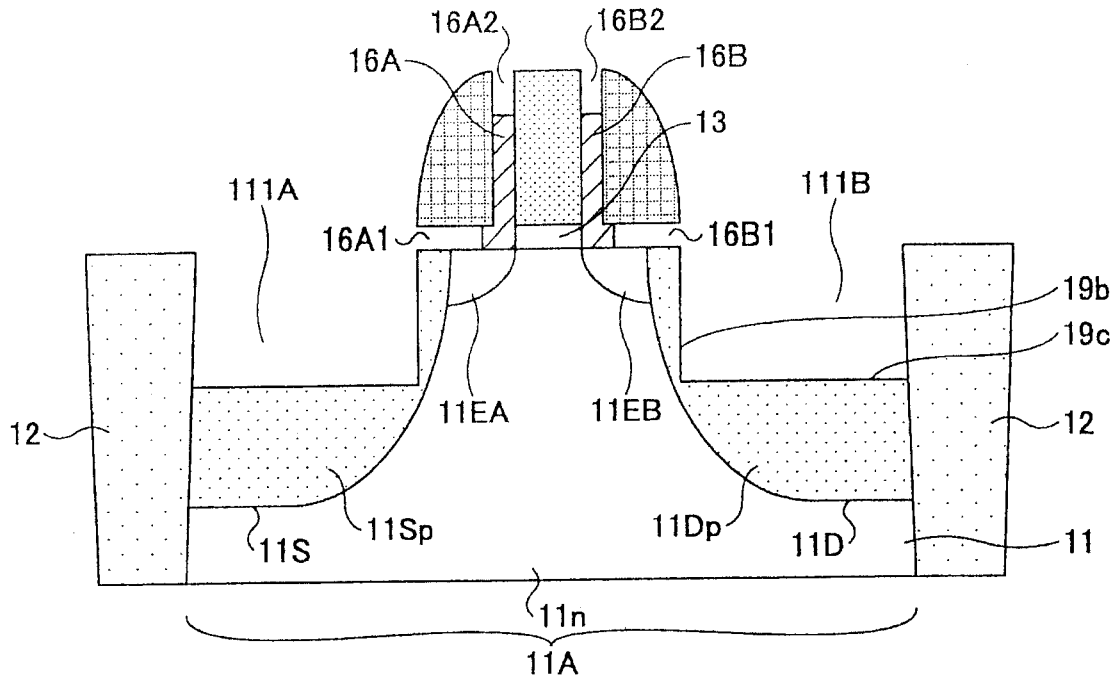


图 5A

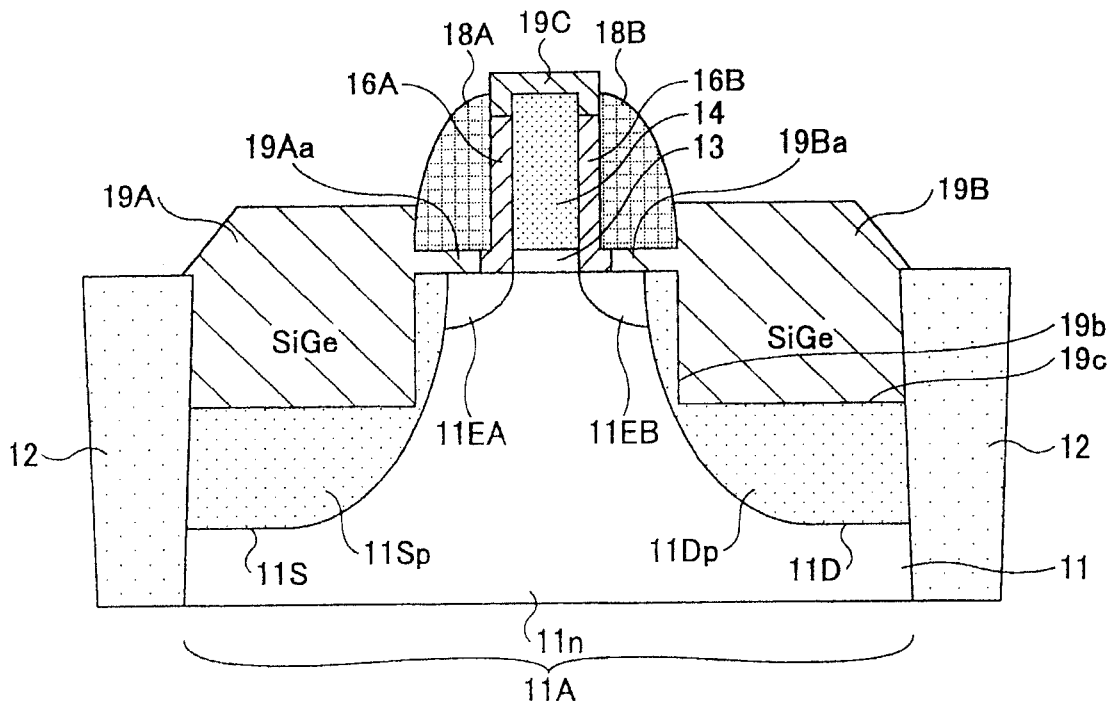


图 5B

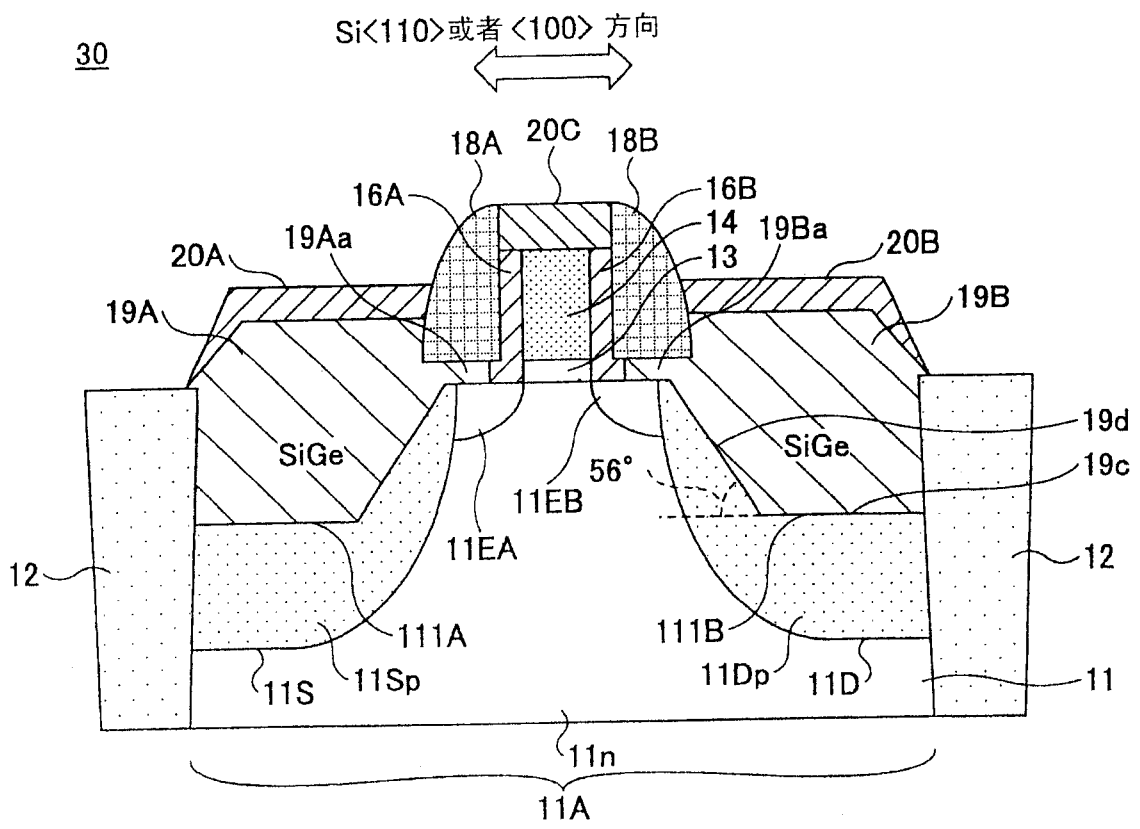


图 6

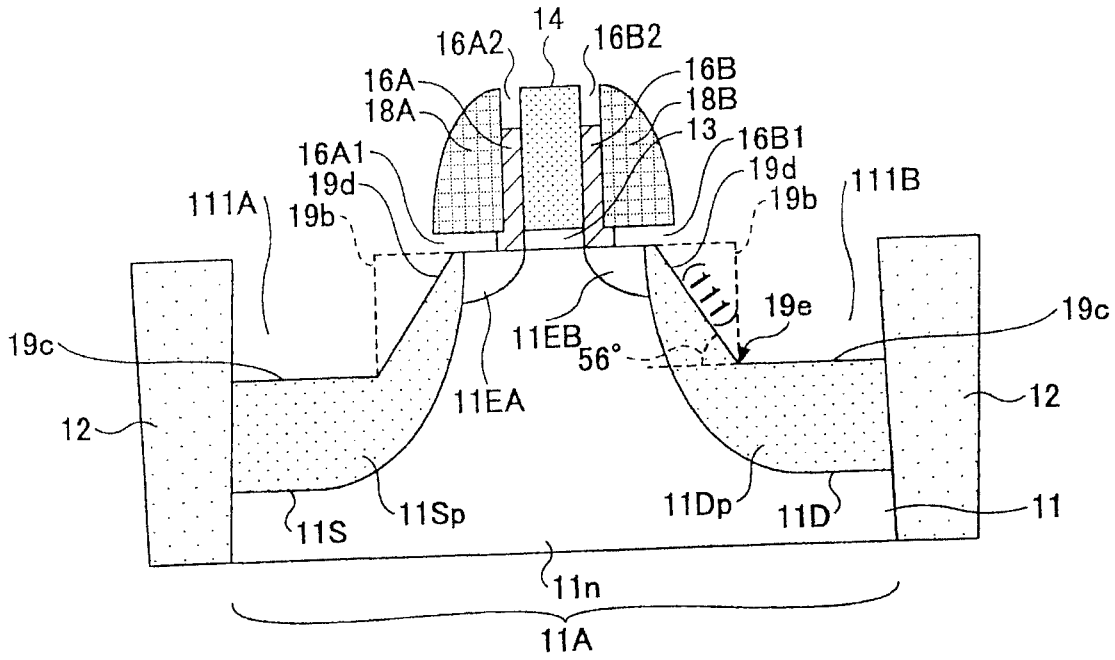


图 7A

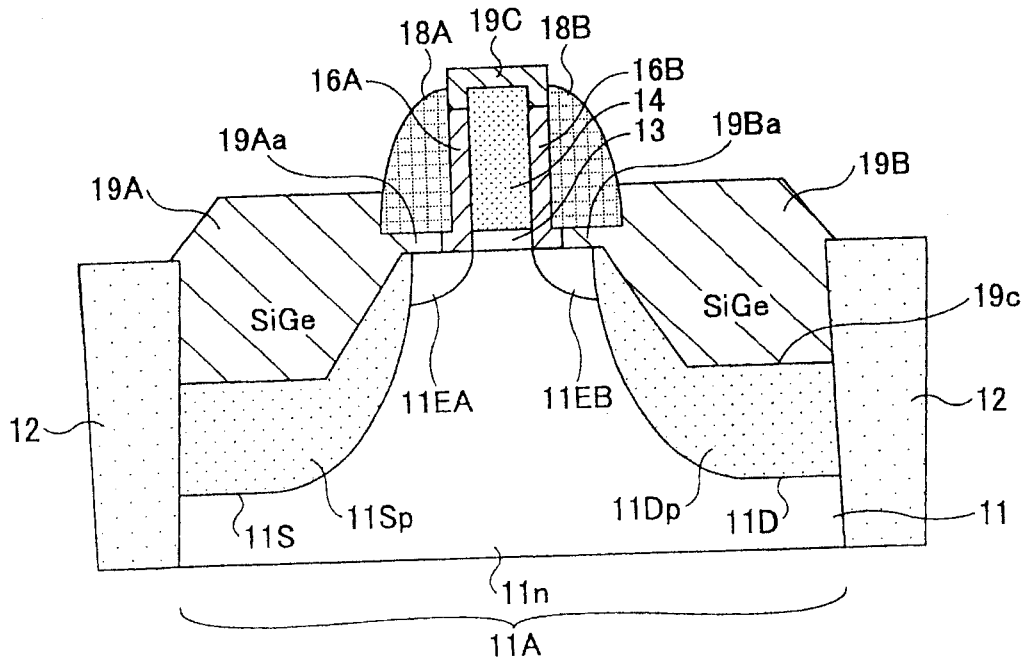


图 7B

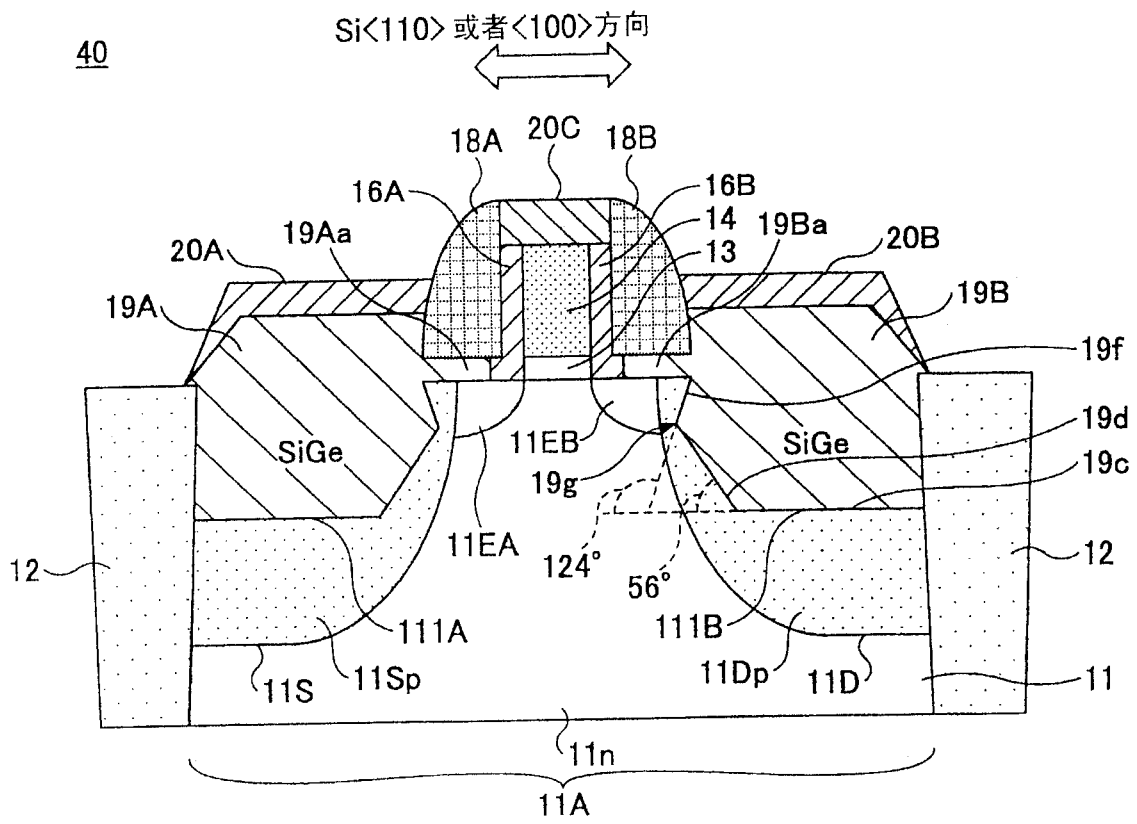


图 8



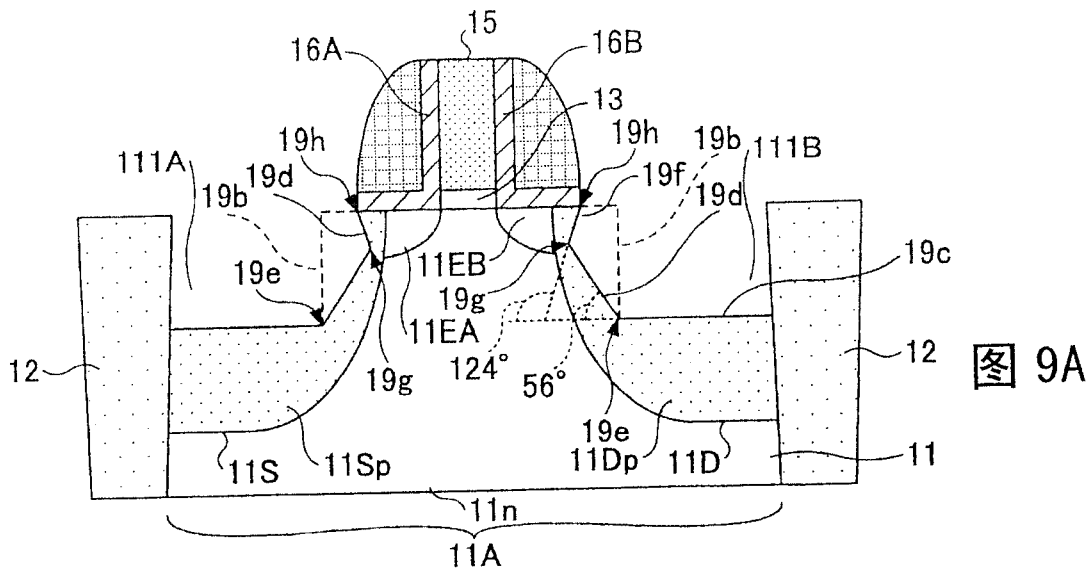


图 9A

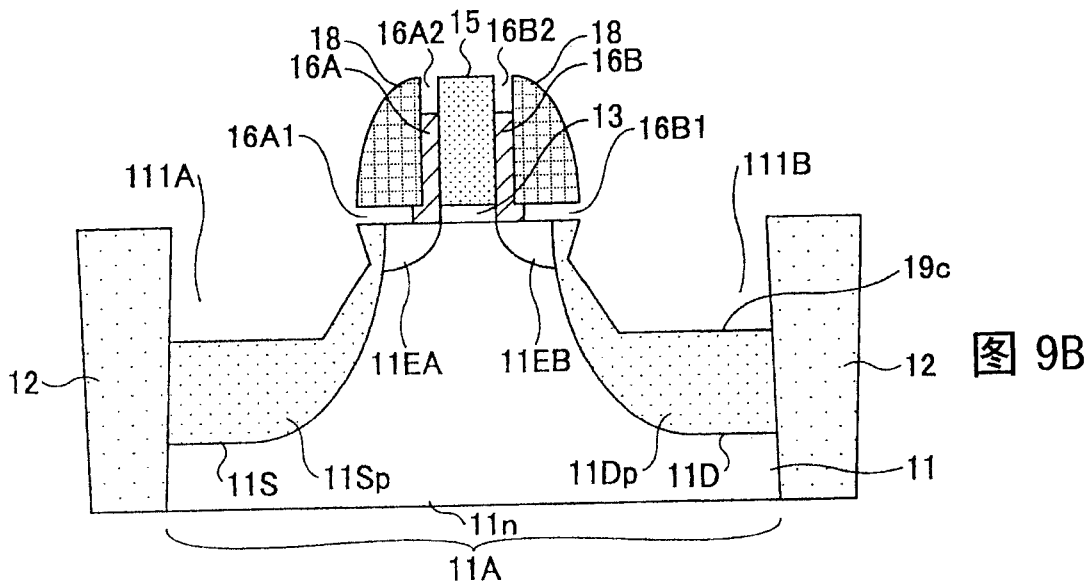


图 9B

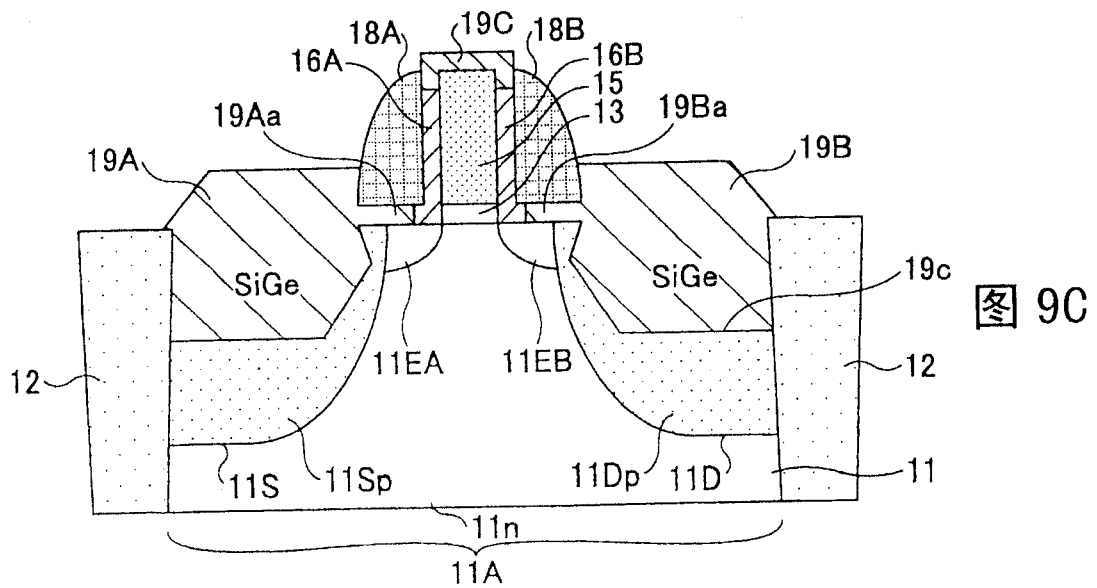


图 9C

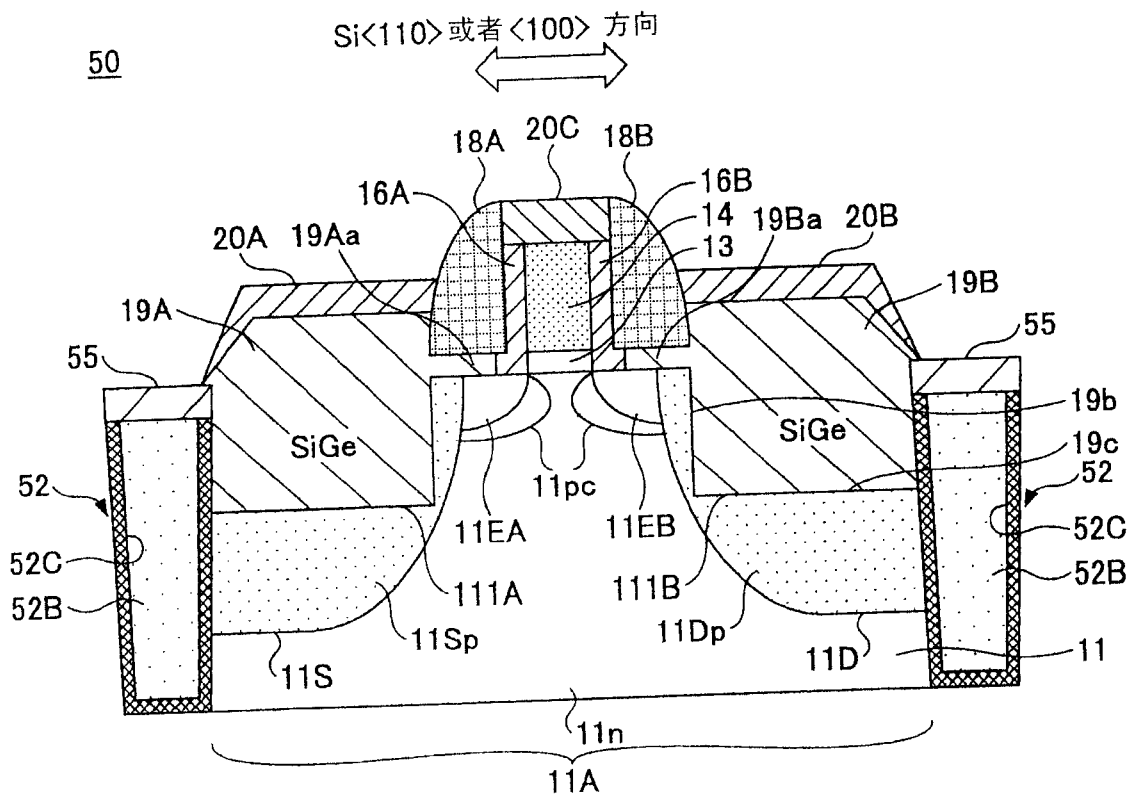


图 10

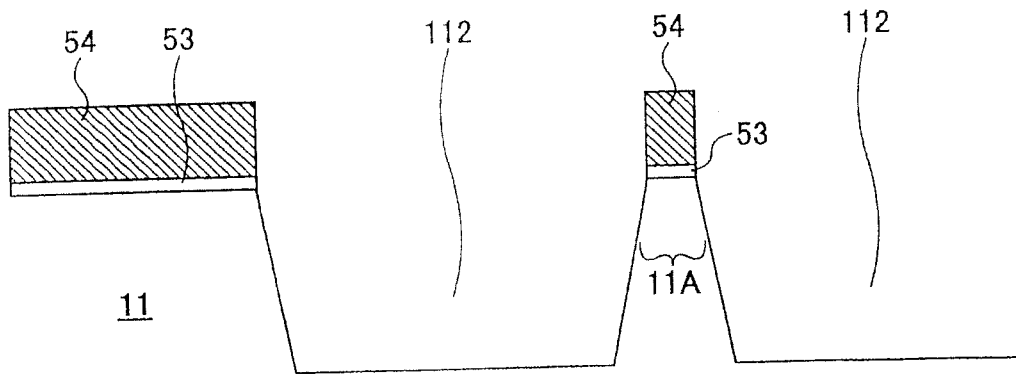


图 11A

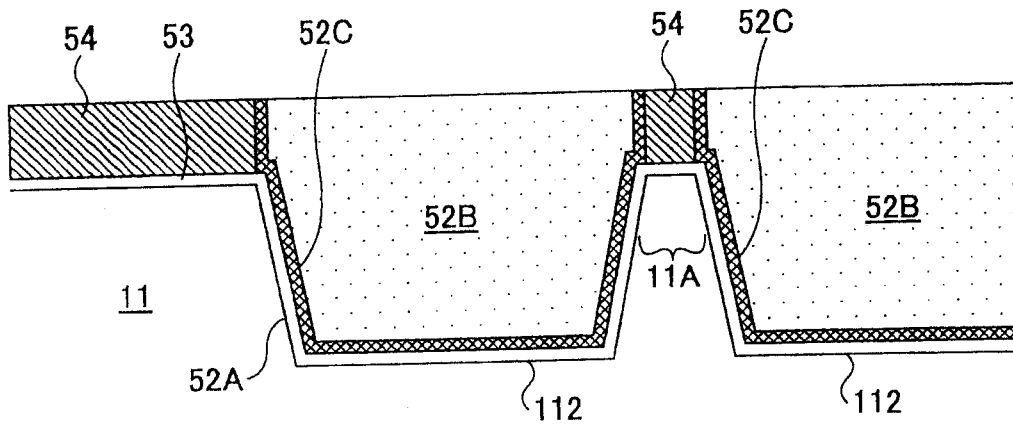


图 11B

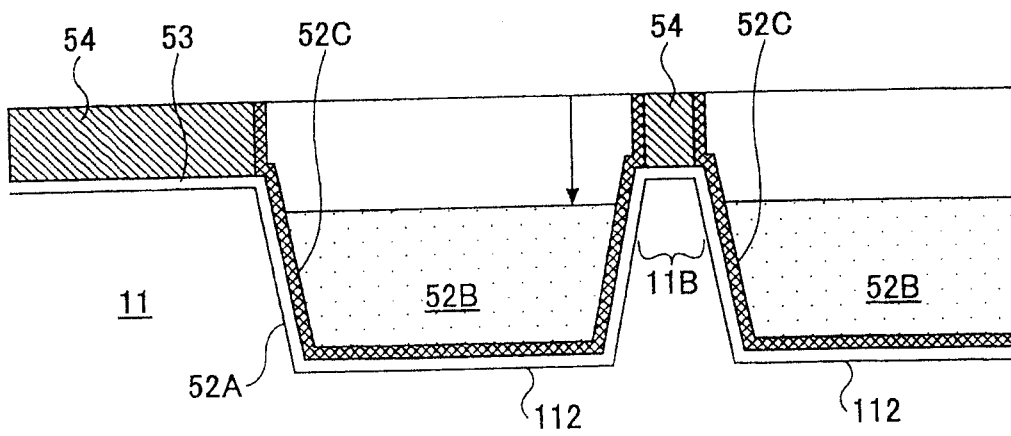


图 11C

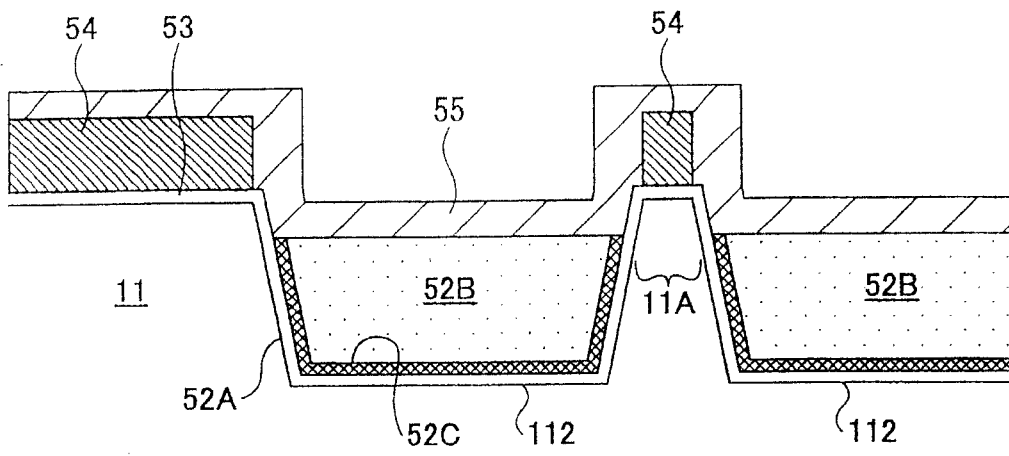


图 12A

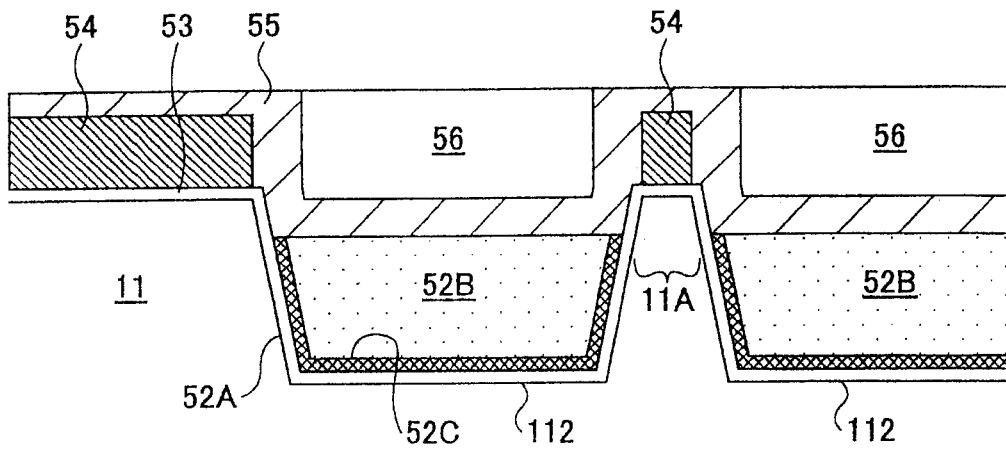


图 12B

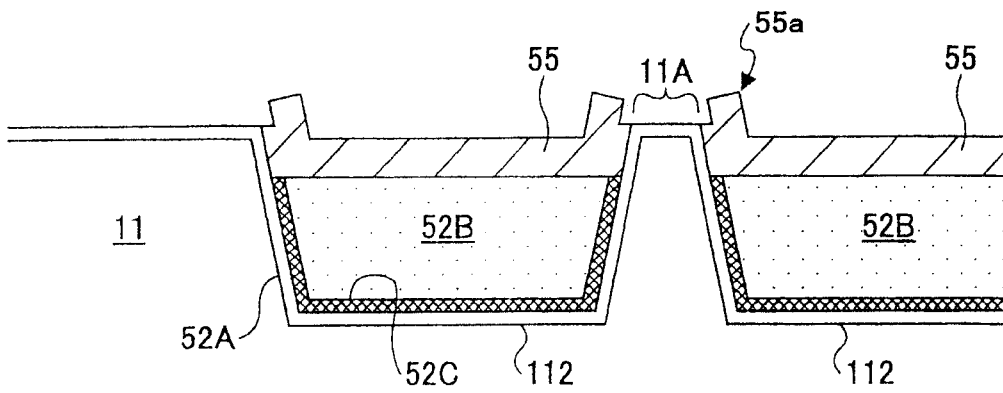


图 12C

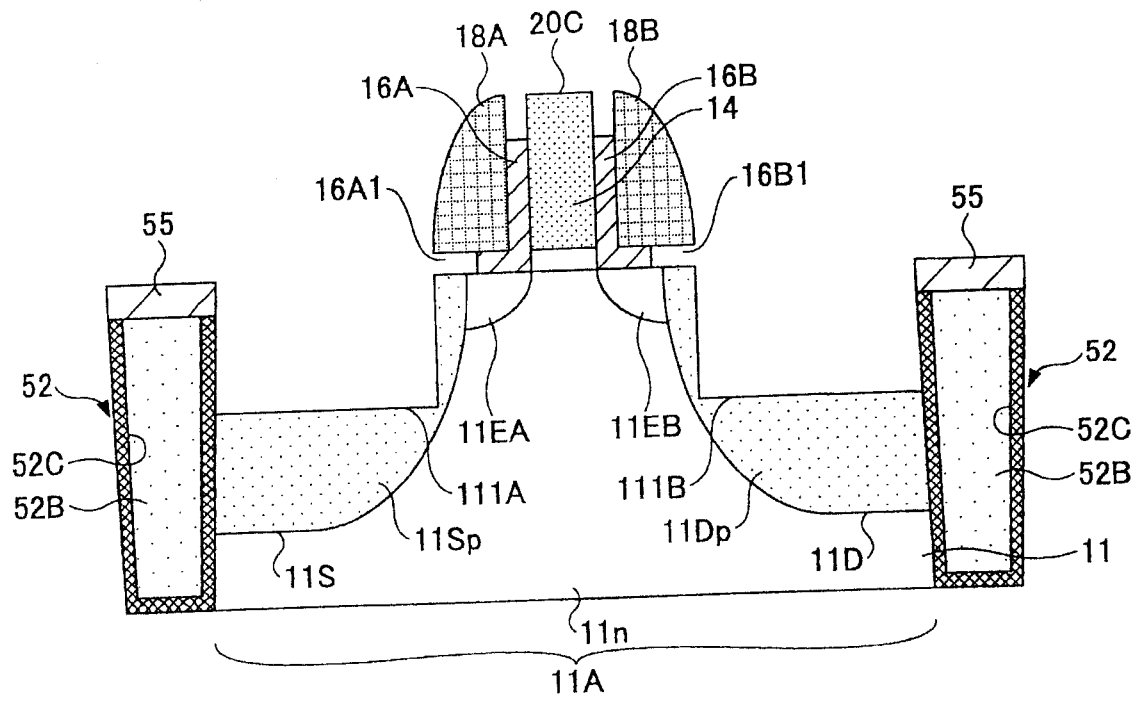


图 13

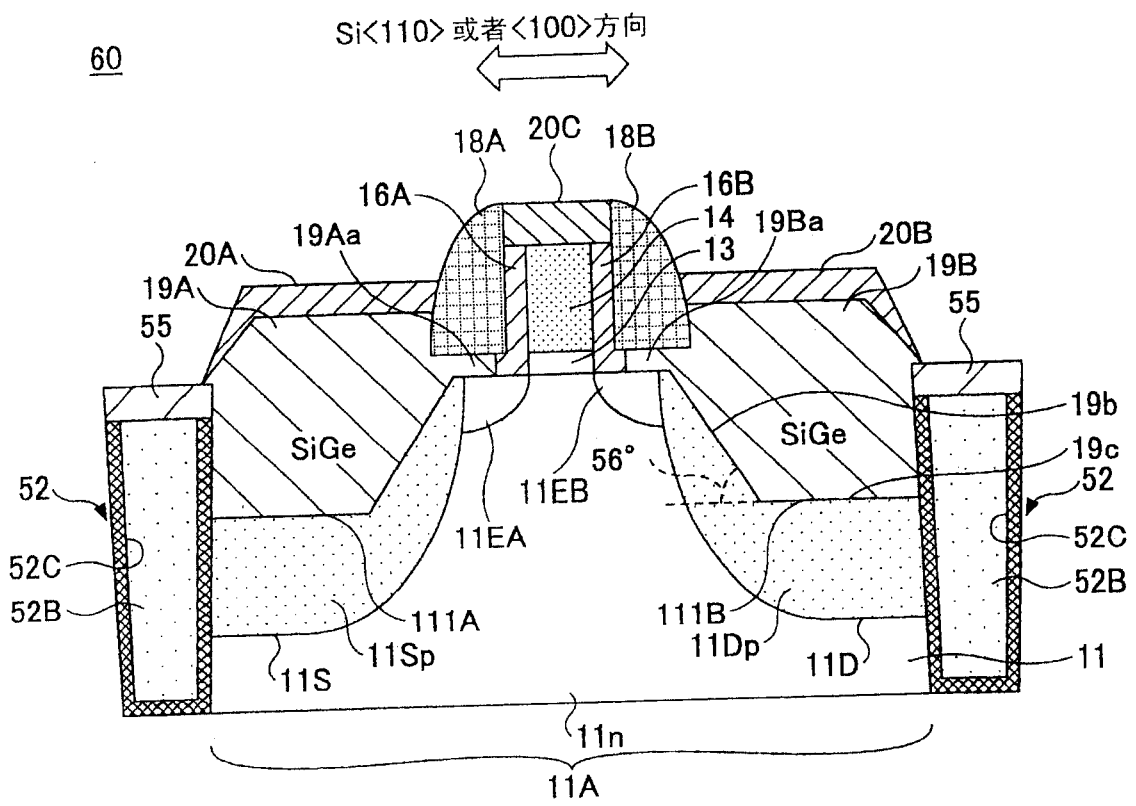


图 14

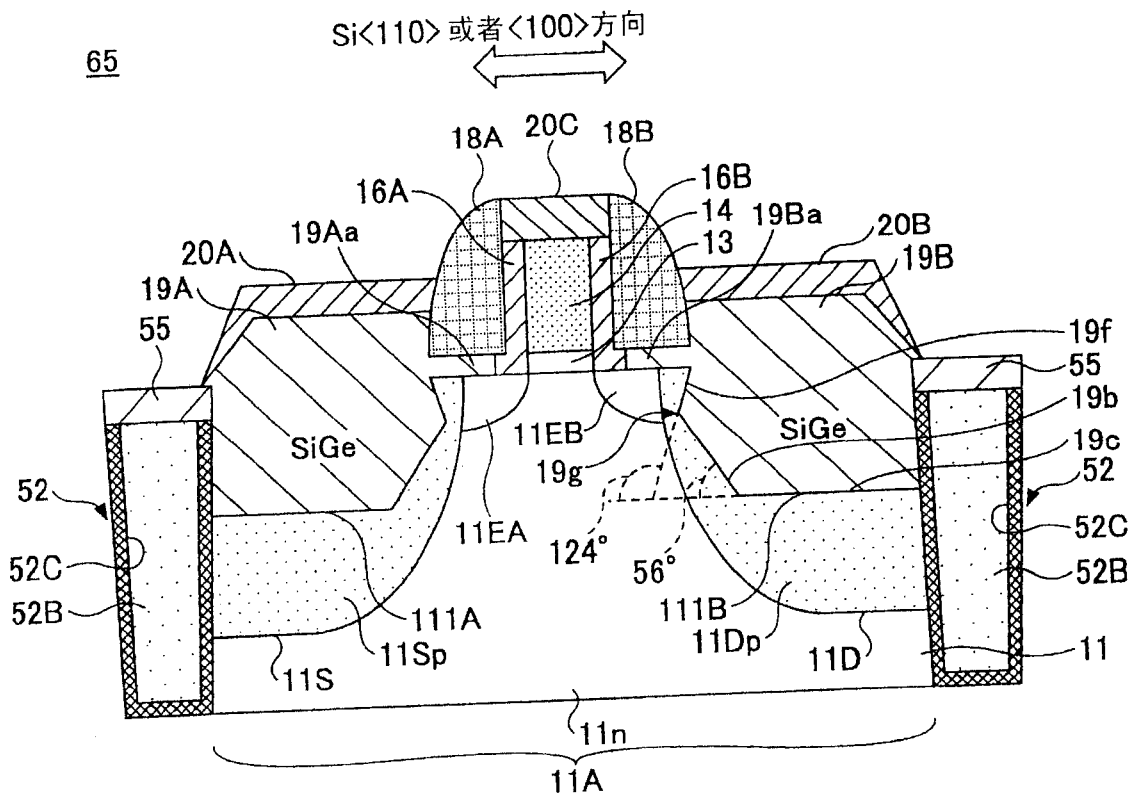


图 15

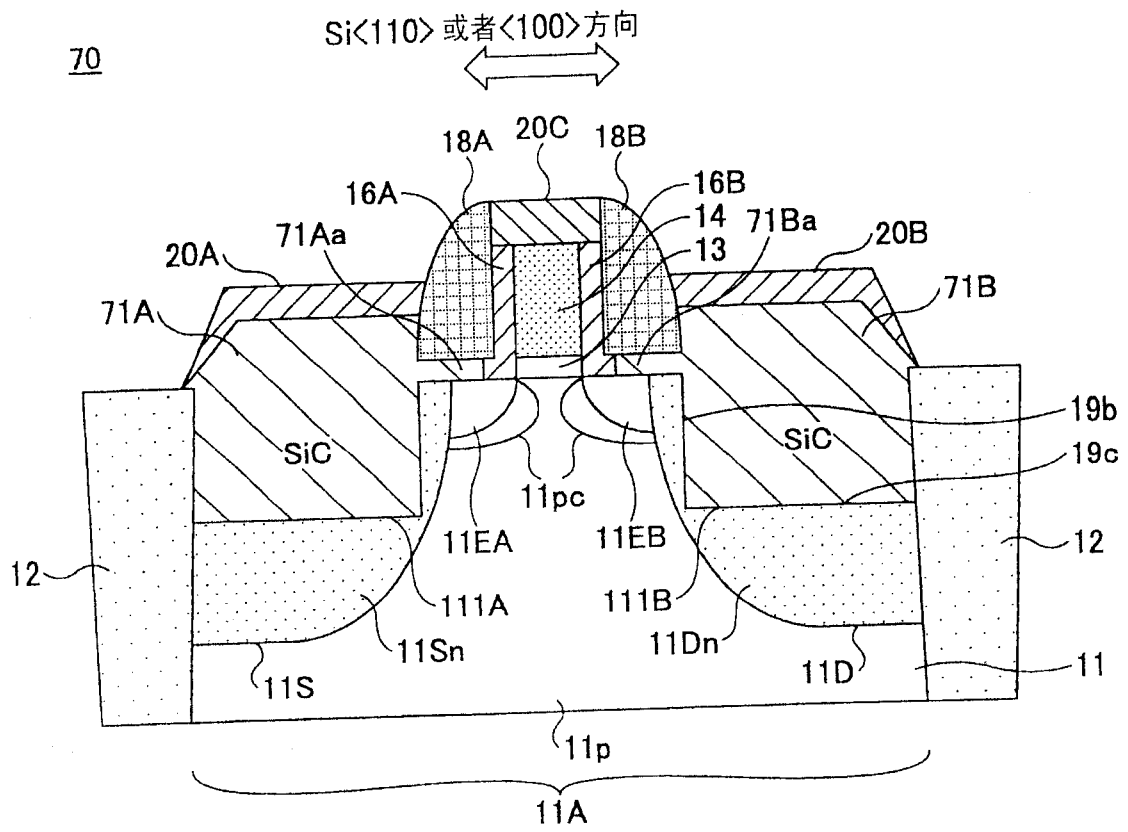


图 16



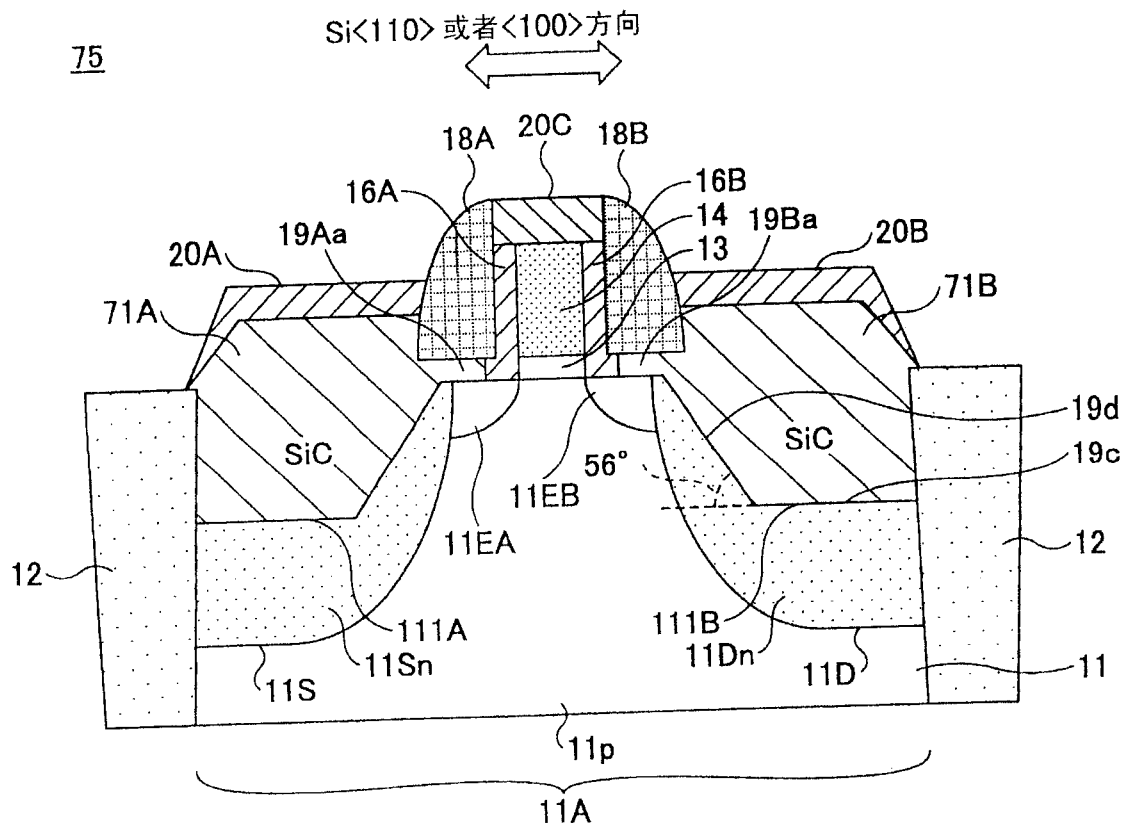


图 17

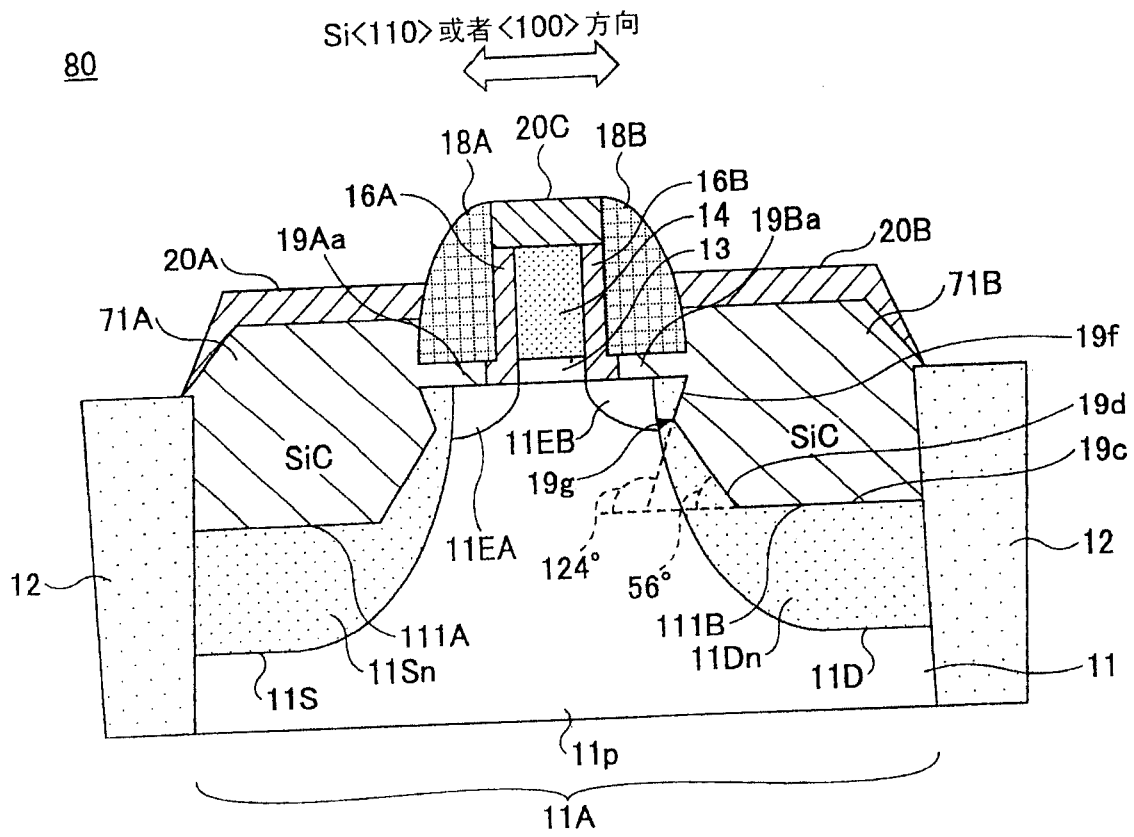


图 18

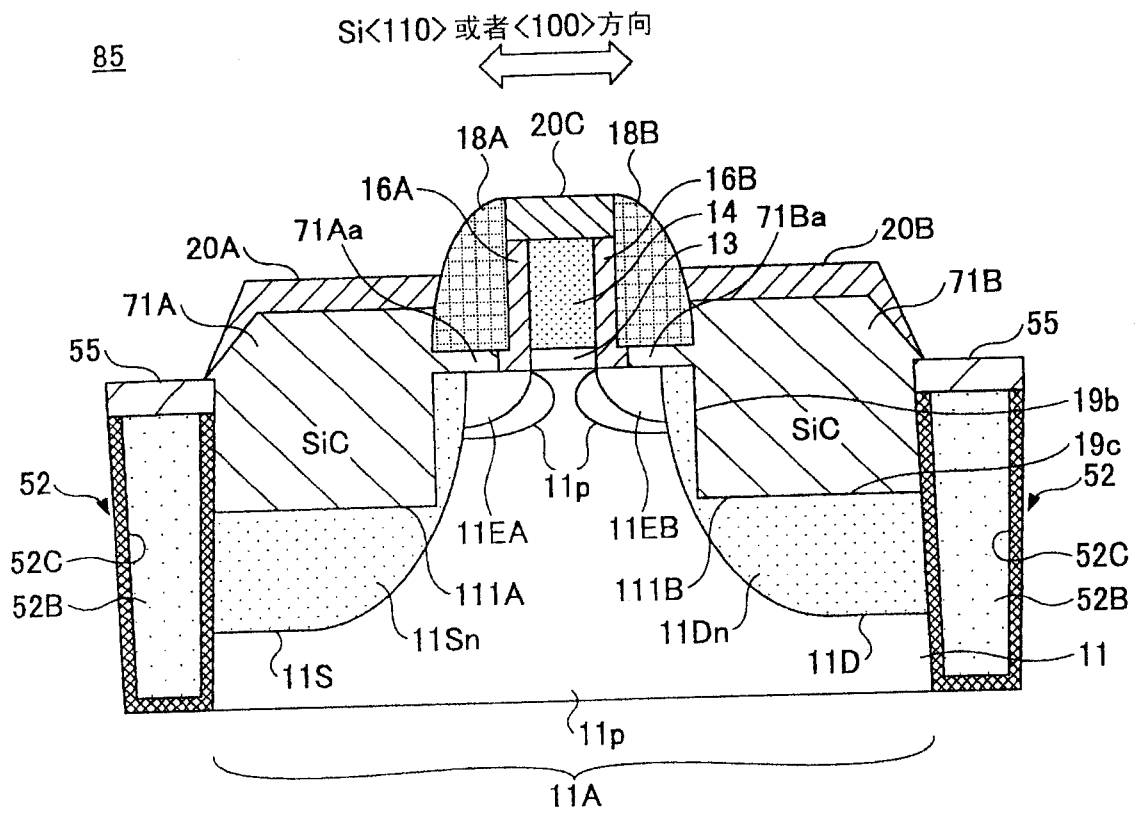


图 19

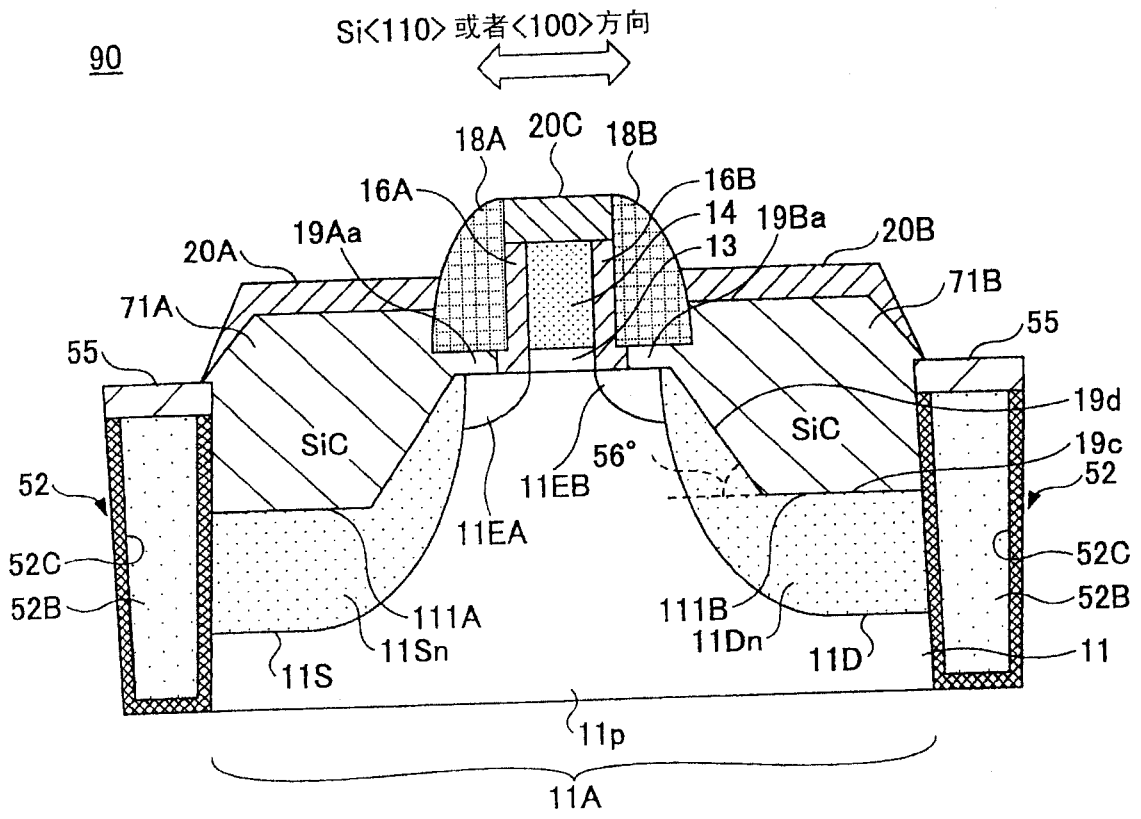


图 20

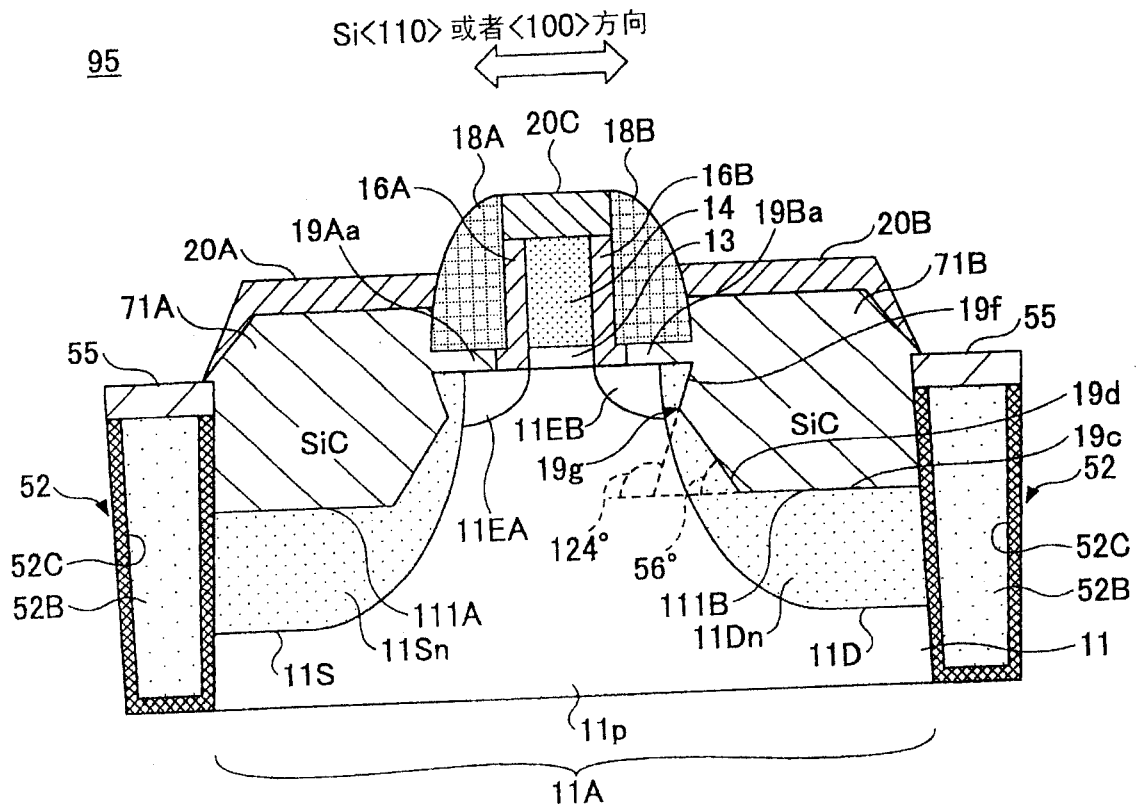


图 21