



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월10일
(11) 등록번호 10-2508918
(24) 등록일자 2023년03월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/732 (2006.01) H01L 21/768 (2006.01)
H01L 21/8234 (2006.01) H01L 29/66 (2006.01)
H10B 63/00 (2023.01)
(52) CPC특허분류
H01L 29/732 (2013.01)
H01L 21/76832 (2013.01)
(21) 출원번호 10-2016-0176459
(22) 출원일자 2016년12월22일
심사청구일자 2021년06월22일
(65) 공개번호 10-2018-0073045
(43) 공개일자 2018년07월02일
(56) 선행기술조사문헌
KR1020140075340 A
KR1020140093038 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김광수
경기도 화성시 동탄반석로 277, 114동 401호 (석우동, 동탄에당마을 우미린제일풍경채)
장태석
경기도 안양시 동안구 관악대로 133, 삼성래미안아파트 109동2004호 (비산동)
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

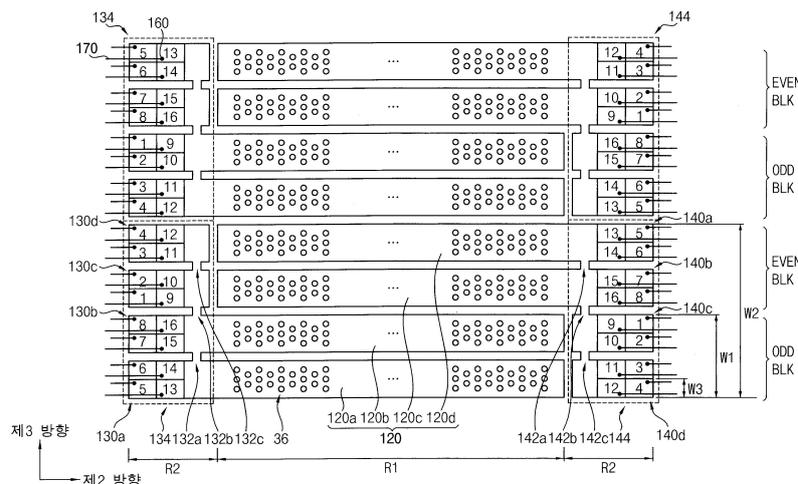
심사관 : 안경민

(54) 발명의 명칭 수직형 반도체 소자

(57) 요약

수직형 반도체 소자는 기판 상에, 도전 라인들이 적층되고, 제2 방향으로 연장되는 제1 도전 라인 구조물을 포함하고, 복수의 상기 제1 도전 라인 구조물들을 포함하는 홀수 셀 블록들이 포함된다. 상기 기판 상에 상기 홀수 셀 블록들 사이에, 상기 제1 도전 라인 구조물과 실질적으로 동일한 적층 구조를 갖고, 제2 방향으로 연장되는 제2 도전 라인 구조물을 포함하고, 복수의 상기 제2 도전 라인 구조물들을 포함하는 짝수 셀 블록들이 구비된다. 상기 기판 상에, 상기 제1 도전 라인 구조물들의 양 단부 중 제1 단부와 연결되는 홀수 블록 패드 구조물이 구비된다. 상기 기판 상에, 상기 제2 도전 라인 구조물들의 양 단부 중 상기 제1 단부의 반대쪽 단부인 제2 단부와 연결되는 짝수 블록 패드 구조물이 구비된다. 상기 홀수 및 짝수 블록 패드 구조물들 각각은 상기 제3 방향으로 제2 폭이 상기 홀수 셀 블록 및 짝수 셀 블록들 각각의 제3 방향의 제1 폭보다 넓을 수 있다.

대표도



(52) CPC특허분류

H01L 21/76897 (2013.01)

H01L 21/823487 (2013.01)

H01L 29/66666 (2013.01)

H10B 63/34 (2023.02)

H10B 63/84 (2023.02)

명세서

청구범위

청구항 1

기관 상에, 도전 라인들 및 절연막들이 상기 기관의 표면에 수직한 제1 방향으로 반복 적층되고, 제2 방향으로 연장되는 제1 도전 라인 구조물을 포함하고, 복수의 상기 제1 도전 라인 구조물들을 포함하는 홀수 셀 블록들;

상기 기관 상에 상기 홀수 셀 블록들 사이에 구비되고, 상기 제1 도전 라인 구조물과 동일한 적층 구조를 갖고, 제2 방향으로 연장되는 제2 도전 라인 구조물을 포함하고, 복수의 상기 제2 도전 라인 구조물들을 포함하는 짝수 셀 블록들;

상기 기관 상에, 상기 제1 도전 라인 구조물들의 양 단부 중 제1 단부와 연결되는 홀수 블록 패드 구조물; 및

상기 기관 상에, 상기 제2 도전 라인 구조물들의 양 단부 중 상기 제1 단부의 반대쪽 단부인 제2 단부와 연결되는 짝수 블록 패드 구조물을 포함하고,

상기 홀수 셀 블록 및 짝수 셀 블록들 각각은 상기 제2 방향과 수직한 제3 방향으로 제1 폭을 갖고, 상기 홀수 및 짝수 블록 패드 구조물들 각각은 상기 제3 방향으로 상기 제1 폭보다 넓은 제2 폭을 갖는 영역 내에 형성되는 수직형 반도체 소자.

청구항 2

제1항에 있어서, 상기 홀수 블록 패드 구조물은,

상기 제1 도전 라인 구조물들 각각의 제1 단부로부터 상기 기관의 제2 방향으로 연장되는 제1 군 패드 구조물;

상기 제2 도전 라인 구조물들 각각의 제1 단부와 이격되게 배치되는 제2 군 패드 구조물들; 및

상기 제1 군 및 제2 군 패드 구조물들을 서로 연결시키는 제1 연결 구조물들을 포함하는 수직형 반도체 소자.

청구항 3

제2항에 있어서, 상기 홀수 블록 패드 구조물에서,

상기 제1 군 패드 구조물은 상기 홀수 셀 블록에 포함되는 도전 라인들과 일체로 형성되는 도전 패턴을 포함하고, 그리고

상기 제2 군 패드 구조물은 상기 짝수 셀 블록에 포함되는 도전 라인들과 서로 마주하는 도전 패턴들을 포함하는 수직형 반도체 소자.

청구항 4

제1항에 있어서, 상기 짝수 블록 패드 구조물은,

상기 제2 도전 라인 구조물들의 제2 단부로부터 상기 기관의 제2 방향으로 연장되는 제3 군 패드 구조물들;

상기 제1 도전 라인 구조물들 각각의 제2 단부와 이격되게 배치되는 제4 군 패드 구조물들; 및

상기 제3 군 및 제4 군 패드 구조물들을 서로 연결시키는 제1 연결 구조물들을 포함하는 수직형 반도체 소자.

청구항 5

제4항에 있어서, 상기 짝수 블록 패드 구조물에서,

상기 제3 군 패드 구조물은 상기 짝수 셀 블록에 포함되는 도전 라인들과 일체로 형성되는 도전 패턴을 포함하고, 그리고

상기 제4 군 패드 구조물은 상기 홀수 셀 블록에 포함되는 도전 라인들과 서로 마주하는 도전 패턴들을 포함하는 수직형 반도체 소자.

청구항 6

제1항에 있어서, 상기 홀수 및 짝수 블록 패드 구조물들 각각의 가장자리는 상기 제2 방향 및 제3 방향으로 각각 계단 형상을 갖는 수직형 반도체 소자.

청구항 7

제6항에 있어서, 상기 홀수 및 짝수 블록 패드 구조물들에는 상기 각각의 제1 및 제2 도전 라인 구조물들과 나란하게 배치되면서 상기 제3 방향으로 이격되는 패드 구조물들이 포함되고, 상기 각 패드 구조물들은 상기 제3 방향으로 2층 이상의 계단이 포함되는 수직형 반도체 소자.

청구항 8

제6항에 있어서,

상기 홀수 및 짝수 블록 패드 구조물의 각 계단 상에 구비되는 도전 패턴들과 접촉하는 콘택 플러그; 및

상기 콘택 플러그와 연결되는 배선 라인을 더 포함하는 수직형 반도체 소자.

청구항 9

제1항에 있어서, 상기 홀수 및 짝수 셀 블록들을 관통하여 상기 제1 방향으로 연장되고, 채널, 유전막 구조물 및 매립 절연 패턴을 포함하는 채널 구조물을 더 포함하는 수직형 반도체 소자.

청구항 10

기관 상에, 도전 라인들 및 절연막들이 상기 기관의 표면에 수직한 제1 방향으로 반복 적층되고, 제2 방향으로 연장되는 제1 도전 라인 구조물을 포함하고, 복수의 상기 제1 도전 라인 구조물들을 포함하는 홀수 셀 블록들;

상기 기관 상에, 상기 홀수 셀 블록들 사이에 구비되고, 상기 제1 도전 라인 구조물과 동일한 적층 구조를 갖고, 제2 방향으로 연장되는 제2 도전 라인 구조물을 포함하고, 복수의 상기 제2 도전 라인 구조물들을 포함하는 짝수 셀 블록들;

상기 제1 도전 라인 구조물들의 제1 측의 제1 단부와 연결되면서, 상기 제2 도전 라인 구조물에서 상기 제1 측의 제1 단부와 이격되고, 상기 제1 및 제2 도전 라인 구조물들과 각각 나란하게 배치되는 홀수 블록 패드 구조물; 및

상기 제2 도전 라인 구조물들의 제2 측의 제2 단부와 연결되면서, 상기 제1 도전 라인 구조물에서 상기 제2 측의 제2 단부와 이격되고, 상기 제1 및 제2 도전 라인 구조물들과 각각 나란하게 배치되는 짝수 블록 패드 구조물을 포함하는 수직형 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 수직형 반도체 소자에 관한 것이다. 보다 상세하게는, 배선 영역이 차지하는 수평 면적이 감소되는 수직형 반도체 소자에 관한 것이다.

배경 기술

[0002] 최근, 기관 표면으로부터 수직하게 메모리 셀들이 적층되는 수직형 반도체 소자가 개발되고 있다. 각 메모리 셀들에 포함되는 적층된 도전 라인들의 단부는 패드 영역으로 제공되고, 상기 도전 라인들에 각각 배선들이 연결된다. 상기 메모리 셀들의 적층 수가 증가되면서, 상기 패드 영역의 수평 면적이 증가될 수 있다. 그러므로, 상기 수직형 반도체 소자의 고집적화를 위하여 상기 패드 영역의 수평 면적의 감소가 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 상기 수직형 반도체 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 본 발명의 일 과제를 달성하기 위하여, 본 발명의 실시예들에 따른 수직형 반도체 소자는 기판 상에, 도전 라인들 및 절연막들이 상기 기판의 표면에 수직한 제1 방향으로 반복 적층되고, 제2 방향으로 연장되는 제1 도전 라인 구조물을 포함하고, 복수의 상기 제1 도전 라인 구조물들을 포함하는 홀수 셀 블록들을 포함한다. 상기 기판 상에 상기 홀수 셀 블록들 사이에 구비되고, 상기 제1 도전 라인 구조물과 실질적으로 동일한 적층 구조를 갖고, 제2 방향으로 연장되는 제2 도전 라인 구조물을 포함하고, 복수의 상기 제2 도전 라인 구조물들을 포함하는 짝수 셀 블록들을 포함한다. 상기 기판 상에, 상기 제1 도전 라인 구조물들의 양 단부 중 제1 단부와 연결되는 홀수 블록 패드 구조물이 구비된다. 상기 기판 상에, 상기 제2 도전 라인 구조물들의 양 단부 중 상기 제1 단부의 반대쪽 단부인 제2 단부와 연결되는 짝수 블록 패드 구조물을 포함한다. 상기 홀수 셀 블록 및 짝수 셀 블록들 각각은 상기 제2 방향과 수직한 제3 방향으로 제1 폭을 갖고, 상기 홀수 및 짝수 블록 패드 구조물들 각각은 상기 제3 방향으로 상기 제1 폭보다 넓은 제2 폭을 갖는 영역 내에 형성된다.

[0005] 상기 본 발명의 일 과제를 달성하기 위하여, 본 발명의 실시예들에 따른 수직형 반도체 소자는 기판 상에, 도전 라인들 및 절연막들이 상기 기판의 표면에 수직한 제1 방향으로 반복 적층되고, 제2 방향으로 연장되는 제1 도전 라인 구조물을 포함하고, 복수의 상기 제1 도전 라인 구조물들을 포함하는 홀수 셀 블록들을 포함한다. 상기 기판 상에, 상기 홀수 셀 블록들 사이에 구비되고, 상기 제1 도전 라인 구조물과 실질적으로 동일한 적층 구조를 갖고, 제2 방향으로 연장되는 제2 도전 라인 구조물을 포함하고, 복수의 상기 제2 도전 라인 구조물들을 포함하는 짝수 셀 블록들을 포함한다. 상기 제1 도전 라인 구조물들의 제1 측의 제1 단부와 연결되면서, 상기 제2 도전 라인 구조물에서 상기 제1 측의 제1 단부와 이격되고, 상기 제1 및 제2 도전 라인 구조물들과 각각 대향하게 홀수 블록 패드 구조물이 배치된다. 상기 제2 도전 라인 구조물들의 제2 측의 제2 단부와 연결되면서, 상기 제1 도전 라인 구조물에서 상기 제2 측의 제2 단부와 이격되고, 상기 제1 및 제2 도전 라인 구조물들과 각각 대향하게 짝수 블록 패드 구조물이 배치된다.

발명의 효과

[0006] 예시적인 실시예들에 따른 수직형 반도체 소자에 따르면, 상기 패드 구조물이 차지하는 기판의 수평 면적이 감소될 수 있다. 또한, 상기 패드 구조물과 연결되는 배선들을 용이하게 배치시킬 수 있다.

도면의 간단한 설명

[0007] 도 1 내지 도 3은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도 및 사시도들이다.
 도 4 및 도 5는 예시적인 실시예들에 따른 수직형 반도체 소자에서 홀수 블록 패드 구조물의 계단 배치를 나타낸 것이다.
 도 6은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도이다.
 도 7은 예시적인 실시예들에 따른 수직형 메모리 소자를 나타내는 평면도이다.
 도 8 내지 도 14는 예시적인 실시예들에 따른 수직형 반도체 소자의 제조 방법을 나타내는 평면도들 및 단면도들이다.
 도 15 및 16은 예시적인 실시예들에 따른 수직형 메모리 소자를 나타내는 평면도 및 사시도들이다.
 도 17 및 18은 예시적인 실시예들에 따른 수직형 메모리 소자를 나타내는 평면도 및 사시도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
 [0009] 도 1 내지 도 3은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도 및 사시도들이다.
 [0010] 도 1은 수직형 반도체 소자의 평면도이다. 도 2는 수직형 반도체 소자의 패드 구조물의 일부 부위를 나타내는 사시도이다. 도 3은 수직형 반도체 소자의 패드 구조물 및 배선 연결을 나타내는 사시도이다.
 [0011] 도 1, 도 2, 및 도 3을 참조하면, 제1 영역(R1) 및 제2 영역(R2)이 구분된 기판(100)이 구비될 수 있다. 상기 제1 영역(R2)은 메모리 셀들이 3차원으로 배열되는 셀 영역일 수 있고, 상기 제2 영역(R2)은 패드들이 제공되는 패드 영역일 수 있다. 예시적인 실시예에서, 상기 제2 영역(R2)은 상기 제1 영역(R1)의 제2 방향으로 양 측에

각각 배치될 수 있다. 상기 제1 영역(R1) 상에는 도전 라인 구조물들(120)을 포함하는 상기 메모리 셀들이 구비되고, 상기 제2 영역(R2) 상에는 상기 도전 라인 구조물(120)에 포함되는 도전 라인들에 각각 배선들을 연결시키기 위한 패드 구조물(134, 144)이 구비될 수 있다.

- [0012] 상기 기판(100)은 반도체 기판, 예컨대, 실리콘 기판, 게르마늄 기판, 또는 실리콘-게르마늄 기판일 수 있다.
- [0013] 상기 제1 영역(R1)에 형성되는 도전 라인 구조물(120)은 도전 라인들(50) 및 절연막들(16)이 서로 반복 적층되는 구조를 가질 수 있다. 즉, 상기 도전 라인들(50)은 상기 기판(100) 상부면으로부터 수직인 제1 방향으로 서로 이격되면서 적층될 수 있다. 상기 도전 라인 구조물(120)은 상기 제1 영역(R1)으로부터 상기 제2 영역(R2)으로 향하는 제2 방향으로 연장될 수 있다. 상기 도전 라인 구조물(120)은 복수개가 구비되고, 상기 제2 방향과 실질적으로 수직인 제3 방향으로 서로 이격되면서 배치될 수 있다.
- [0014] 상기 제3 방향으로 서로 이웃하는 적어도 2개의 상기 도전 라인 구조물들(120)은 하나의 셀 블록을 구성할 수 있다. 따라서, 상기 제3 방향으로, 제1 내지 제n 블록이 배치될 수 있다. 예시적인 실시예에서, 하나의 셀 블록 내에는 2개의 도전 라인 구조물들(120)을 포함할 수 있다.
- [0015] 이하에서, 홀수 셀 블록 내에 포함되는 2개의 도전 라인 구조물들(120)은 제1 및 제2 도전 라인 구조물들(120a, 120b)이라고 하고, 짝수 셀 블록 내에 포함되는 2개의 도전 라인 구조물들(120)은 제3 및 제4 도전 라인 구조물들(120c, 120d)이라 하면서 설명한다.
- [0016] 상기 도전 라인(50)은 그라운드 선택 라인(ground selection line, GSL), 스트링 선택 라인(string selection line, SSL) 및 상기 접지 선택 라인과 스트링 선택 라인들 사이에 워드 라인들을 포함할 수 있다.
- [0017] 상기 도전 라인(50)은 금속 물질을 포함할 수 있다. 예시적인 실시예에서, 상기 도전 라인(50)은 금속 패턴 및 베리어 금속 패턴을 포함할 수 있다. 상기 금속 패턴은 예를들어, 텅스텐, 구리, 코발트, 알루미늄 등을 포함할 수 있고, 상기 베리어 금속 패턴은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다. 일부 실시예에서, 상기 도전 라인(50)은 폴리실리콘을 포함할 수 있다.
- [0018] 상기 패드 구조물(134, 144)은 상기 셀 블록 내에 포함되는 도전 라인 구조물들(120)의 일 단부와 인접하게 배치될 수 있다. 예시적인 실시예에서, 홀수 블록에 포함되는 제1 및 제2 도전 라인 구조물들(120a, 120b)과 연결되는 홀수 블록 패드 구조물(134)과, 짝수 블록에 포함되는 제3 및 제4 도전 라인 구조물(120c, 120d)과 연결되는 짝수 블록 패드 구조물(144)이 각각 구비될 수 있다.
- [0019] 상기 패드 구조물(134, 144)은 도전 패턴(50a) 및 절연막(16)이 적층되는 구조를 가질 수 있고, 상기 도전 패턴(50a)은 도전 라인 구조물(120)에 포함되는 도전 라인(50)과 일체로 형성되어 상기 도전 라인(50)과 실질적으로 동일한 물질을 포함할 수 있다. 상기 패드 구조물(134, 144) 및 도전 라인 구조물(120)에 포함되는 절연막(16)은 일체로 형성되며, 실질적으로 동일할 수 있다.
- [0020] 상기 패드 구조물(134, 144)의 가장자리는 계단 형상을 가질 수 있다. 각 계단의 상부면의 도전 패턴(50a)의 상부면은 콘택 플러그와 접촉되기 위한 패드로 제공될 수 있다. 예시적인 실시예에서, 상기 패드 구조물들(134, 144) 각각에 포함되는 각 패드의 수는 상기 제1 영역에 형성되는 도전 라인들(50)의 적층 수와 실질적으로 동일할 수 있다.
- [0021] 먼저, 상기 홀수 블록 패드 구조물(134)에 대해 설명한다.
- [0022] 상기 홀수 블록 패드 구조물(134)은 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 왼쪽의 제1 단부와 연결되는 제1 내지 제4 패드 패턴 구조물들(130a, 130b, 130c, 130d)을 포함할 수 있다. 또한, 상기 홀수 블록 패드 구조물(134)은 상기 제1 내지 제4 패드 패턴 구조물들(130a, 130b, 130c, 130d) 사이를 연결하는 연결 구조물들(132a, 132b, 132c)을 포함할 수 있다.
- [0023] 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)은 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 제1 단부로부터 각각 상기 제2 영역으로 연장될 수 있다. 즉, 상기 제1 도전 라인 구조물(120a)은 상기 제1 패드 패턴 구조물(130a)과 하나의 몸체를 이루므로, 상기 제1 도전 라인 구조물(120a)과 상기 제1 패드 패턴 구조물(130a)은 서로 연결될 수 있다.
- [0024] 상기 제2 도전 라인 구조물(120b)은 상기 제2 패드 패턴 구조물(130b)과 하나의 몸체를 이루므로, 상기 제2 도전 라인 구조물(120b)과 상기 제2 패드 패턴 구조물(130b)은 서로 연결될 수 있다.
- [0025] 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)은 상기 제2 도전 라인 구조물들(120b)과 인접하는 제3 및 제4

도전 라인 구조물들(120c, 120d)의 제1 단부와 이격될 수 있다. 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)의 도전 패턴들(50a)은 상기 제3 및 제4 도전 라인 구조물들(20c, 20d)에 포함되는 도전 라인들(50)과 서로 마주할 수 있다.

- [0026] 예시적인 실시예에서, 평면도에서 볼 때, 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)은 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)의 위에 구비될 수 있다.
- [0027] 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b) 사이에는 제1 연결 구조물(132a)이 구비되고, 상기 제2 및 제3 패드 패턴 구조물들(130b, 130c) 사이에는 제2 연결 구조물(132b)이 구비되고, 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d) 사이에는 제3 연결 구조물(132c)이 구비될 수 있다.
- [0028] 상기 제1 연결 구조물(132a)에 의해 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)에 포함되는 동일한 층의 도전 패턴들(50a)이 서로 전기적으로 연결될 수 있다. 상기 제2 연결 구조물(132b)에 의해 상기 제2 및 제3 패드 패턴 구조물들(130b, 130c)에 포함되는 동일한 층의 도전 패턴들(50a)이 서로 전기적으로 연결될 수 있다.
- [0029] 또한, 상기 제3 연결 구조물(132c)에 의해 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)에 포함되는 동일한 층의 도전 패턴들(50a)이 서로 전기적으로 연결될 수 있다. 따라서, 상기 제1 내지 제4 패드 패턴 구조물들(130a, 130b, 130c, 130d)은 서로 연결될 수 있다. 그러므로, 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b)은 상기 제1 내지 제4 패드 패턴 구조물들(130a, 130b, 130c, 130d)과 연결될 수 있다.
- [0030] 이와같이, 상기 홀수 블록 패드 구조물(134)은 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d)의 상기 제1 단부와 대향할 수 있다.
- [0031] 하나의 홀수 블록을 구성하는 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)이 형성되는 영역은 상기 제3 방향으로 제1 폭(W1)을 가질 수 있고, 상기 홀수 블록 패드 구조물(134)이 형성되는 영역은 상기 제3 방향으로 상기 제1 폭(W1)보다 넓은 제2 폭(W2)을 가질 수 있다. 일 예로, 상기 제2 폭(W2)은 상기 제1 폭(W1)의 2배가 될 수 있다.
- [0032] 상기 홀수 블록 패드 구조물(134)이 형성되는 영역의 제3 방향의 폭이 상기 제1 폭(W1)보다 크기 때문에, 상기 홀수 블록 패드 구조물(134)이 형성되는 영역의 제3 방향의 폭이 상기 제1 폭(W1)과 동일한 경우와 비교할 때 상기 제3 방향으로 형성할 수 있는 계단의 층 수가 증가될 수 있다. 또한, 상기 제3 방향으로 형성되는 계단의 층 수가 증가됨에 따라, 상기 제2 방향으로 형성되는 계단의 층 수는 감소될 수 있다. 따라서, 상기 홀수 블록 패드 구조물(134)이 형성되는 영역의 제2 방향의 폭이 감소될 수 있다.
- [0033] 한편, 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 오른쪽의 제2 단부는 상기 제1 영역(R1) 내에 구비되며, 상기 제2 영역으로 연장되지 않을 수 있다. 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 제2 단부는 수직 경사를 가질 수 있다. 즉, 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 상기 제1 단부에만 홀수 블록 패드 구조물(134)이 연결되고, 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 상기 제2 단부에는 상기 홀수 블록 패드 구조물(134)이 연결되지 않을 수 있다.
- [0034] 예시적인 실시예에서, 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)과 상기 제1 내지 제4 패드 패턴 구조물들(130a, 130b, 130c, 130d)은 평면도에서 볼때 L자 형상을 가질 수 있다.
- [0035] 이하에서, 상기 짝수 블록 패드 구조물(144)에 대해 설명한다.
- [0036] 상기 짝수 블록 패드 구조물(144)은 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 오른쪽의 제2 단부와 연결되는 제5 내지 제8 패드 패턴 구조물들(140a, 140b, 140c, 140d)을 포함할 수 있다. 또한, 상기 짝수 블록 패드 구조물(144)은 상기 제5 내지 제8 패드 패턴 구조물들(140a, 140b, 140c, 140d) 사이를 연결하는 연결 구조물들(142a, 142b, 142c)을 포함할 수 있다.
- [0037] 상기 제5 및 제6 패드 패턴 구조물들(140a, 140b)은 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 제2 단부로부터 각각 상기 제2 영역으로 연장될 수 있다. 즉, 상기 제3 도전 라인 구조물(120c)은 상기 제6 패드 패턴 구조물(140b)과 하나의 몸체를 이루므로, 상기 제3 도전 라인 구조물(120c)과 상기 제6 패드 패턴 구조물(140b)은 서로 연결될 수 있다. 상기 제4 도전 라인 구조물(120d)은 상기 제5 패드 패턴 구조물(140a)과 하나의 몸체를 이루므로, 상기 제4 도전 라인 구조물(120d)과 상기 제5 패드 패턴 구조물(140a)은 서로 연결될 수 있다.
- [0038] 상기 제7 및 제8 패드 패턴 구조물들(140c, 140d)은 상기 제3 도전 라인 구조물들(130c)과 인접하는 제2 및 제1 도전 라인 구조물들(120b, 120a)의 제2 단부와 이격되면서, 상기 제2 방향으로 연장될 수 있다. 상기 제7 및 제

8 패드 패턴 구조물들(140c, 140d)의 도전 패턴들(50a)은 상기 제2 및 제1 도전 라인 구조물들(20b, 20a)에 포함되는 도전 라인들(50)과 서로 마주할 수 있다. 예시적인 실시예에서, 평면도에서, 상기 제7 및 제8 패드 패턴 구조물들(140c, 140d)은 상기 제5 및 제6 패드 패턴 구조물들(140a, 140b)의 아래에 구비될 수 있다.

- [0039] 상기 제5 및 제6 패드 패턴 구조물들(140a, 140b) 사이에는 제4 연결 구조물(142a)이 구비되고, 상기 제6 및 제7 패드 패턴 구조물들(140b, 140c) 사이에는 제5 연결 구조물(142b)이 구비되고, 상기 제7 및 제8 패드 패턴 구조물들(140c, 140d) 사이에는 제6 연결 구조물(142c)이 구비될 수 있다. 따라서, 상기 제4 내지 제6 연결 구조물들(142a, 142b, 142c)과 상기 제5 내지 제8 패드 패턴 구조물들(140a, 140b, 140c, 140d)은 서로 연결될 수 있다.
- [0040] 이와같이, 상기 짝수 블록 패드 구조물(144)은 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d)의 상기 제2 단부와 대향할 수 있다.
- [0041] 하나의 짝수 블록을 구성하는 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)이 형성되는 영역은 상기 제3 방향으로 상기 제1 폭(W1)을 가질 수 있고, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)과 전기적으로 연결되는 패드 구조물이 형성되는 영역은 상기 제3 방향으로 상기 제2 폭(W2)을 가질 수 있다.
- [0042] 상기 짝수 블록 패드 구조물(144)이 형성되는 영역의 제3 방향 폭이 상기 제1 폭(W1)보다 크기 때문에, 상기 짝수 블록 패드 구조물(144)이 형성되는 영역의 제3 방향 폭이 상기 제1 폭(W1)과 동일한 경우와 비교할 때 상기 제3 방향으로 형성할 수 있는 계단의 층 수가 증가될 수 있다. 또한, 상기 제3 방향으로 형성되는 계단의 층 수가 증가됨에 따라, 상기 제2 방향으로 형성되는 계단의 층 수는 감소될 수 있다. 따라서, 상기 짝수 블록 패드 구조물(144)이 형성되는 영역의 제2 방향의 폭이 감소될 수 있다.
- [0043] 한편, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 왼쪽의 제1 단부는 상기 제1 영역(R1) 내에 구비될 수 있으며, 상기 제2 영역으로 연장되지 않을 수 있다. 즉, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 상기 제2 단부에만 짝수 블록 패드 구조물(144)이 연결되고, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)은 상기 제1 단부에는 상기 짝수 블록 패드 구조물(144)이 연결되지 않을 수 있다. 그러므로, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)과 상기 제5 내지 제8 패드 패턴 구조물들(140a, 140b, 140c, 140d)은 평면도에서 볼때 Γ 자 형상을 가질 수 있다.
- [0044] 상기 홀수 및 짝수 블록 패드 구조물들(134, 144)은 각각 상기 제2 방향으로 계단들을 포함하고, 상기 제3 방향으로도 계단들을 포함할 수 있다.
- [0045] 예시적인 실시예에서, 상기 홀수 블록 패드 구조물(134)에 포함되는 상기 하나의 패드 패턴 구조물(130a, 130b, 130c, 130d)에는 상기 제3 방향으로 2층 이상의 계단을 포함할 수 있다. 일 예로, 도시된 것과 같이, 상기 하나의 패드 패턴 구조물(130a, 130b, 130c, 130d)에는 상기 제3 방향으로 2층의 계단을 포함할 수 있다. 이 경우, 상기 홀수 블록 패드 구조물(134)에서, 상기 제3 방향으로 형성되는 계단층의 수는 상기 홀수 블록에 포함되는 제1 및 제2 도전 라인 구조물(120a, 120b)의 수의 4배, 즉 8층의 계단이 형성될 수 있다.
- [0046] 한편, 상기 짝수 블록 패드 구조물들(144)에 포함되는 상기 하나의 패드 패턴 구조물(140a, 140b, 140c, 140d)에는 상기 제3 방향으로 2층 이상의 계단을 포함할 수 있다. 일 예로, 도시된 것과 같이, 상기 하나의 패드 패턴 구조물(140a, 140b, 140c, 140d)에는 상기 제3 방향으로 2층의 계단을 포함할 수 있다.
- [0047] 상기 도전 라인 구조물들(120)을 관통하여 채널 구조물(36)이 구비될 수 있다.
- [0048] 도 11을 참조하여 설명하면, 상기 채널 구조물(36)은 채널(36b), 유전막 구조물(36a) 및 매립 절연 패턴(36c)을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 채널 구조물(36) 및 기판(100)의 상면 사이에는 반도체 패턴(34)이 더 구비될 수 있다. 상기 채널(36b)은 내부가 빈 실린더(cylinder) 형상 혹은 컵(cup) 형상을 가질 수 있다. 상기 채널(36b)은 폴리실리콘 혹은 단결정 실리콘을 포함할 수 있으며, 일부 영역에 붕소(B)와 같은 p형 불순물을 포함할 수도 있다. 상기 매립 절연 패턴(36c)은 상기 채널(36b)의 내부 공간을 채울 수 있다. 상기 매립 절연 패턴(36c)은 실리콘 산화물과 같은 절연물질을 포함할 수 있다. 일 실시예에 있어서, 상기 채널(36b)은 필라 혹은 속이 찬 원기둥 형상을 가질 수도 있으며, 이 경우, 상기 매립 절연 패턴(36c)은 생략될 수 있다. 상기 유전막 구조물(36b)은 상기 채널(36c)의 외측벽을 감싸는 형상을 가질 수 있다. 상기 유전막 구조물(36b)은 상기 채널의 상기 외측벽으로부터 순차적으로 적층된 터널 절연막, 전하 저장막 및 블록킹막을 포함할 수 있다. 상기 블록킹막은 실리콘 산화물, 또는 하프늄 산화물 혹은 알루미늄 산화물과 같은 금속 산화물을 포함할 수 있다. 상기 전하 저장막은 실리콘 질화물과 같은 질화물 또는 금속 산화물을 포함할 수 있으며, 상기 터널 절연막은 실리콘 산화물과 같은 산화물을 포함할 수 있다. 상기 반도체 패턴(34)은 예를 들면, 단결정 실리콘 또는 폴

리실리콘을 포함할 수 있다. 상기 채널 구조물(36) 상에는 예를들어, 폴리실리콘을 포함하는 상부 도전 패턴(38)이 구비될 수 있다. 상기 상부 도전 패턴(38)은 예를 들면, 비트 라인과 전기적으로 연결될 수 있다.

- [0049] 상기 도전 라인 구조물(120) 및 패드 구조물들(134, 144)을 덮는 층간 절연막(40)이 구비될 수 있다.
- [0050] 상기 콘택 플러그들(160)은 상기 층간 절연막을 관통하여 상기 패드 구조물(134, 144)의 각 패드들의 상면들과 접촉할 수 있다.
- [0051] 상기 콘택 플러그(160)의 상부면의 적어도 일부와 접촉되는 배선 라인(170)이 구비될 수 있다. 예시적인 실시예에서, 상기 배선 라인(170)은 상기 제2 방향으로 연장될 수 있다.
- [0052] 상기 배선 라인(170)이 제2 방향으로 연장되는 직선 형상을 갖는 경우, 하나의 패드의 제3 방향의 폭(W3) 내에는 상기 패드 구조물(134, 144)에서 상기 제2 방향으로 형성되는 계단의 수만큼의 배선 라인들(170)이 배치될 수 있다. 도시된 것과 같이, 예를들어, 상기 제2 방향으로 2층의 계단이 형성되는 경우, 상기 하나의 패드의 제3 방향의 폭(W3) 내에 2개의 배선 라인(170)이 배치될 수 있다.
- [0053] 그런데, 상기 패드 구조물(134, 144)이 형성되는 영역이 상기 제3 방향으로 확장되었기 때문에 상기 제2 방향으로 형성되는 계단의 수가 감소될 수 있다. 그러므로, 상기 하나의 패드의 제3 방향의 폭 내에 배치되어야 하는 배선 라인들(170)의 수가 감소될 수 있다. 따라서, 상기 배선 라인들을 용이하게 배치할 수 있다.
- [0054] 상기 홀수 블록 패드 구조물 및 짝수 블록 패드 구조물의 계단의 형상 및 배치는 한정되지 않을 수 있다.
- [0055] 도 4는 도 1에 도시된 홀수 블록 패드 구조물의 계단 배치를 나타낸 것이다.
- [0056] 도 4에 도시된 것과 같이, 상기 홀수 블록 패드 구조물(134)들에 포함되는 계단들은 서로 대칭되는 구조를 가질 수 있다. 일 예로, 하부에 배치되는 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)은 5 내지 8 및 13 내지 16층의 패드들을 포함할 수 있고, 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)은 1 내지 4 및 9 내지 12층의 패드들을 포함할 수 있다. 또한, 상부에 배치되는 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)은 1 내지 4 및 9 내지 10층의 패드들을 포함할 수 있고, 상기 제3 및 제4 패드 패턴 구조물들(130c, 130d)은 5 내지 8 및 13 내지 16층의 패드들을 포함할 수 있다.
- [0057] 도 5는 예시적인 실시예에 따른 홀수 블록 패드 구조물의 계단 배치를 나타낸 것이다.
- [0058] 도 5에 도시된 것과 같이, 상기 홀수 블록 패드 구조물(134)의 계단의 배치는 서로 대칭되는 구조를 가질 수 있다. 일 예로, 하부에 배치되는 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)은 5 내지 8 및 13 내지 16층의 패드들을 포함할 수 있고, 상기 제3 및 제4 패드 패턴 구조물들은 1 내지 4 및 9 내지 12층의 패드들을 포함할 수 있다. 상부에 배치되는 상기 제1 및 제2 패드 패턴 구조물들(130a, 130b)은 1 내지 4 및 9 내지 12층의 패드들을 포함할 수 있고, 상기 제3 및 제4 패드 패턴 구조물들은 5 내지 8 및 13 내지 16층의 패드들을 포함할 수 있다.
- [0059] 도 6은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도이다.
- [0060] 도 6은 평면도에서 볼 때 패드 구조물의 형상을 제외하고, 도 1 내지 도 3의 수직형 반도체 소자와 실질적으로 동일한 구성을 가진다.
- [0061] 도 6을 참조하면, 홀수 블록에는 제1 및 제2 도전 라인 구조물들(120a, 120b)이 구비되고, 짝수 블록에는 제3 및 제4 도전 라인 구조물들(120c, 120d)이 구비될 수 있다. 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)과 연결되는 홀수 블록 패드 구조물(134)과, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)과 연결되는 짝수 블록 패드 구조물(145)이 구비될 수 있다. 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d) 및 홀수 블록 패드 구조물(134)은 도 1 내지 도 3을 참조로 설명한 것과 실질적으로 동일할 수 있다.
- [0062] 상기 짝수 블록 패드 구조물(145)은 제5 내지 제8 패드 패턴 구조물들(141a, 141b, 141c, 141d) 및 제4 내지 제6 연결 구조물들(143a, 143b, 143c)을 포함할 수 있다.
- [0063] 상기 제5 패드 패턴 구조물(141a)은 상기 제3 도전 라인 구조물(120c)과 일체로 형성되고, 상기 제6 패드 패턴 구조물(141b)은 상기 제4 도전 라인 구조물(120d)과 일체로 형성된다. 또한, 상기 제7 패드 패턴 구조물(141c)은 인접하는 제1 도전 라인 구조물(120a)의 제2 단부와 이격되게 배치되고, 상기 제8 패드 패턴 구조물(141d)은 인접하는 제2 도전 라인 구조물(120b)의 제2 단부와 이격되게 배치될 수 있다. 즉, 평면도에서 볼때, 상기 제7 및 제8 패드 패턴 구조물들(141c, 141d)은 상기 제5 및 제6 패드 패턴 구조물들(141a, 141b)의 위에 구비될 수

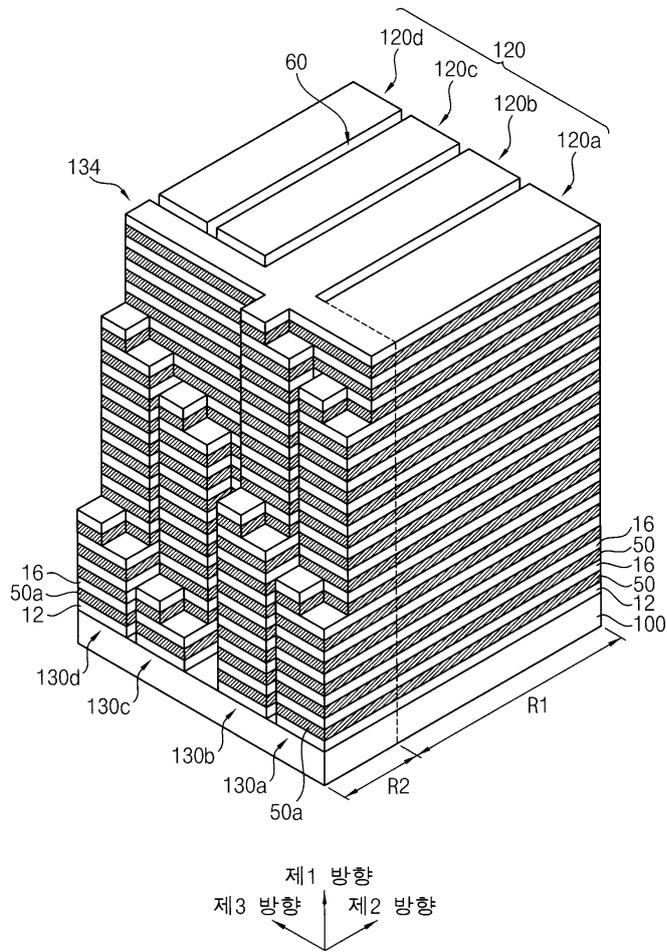
있다. 그러므로, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)과 상기 제5 내지 제8 패드 패턴 구조물들(141a, 141b, 141c, 141d)은 평면도에서 볼때 「자」 형상을 가질 수 있다.

- [0064] 도 7은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도이다.
- [0065] 도 7은 평면도에서 볼 때 패드 구조물의 형상을 제외하고, 도 1 내지 도 3의 수직형 반도체 소자와 실질적으로 동일한 구성을 가진다.
- [0066] 도 7을 참조하면, 홀수 블록에는 제1 및 제2 도전 라인 구조물들(120a, 120b)이 구비되고, 짝수 블록에는 제3 및 제4 도전 라인 구조물들(120c, 120d)이 구비될 수 있다. 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)과 연결되는 홀수 블록 패드 구조물(135)과, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)과 연결되는 짝수 블록 패드 구조물(145)이 구비될 수 있다. 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d)은 도 1 내지 도 3을 참조로 설명한 것과 실질적으로 동일할 수 있다.
- [0067] 상기 홀수 블록 패드 구조물(135)은 제1 및 제2 도전 라인 구조물들(120a, 120b)의 왼쪽의 제1 단부와 연결되고, 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)에 포함되는 도전 라인들에 각각 배선들을 형성하기 위하여 제공된다.
- [0068] 상기 홀수 블록 패드 구조물(135)은 상기 제1 및 제2 도전 라인 구조물들(120a, 120b)의 제1 단부와 접촉할 수 있다. 또한, 상기 홀수 블록 패드 구조물(135)은 상기 제3 및 제4 도전 라인 도전 구조물들(120c, 120d)의 제1 단부와 이격되도록 배치될 수 있다.
- [0069] 따라서, 상기 홀수 블록 패드 구조물(135)은 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d)의 제1 단부와 인접하는 상기 제2 영역(R2) 내에 배치될 수 있다.
- [0070] 상기 홀수 블록 패드 구조물(135)의 가장자리는 계단 형상을 가질 수 있다. 각 계단의 상부는 콘택 플러그(160)와 접촉되기 위한 패드로 제공될 수 있다. 상기 홀수 블록 패드 구조물(135)의 각 계단에는 제2 방향으로 연장되는 개구부(60a)가 구비되지 않을 수 있다.
- [0071] 예시적인 실시예에서, 상기 홀수 블록 패드 구조물(135)은 상기 제2 방향으로 계단들을 포함하고, 상기 제3 방향으로도 계단들을 포함할 수 있다.
- [0072] 상기 짝수 블록 패드 구조물(145)은 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 오른쪽의 제2 단부와 연결되고, 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)에 포함되는 도전 라인들에 각각 배선들을 형성하기 위하여 제공된다.
- [0073] 상기 짝수 블록 패드 구조물(145)은 상기 제3 및 제4 도전 라인 구조물들(120c, 120d)의 제2 단부와 접촉할 수 있다. 또한, 상기 짝수 블록 패드 구조물(145)은 상기 제1 및 제2 도전 라인 도전 구조물들(120a, 120b)의 제2 단부와 이격되도록 배치될 수 있다. 따라서, 상기 짝수 블록 패드 구조물(145)은 상기 제1 내지 제4 도전 라인 구조물들(120a, 120b, 120c, 120d)의 제2 단부와 인접하는 상기 제2 영역(R2) 내에 배치될 수 있다.
- [0074] 상기 짝수 블록 패드 구조물(145)의 가장자리는 계단 형상을 가질 수 있다. 각 계단의 상부는 콘택 플러그(160)와 접촉되기 위한 패드로 제공될 수 있다. 상기 짝수 블록 패드 구조물(145)의 각 계단에는 제2 방향으로 연장되는 개구부(60a)가 구비되지 않을 수 있다.
- [0075] 도 8 내지 도 14는 예시적인 실시예들에 따른 수직형 반도체 소자의 제조 방법을 나타내는 평면도들 및 단면도들이다.
- [0076] 구체적으로, 도 8, 10 및 12는 평면도들이고, 도 9, 11, 13 및 14는 도 8의 I-I' 부위를 절단한 단면도들이다.
- [0077] 도 8 및 9를 참조하면, 기판(10) 상에 예비 계단형 몰드 구조물(30)을 형성할 수 있다.
- [0078] 구체적으로, 상기 기판(10) 상에 패드 절연막(12)을 형성하고, 상기 패드 절연막(12) 상에, 희생막들(14) 및 절연막들(16)을 교대로 반복적으로 적층하여 몰드 구조물을 형성할 수 있다. 예를들어, 상기 패드 절연막(12)은 실리콘 산화물로 형성할 수 있다. 예를들어, 상기 희생막들(14)은 실리콘 질화물(SiN) 또는 실리콘 붕질화물(SiBN)과 같은 질화물 계열의 물질을 사용하여 형성될 수 있다. 예를들어, 상기 절연막들(16)은 실리콘 산화물, 실리콘 탄산화물 혹은 실리콘 산불화물과 같은 산화물 계열의 물질을 사용하여 형성될 수 있다.
- [0079] 이후, 상기 몰드 구조물의 가장자리 부위를 단계적으로 식각하여 상기 예비 계단형 몰드 구조물(30)을 형성할

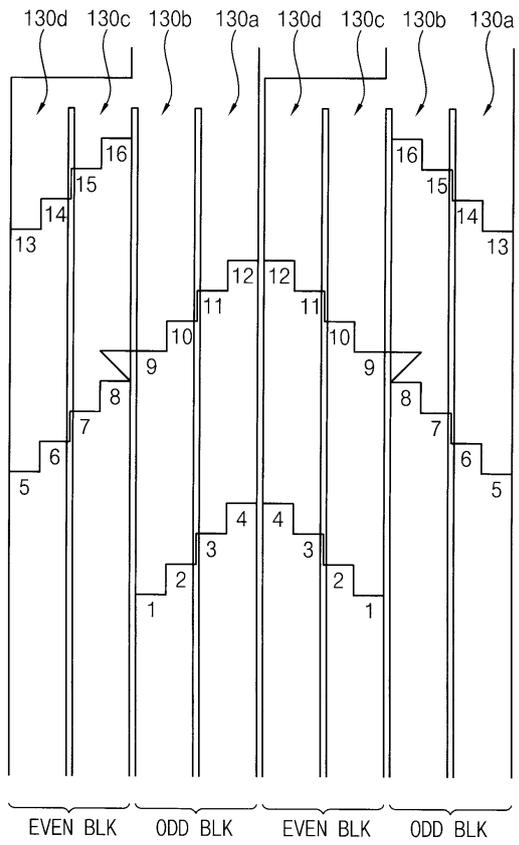
수 있다. 즉, 상기 제2 영역(R2)에 위치하는 상기 예비 계단형 몰드 구조물(30)은 상기 제2 및 제3 방향으로 각각 계단 형상을 가질 수 있다.

- [0080] 도 11 및 12를 참조하면, 상기 제1 영역(R1)에 위치하는 예비 계단형 몰드 구조물(30)을 관통하는 채널 구조물(36)을 형성할 수 있다. 예시적인 실시예에서, 상기 채널 구조물(36) 하부에는 상기 기판(100)과 접촉하는 반도체 패턴(34)을 형성할 수 있다. 상기 예비 계단형 몰드 구조물(30) 상에 층간 절연막(40)을 더 형성할 수 있다.
- [0081] 구체적으로, 상기 제1 영역(R1)에 위치하는 예비 계단형 몰드 구조물(30)을 이방성 식각하여 상기 기판(100) 표면을 노출하는 채널홀(32)을 형성할 수 있다. 예시적인 실시예에서, 상기 채널홀(32) 저면에 선택적 에피택셜 성장 공정을 수행하여 상기 반도체 패턴(34)을 형성할 수 있다. 상기 반도체 패턴(34) 상에, 상기 채널홀(32) 내부를 채우는 채널 구조물(36)을 형성할 수 있다. 상기 채널 구조물(36)은 유전막 구조물(36a), 채널(36b) 및 매립 절연 패턴(36c)을 포함할 수 있다. 상기 유전막 구조물(36a)은 도시하지는 않았지만, 상기 채널(36b) 표면으로부터 적층되는 터널 절연막, 전하 저장막 및 블록킹 절연막을 포함할 수 있다. 일부 실시예에서, 상기 채널 구조물(36) 상에는 예를들어, 폴리실리콘을 포함하는 상기 상부 도전 패턴(38)을 형성할 수 있다.
- [0082] 상기 층간 절연막(40)은 실리콘 산화물과 같은 절연 물질을 사용하여 형성할 수 있다.
- [0083] 도 12 및 도 13을 참조하면, 상기 예비 계단형 몰드 구조물(30)에 개구부(60)를 형성하여 계단형 몰드 구조물(30a)을 형성할 수 있다. 상기 개구부(60)의 저면에는 기판(100) 표면이 노출될 수 있다.
- [0084] 상기 제1 영역 및 제2 영역(R1, R2)에 형성되는 개구부(60)는 상기 제2 방향으로 연장될 수 있다. 따라서, 상기 개구부(60)에 의해 상기 제1 영역(R1)의 상기 예비 계단형 몰드 구조물(30)을 절단될 수 있다. 그러나, 상기 제1 및 제2 영역들(R1, R2)의 일부 경계 부위에는 상기 개구부(60)가 형성되지 않을 수 있다. 따라서, 상기 개구부(60)가 형성되지 않은 부위에서 상기 예비 계단형 몰드 구조물(30)은 절단되지 않고 서로 연결되는 구조를 가질 수 있다.
- [0085] 상기 제1 영역(R1)에 형성되는 계단형 몰드 구조물(30a)은 후속 공정을 통해 제1 내지 제4 도전 패턴 구조물들로 변환될 수 있다. 상기 제2 영역(R2)에 형성되는 계단형 몰드 구조물(30a)은 후속 공정을 통해 제1 내지 제8 패드 패턴 구조물들로 변환될 수 있다. 상기 개구부(60)가 형성되지 않은 상기 제1 및 제2 영역(R1, R2)의 경계 부위는 후속 공정을 통해 제1 내지 제6 연결 구조물들로 변환될 수 있다.
- [0086] 다시, 도 1 및 14를 참조하면, 상기 개구부(60)에 의해 측벽이 노출된 희생막들(14)을 제거할 수 있다. 예시적인 실시예들에 따르면, 상기 희생막들(14)은 등방성 식각 공정을 통해 제거될 수 있다.
- [0087] 상기 희생막들(14)이 제거됨에 따라, 각 층의 절연막들(16) 사이에 갭(gap)이 형성될 수 있다. 상기 각 층의 갭 내부에 도전 물질을 채워넣음으로써 상기 제1 및 제2 영역(R1, R2)에 각각 도전 라인들(50) 및 도전 패턴들(50a)을 형성한다.
- [0088] 즉, 상기 제1 영역(R1)에는 상기 도전 라인들(50) 및 절연막(16)이 적층되는 도전 라인 구조물들(120)이 형성될 수 있다. 또한, 상기 제2 영역(R2)에는 상기 도전 패턴들(50a) 및 절연막(16)이 적층되고 계단 형상을 갖는 패드 구조물들(134, 144)이 형성될 수 있다. 상기 개구부(60) 내에 절연 패턴(62)을 형성할 수 있다.
- [0089] 이 후, 상기 층간 절연막(40)을 관통하여 상기 패드 구조물들(134, 144)의 각 패드의 상면들과 접촉하는 콘택 플러그들(160)을 형성한다. 상기 콘택 플러그들(160)을 형성하는 공정은 상기 층간 절연막(40)을 식각하여 상기 패드 구조물들(134, 144)에 포함되는 도전 패턴(50a)을 상부면을 노출하는 콘택홀을 형성하고, 상기 콘택홀 측벽에 베리어 금속막을 형성하고, 상기 베리어 금속막 상에 금속막을 형성한 후 상기 층간 절연막(40)의 상부면이 노출되도록 평탄화하는 것을 포함할 수 있다.
- [0090] 상기 층간 절연막(40) 상에 상기 콘택 플러그(160)의 상부면과 전기적으로 연결되는 배선 라인(170)을 형성한다. 상기 배선 라인은 상기 제2 방향으로 연장되는 라인 형상을 가질 수 있다.
- [0091] 도 15 및 16은 예시적인 실시예들에 따른 수직형 반도체 소자를 나타내는 평면도 및 사시도들이다.
- [0092] 도 15 및 도 16에 도시된 수직형 반도체 소자는 각 패드 구조물에 포함되는 계단의 형상을 제외하고는 도 1 내지 도 3을 참조로 설명한 수직형 반도체 소자와 실질적으로 동일할 수 있다.
- [0093] 도 15 및 도 16을 참조하면, 홀수 블록 패드 구조물들(234)은 상기 제2 방향으로 계단들을 포함하고, 상기 제3 방향으로도 계단들을 포함할 수 있다. 예시적인 실시예에서, 상기 홀수 패드 구조물(234)에서, 하나의 패드 패

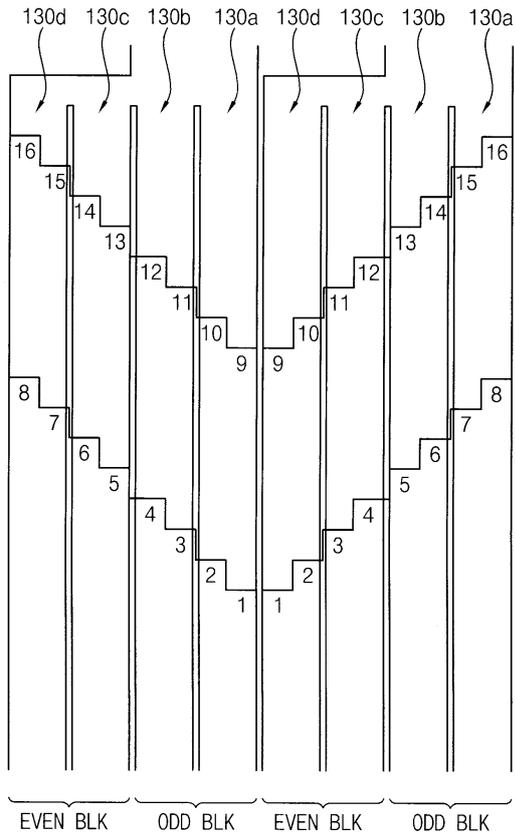
도면2



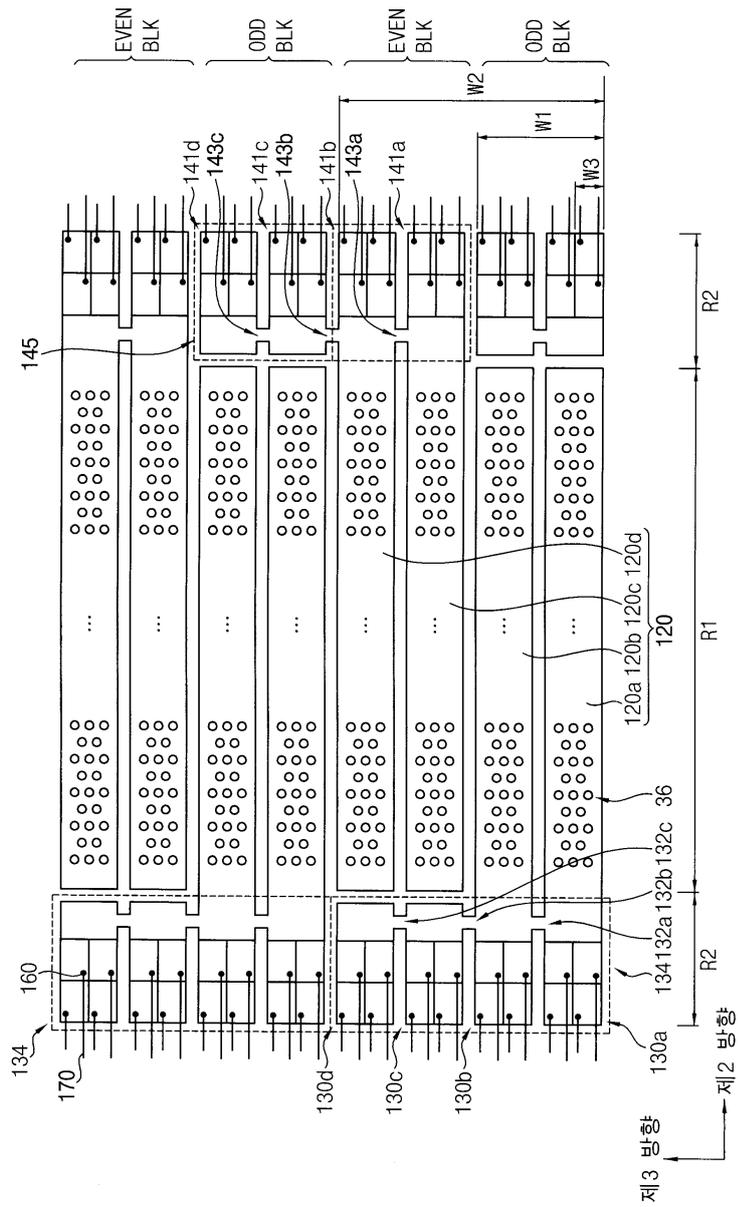
도면4



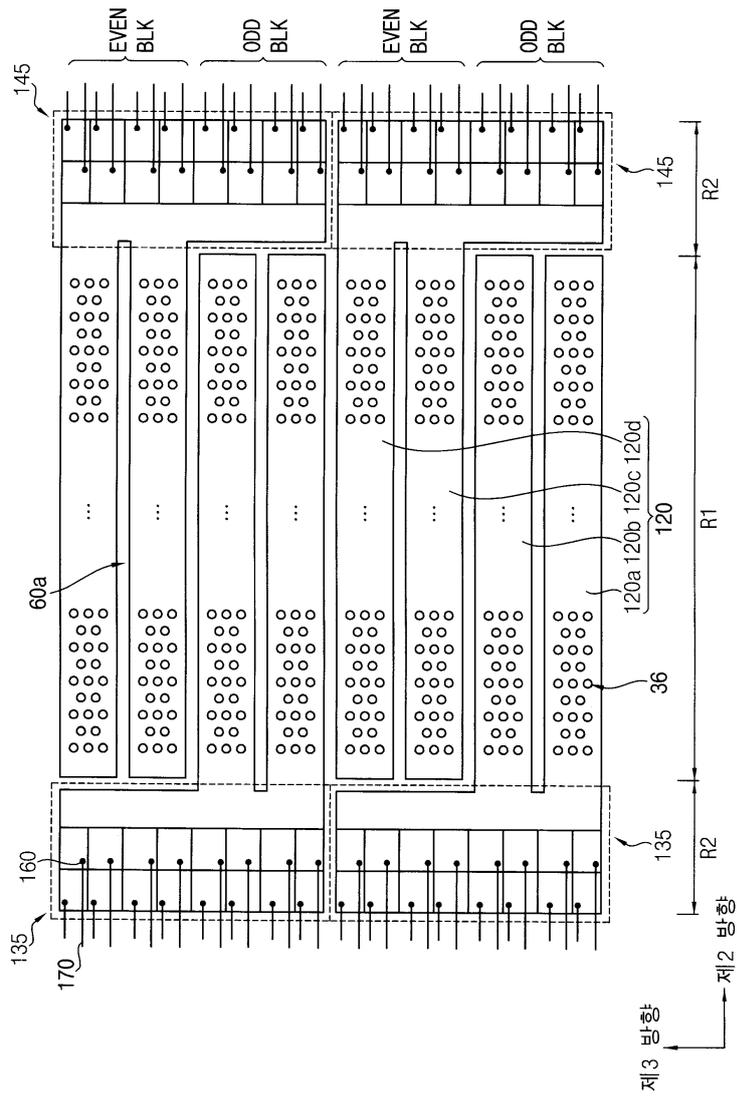
도면5



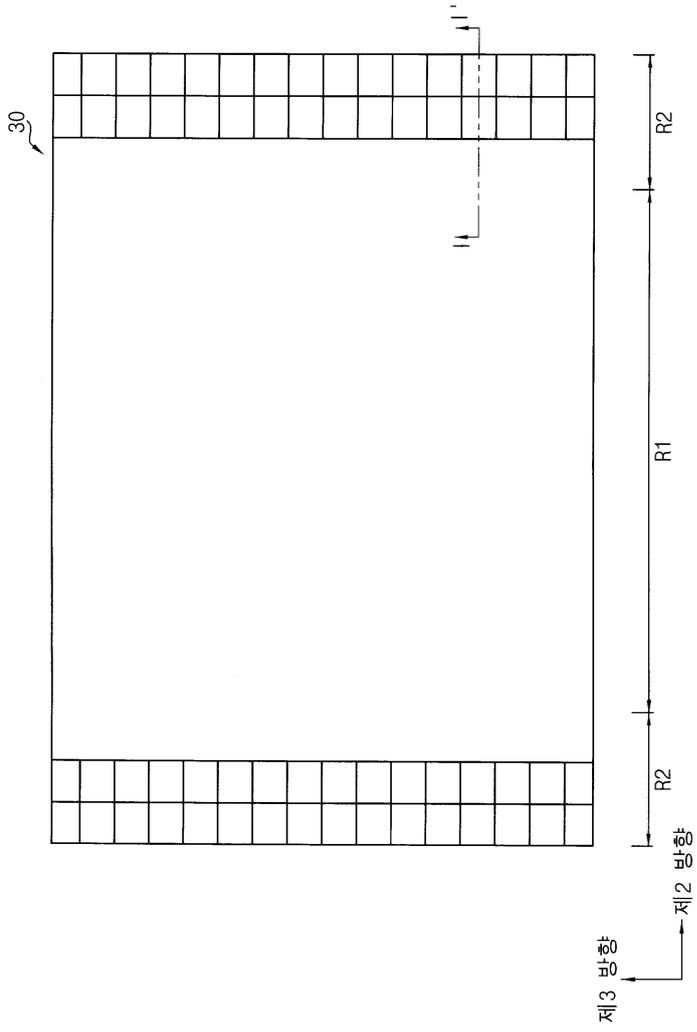
도면6



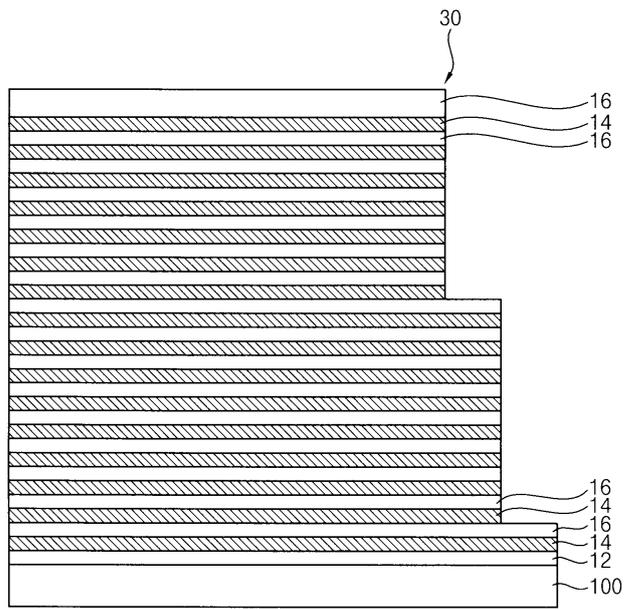
도면7



도면8

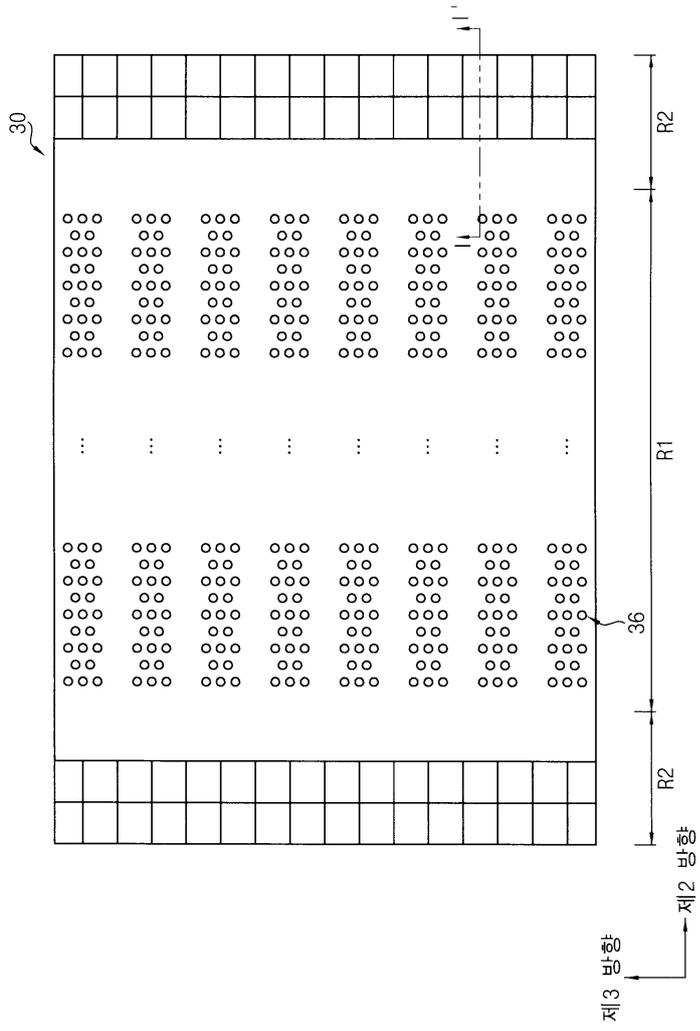


도면9

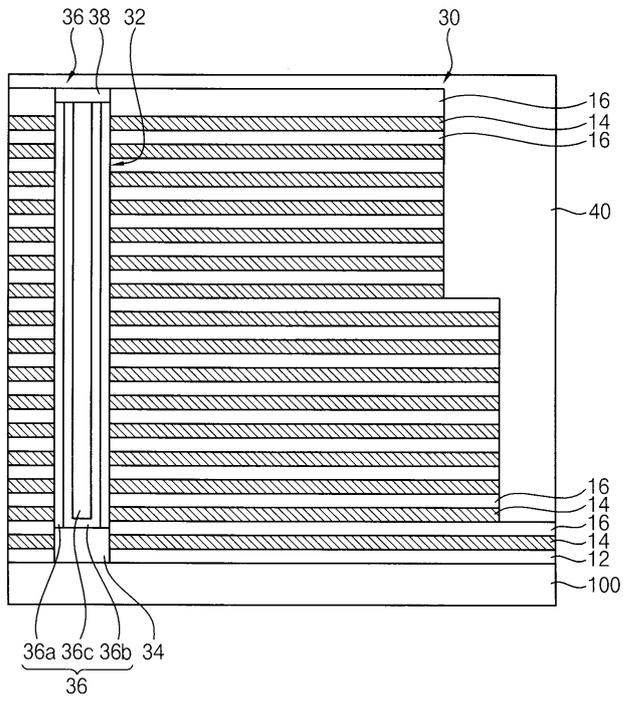


⊗ → 제2 방향
제3 방향

도면10

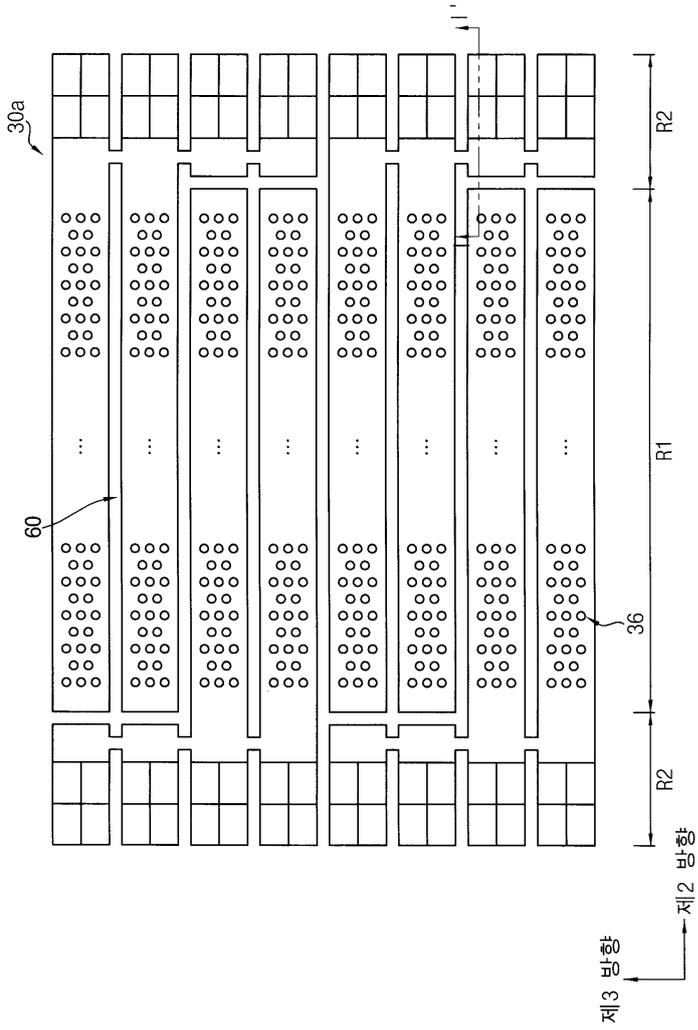


도면11

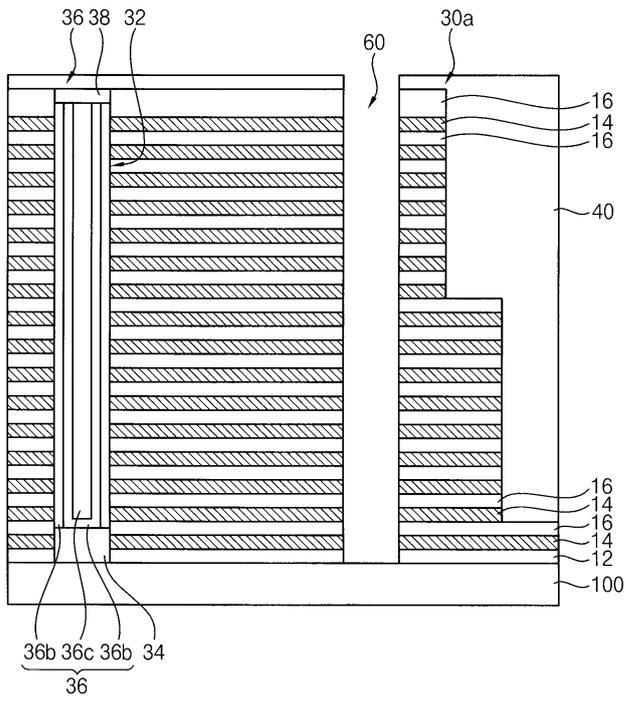


⊗ → 제2 방향
 제3 방향

도면12

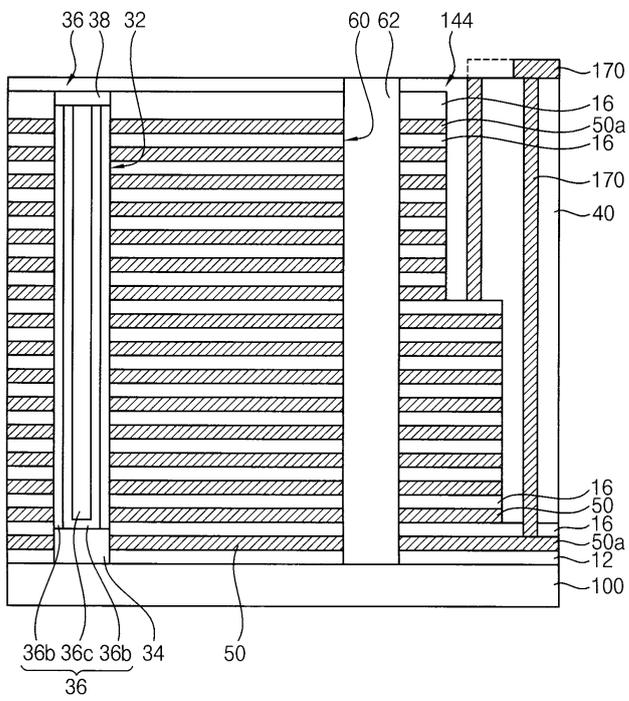


도면13



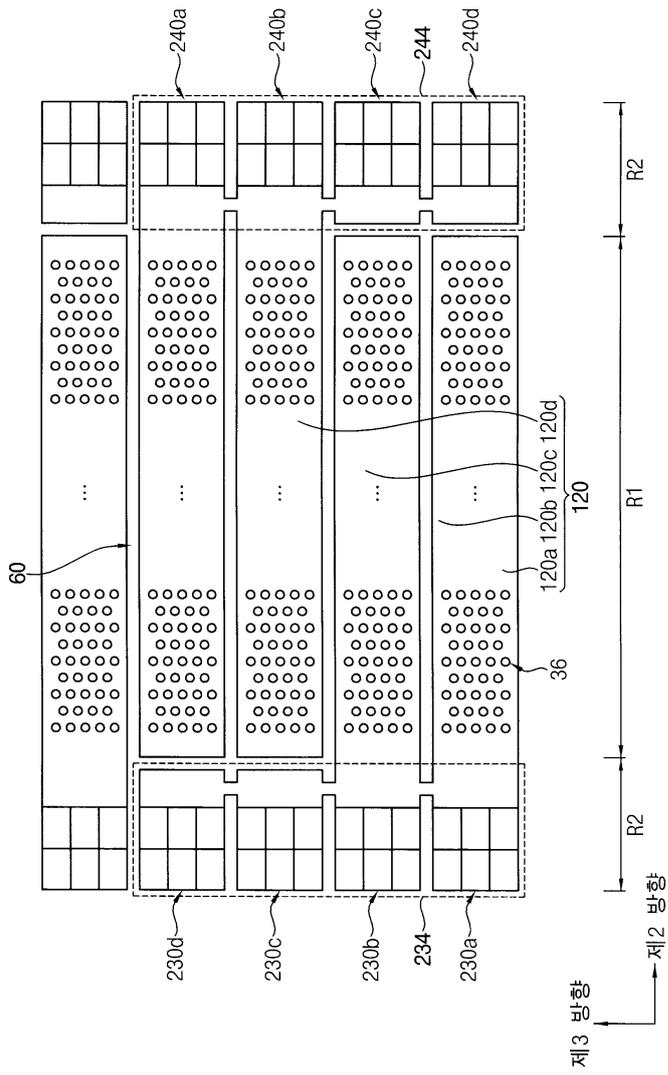
⊗ → 제2 방향
제3 방향

도면14

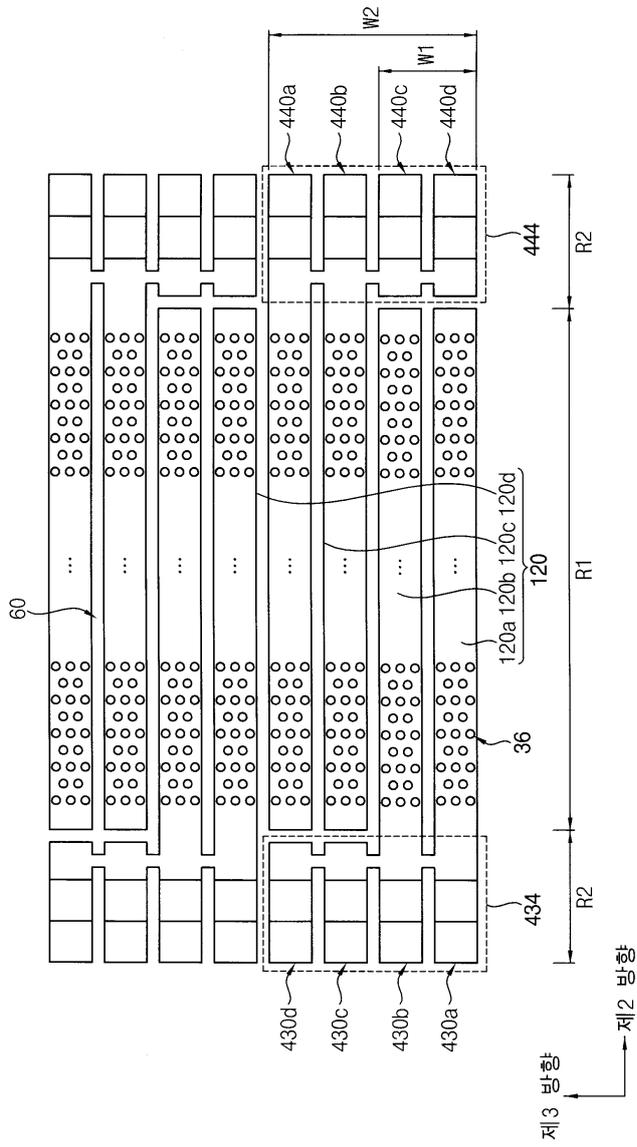


⊗ → 제2 방향
제3 방향

도면15



도면17



도면18

