



(12) 发明专利申请

(10) 申请公布号 CN 105701041 A

(43) 申请公布日 2016. 06. 22

(21) 申请号 201610015184. 8

(22) 申请日 2016. 01. 11

(71) 申请人 福州瑞芯微电子股份有限公司

地址 350000 福建省福州市鼓楼区软件大道
89号18号楼

(72) 发明人 廖裕民 江显舟

(74) 专利代理机构 福州市鼓楼区京华专利事务
所(普通合伙) 35212

代理人 林晓琴

(51) Int. Cl.

G06F 13/16(2006. 01)

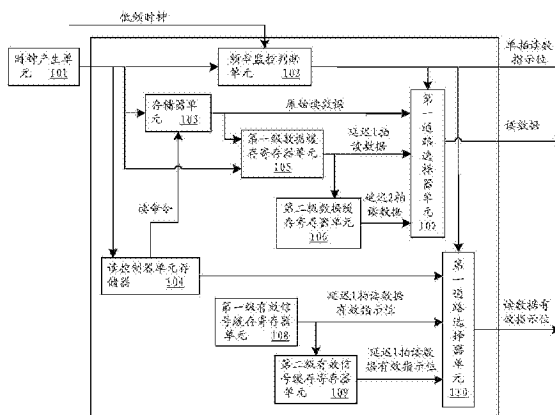
权利要求书3页 说明书6页 附图1页

(54) 发明名称

芯片自适应调节读数时序路径的方法和装置

(57) 摘要

本发明提供一种芯片自适应调节读数时序路径的方法和装置,读控制单元存储器输出读命令给存储器单元进行读操作,同时在读命令的一个周期后将原始读数据有效指示位设置为有效;存储器单元根据收到的读命令和工作时钟,输出原始读数据;所述原始读数据分别延迟一个周期和两个周期;根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据、延迟一个周期和两个周期后的读数据这三个输入中的一路选为输出读数据;所述原始读数据有效指示位分别经延迟一个周期和两个周期;根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、两个延迟后的读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。



1. 一种芯片自适应调节读数时序路径的方法,其特征在于:包括:

芯片初始化完成后开始工作并产生工作时钟;

根据芯片输入的低频时钟和所述工作时钟进行工作时钟频率判断;

读控制单元存储器输出读命令给存储器单元进行读操作,同时在读命令的一个周期后将原始读数据有效指示位设置为有效;

所述存储器单元根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据;

所述原始读数据分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据和延迟两个周期读数据;

根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据、所述延迟一个周期读数据以及所述延迟两个周期读数据这三个输入中的一路选为输出读数据;

所述原始读数据有效指示位分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位;

根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

2. 根据权利要求1所述的芯片自适应调节读数时序路径的方法,其特征在于:所述工作时钟频率判断的具体过程是:

对工作时钟进行计数;

使用低频时钟对所述计数所得的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期;

得到每个低频时钟周期内有多少个工作时钟周期值后,读取芯片初始化时预存的档位门阈值,该档位门阈值包括延迟一周期门阈值和延迟两个周期门阈值;

将档位门阈值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间;

如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值小,则说明工作时钟周期比较慢,不需要进行延迟处理;

如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值大,但是小于所述延迟两个周期门阈值,则所述存储器单元需要进行延迟一周期处理;

所述判断的判断结果作为所述通路选择操作的根据。

3. 一种芯片自适应调节读数时序路径的装置,其特征在于:包括时钟产生单元、频率监控判断单元、存储器单元、读控制器单元存储器、第一级数据缓存寄存器单元、第二级数据缓存寄存器单元、第一通路选择器单元、第一级有效信号缓存寄存器单元、第二级有效信号缓存寄存器单元、第二通路选择器单元;

所述时钟产生单元分别与所述频率监控判断单元、存储器单元、读控制器单元存储器以及第一级数据缓存寄存器单元连接;所述读控制器单元存储器通过所述存储器单元依次与第一级数据缓存寄存器单元、第二级数据缓存寄存器单元连接;所述频率监控判断单元、存储器单元、第一级数据缓存寄存器单元以及第二级数据缓存寄存器单元还直接连接所述第一通路选择器单元;所述读控制器单元存储器通过所述第一级有效信号缓存寄存器单元

连接第二通路选择器单元,所述频率监控判断单元、所述读控制器单元存储器、所述第一级有效信号缓存寄存器单元以及第二级有效信号缓存寄存器单元均连接第二通路选择器单元;

芯片初始化完成后开始工作;

所述时钟产生单元产生工作时钟,并送往所述频率监控判断单元、存储器单元、第一级数据缓存寄存器单元和读控制器单元存储器;

所述频率监控判断单元根据输入的低频时钟和工作时钟进行工作时钟频率判断,并将判断结果送往所述第一通路选择器单元和第二通路选择器单元;

所述读控制单元存储器输出读命令给所述存储器单元进行读操作,同时在读命令的一个周期后将原始读数据置设置为有效并送至所述第一级有效信号缓存寄存器单元和第二通路选择器单元;

所述存储器单元根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据,送到所述第一通路选择器单元和所述第一级数据缓存寄存器单元;

所述第一级数据缓存寄存器单元对收到的原始读数据延迟一个周期得到延迟一个周期读数据后送至所述第一通路选择器单元和第二级数据缓存寄存器单元;

所述第二级数据缓存寄存器单元对收到的延迟一个周期读数据再延迟一个周期得到延迟两个周期后的读数据后送到所述第一通路选择器单元;

所述第一通路选择器单元根据收到的频率监控判断单元输出的判断结果进行通路选择操作,将原始读数据、延迟一个周期后的读数据以及延迟两个周期后的读数据这三个输入中的一路选为输出读数据;

所述第一级有效信号缓存寄存器单元将收到的所述原始读数据有效指示位经一级延迟一个周期得到延迟一个周期读数据有效指示位,并送至所述第二级有效信号缓存寄存器单元和所述第二通路选择器单元;

所述第二级有效信号缓存寄存器单元将收到的延迟一个周期读数据有效指示位再延迟一个周期得到延迟两个周期读数据有效指示位并发送至所述第二通路选择器单元;

所述第二通路选择器单元根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

4. 根据权利要求3所述的芯片自适应调节读数时序路径的装置,其特征在于:所述频率监控判断单元进一步包括门阈值存储单元、计数器单元以及多拍切换判断单元,所述门阈值存储单元和计数器单元均连接所述多拍切换判断单元,且计数器单元还连接所述时钟产生单元,所述多拍切换判断单元还连接第一通路选择器单元和第二通路选择器单元;

所述计数器单元对工作时钟进行计数;

所述多拍切换判断单元使用低频时钟对所述计数器单元输出的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期;

得到每个低频时钟周期内有多少个工作时钟周期值后,所述多拍切换判断单元读取所述门阈值存储单元中芯片初始化时预存的档位门阈值,该档位门阈值包括延迟一周期门阈

值和延迟两个周期门阈值；

将档位门阈值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间；

如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值小,则说明工作时钟周期比较慢,不需要进行延迟处理；

如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值大,但是小于所述延迟两个周期门阈值,则所述存储器单元需要进行延迟一周期处理；

如果低频时钟周期内的工作时钟周期值比延迟两个周期门阈值大,则存储器单元需要进行延迟两个周期处理；

所述判断的判断结果被送到所述第一通路选择器单元和第二通路选择器单元作为所述通路选择操作的根据。

芯片自适应调节读数时序路径的方法和装置

技术领域

[0001] 本发明涉及一种芯片自适应调节读数时序路径的方法和装置。

背景技术

[0002] 随着SOC芯片技术的发展,用户对芯片性能要求越来越高,由于芯片的运行频率直接影响到性能,所以芯片的主频越跑越高。同时由于SRAM存储电路的复杂性,而且在功能上是要求收到命令的下一个时钟节拍就完成操作,所以在芯片频率快速提升的时候,SRAM的读取速度就明显的成为了限制芯片频率的关键路径。目前芯片读数的时序路径是从SRAM的命令采集到SRAM内部取数并输出到SRAM端口再到发出命令的单元再到发出命令单元完成数据采样,特别在总线上挂载的模块多的时候,SRAM返回命令发起端的数据路径会非常的长从而造成很大的延时。

发明内容

[0003] 本发明要解决的技术问题,在于提供一种能根据运行频率自动调节时序路径的方法及装置,在低频时采用原始的SRAM时序路径,在运行频率超过SRAM的最高频率时,采用寄存器打断原有时序路径方法,大幅提高SRAM的最高运行频率。

[0004] 本发明方法是这样实现的:一种芯片自适应调节读数时序路径的方法,包括下述步骤:芯片初始化完成后开始工作并产生工作时钟;根据芯片输入的低频时钟和所述工作时钟进行工作时钟频率判断;读控制单元存储器输出读命令给存储器单元进行读操作,同时在读命令的一个周期后将原始读数据有效指示位设置为有效;所述存储器单元根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据;所述原始读数据分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据和延迟两个周期读数据;根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据、所述延迟一个周期读数据以及所述延迟两个周期读数据这三个输入中的一路选为输出读数据;所述原始读数据有效指示位分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位;根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

[0005] 进一步的,所述工作时钟频率判断的具体过程是:

[0006] 对工作时钟进行计数;使用低频时钟对所述计数所得的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期;得到每个低频时钟周期内有多少个工作时钟周期值后,读取芯片初始化时预存的档位门限值,该档位门限值包括延迟一周期门限值和延迟两个周期门限值;将档位门限值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间;如果低频时钟周期内的工作时钟周期值比所述延迟一周期门限值小,则说明工

作时钟周期比较慢,不需要进行延迟处理;如果低频时钟周期内的工作时钟周期值比所述延迟一周期门限值大,但是小于所述延迟两个周期门限值,则所述存储器单元需要进行延迟一周期处理;所述判断的判断结果作为所述通路选择操作的根据。

[0007] 本发明装置是这样实现的:一种芯片自适应调节读数时序路径的装置,包括时钟产生单元、频率监控判断单元、存储器单元、读控制器单元存储器、第一级数据缓存寄存器单元、第二级数据缓存寄存器单元、第一通路选择器单元、第一级有效信号缓存寄存器单元、第二级有效信号缓存寄存器单元、第二通路选择器单元;所述时钟产生单元分别与所述频率监控判断单元、存储器单元、读控制器单元存储器以及第一级数据缓存寄存器单元连接;所述读控制器单元存储器通过所述存储器单元依次与第一级数据缓存寄存器单元、第二级数据缓存寄存器单元连接;所述频率监控判断单元、存储器单元、第一级数据缓存寄存器单元以及第二级数据缓存寄存器单元还直接连接所述第一通路选择器单元;所述读控制器单元存储器通过所述第一级有效信号缓存寄存器单元连接第二通路选择器单元,所述频率监控判断单元、所述读控制器单元存储器、所述第一级有效信号缓存寄存器单元以及第二级有效信号缓存寄存器单元均连接第二通路选择器单元;

[0008] 芯片初始化完成后开始工作;所述时钟产生单元产生工作时钟,并送往所述频率监控判断单元、存储器单元、第一级数据缓存寄存器单元和读控制器单元存储器;所述频率监控判断单元根据输入的低频时钟和工作时钟进行工作时钟频率判断,并将判断结果送往所述第一通路选择器单元和第二通路选择器单元;所述读控制单元存储器输出读命令给所述存储器单元进行读操作,同时在读命令的一个周期后将原始读数据置设置为有效并送至所述第一级有效信号缓存寄存器单元和第二通路选择器单元;所述存储器单元根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据,送到所述第一通路选择器单元和所述第一级数据缓存寄存器单元;所述第一级数据缓存寄存器单元对收到的原始读数据延迟一个周期得到延迟一个周期读数据后送至所述第一通路选择器单元和第二级数据缓存寄存器单元;所述第二级数据缓存寄存器单元对收到的延迟一个周期读数据再延迟一个周期得到延迟两个周期后的读数据后送到所述第一通路选择器单元;所述第一通路选择器单元根据收到的频率监控判断单元输出的判断结果进行通路选择操作,将原始读数据、延迟一个周期后的读数据以及延迟两个周期后的读数据这三个输入中的一路选为输出读数据;所述第一级有效信号缓存寄存器单元将收到的所述原始读数据有效指示位经一级延迟一个周期得到延迟一个周期读数据有效指示位,并送至所述第二级有效信号缓存寄存器单元和所述第二通路选择器单元;所述第二级有效信号缓存寄存器单元将收到的延迟一个周期读数据有效指示位再延迟一个周期得到延迟两个周期读数据有效指示位并发送至所述第二通路选择器单元;所述第二通路选择器单元根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

[0009] 进一步的,所述频率监控判断单元进一步包括门限值存储单元、计数器单元以及多拍切换判断单元,所述门限值存储单元和计数器单元均连接所述多拍切换判断单元,且计数器单元还连接所述时钟产生单元,所述多拍切换判断单元还连接第一通路选择器单元和第二通路选择器单元;

[0010] 所述计数器单元对工作时钟进行计数;所述多拍切换判断单元使用低频时钟对所述计数器单元输出的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期;得到每个低频时钟周期内有多少个工作时钟周期值后,所述多拍切换判断单元读取所述门阈值存储单元中芯片初始化时预存的档位门阈值,该档位门阈值包括延迟一周期门阈值和延迟两个周期门阈值;将档位门阈值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间;如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值小,则说明工作时钟周期比较慢,不需要进行延迟处理;如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值大,但是小于所述延迟两个周期门阈值,则所述存储器单元需要进行延迟一周期处理;如果低频时钟周期内的工作时钟周期值比延迟两个周期门阈值大,则存储器单元需要进行延迟两个周期处理;所述判断的判断结果被送到所述第一通路选择器单元和第二通路选择器单元作为所述通路选择操作的根据。

[0011] 本发明具有如下优点:本发明在低频时采用原始的SRAM时序路径,在运行频率超过SRAM的最高频率时,在SRAM的输出端直接增加一级寄存器,从而将整个时序路径几乎从中间打断,将时序路径大幅减短,大幅提高SRAM的最高运行频率;且低频和高频的时序路径能自动完成切换。

附图说明

[0012] 下面参照附图结合实施例对本发明作进一步的说明。

[0013] 图1为本发明芯片自适应调节读数时序路径的装置的结构框图。

[0014] 图2为本发明装置中频率监控判断单元的详细结构框图。

具体实施方式

[0015] 本发明芯片自适应调节读数时序路径的方法,包括下述步骤:

[0016] 芯片初始化完成后开始工作并产生工作时钟;

[0017] 根据芯片输入的低频时钟和所述工作时钟进行工作时钟频率判断;

[0018] 读控制单元存储器输出读命令给存储器单元进行读操作,同时在读命令的一个周期后将原始读数据有效指示位设置为有效;

[0019] 所述存储器单元根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据;

[0020] 所述原始读数据分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据和延迟两个周期读数据;

[0021] 根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据、所述延迟一个周期读数据以及所述延迟两个周期读数据这三个输入中的一路选为输出读数据;

[0022] 所述原始读数据有效指示位分别经一级延迟一个周期和经两级延迟两个周期得到延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位;

[0023] 根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

[0024] 其中,所述工作时钟频率判断的具体过程是:

[0025] 对工作时钟进行计数;

[0026] 使用低频时钟对所述计数所得的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期;

[0027] 得到每个低频时钟周期内有多少个工作时钟周期值后,读取芯片初始化时预存的档位门阈值,该档位门阈值包括延迟一周期门阈值和延迟两个周期门阈值;

[0028] 将档位门阈值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间;

[0029] 如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值小,则说明工作时钟周期比较慢,不需要进行延迟处理;

[0030] 如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值大,但是小于所述延迟两个周期门阈值,则所述存储器单元需要进行延迟一周期处理;

[0031] 所述判断的判断结果作为所述通路选择操作的根据。

[0032] 本发明上述的芯片自适应调节读数时序路径的方法在具体实现时,可通过本发明装置来实现。

[0033] 如图1和图2所示,本发明的芯片自适应调节读数时序路径的装置,包括时钟产生单元101、频率监控判断单元102、存储器单元103、读控制器单元存储器104、第一级数据缓存寄存器单元105、第二级数据缓存寄存器单元106、第一通路选择器单元107、第一级有效信号缓存寄存器单元108、第二级有效信号缓存寄存器单元109、第二通路选择器单元110;

[0034] 所述时钟产生单元101分别与所述频率监控判断单元102、存储器单元103、读控制器单元存储器104以及第一级数据缓存寄存器单元105连接;所述读控制器单元存储器104通过所述存储器单元103依次与第一级数据缓存寄存器单元105、第二级数据缓存寄存器单元106连接;所述频率监控判断单元102、存储器单元103、第一级数据缓存寄存器单元105以及第二级数据缓存寄存器单元106还直接连接所述第一通路选择器单元107;所述读控制器单元存储器104通过所述第一级有效信号缓存寄存器单元108连接第二通路选择器单元110,所述频率监控判断单元102、所述读控制器单元存储器104、所述第一级有效信号缓存寄存器单元108以及第二级有效信号缓存寄存器单元109均连接第二通路选择器单元110;

[0035] 芯片初始化完成后开始工作;

[0036] 所述时钟产生单元101产生工作时钟,并送往所述频率监控判断单元102、存储器单元103、第一级数据缓存寄存器单元105和读控制器单元存储器104;

[0037] 所述频率监控判断单元102根据输入的低频时钟和工作时钟进行工作时钟频率判断,并将判断结果送往所述第一通路选择器单元107和第二通路选择器单元110;

[0038] 所述读控制单元存储器104输出读命令给所述存储器单元103进行读操作,同时在读命令的一个周期后将原始读数据置设置为有效并送至所述第一级有效信号缓存寄存器单元108和第二路选择器单元110;

[0039] 所述存储器单元103根据收到的读命令和工作时钟,在使用工作时钟采样到读命令后,经过其电路固有的读动作延迟时间后输出原始读数据,送到所述第一通路选择器单元107和所述第一级数据缓存寄存器单元105;

[0040] 所述第一级数据缓存寄存器单元105对收到的原始读数据延迟一个周期得到延迟一个周期读数据后送至所述第一通路选择器单元107和第二级数据缓存寄存器单元106；

[0041] 所述第二级数据缓存寄存器单元106对收到的延迟一个周期读数据再延迟一个周期得到延迟两个周期后的读数据后送到所述第一通路选择器单元107；

[0042] 所述第一通路选择器单元107根据收到的频率监控判断单元102输出的判断结果进行通路选择操作,将原始读数据、延迟一个周期后的读数据以及延迟两个周期后的读数据这三个输入中的一路选为输出读数据；

[0043] 所述第一级有效信号缓存寄存器单元108将收到的所述原始读数据有效指示位经一级延迟一个周期得到延迟一个周期读数据有效指示位,并送至所述第二级有效信号缓存寄存器单元109和所述第二通路选择器单元110；

[0044] 所述第二级有效信号缓存寄存器单元109将收到的延迟一个周期读数据有效指示位再延迟一个周期得到延迟两个周期读数据有效指示位并发送至所述第二通路选择器单元110；

[0045] 所述第二通路选择器单元110根据所述工作时钟频率判断的结果进行通路选择操作,将所述原始读数据有效指示位、延迟一个周期读数据有效指示位和延迟两个周期读数据有效指示位这三个输入中的一路选为输出读数据有效指示位。

[0046] 其中,所述频率监控判断单元102进一步包括门阈值存储单元1021、计数器单元1022以及多拍切换判断单元1023,所述门阈值存储单元1021和计数器单元1022均连接所述多拍切换判断单元1023,且计数器单元1022还连接所述时钟产生单元101,所述多拍切换判断单元1023还连接第一通路选择器单元107和第二通路选择器单元110;在芯片使用之前,需要对门阈值存储单元1021进行初始化操作,需要存入两个门阈值,即延迟一周期门阈值和延迟两个周期门阈值。

[0047] 低频时钟使用的是精确的晶振时钟,常见的有32KHz晶振,用于产生一个精确的绝对时间长度,被送到多拍切换判断单元1023；

[0048] 所述计数器单元1022对工作时钟进行计数；

[0049] 所述多拍切换判断单元1023使用低频时钟对所述计数器单元1022输出的实时计数值进行采样,并将每次采样值对前一次的采样值做减法操作,得到差值;该差值就代表每个低频时钟周期内有多少个工作时钟周期；

[0050] 得到每个低频时钟周期内有多少个工作时钟周期值后,所述多拍切换判断单元1023读取所述门阈值存储单元1021中芯片初始化时预存的档位门阈值,该档位门阈值包括延迟一周期门阈值和延迟两个周期门阈值；

[0051] 将档位门阈值与低频时钟周期内的工作时钟周期值进行比较,判断工作时钟周期落入哪个区间；

[0052] 如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值小,则说明工作时钟周期比较慢,不需要进行延迟处理；

[0053] 如果低频时钟周期内的工作时钟周期值比所述延迟一周期门阈值大,但是小于所述延迟两个周期门阈值,则所述存储器单元需要进行延迟一周期处理；

[0054] 如果低频时钟周期内的工作时钟周期值比延迟两个周期门阈值大,则存储器单元需要进行延迟两个周期处理；

[0055] 所述判断的判断结果被送到所述第一通路选择器单元和第二通路选择器单元作为所述通路选择操作的根据。

[0056] 虽然以上描述了本发明的具体实施方式,但是熟悉本技术领域的技术人员应当理解,我们所描述的具体的实施例只是说明性的,而不是用于对本发明的范围的限定,熟悉本领域的技术人员在依照本发明的精神所作的等效的修饰以及变化,都应当涵盖在本发明的权利要求所保护的范围内。

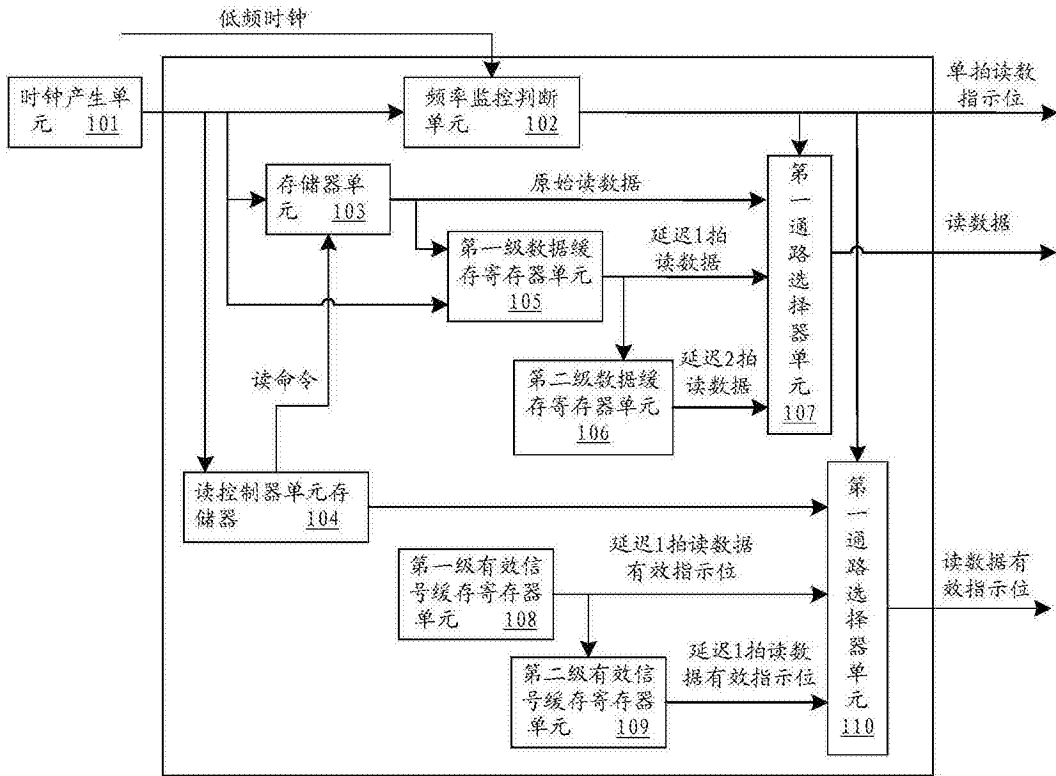


图1

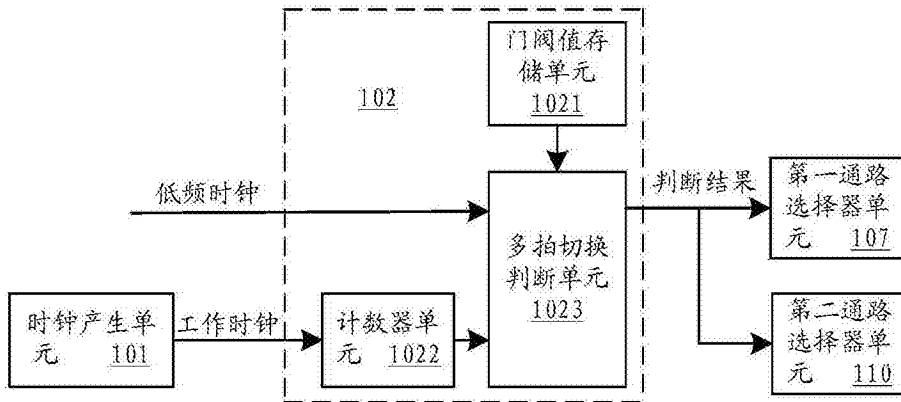


图2