



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I624865 B

(45)公告日：中華民國 107 (2018) 年 05 月 21 日

(21)申請案號：106107036

(22)申請日：中華民國 98 (2009) 年 10 月 23 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2008/10/24 日本

2008-274699

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：伊藤俊一 ITO, SHUNICHI (JP)；細羽美雪 HOSOBAMA, MIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0072439A1

審查人員：黃淑萍

申請專利範圍項數：13 項 圖式數：30 共 127 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

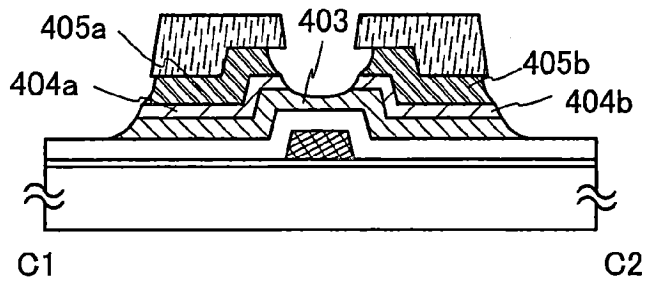
(57)摘要

目的在於以降低曝光光罩的數目來簡化微影術製程之方式，低成本高生產率地製造包含氧化物半導體的半導體裝置。在包含通道蝕刻逆交錯薄膜電晶體的半導體裝置的製造方法中，使用藉由多色調光罩形成的光罩層，蝕刻氧化物半導體膜及導電膜，多色調光罩是曝光光罩，其使光透射過而具有多個強度。以使用蝕刻溶液的濕蝕刻，執行蝕刻步驟。

An object is to manufacture a semiconductor device including an oxide semiconductor at low cost with high productivity in such a manner that a photolithography process is simplified by reducing the number of light-exposure masks. In a method for manufacturing a semiconductor device including a channel-etched inverted-stagger thin film transistor, an oxide semiconductor film and a conductive film are etched using a mask layer formed with the use of a multi-tone mask which is a light-exposure mask through which light is transmitted so as to have a plurality of intensities. The etching step is performed by wet etching in which an etching solution is used.

指定代表圖：

圖 1D



符號簡單說明：

403 . . . 半導體層

404a . . .  $n^+$ 層

404b . . .  $n^+$ 層

405a . . . 源極或汲  
極電極層

405b . . . 源極或汲  
極電極層

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

## 【技術領域】

本發明係關於包含氧化物半導體的半導體裝置、及其製造方法。

## 【先前技術】

如典型上見於液晶顯示裝置中，使用非晶矽或多晶矽，製造形成於例如玻璃基底等平板上的薄膜電晶體。使用非晶矽製成的薄膜電晶體具有低場效遷移率，但是，此電晶體可以形成於具有更大面積的玻璃基底上。另一方面，使用結晶矽製成的薄膜電晶體具有高的場效遷移率，但是，需要例如雷射退火等晶化步驟且此電晶體總是不適用於較大的玻璃基底。

相反地，使用氧化物半導體製造薄膜電晶體且將其應用至電子裝置或光學裝置之技術已吸引注意力。舉例而言，專利文獻 1 及專利文獻 2 均揭示使用形成為氧化物半導體之氧化鋅或 In-Ga-Zn-O 為基礎的氧化物半導體來製造薄膜電晶體並將其用於影像顯示裝置的切換元件等之技術。

[專利文獻]

[專利文獻 1]日本公開專利申請號 2007-123861

[專利文獻 2]日本公開專利申請號 2007-96055

### 【發明內容】

在通道形成區中包含氧化物半導體之薄膜電晶體比包含非晶矽的薄膜電晶體具有更高的場效遷移率。以濺射法等，在 300℃ 或更低的溫度下，形成氧化物半導體膜，以及，包含氧化物半導體膜之薄膜電晶體的製程比包含多晶矽的薄膜電晶體之製程簡單。

期待藉由在玻璃基底、塑膠基底、等基底上形成包含氧化物半導體膜之薄膜電晶體，以將此氧化物半導體用於液晶顯示器、電致發光顯示器、電子紙、等等。

關於薄膜電晶體的製造方法，使用一方法，其中，使用多個曝光光罩（也稱為光罩）之微影術製程，以形成堆疊結構。但是，微影術包含多個製造步驟且為大幅影響製造成本、產率、生產力、等等之一因素。特別地，降低設計及製造成本高的光罩之數目是重要的目的。

慮及上述，一目的係以降低光罩的數目來簡化微影術製程之方式，以高生產力及低成本地製造半導體裝置。

在包含逆交錯薄膜電晶體之半導體裝置的製造方法中，使用以多色調光罩（也稱為高色調光罩）形成的光罩層，執行蝕刻步驟，多光調光罩係光透射過其而具有多個強度。

由於使用多色調光罩形成的光罩層具有多個厚度且藉由蝕刻而進一步改變形狀，所以，在多個蝕刻步驟中，可以使用光罩層以提供不同的圖案。因此，使用一個多色調光罩，可以形成對應於至少二種不同的圖案的光罩層。如此，曝光光罩的數目可以減少，以及，對應的微影術製程的數目也可以降低，因此，可以實現製程簡化。

用於製造逆交錯薄膜電晶體的製程包含處理導電膜成爲島狀的蝕刻步驟（第一蝕刻步驟）及蝕刻導電膜及半導體層成爲源極電極層、汲極電極層、及具有凹陷的半導體層的蝕刻步驟（第二蝕刻步驟）。第一及第二蝕刻步驟均以濕蝕刻執行，在濕蝕刻中使用蝕刻溶液。

關於蝕刻溶液，可以使用磷酸、醋酸、及硝酸的混合溶液或氨過氧化氫混合物。

本說明書使用的氧化物半導體形成爲以  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 爲代表的薄膜，以及，藉由使用此薄膜作爲半導體層，以製造薄膜電晶體。注意，M 代表選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、及鈷 (Co) 之一或更多金屬元素。舉例而言，在某些情形中，M 代表 Ga 及除了 Ga 以外的上述其它金屬元素，例如 Ga 和 Ni、或 Ga 和 Fe。在某些情形中，除了包含 M 金屬元素之外，上述氧化物半導體當包含例如 Fe 或 Ni 等過渡金屬元素或過渡金屬的氧化物以作爲雜質元素。在本說明書中，當 M 代表鎵 (Ga) 時，此薄膜也稱爲 In-Ga-Zn-O 爲基礎的非單晶膜。

由於以濺射法並接著以 10 分鐘至 100 分鐘之 200°C 至 500°C 的熱處理，典型上為 300°C 至 400°C 的熱處理，來形成 In-Ga-Zn-O 為基礎的非單晶膜，所以，在 XRD (X 光繞射) 分析中，觀察到其晶體結構為非晶結構。此外，關於薄膜電晶體的電特徵，在  $\pm 20V$  的閘電壓下，可以取得  $10^9$  或更多的開/關比及  $10 \text{ cm}^2/Vs$  或更高的遷移率。

根據本說明書中揭示的本發明的一實施例，閘極電極形成於具有絕緣表面的基底上；閘極絕緣層、氧化物半導體膜、及導電膜堆疊於閘極電極層上；第一光罩層形成於閘極絕緣層、氧化物半導體膜、及導電膜上；藉由在第一蝕刻步驟中使用第一光罩層以蝕刻氧化物半導體膜及導電膜，形成氧化物半導體層及導電層；藉由蝕刻該第一光罩層，形成第二光罩層；以及，藉由在第二蝕刻步驟中使用第二光罩層以蝕刻氧化物半導體層及導電層，形成具有凹部的氧化物半導體層、源極電極層、以及汲極電極層，其中，使用光罩以形成第一光罩層，光透射過所述光罩而具有多個強度，其中，在第一蝕刻步驟及第二蝕刻步驟中均採用使用蝕刻溶液的濕蝕刻，以及，其中，具有凹部的氧化物半導體層包含一區域，所述區域的厚度小於與源極電極層或汲極電極層重疊的區域的厚度。

根據本說明書中揭示的本發明的另一實施例，閘極電極形成於具有絕緣表面的基底上；閘極絕緣層、第一氧化物半導體膜、第二氧化物半導體膜、及導電膜堆疊於閘極電極層上；第一光罩層形成於閘極絕緣層、第一氧化物半

導體膜、第二氧化物半導體膜、及導電膜上；藉由在第一蝕刻步驟中使用第一光罩層以蝕刻第一氧化物半導體膜、第二氧化物半導體膜及導電膜，形成第一氧化物半導體層、第二氧化物半導體層、及導電層；藉由蝕刻第一光罩層，形成第二光罩層；以及，藉由在第二蝕刻步驟中使用第二光罩層以蝕刻第一氧化物半導體層、第二氧化物半導體層及導電層，形成具有凹部的氧化物半導體層、源極區、汲極區、源極電極層、及汲極電極層，其中，使用光罩以形成第一光罩層，光透射過所述光罩而具有多個強度，其中，在第一蝕刻步驟及第二蝕刻步驟中均採用使用蝕刻溶液的濕蝕刻，以及，其中，具有凹部的氧化物半導體層包含一區域，所述區域的厚度小於與源極電極層或汲極電極層重疊的區域的厚度。

在本說明書中揭示的半導體裝置的製造方法取得上述目的中至少之一。

此外，用於薄膜電晶體的源極區和汲極區之第二氧化物半導體膜較佳地比用於通道形成區之第一氧化物半導體膜還薄，以及，較佳地比第一氧化物半導體膜具有更高的導電率。

第二氧化物半導體膜具有 n 型導電率以及作為源極區和汲極區。

此外，在某些情形中，第一氧化物半導體膜具有非晶結構以及第二氧化物半導體膜在非晶結構中包含晶粒（奈米結晶）。在第二氧化物半導體膜中的晶粒（奈米晶粒）

具有 1 nm 至 10 nm，典型地約 2 nm 至 4 nm 之直徑。

關於用於源極區和汲極層（ $n^+$ 層）的第二氧化物半導體膜，可以使用 In-Ga-Zn-O 為基礎的非單晶膜。

絕緣膜可以形成為遮蓋薄膜電晶體及與包含通道形成區的氧化物半導體層接觸。

此外，由於薄膜電晶體容易受靜電等損傷，所以，用於保護驅動電路的保護電路較佳地電連接至相同基底上的閘極佈線或源極佈線。使用包含氧化物半導體的非線性元件，較佳地形成保護電路。

注意，為了方便起見而使用例如「第一」及「第二」等序數，但並非用於限定步驟層的堆疊次序。此外，在本說明書中的序數未代表具體說明本發明之特別名稱。

關於包含驅動電路的顯示裝置，除了液晶顯示裝置之外，尚有包含發光元件的發光顯示裝置及也稱為電子紙之包含電泳顯示元件的顯示裝置。

包含發光元件的發光顯示裝置包含像素部，像素部具有多個薄膜電晶體。像素部包含一區域，在所述區域中，一薄膜電晶體的閘極電極連接至另一薄膜電晶體的源極或汲極佈線。包含發光元件之發光顯示裝置的驅動電路包含一區域，在所述區域中，薄膜電晶體的閘極電極連接至薄膜電晶體的源極或汲極佈線。

注意，在本說明書中的半導體裝置表示可以藉由使用半導體特徵而操作的所有裝置，電光裝置、半導體電路、及電子設備均包含於半導體裝置的類別中。



此外，藉由降低光罩的數目，簡化微影術製程。因此，可以低成本及高生產力地製造可靠的半導體裝置。

**【圖式簡單說明】**

圖 1A 至 1E 顯示半導體裝置的製造方法。

圖 2A 及 2B 顯示半導體裝置。

圖 3A 至 3E 顯示半導體裝置的製造方法。

圖 4A 及 4B 顯示半導體裝置。

圖 5A 至 5C 顯示半導體裝置的製造方法。

圖 6A 至 6C 顯示半導體裝置的製造方法。

圖 7 顯示半導體裝置的製造方法。

圖 8 顯示半導體裝置的製造方法。

圖 9 顯示半導體裝置的製造方法。

圖 10 顯示半導體裝置的製造方法。

圖 11A1、11A2、11B1 及 11B2 顯示半導體裝置。

圖 12 顯示半導體裝置。

圖 13 顯示半導體裝置。

圖 14A 及 14B 均為半導體裝置的方塊圖。

圖 15 顯示訊號線驅動電路的結構。

圖 16 是時序圖，說明訊號線驅動電路的操作。

圖 17 是時序圖，說明訊號線驅動電路的操作。

圖 18 顯示移位暫存器的結構。

圖 19 顯示圖 18 的正反器連接結構。

圖 20 顯示半導體裝置中的像素的等效電路。

圖 21A 至 21C 均顯示半導體裝置。

圖 22A1、22A2、及 22B 顯示半導體裝置。

圖 23 顯示半導體裝置。

圖 24A 及 24B 顯示半導體裝置。

圖 25A 及 25B 顯示電子紙的應用實施例。

圖 26 是外部視圖，顯示電子書裝置的實施例。

圖 27A 及 27B 是外部視圖，分別顯示電視裝置及數位相框的實施例。

圖 28A 及 28B 是外部視圖，顯示遊戲機的實施例。

圖 29A 及 29B 是外部視圖，顯示行動電話的實施例。

圖 30A 至 30D 顯示多色調光罩。

### 【實施方式】

參考圖式，詳述實施例。但是，習於此技藝者容易瞭解，在不悖離本發明的範圍及精神下，可以以不同的方式，修改此處所揭示的細節。因此，本發明不應被解釋為受限於下述實施例的說明。在下述的本發明的結構中，相同的部份或具有類似功能的部份於不同的圖式中以相同的代號表示，且不重複其說明。

#### (實施例 1)

參考圖 1A 至 1E 以及圖 2A 和 2B，說明實施例 1 的半導體裝置的製造方法。

圖 2A 是實施例 1 的半導體裝置的薄膜電晶體 420 的平面視圖，圖 2B 是圖 2A 的 C1-C2 剖面視圖。薄膜電晶體 420 是逆交錯薄膜電晶體，以及，包含閘極電極層 401、閘極絕緣層 402、半導體層 403、作為源極區和汲極區的  $n^+$ 層 404a 和 404b、以及源極和汲極電極層 405a 和 405b。

圖 1A 至 1E 相當於薄膜電晶體 420 的製造步驟的剖面視圖。

在圖 1A 中，作為基部膜的絕緣膜 407 設於基底 400 上，閘極電極層 401 設於絕緣膜 407 上。絕緣膜 407 具有防止雜質元素從基底 400 擴散的功能，以及，使用氮化矽膜、氧化矽膜、氧氮化矽膜、及氮氧化矽膜之一或更多，將絕緣膜 407 形成為具有單層或堆疊層結構。在實施例 1 中，使用氧化矽膜（厚度 100 nm）。使用例如鈾、鈦、鉻、鈇、鎢、鋁、銅、銱、或銻、或包含這些材料中的任意材料作為主成份之合金材料，將閘極電極層 401 形成為具有單層或堆疊層的結構。

舉例而言，關於閘極電極層 401 的二層結構，下述結構是較佳的：鈾層堆疊於鈾層上的二層結構、鈾層堆疊於銅層上的二層結構、氮化鈦層或氮化鈇層堆疊於銅層上的二層結構、以及氮化鈦層及鈾層堆疊的二層結構。關於三層結構，較佳的是堆疊鎢層或氮化鎢層、鋁和矽的合金或鋁和鈦的合金、及氮化鈦層或鈦層。

閘極絕緣層 402、第一氧化物半導體膜 431、第二氧

化物半導體膜 432、及導電膜 433 依此次序堆疊於閘極電極層 401 上。

以電漿 CVD 法、濺射法、等等，使用氧化矽層、氮化矽層、氮氧化矽層、或氧氮化矽層，將閘極絕緣層 402 形成爲具有單層或堆疊層結構。或者，以使用有機矽烷氣體的 CVD 法，使用氧化矽層、氮化矽層、氮氧化矽層、或氧氮化矽層，形成閘極絕緣層 402。關於有機矽烷，可以使用例如四乙氧矽烷（TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式  $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、或三 2 甲基胺基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含矽化合物。

注意，在以濺射法形成第一氧化物半導體膜 431 之前，以逆濺射較佳地移除閘極絕緣層 402 的表面的灰塵，在逆濺射中，導入氬氣及產生電漿。逆濺射是使用 RF 功率以將電壓施加至基底側，而在氬氣氛圍中於基底側上產生電漿，但未施加電壓至靶材側，以致於修改表面。可以使用氮、氬、等等以取代氬氣氛圍。或者，可以將氧、氬、 $\text{N}_2\text{O}$ 、等等添加至氬氣氛圍。又或者，可以使用添加  $\text{Cl}_2$ 、 $\text{CF}_4$ 、等等的氬氣氛圍。

經由電漿處理，較佳地修改第二氧化物半導體膜 432 與導電膜 433 彼此接觸的區域。在實施例 1 中，在形成導電膜 433 之前，在氬氣氛圍中，於第二氧化物半導體膜 432（在實施例 1 中，In-Ga-Zn-O 爲基礎的非單晶膜）上執行

電漿處理。

使用氮、氬、等等以取代氬氛圍，執行電漿處理。或者，將氧、氬、 $N_2O$ 、等等添加至氬氛圍。又或者，將 $Cl_2$ 、 $CF_4$ 、等等添加至氬氛圍。

在實施例 1 中，使用 In-Ga-Zn-O 為基礎的非單晶膜作為第一氧化物半導體膜 431 及第二氧化物半導體膜 432。在不同的條件下，形成第一氧化物半導體膜 431 及第二氧化物半導體膜 432，以及，第二氧化物半導體膜 432 比第一氧化物半導體膜 431 具有更高的導電率及更低的電阻。舉例而言，使用氬氣流量設定為 40 sccm 之濺射法取得的氧化物半導體膜，形成第二氧化物半導體膜 432。第二氧化物半導體膜 432 具有 n 型導電率及具有從 0.01 eV 至 0.1eV 之活化能 ( $\Delta E$ )。注意，在實施例 1 中，第二氧化物半導體膜 432 是 In-Ga-Zn-O 為基礎的非單晶膜以及包含至少非晶成份。在某些情形中，第二氧化物半導體膜 432 在非晶結構中具有晶粒（奈米結晶）。在第二氧化物半導體膜 432 中的晶粒（奈米結晶）具有 1 nm 至 10 nm 的直徑，典型上約 2 nm 至 4 nm 的直徑。

藉由設置作為  $n^+$  層的第二氧化物半導體膜 432，使用金屬層所形成的導電膜 433 及作為通道形成區的第一氧化物半導體膜 431 具有有利的接面，允許比肖特基接面更熱穩定的操作。此外， $n^+$  層的設置對於供應載子給通道（源極側上）、穩定吸收來自通道（汲極側）的載子、或防止電阻成份形成於與佈線之間的介面處是有效的。此外，藉

由降低電阻，即使在高汲極電壓，仍然可以維持高遷移率。

可以連續地形成閘極絕緣層 402、第一氧化物半導體膜 431、第二氧化物半導體膜 432、及導電膜 433，而不用曝露於空氣中。藉由連續形成而不用曝露於空氣中，可以堆疊這些膜，而在它們之間的介面不會受大氣成份或漂浮於空氣中的污染雜質元素污染；因此，可以降低薄膜電晶體的特徵變異。

光罩 434 形成於閘極絕緣層 402、第一氧化物半導體膜 431、第二氧化物半導體膜 432、及導電膜 433 上。

在實施例 1 中，顯示以使用多色調光罩以執行曝光之方式，形成光罩 434 之實施例。形成光阻以形成光罩 434。關於光阻，可以使用正型光阻或負型光阻。此處，使用正型光阻。

接著，使用例如灰色調光罩 59a 或半色調光罩 59b 等多色調光罩作為曝光光罩，以光照射光阻，以致於光阻受曝光。

此處，將參考圖 30A 至 30D，說明多色調光罩之灰色調光罩 59a 或半色調光罩 59b 之曝光。

多色調光罩可以取得三曝光程度，以致於可以形成曝光部份、半曝光部份、及未曝光部份。換言之，多色調光罩使透射過其的光具有多個強度。一次曝光及顯影處理允許形成具有多個厚度的區域（典型上，二種厚度）之光阻光罩。如此，藉由使用多色調光罩，可以降低曝光光罩的

數目。

多色調光罩的典型實施例包含如圖 30A 所示之灰色調光罩 59a 及如圖 30C 所示之半色調光罩 59b。

如圖 30A 所示，灰色調光罩 59a 包含透光基底 63、及形成於透光基底 63 上的遮光部 64 和繞射光柵 65。遮光部 64 的透光率是 0%。繞射光柵 65 具有間隔小於或等於用於曝光之光的解析度之狹縫狀、點狀、網目狀、等透光部，藉以控制透光率。繞射光柵可為具有規律間隔的狹縫狀、點狀、網目狀；或具有不規律間隔的狹縫狀、點狀、網目狀。

關於透光基底 63，可以使用例如石英基底等透光基底。遮光部 64 及繞射光柵 65 均可使用例如鉻或氧化鉻等吸光的遮光材料來形成。

如圖 30B 所示，當灰色調光罩 59a 由曝照光照射時，遮光部 64 的透射率 66 是 0%，而未設置遮光部 64 及繞射光柵 65 的區域的透光率為 100%。繞射光柵 65 的透光率 66 控制在 10%至 70%的範圍內。藉由控制繞射光柵之狹縫、點、或網目的間距，可以控制繞射光柵 65 的透光率。

如圖 30C 所示，半色調光罩 59b 包含透光基底 63、以及形成於透光基底 63 上的半透光部 67 及遮光部 68。使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi、等等，可以形成半透光部 67。使用例如鉻或氧化鉻等吸光的遮光材料，形成遮光部 68。

如圖 30D 所示，在半色調光罩 59b 由曝照光照射的情形中，遮光部 68 的透光率 69 為 0%，而未設置遮光部 68 及半透光部 67 之區域的透光率為 100%。此外，僅設有半透光部 67 的區域之透光率 69 可以控制在 10%至 70%中。藉由選擇半透光部 67 的材料，可以控制僅設有半透光部 67 的區域的透光率。

使用多色調光罩，執行曝光，然後，執行顯影；因此，可以形成如圖 1B 所示的具有厚度不同之多個區域的光罩 434。

接著，使用光罩 434，執行第一蝕刻步驟；因此，將第一氧化物半導體膜 431、第二氧化物半導體膜 432、及導電膜 433 蝕刻成島狀。結果，可以形成第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437（請參見圖 1B）。

接著，使光罩 434 接受蝕刻，具體而言，接受灰化。結果，光罩的尺寸及厚度縮小。經由灰化，移除具有小厚度（與部份閘極電極層 401 重疊的區域）之光阻光罩的區域，以致於可以形成分割的光罩 438（請參見圖 1C）。

使用光罩 438，執行第二蝕刻步驟；因此，將第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437 蝕刻成半導體層 403、 $n^+$ 層 404a 和 404b、以及源極和汲極電極層 405a 和 405b（請參見圖 1D）。注意，將半導體層 403 部份地蝕刻而成為具有溝槽（凹部）以及也具有被部份蝕刻及曝露的端部之半導體層。



在實施例 1 中，藉由使用蝕刻溶液的濕蝕刻，執行第一及第二蝕刻步驟中的每一步驟。

關於蝕刻溶液，可以使用磷酸、醋酸、及硝酸的混合溶液、氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）、等等。或者，可以使用 ITO07N（由 Kanto 化學公司製造）。

視用於導電膜 433 的材料而適當地調整蝕刻條件（蝕刻溶液、蝕刻時間、溫度、等等），以致於膜可以蝕刻成所需形狀。

舉例而言，在以鋁膜或鋁合金膜用於導電膜 433 的情形中，可以執行使用磷酸、醋酸、及硝酸的混合溶液的濕蝕刻。此外，在以鈦膜用於導電膜 433 的情形中，執行使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻溶液之濕蝕刻。

舉例而言，在鋁膜或鋁合金膜用於導電膜 433 的情形中，可以在第一及第二蝕刻步驟使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻第一氧化物半導體膜 431、第二氧化物半導體膜 432、導電膜 433、第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437。

第一蝕刻步驟中使用的蝕刻溶液及第二蝕刻步驟中使用的蝕刻溶液可以彼此不同。此外，在第一及第二蝕刻步驟中的每一步驟中，用於蝕刻導電膜的蝕刻溶液與用於蝕刻氧化物半導體的蝕刻溶液可以彼此不同。

舉例而言，在以鈦膜用於導電膜 433 的情形中，在第一蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻溶液，蝕刻導電膜 433，以及，使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻第一氧化物半導體膜 431 及第二氧化物半導體膜 432。類似地，在第二蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻導電層 437，以及，使用磷酸、醋酸、及硝酸的混合溶液，蝕刻第一氧化物半導體層 435 及第二氧化物半導體層 436。

注意，在第二蝕刻步驟中，可以使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437，以致於可以形成半導體層 403 的凹部、 $n^+$ 層 404a 和 404b、及源極和汲極電極層 405a 和 405b。

當在第一蝕刻步驟中濕蝕刻第一氧化物半導體膜 431、第二氧化物半導體膜 432、及導電膜 433 時，各向等性地蝕刻第一氧化物半導體膜 431、第二氧化物半導體膜 432、及導電膜 433。如此，第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437 的端部未與光罩 434 的端部對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得第一氧化物半導體膜 431 與閘極絕緣層 402 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地進一步

薄化閘極絕緣層 402。

類似地，當在第二蝕刻步驟中，濕蝕刻第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437 時，各向等性地蝕刻第一氧化物半導體層 435、第二氧化物半導體層 436、及導電層 437。如此，半導體層 403 的凹部、半導體層 403、 $n^+$ 層 404a 和 404b、及源極和汲極電極層 405a 和 405b 的端部未與光罩 438 的端部相對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得導電層 437 或第二氧化物半導體層 436 與閘極絕緣層 402 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地進一步薄化閘極絕緣層 402。

此外，由於半導體層 403、 $n^+$ 層 404a 和 404b、及源極和汲極電極層 405a 和 405b 的端部的蝕刻速率視蝕刻條件或氧化物半導體材料及導電材料而定，所以，在某些情形中，曲度是不同的且端部是不連續的。

此外，藉由清洗，將濕蝕刻之後的蝕刻溶液與被蝕刻的材料一起移除。含有被移除的材料之蝕刻溶液的廢棄液體可以被純化以回收含於廢液中的材料。可以從蝕刻後的廢棄液體中收集及回收例如含於氧化物半導體層中的鈦等材料，以致於可以有效地使用資源及降低成本。

之後，移除光罩 438。

關於源極和汲極電極層 405a 和 405b 的材料，較佳地

使用蝕刻速率高於半導體層 403 的材料。這是因為在藉由蝕刻而一次蝕刻源極和汲極電極層 405a 和 405b 及半導體層 403 的情形中，降低半導體層 403 的蝕刻速率至低於源極和汲極電極層 405a 和 405b 的蝕刻速率可以抑制過度蝕刻半導體層 403。結果，可以抑制半導體層 403 的移除。

之後，較佳地，執行 200°C 至 600°C 的熱處理，典型地 300°C 至 500°C 的熱處理。此處，在氮氛圍中，於 350°C 下，執行熱處理一小時。經由此熱處理，在用於半導體層 403 及 n<sup>+</sup>層 404a 和 404b 的 In-Ga-Zn-O 為基礎的氧化物半導體之原子層發生重配置。此熱處理（包含光退火等等）的重要性在於中斷半導體層 403 及 n<sup>+</sup>層 404a 和 404b 中的載子傳輸之失真可以被解除。注意，對於何時執行熱處理並無特別限定，只要是在第一氧化物半導體膜 431 及第二氧化物半導體膜 432 形成之後執行即可。

此外，可以於半導體層 403 曝露的凹部上執行氧自由基處理。藉由氧自由基處理，使用半導體層 403 形成通道形成區之薄膜電晶體可以作為常關電晶體。此外，藉由自由基處理，可以修復導因於蝕刻的半導體層 403 之損傷。在 O<sub>2</sub> 或 N<sub>2</sub>O 的氛圍中、或包含氧之 N<sub>2</sub>、He、Ar、等的氛圍中，較佳地執行自由基處理。或者，可以使用添加 Cl<sub>2</sub> 或 CF<sub>4</sub> 至上述氛圍中而取得的氛圍。注意，在無偏壓電壓施加至基底側之下，較佳地執行自由基處理。

經由上述步驟，可以完成圖 1E 中所示的逆交錯薄膜電晶體 420。

如同在實施例 1 中一般，藉由使用由多色調光罩形成之具有多個（典型上二種）厚度的區域之光阻光罩，可以減少光阻光罩的數目；因此，可以簡化製程及降低成本。如此，可以低成本高生產力地製造可靠的半導體裝置。

### （實施例 2）

此處，參考圖 3A 至 3E 以及圖 4A 和 4B，說明與實施例 1 相較之包含薄膜電晶體的半導體裝置的實施例，所述薄膜電晶體具有的結構中源極與汲極電極與半導體層相接觸。

圖 4A 是實施例 2 的半導體裝置中的薄膜電晶體 460 的平面視圖，圖 4B 是圖 4A 的 D1-D2 剖面視圖。薄膜電晶體 460 是逆交錯薄膜電晶體，以及，包含閘極電極層 451、閘極絕緣層 452、半導體層 453、以及源極和汲極電極層 455a 和 455b。

圖 3A 至 3E 是剖面視圖，顯示薄膜電晶體 460 的製造步驟。

在圖 3A 中，作為基部膜的絕緣膜 457 設於基底 450 上，閘極電極層 451 設於絕緣膜 457 上。閘極絕緣層 452、氧化物半導體膜 481、及導電膜 483 依此次序堆疊於閘極電極層 451 上。

經由電漿處理，較佳地修改氧化物半導體膜 481 與導電膜 483 彼此接觸的區域。在實施例 2 中，在形成導電膜

483 之前，在氬氛圍中，於氧化物半導體膜 481（在實施例 2 中，In-Ga-Zn-O 為基礎的非單晶膜）上執行電漿處理。

使用氮、氬、等等以取代氬氛圍，執行電漿處理。或者，將氧、氬、 $N_2O$ 、等等添加至氬氛圍。又或者，可以使用添加  $Cl_2$ 、 $CF_4$ 、等等的氬氛圍。

可以連續地形成閘極絕緣層 452、氧化物半導體膜 481、及導電膜 483，而不用曝露於空氣中。藉由連續形成而不用曝露於空氣中，可以堆疊這些膜，而在它們之間的介面不會受大氣成份或漂浮於空氣中的污染雜質元素污染；因此，可以降低薄膜電晶體的特徵變異。

光罩 484 形成於閘極絕緣層 452、氧化物半導體膜 481、及導電膜 483 上。

在實施例 2 中，顯示以使用多色調光罩以執行曝光之方式，形成光罩 484 之實施例。以類似於實施例 1 的光罩 434 的方式，形成光罩 484。

使用使光透射過而具有多個強度之多色調光罩，執行曝光，然後，執行顯影，因此，可以形成如圖 3B 所示的具有厚度不同之多個區域的光罩 484。藉由使用多色調光罩，可以降低曝光光罩的數目。

接著，使用光罩 484，執行第一蝕刻步驟；因此，將氧化物半導體膜 431 及導電膜 433 蝕刻成島狀。結果，可以形成氧化物半導體層 485 及導電層 487（請參見圖 3B）。

接著，使光罩 484 接受蝕刻，具體而言，接受灰化。結果，光罩的尺寸及厚度縮小。經由灰化，移除具有小厚度（與部份閘極電極層 451 重疊的區域）之光阻光罩的區域，以致於可以形成分割的光罩 488（請參見圖 3C）。

使用光罩 488，執行第二蝕刻步驟；因此，將氧化物半導體層 485 及導電層 487 蝕刻成半導體層 453 以及源極和汲極電極層 455a 和 455b（請參見圖 3D）。注意，將半導體層 453 部份地蝕刻而成為具有溝槽（凹部）以及也具有被部份蝕刻及曝露的端部之半導體層。

在實施例 2 中，藉由使用蝕刻溶液的濕蝕刻，執行第一及第二蝕刻步驟中的每一步驟。

關於蝕刻溶液，可以使用磷酸、醋酸、及硝酸的混合溶液、氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）、等等。或者，可以使用 ITO07N（由 Kanto 化學公司製造）。

視用於導電膜 483 的材料而適當地調整蝕刻條件（蝕刻溶液、蝕刻時間、溫度、等等），以致於可以將膜蝕刻成所需形狀。

舉例而言，在以鋁膜或鋁合金膜用於導電膜 483 的情形中，可以使用磷酸、醋酸、及硝酸的混合溶液以執行濕蝕刻。此外，在以鈦膜用於導電膜 483 的情形中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻溶液，執行濕蝕刻。

舉例而言，在鋁膜或鋁合金膜用於導電膜 483 的情形

中，可以在第一及第二蝕刻步驟使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻導電膜 483、氧化物半導體膜 481、導電膜 483、氧化物半導體層 485、及導電層 487。

在第一及第二蝕刻步驟中可以使用不同的蝕刻溶液。此外，在第一及第二蝕刻步驟中，使用不同的蝕刻溶液以蝕刻導電膜及氧化物半導體膜。

舉例而言，在以鈦膜用於導電膜 483 的情形中，在第一蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻溶液，蝕刻導電膜 483，以及，使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻氧化物半導體膜 481。類似地，在第二蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻導電層 487，以及，使用磷酸、醋酸、及硝酸的混合溶液，蝕刻氧化物半導體層 485。

注意，在第二蝕刻步驟中，可以使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻氧化物半導體層 485，以致於也可以形成半導體層 453 的凹部及源極和汲極電極層 455a 和 455b。

當在第一蝕刻步驟中濕蝕刻氧化物半導體膜 481 及導電膜 483 時，各向等性地蝕刻氧化物半導體膜 481 及導電膜 483。如此，氧化物半導體層 485 及導電層 487 的端部未與光罩 484 的端部對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於



步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得氧化物半導體膜 481 與閘極絕緣層 452 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地進一步薄化閘極絕緣層 452。

類似地，當在第二蝕刻步驟中，濕蝕刻氧化物半導體層 485 及導電層 487 時，各向等性地蝕刻氧化物半導體層 485 及導電層 487。如此，半導體層 453 及源極和汲極電極層 455a 和 455b 的凹部的端部未與光罩 488 的端部相對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得導電層 483 與閘極絕緣層 452 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地進一步薄化閘極絕緣層 452。

此外，由於半導體層 453 及源極和汲極電極層 455a 和 455b 的端部的蝕刻速率視蝕刻條件或氧化物半導體材料及導電材料而定，所以，在某些情形中，端部之曲度是不同的且端部是不連續的。

此外，藉由清洗，將濕蝕刻之後的蝕刻溶液與被蝕刻的材料一起移除。含有被移除的材料之蝕刻溶液的廢棄液體可以被純化以回收含於廢液中的材料。可以從蝕刻後的廢棄液體中收集及回收例如含於氧化物半導體層中的鈦等材料，以致於可以有效地使用資源及降低成本。

之後，移除光罩 488。

經由上述步驟，可以完成圖 3E 中所示的逆交錯薄膜

電晶體 460。

如同在實施例 2 中一般，藉由使用由多色調光罩形成之具有多個（典型上二種）厚度的區域之光阻光罩，可以減少光阻光罩的數目；因此，可以簡化製程及降低成本。如此，可以低成本高生產力地製造可靠的半導體裝置。

### （實施例 3）

在實施例 3 中，參考圖 5A 至 5C、圖 6A 至 6C、圖 7、圖 8、圖 9、圖 10、圖 11A1、11A2、11B1、及 11B2、以及圖 12，說明包含薄膜電晶體的顯示裝置的製程。

關於圖 5A 中所示的具有透光特性之基底 100，可以使用鋁硼矽酸玻璃、鋁硼矽酸玻璃、等等，舉例而言，康寧（Corning）公司製造的 #7059 玻璃、#1737 玻璃、等等。

接著，完全於基底 100 的表面上形成導電層，然後，執行第一微影術製程以形成光阻光罩。然後，以蝕刻移除不需要的部份，以致於形成佈線及電極（包含閘極電極層 101 的閘極佈線、電容器佈線 108、及第一端子 121）。此時，執行蝕刻，以致於至少閘極電極層 101 的端部會尾端逐漸變細。圖 5A 是剖面視圖，顯示此狀態。注意，圖 7 對應於此狀態的上視圖。注意，圖 7 中的點虛線顯示稍後形成的源極和汲極電極層、像素電極層、及接觸孔。

使用例如選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鋱 (Nd)、或釷 (Sc) 之元素；包含這些元素中的任一元素之合金；包含這些元素中的任意組合之合金；或包含這些元素中的任意元素之氮化物等抗熱導電材料，在端子部，較佳地形成包含閘極電極層 101、電容器佈線 108、及第一端子 121 之每一閘極佈線。在使用例如鋁 (Al) 或銅 (Cu) 等低電阻導電材料的情形中，由於 Al 單獨具有低抗熱性的問題、腐蝕傾向、等等，所以，與上述抗熱導電材料相組合地使用低阻抗導電材料。

接著，完全在閘極電極層 101 上形成閘極絕緣層 102。以濺射法等等，形成厚度 50 nm 至 250 nm 的閘極絕緣層 102。

舉例而言，以濺射法形成厚度 100 nm 的氧化矽膜作為閘極絕緣層 102。無需多言，閘極絕緣層 102 不限於此氧化矽膜，可以形成具有單層或堆疊層結構之另一絕緣膜，例如氮氧化矽膜、氮化矽膜、氧化鋁膜、或氧化鉬膜。

注意，在形成氧化物半導體膜之前，以逆濺射，較佳地移除閘極絕緣層的表面上的灰塵，在逆濺射中，導入氬氣及產生電漿。可以使用氮、氬、等等以取代氬氣氛圍。或者，可以將氧、氬、 $N_2O$ 、等等添加至氬氣氛圍。又或者，將  $Cl_2$ 、 $CF_4$ 、等等添加至氬氣氛圍。

接著，在閘極絕緣層 102 上形成第一氧化物半導體膜

109 (在實施例 3 中為第一 In-Ga-Zn-O 為基礎的非單晶膜)。由於灰塵及濕氣並未附著至閘極絕緣層與半導體膜之間的介面，所以，在電漿處理之後，沈積 In-Ga-Zn-O 為基礎的非單晶膜，而不用曝露至空氣，是為有效的。此處，在下述條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜：靶材為直徑 8 吋之包含 In、Ga、及 Zn ( $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO} = 1 : 1 : 1$ ) 之氧化物半導體靶材，靶材與基底之間的距離是 170 mm，壓力為 0.4 Pa，直流 (DC) 電源為 0.5 kW，氛圍為氬氣或氧氣。由於可以減少灰塵及膜厚可以變均勻，所以，脈衝式直流 (DC) 電流是較佳的。第一 In-Ga-Zn-O 為基礎的非單晶膜的厚度設定在 5 nm 至 200 nm 的範圍中。在實施例 3 中，In-Ga-Zn-O 為基礎的非單晶膜的厚度為 100 nm。

接著，以濺射法形成第二氧化物半導體膜 111 (在實施例 3 中為第二 In-Ga-Zn-O 為基礎的非單晶膜)，而不用曝露至空氣。此處，在下述條件下，執行濺射沈積：靶材為  $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO} = 1 : 1 : 1$ ，壓力為 0.4 Pa，電功率數量為 500 W、沈積溫度為室溫、氬氣流速為 40 sccm。雖然刻意地使用  $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO} = 1 : 1 : 1$  的靶材，但是，在某些情形中，正好在沈積之後，取得包含大小為 1 nm 至 10 nm 的晶粒之 In-Ga-Zn-O 為基礎的非單晶膜。藉由適當地調整靶材成份比、沈積壓力 (0.1 Pa 至 2.0 Pa)、電功率數量 (250 W 至 300 W : 8 吋  $\phi$ )、溫度 (室溫至 100 °C)、反應濺射的沈積條件、等等，可以

控制晶粒的存在或不存在和晶粒的密度，以及，在 1 nm 至 10 nm 的範圍之內，調整晶粒的直徑。In-Ga-Zn-O 為基礎的非單晶膜的厚度是 5 nm 至 20 nm。無需多言，在膜包含晶粒的情形中，晶粒的大小不會超過膜厚。在實施例 3 中，第二 In-Ga-Zn-O 為基礎的非單晶膜的厚度為 5 nm。

在彼此不同的條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜及第二 In-Ga-Zn-O 為基礎的非單晶膜。舉例而言，在第一 In-Ga-Zn-O 為基礎的非單晶膜的沈積條件下氧氣對氫氣的流量比高於第二 In-Ga-Zn-O 為基礎的非單晶膜的沈積條件下的氧氣對氫氣的流量比。具體而言，在稀有氣體（例如氫氣或氮氣）氛圍（或是包含 10%或更低的氧氣及 90%或更多的氫氣之氛圍）中，形成第二 In-Ga-Zn-O 為基礎的非單晶膜，以及，在氧氣氛圍（亦即，氧氣流量等於或高於氫氣流量）中，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。

在先前執行逆濺射的腔室中、或者在與先前執行逆濺射的腔室之不同腔室中，形成第二 In-Ga-Zn-O 為基礎的非單晶膜。

關於濺射方法，有使用高頻功率源作為濺射功率源之 RF 濺射法、DC 濺射法、及以脈衝方式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情形中，主要使用 RF 濺射法，以及，在形成金屬膜的情形中，主要使用 DC 濺射法。

此外，有多源濺射設備，其中，設有多個不同材料的靶材。藉由多源濺射設備，可以在腔室中形成堆疊的不同材料膜，或是，在相同腔室中，同時以放電來形成具有多種材料的膜。

此外，也有在腔室內設有磁鐵系統以及用於磁控管濺射方法的濺射設備、或是用於 ECR 濺射法的濺射設備，在用於 ECR 濺射法的濺射設備中，使用藉由微波產生的電漿而不使用輝光放電。

此外，藉由濺射法之沈積法，也有反應濺射法、及偏壓濺射法，在反應濺射法中，在沈積期間，靶材物質及濺射氣體成份彼此反應以形成其化合物的薄膜，在偏壓濺射法中，在沈積期間，電壓也施加至基底。

接著，以濺射法或真空蒸鍍法，使用金屬材料，在第一氧化物半導體膜 109 及第二氧化物半導體膜 111 上，形成導電膜 132。

圖 5B 顯示此狀態的剖面視圖。

關於導電膜 132 的材料，有選自 Al、Cr、Ti、Ta、Mo、或 W 的元素、包含上述元素的合金、包含這些元素的任意組合之合金、等等。在 200 °C 至 600 °C 下執行熱處理的情形中，導電膜 132 較佳地形成為抗此熱處理。在使用 Al 的情形中，由於 Al 單獨具有低抗熱性、腐蝕傾向等問題，所以，與抗熱導電材料相組合地使用 Al。關於與 Al 組合地使用之抗熱導電材料，使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、鈮

(Nd)、或鈦(Sc)之元素；包含這些元素中的任意元素之合金；包含這些元素中的任意組合之合金膜；或這些元素中的任意元素之氮化物。

此處，導電膜 132 是單層結構的鈦膜。或者，導電膜 132 可具有二層結構；舉例而言，鈦膜堆疊於鋁膜上。又或者，導電膜 132 可以具有三層結構；舉例而言，形成 Ti 膜，包含 Nd 的鋁膜 (Al-Nd 膜) 堆疊於 Ti 膜上，又於其上形成 Ti 膜。導電膜 132 可為包含單層結構的矽之鋁膜。

接著，執行第二微影術處理以形成光罩 133，光罩 133 為光阻光罩。在實施例 3 中，說明使用多色調光罩以執行曝光以用於形成光罩 133 之實施例。以類似於實施例 1 的光罩 434 之方式，形成光罩 133。

使用使光透射過而具有多個強度之多色調光罩，執行曝光，然後，執行顯影，因此，可以形成如圖 5C 所示的具有厚度不同之多個區域的光罩 133。藉由使用多色調光罩，可以降低曝光光罩的數目。

接著，使用光罩 133，執行第一蝕刻步驟；因此，將第一氧化物半導體膜 109、第二氧化物半導體膜 111、及導電膜 132 蝕刻成島狀，第一氧化物半導體膜 109 是第一 In-Ga-Zn-O 為基礎的非單晶膜，第二氧化物半導體膜 111 是 In-Ga-Zn-O 為基礎的非單晶膜。結果，可以形成第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136 (請參見圖 5C)。圖 8 是上視圖，顯示無具光罩

133 的此狀態。注意，圖 8 中的點虛線顯示稍後形成的像素電極層、接觸孔等等。

接著，使光罩 133 接受蝕刻，具體而言，接受灰化。結果，光罩的尺寸及厚度縮小。經由灰化，移除具有小厚度（與部份閘極電極層 101 重疊的區域）之光阻光罩的區域，以致於可以形成分割的光罩 131（請參見圖 6A）。

使用光罩 131，執行第二蝕刻步驟；因此，將第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136 蝕刻成半導體層 103、作為源極區和汲極區的  $n^+$  層 104a 和 104b、以及源極和汲極電極層 105a 和 105b。注意，將半導體層 103 部份地蝕刻而成為具有溝槽（凹部）以及也具有被部份蝕刻及曝露的端部之半導體層。

在實施例 3 中，藉由使用蝕刻溶液的濕蝕刻，執行第一及第二蝕刻步驟中的每一步驟。

關於蝕刻溶液，可以使用磷酸、醋酸、及硝酸的混合溶液、氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）、等等。

視用於導電膜 132 的材料而適當地調整蝕刻條件（蝕刻溶液、蝕刻時間、溫度、等等），以致於可以將膜蝕刻成所需形狀。

舉例而言，在以鋁膜或鋁合金膜用於導電膜 132 的情形中，可以使用磷酸、醋酸、及硝酸的混合溶液以執行濕蝕刻。此外，在以鈦膜用於導電膜 132 的情形中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻



溶液，執行濕蝕刻。

舉例而言，在鋁膜或鋁合金膜用於導電膜 132 的情形中，可以在第一及第二蝕刻步驟使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻第一氧化物半導體膜 109、第二氧化物半導體膜 111、導電膜 132、第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136。

在第一蝕刻步驟中使用的蝕刻溶液及第二蝕刻步驟中使用的蝕刻溶液可以彼此不同。此外，在第一及第二蝕刻步驟中，用於蝕刻導電膜的蝕刻溶液及用於蝕刻氧化物半導體的蝕刻溶液可以彼此不同。

舉例而言，在以鈦膜用於導電膜 132 的情形中，在第一蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2）作為蝕刻溶液，蝕刻導電膜 132，以及，使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻溶液，蝕刻第一氧化物半導體膜 109 及第二氧化物半導體膜 111。類似地，在第二蝕刻步驟中，使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻導電層 136，以及，使用磷酸、醋酸、及硝酸的混合溶液，蝕刻第二氧化物半導體層 135。

注意，在第二蝕刻步驟中，可以使用氨過氧化氫混合物（過氧化氫：氨：水=5：2：2），蝕刻第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136，以致於可以形成半導體層 103 的凹部、 $n^+$ 層 104a 和 104b、

及源極和汲極電極層 105a 和 105b。

當在第一蝕刻步驟中濕蝕刻第一氧化物半導體膜 109、第二氧化物半導體膜 111、及導電膜 132 時，各向等性地蝕刻第一氧化物半導體膜 109、第二氧化物半導體膜 111、及導電膜 132。如此，第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136 的端部未與光罩 133 的端部對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得第一氧化物半導體膜 109 與閘極絕緣層 102 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地進一步薄化閘極絕緣層 102。

類似地，當在第二蝕刻步驟中，濕蝕刻第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136 時，各向等性地蝕刻第一氧化物半導體層 134、第二氧化物半導體層 135、及導電層 136。如此，半導體層 103 的凹部、以及  $n^+$  層 104a 和 104b 及源極和汲極電極層 105a 和 105b 的端部未與光罩 131 的端部相對齊且這些端部進一步凹陷，以致於端部的形狀具有曲度。因此，可以防止於其上形成導因於步階的膜斷接或遮蓋缺陷。此外，由於可以容易地取得導電層 136 或第二氧化物半導體層 135 與閘極絕緣層 102 之間的高蝕刻選擇性，所以，假使使用濕蝕刻時，可以防止不必要地薄化閘極絕緣層 102。

此外，藉由清洗，將濕蝕刻之後的蝕刻溶液與被蝕刻

的材料一起移除。含有被移除的材料之蝕刻溶液的廢棄液體可以被純化以回收含於廢液中的材料。可以從蝕刻後的廢棄液體中收集及回收例如含於氧化物半導體層中的銦等材料，以致於可以有效地使用資源及降低成本。

接著，移除光罩 131，以及，較佳地，執行 200°C 至 600°C 的熱處理，典型地 300°C 至 500°C 的熱處理。此處，在加熱爐中，在氮氛圍中，於 350°C 下，執行熱處理一小時。經由此熱處理，在 In-Ga-Zn-O 為基礎的非單晶膜之原子層發生重配置。此熱處理（包含光退火等等）的重要性在於中斷載子傳輸之失真可以被解除。注意，對於何時執行熱處理並無特別限定，只要是在第二 In-Ga-Zn-O 為基礎的非單晶膜形成之後執行即可。舉例而言，在形成像素電極之後，可以執行熱處理。

此外，可以於半導體層 103 的通道形成區的曝露部份上執行氧自由基處理。藉由氧自由基處理，薄膜電晶體可以作為常關電晶體。此外，藉由自由基處理，可以修復導因於蝕刻的半導體層 103 之損傷。在 O<sub>2</sub> 或 N<sub>2</sub>O 的氛圍中、或包含氧之 N<sub>2</sub>、He、Ar、等的氛圍中，較佳地執行自由基處理。或者，可以使用添加 Cl<sub>2</sub> 或 CF<sub>4</sub> 至上述氛圍中而取得的氛圍。注意，在無偏壓電壓施加之下，較佳地執行自由基處理。

經由上述步驟，可以完成薄膜電晶體 170，其通道形成區係使用半導體層 103 形成。圖 6A 是剖面視圖，顯示此狀態。注意，圖 9 相當於無光罩 131 之此狀態的上視

圖。注意，圖 9 中的虛線顯示稍後形成的像素電極層及接觸孔。

執行第二蝕刻步驟，以致於由與半導體層 103 相同的材料形成之端子層 124、由與  $n^+$  層 104a 和 104b 相同的材料形成的端子部中的  $n^+$  層 123、以及由與源極和汲極層 105a 和 105b 相同的材料形成的第二端子 122 餘留於端子部中。注意，第二端子 122 電連接至源極佈線（包含源極與汲極電極層 105a 和 105b 的源極佈線）。

藉由使用由多色調光罩形成之具有多個（典型上二種）厚度的區域之光阻光罩，可以減少光阻光罩的數目；因此，可以簡化製程及降低成本。

接著，形成保護絕緣層 107 以遮蓋薄膜電晶體 170。使用以濺射法等取得的氮化矽膜、氧化矽膜、氮氧化矽膜、氧化鋁膜、氧化鋇膜、等等，形成保護絕緣層 107。

接著，執行第三微影術處理以形成光阻光罩。蝕刻閘極絕緣層 102 及保護絕緣層 107 以形成到達源極或汲極電極層 105b 的接觸孔 125。此外，藉由此蝕刻，也形成到達第二端子 122 的接觸孔 127 及到達第一端子 121 的接觸孔 126。圖 6B 是剖面視圖，顯示此狀態。

接著，移除光阻光罩，然後形成透明導電膜。以濺射法、真空蒸鍍法、等等，使用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化銦－氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、等等，形成透明導電膜。使用包含鹽酸的溶液，蝕刻這些材料的膜。但是，由於 ITO 的蝕刻特別傾向於留下餘留物，所以，可

以使用氧化銦－氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）以增進蝕刻處理力。

接著，執行第四微影術處理以形成光阻光罩。以蝕刻移除不需要的部份，因而形成像素電極層 110。

此外，藉由此第四微影術處理，在電容器部份中使用閘極絕緣層 102 及保護絕緣層 107 作為介電質，以電容器佈線 108 和像素電極層 110 一起形成儲存電容器。

此外，在第四微影術處理中，第一端子及第二端子由光阻光罩遮蓋。因此，形成於端子部中的透明導電膜 128 和 129 留下。透明導電膜 128 和 129 均作為用於與 FPC（可撓印刷電路板）連接的電極或佈線。直接連接至第一端子 121 的透明導電膜 128 用於連接用的端子電極，所述端子電極係作為閘極佈線的輸入端。形成於第二端子 122 上的透明導電膜 129 用於連接用的端子電極，所述端子電極係作為源極佈線的輸入端。

接著，移除光阻光罩。圖 6C 是剖面視圖，顯示此狀態。注意，圖 10 相當於此狀態的上視圖。

圖 11A1 及 11A2 分別為剖面視圖及上視圖，顯示此狀態的閘極佈線端子部。圖 11A1 對應於圖 11A2 的 E1-E2 剖面視圖。在圖 11A1 中，形成於保護絕緣膜 154 上的透明導電膜 155 用於連接用的端電極，端電極係作為輸入端。在圖 11A1 的端子部中，由與閘極佈線相同的材料形成的第一端子 151 與由與源極佈線相同材料形成的連接電極層 153 重疊，以閘極絕緣層 152、第一氧化物半導體層

157 及第二氧化物半導體層 158 介於其間，以及，使第一端子 151 與連接電極層 153 經由端子部中的透明導電膜 155 而導通。注意，圖 6C 中透明導電膜 128 與第一端子 121 相接觸的部份對應於圖 11A1 中透明導電膜 155 與第一端子 151 相接觸的部份。

圖 11B1 及 11B2 分別為剖面視圖及上視圖，顯示不同於圖 6C 的源極佈線端子部的源極佈線端子部。此外，圖 11B1 對應於圖 11B2 的 F1-F2 剖面視圖。在圖 11B1 中，形成於保護絕緣膜 154 上的透明導電膜 155 用於連接用的端子電極，端子電極係作為輸入端。在圖 11B1 的端子部中，由與佈線相同的材料形成的電極層 156 配置於電連接至源極佈線的第二端子 150 之下，以閘極絕緣層 152、第一氧化物半導體層 157 及第二氧化物半導體層 158 配置於其間。電極層 156 未電連接至第二端子 150，以及，藉由設定電極層 156 的電位成為不同於第二端子 150 的電位，舉例而言，浮動、接地、0V、等等，而形成抗雜訊或靜電的電容器。第二端子 150 經由保護絕緣膜 154 而電連接至透明導電膜 155。

根據像素密度，設置多個閘極佈線、源極佈線、及電容器佈線。在端子部中，配置多個端子：第一端子、第二端子、第三端子、等等，第一端子具有與閘極佈線相同的電位，第二端子具有與源極佈線相同的電位，第三端子具有與電容器佈線相同的電位。各別端子的數目由業者適當地決定。

經由依此方式執行的四個微影術製程，藉由使用四個光罩，可以完成儲存電容器及包含薄膜電晶體 170 之像素薄膜電晶體部，薄膜電晶體 170 是底部閘極型 n 通道薄膜電晶體。然後，以對應於像素的矩陣，配置它們，以致於形成像素部份；如此，取得用於製造主動矩陣顯示裝置的一基底。在本說明書中，為了便於說明，將此基底稱為主動矩陣基底。

在製造主動矩陣液晶顯示裝置的情形中，液晶層設於主動矩陣基底與設有對立電極之對立基底之間，然後，將主動矩陣基底與對立基底彼此固定。注意，電連接至對立基底的對立電極之共同電極設於主動基底上，以及，電連接至共同電極的第四端子設於端子部中。第四端子用於設定要固定的共同電極的電位，舉例而言，接地、0V、等等。

像素結構不限於圖 10 中所示的像素結構。圖 12 顯示不同於圖 10 的上視圖。在圖 12 中所示的實施例中，未設置電容器，以及，以像素電極與相鄰的像素的閘極佈線重疊並以保護絕緣膜和閘極絕緣層介於其間之方式，形成儲存電容器；在此情形中，可以免除電容器佈線及連接至電容器佈線的第三端子。注意，在圖 12 中，與圖 10 中相同的部份以相同代號表示。

在主動矩陣液晶顯示裝置中，藉由驅動以矩陣配置的像素電極，將顯示圖案形成於螢幕上。具體而言，藉由在選取的像素電極與對應於選取的像素電極之對立電極之間

施加電壓，光學地調變設於像素電極與對立電極之間的液晶層，導因於此光學調變之透射或未透射會被觀看者視為顯示圖案。

在以液晶顯示裝置顯示動態影像的情形中，液晶分子的響應速度低。因此，會有動態影像的後像或模糊等問題。爲了增進液晶顯示裝置有關動態影像的特徵，有一驅動技術，其於整個螢幕上每一框地執行黑顯示，此稱爲黑插入。

此外，有一驅動技術，其使垂直同步頻率增加 1.5 倍或更多，較佳地爲 2 倍或更多，以增進響應速度，以及，對每一框中分割的多個欄，選取要寫入的灰階，此技術稱爲雙倍框速驅動。

此外，爲了增進液晶顯示裝置關於動態影像的特徵，有一驅動技術，其使用多個 LED（發光二極體）、多個 EL 光源、等等以形成平面光源，以及，獨立地使用平面光源的每一光源以在一框週期內執行間歇發光驅動。關於平面光源，可以使用三或更多種 LED，或者，使用發射白光的 LED。由於可以獨立地控制多個 LED，所以，LED 發光時的時間可以根據液晶層的光學調變切換時的時間同步。藉由此驅動技術，可以部份地關閉 LED；因此，特別是在顯示大部份的螢幕上包含黑顯示區的畫面時，可以降低功率消耗。

藉由使用任何這些技術的組合，相較於傳統的液晶顯示裝置的顯示特徵，可以增進液晶顯示裝置的顯示特徵，



例如顯示動態影像時的特徵。

在實施例 3 中取得的 n 通道電晶體中，使用 In-Ga-Zn-O 為基礎的非單晶膜，形成通道形成區，以及，此電晶體具有有利的動態特徵。因此，可以組合地使用這些驅動技術。

在製造發光顯示裝置的情形中，將有機發光元件的一電極的電位（也稱為陰極）設定在低電源電位，舉例而言，接地、0V、等等。因此，端子部設有用於將陰極電位設定至例如接地、0V、等低電源電位之第四端子。此外，在製造發光顯示裝置的情形中，除了源極佈線與閘極佈線之外，尚設置電源線。因此，端子部設有電連接至電源線的第五端子。

如同實施例 3 中所述般，以氧化物半導體膜用於薄膜電晶體可以降低製造成本。

如同實施例 3 中一般，藉由使用以多色調光罩形成之具有多個（典型上二種）厚度的光阻光罩，可以降低光阻光罩的數目，簡化製程及降低成本。因此，可以低成本高生產力地製造可靠的半導體裝置。

實施例 3 可以與其它實施例中揭示的方法適當地結合而實施。

#### （實施例 4）

在實施例 4 中，將於下說明於顯示裝置的一基底上製造至少部份驅動電路及像素部的薄膜電晶體，顯示裝置係

半導體裝置的一實施例。

根據實施例 1 至 3 中的任意實施例，形成像素部中的薄膜電晶體。實施例 1 至 3 中的任意實施例中所述的薄膜電晶體是 n 通道 TFT；因此，在與像素部的薄膜電晶體相同的基底上，形成使用 n 通道 TFT 形成的部份驅動電路。

圖 14A 是半導體裝置的一實施例之主動矩陣液晶顯示裝置的方塊圖的實施例。圖 14A 中所示的顯示裝置包含設於基底 5300 上之具有多個均設有顯示元件的像素之像素部 5301、選取各別像素的掃描線驅動電路 5302、及控制輸入至選取的像素之視頻訊號的訊號線驅動電路 5303。

像素部 5301 藉由多個於行方向上從訊號線驅動電路 5303 延伸之訊號線 S1 至 S<sub>m</sub>（未顯示）連接至訊號線驅動電路 5303，以及，藉由多個於列方向上從掃描線驅動電路 5302 延伸之掃描線 G1 至 G<sub>n</sub>（未顯示）連接至掃描線驅動電路 5302。像素部 5301 包含對應於訊號線 S1 至 S<sub>m</sub> 以及掃描線 G1 至 G<sub>n</sub> 而以矩陣配置多個像素（未顯示）。此外，每一像素連接至訊號線 S<sub>j</sub>（訊號線 S1 至 S<sub>m</sub> 中的任一訊號線）及掃描線 G<sub>i</sub>（掃描線 G1 至 G<sub>n</sub> 中的任一掃描線）。

實施例 1 至 3 中的任意實施例中所述的薄膜電晶體是 n 通道 TFT，參考圖 15，說明包含 n 通道 TFT 的訊號線驅動電路。

圖 15 中所示的訊號線驅動電路包含驅動器 IC5601、

開關組 5602\_1 至 5602\_M、第一佈線 5611、第二佈線 5612、第三佈線 5613、及佈線 5621\_1 至 5621\_M。開關組 5601\_1 至 5602\_2 中的每一組均包含第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c。

驅動器 IC 5601 連接至第一佈線 5611、第二佈線 5612、第三佈線 5613、及佈線 5621\_1 至 5621\_M。開關組 5602\_1 至 5602\_M 中的每一組連接至第一佈線 5611、第二佈線 5612、第三佈線 5613、及分別對應於開關組 5602\_1 至 5602\_M 之佈線 5621\_1 至 5621\_M 之一。佈線 5621\_1 至 5621\_M 之中的每一佈線經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 連接至三訊號線。舉例而言，第 J 行的佈線 5621（佈線 5621\_1 至 5621\_M 中的任一佈線）經由開關組 5602\_J 的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 連接至訊號線 Sj-1、訊號線 Sj、及訊號線 Sj+1。

注意，訊號輸入至第一佈線 5611、第二佈線 5612、及第三佈線 5613 中的每一佈線。

注意，較佳地，在單晶基底上，形成驅動器 IC 5601。此外，開關組 5602\_1 至 5602\_M 較佳地形成於與像素部相同的基底上。因此，驅動器 IC 5601 經由 FPC 等較佳地連接至開關組 5602\_1 至 5602\_M。

接著，參考圖 16 的時序圖，說明圖 15 中所示的訊號

線驅動電路的操作。圖 16 是時序圖，其中，第  $i$  列中的掃描線  $G_i$  被選取。此外，將第  $i$  列中的掃描線  $G_i$  的選取週期分割成第一副選取週期  $T_1$ 、第二副選取週期  $T_2$ 、及第三副選取週期  $T_3$ 。此外，即使當另一列的掃描線被選取時，圖 15 中的訊號線驅動電路之操作仍然類似於圖 16 中的操作。

注意，圖 16 的時序圖顯示第  $J$  行中的佈線  $5621_J$  經由第一薄膜電晶體  $5603a$ 、第二薄膜電晶體  $5603b$ 、及第三薄膜電晶體  $5603c$ ，連接至訊號線  $S_{j-1}$ 、訊號線  $S_j$ 、及訊號線  $S_{j+1}$ 。

圖 16 的時序圖顯示當第  $i$  列中的掃描線  $G_i$  被選取時，第一薄膜電晶體  $5603a$  的開/關的時序  $5703a$ 、第二薄膜電晶體  $5603b$  的開/關的時序  $5703b$ 、第三薄膜電晶體  $5603c$  的開/關的時序  $5703c$ 、及訊號  $5721_J$  輸入至第  $J$  行中的佈線  $5621_J$ 。

在第一副選取週期  $T_1$ 、第二副選取週期  $T_2$ 、第三副選取週期  $T_3$  中，不同的視頻訊號輸入至佈線  $5621_1$  至  $5621_M$ 。舉例而言，在第一副選取週期  $T_1$  中輸入至佈線  $5621_J$  的視頻訊號輸入至訊號線  $S_{j-1}$ ，在第二副選取週期  $T_2$  中輸入至佈線  $5621_J$  的視頻訊號輸入至訊號線  $S_j$ ，在第三副選取週期  $T_3$  中輸入至佈線  $5621_J$  的視頻訊號輸入至訊號線  $S_{j+1}$ 。在第一副選取週期  $T_1$ 、在第二副選取週期  $T_2$ 、及在第三副選取週期  $T_3$  中，輸入至佈線  $5621_J$  的視頻訊號分別以  $Data_{j-1}$ 、 $Data_j$ 、及  $Data_{j+1}$  表

示。

如圖 16 所示，在第一副選取週期 T1 中，第一薄膜電晶體 5603a 開啓，以及，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621\_J 之 DATA<sub>j-1</sub> 經由第一薄膜電晶體 5603a 而輸入至訊號線 S<sub>j-1</sub>。在第二副選取週期 T2 中，第二薄膜電晶體 5603b 開啓，以及，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621\_J 之 DATA<sub>j</sub> 經由第二薄膜電晶體 5603b 而輸入至訊號線 S<sub>j</sub>。在第三副選取週期 T3 中，第三薄膜電晶體 5603c 開啓，以及，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至佈線 5621\_J 之 DATA<sub>j+1</sub> 經由第三薄膜電晶體 5603c 而輸入至訊號線 S<sub>j+1</sub>。

如上所述，在圖 15 的訊號線驅動電路中，將一閘極選取週期一分爲三；如此，視頻訊號可以在一閘極選取週期中經由佈線 5621\_J 輸入至三訊號線。因此，在圖 15 的訊號線驅動電路中，設有驅動器 IC 5601 的基底與設有像素部的基底之間的連接數目可以降低至約訊號線數目的三分之一。當連接數目降低至約訊號線的數目的三分之一時，可以增進圖 15 的訊號線驅動電路的可靠度、產能、等等。

注意，只要將一閘極選取週期分成多個副選取週期，以及，在多個副選取週期中的每一副選取週期中，將視頻訊號從一佈線輸入至多個訊號線即可，對於薄膜電晶體的

配置、數目、驅動方法、等等並無特別限制。

舉例而言，當在三或更多副選取週期中的每一副選取週期中，視頻訊號從一佈線輸入至三或更多訊號線時，可以增加用於控制薄膜電晶體的薄膜電晶體及佈線。注意，當一閘極選取週期分成四或更多副選取週期時，一副選取週期變得更短。因此，一閘極選取週期較佳地分成二或三副選取週期。

關於另一實施例，如圖 17 的時序圖所示，一選取週期可以分成預充電週期  $T_p$ 、第一副選取週期  $T_1$ 、第二副選取週期  $T_2$ 、及第三副選取週期  $T_3$  其中。此外，圖 17 的時序圖顯示第  $i$  列中的掃描線  $G_i$  被選取時，第一薄膜電晶體 5603a 的開/關時序 5803a、第二薄膜電晶體 5603b 的開/關時序 5803b、及第三薄膜電晶體 5603c 的開/關時序 5803c、及訊號 5821<sub>J</sub> 輸入至第  $J$  行中的佈線 5621<sub>J</sub>。如圖 17 所示，在預充電週期  $T_p$  中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c 開啓。此時輸入至佈線 5621<sub>J</sub> 的預充電電壓  $V_p$  分別經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、及第三薄膜電晶體 5603c，輸入至訊號線  $S_{j-1}$ 、訊號線  $S_j$ 、訊號線  $S_{j+1}$ 。在第一副選取週期  $T_1$  中，第一薄膜電晶體 5603a 開啓，以及，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621<sub>J</sub> 之 DATA<sub>j-1</sub> 經由第一薄膜電晶體 5603a 而輸入至訊號線  $S_{j-1}$ 。在第二副選取週期  $T_2$  中，第二薄膜電晶體 5603b 開

啓，以及，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 關閉。此時，輸入至佈線 5621\_J 之 DATA<sub>j</sub> 經由第二薄膜電晶體 5603b 而輸入至訊號線 S<sub>j</sub>。在第三副選取週期 T3 中，第三薄膜電晶體 5603c 開啓，以及，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 關閉。此時，輸入至佈線 5621\_J 之 DATA<sub>j+1</sub> 經由第三薄膜電晶體 5603c 而輸入至訊號線 S<sub>j+1</sub>。

如上所述，在應用圖 17 的時序圖之圖 15 的訊號線驅動電路中，藉由在副選取週期之前提供預充電選取週期，可以將訊號線預充電。如此，可以將視頻訊號高速地寫至像素。注意，圖 17 中類似於圖 16 的部份以相同代號表示，並省略相同部份及具有類似功能的部份。

此外，說明掃描訊號線驅動電路的配置。掃描線驅動電路包含移位暫存器及緩衝器。此外，在某些情形中，可以包含位準移位器。在掃描線驅動電路中，當時脈訊號（CLK）及啓動脈衝訊號（SP）輸入至移位暫存器時，產生選取訊號。所產生的訊號由緩衝器緩衝及放大，以及，所造成的訊號供應給對應的掃描線。對應於一線之像素中的電晶體的閘極電極連接至掃描線。此外，由於一線的像素中的電晶體必須同時開啓，所以，以可以饋送大量電流的緩衝器作為緩衝器。

參考圖 18 及圖 19，說明用於掃描線驅動電路的移位暫存器之一模式。

圖 18 顯示移位暫存器的配置。圖 18 中所示的移位暫

存器包含多個正反器 5701\_1 至 5701\_n。此外，藉由輸入第一時脈訊號、第二時脈訊號、啓始脈衝訊號、及重置訊號，移位暫存器操作。

說明圖 18 中的移位暫存器的連接關係。在圖 18 中的移位暫存器的第  $i$  級中的正反器 5701\_i (正反器 5701\_1 至 5701\_n 中的任一者) 中，圖 19 中所示的第一佈線 5501 連接至第七佈線 5717\_{i-1}；圖 19 中所示的第二佈線 5502 連接至第七佈線 5717\_{i+1}；圖 19 中所示的第三佈線 5503 連接至第七佈線 5717\_i；圖 19 中所示的第六佈線 5506 連接至第五佈線 5715。

此外，圖 19 中所示的第四佈線 5504 連接至奇數級的正反器中的第二佈線 5712，以及，連接至偶數級的正反器中的第三佈線。圖 19 中所示的第五佈線 5505 連接至第四佈線 5714。

注意，第一級之正反器 5701\_1 的圖 19 中所示的第一佈線 5501 連接至第一佈線 5711，第  $n$  級之正反器 5701\_n 的圖 19 中所示的第二佈線 5502 連接至第六佈線 5716。

第一佈線 5711、第二佈線 5712、第三佈線 5713、及第六佈線 5716 可以分別稱為第一訊號線、第二訊號線、第三訊號線、及第四訊號線。此外，第四佈線 5714 及第五佈線 5715 可以分別稱為第一電源線及第二電源線。

接著，圖 19 顯示圖 18 中所示的正反器的細節。圖 19 中所示的正反器包含第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體



5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、及第八薄膜電晶體 5578。注意，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、及第八薄膜電晶體 5578 是 n 通道電晶體，以及，當閘極與源極之間的電壓 ( $V_{gs}$ ) 超過臨界電壓 ( $V_{th}$ ) 時，它們進入導電狀態。

接著，於下說明圖 19 中所示的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極與汲極電極之一）連接至第四佈線 5504，第一薄膜電晶體 5571 的第二電極（源極電極與汲極電極中的另一電極）連接至第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接至第六佈線 5506。第二薄膜電晶體 5572 的第二電極連接至第三佈線 5503。

第三薄膜電晶體 5573 的第一電極連接至第五佈線 5505。第三薄膜電晶體 5573 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第三薄膜電晶體 5573 的閘極電極連接至第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接至第六佈線 5506。第四薄膜電晶體 5573 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第四薄膜電晶體 5574 的閘極電極連接至第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接至第五佈線 5505。第五薄膜電晶體 5575 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第五薄膜電晶體 5575 的閘極電極連接至第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接至第六佈線 5506。第六薄膜電晶體 5576 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第六薄膜電晶體 5576 的閘極電極連接至第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接至第六佈線 5506。第七薄膜電晶體 5577 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第七薄膜電晶體 5577 的閘極電極連接至第二佈線 5502。第八薄膜電晶體 5578 的第一電極連接至第六佈線 5506。第八薄膜電晶體 5578 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第八薄膜電晶體 5578 的閘極電極連接至第一佈線 5501。

注意，第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極、及第七薄膜電晶體 5577 的第二電極相連接的點稱為節點 5543。此外，第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極、及第八薄膜電晶體 5578 的第二電極相連接的點稱為節點 5544。

第一佈線 5501、第二佈線 5502、第三佈線 5503、及

第四佈線 5504 可分別稱爲第一訊號線、第二訊號線、第三訊號線、及第四訊號線。此外，第五佈線 5505 及第六佈線 5506 可以分別稱爲第一電源線及第二電源線。

或者，僅使用實施例 1 中所述的  $n$  通道 TFT，製造訊號線驅動電路及掃描線驅動電路。由於實施例 1 中所述的  $n$  通道 TFT 具有高遷移率，所以，可以增加驅動電路的驅動頻率。此外，由於使用 In-Ga-Zn-O 爲基礎的非單晶膜形成的源極和汲極區，所以，降低實施例 1 中所述的  $n$  通道 TFT 的寄生電容；因此， $n$  通道 TFT 的頻率特徵（稱爲  $f$  特徵）高。舉例而言，包含實施例 1 中所述的  $n$  通道 TFT 之掃描線驅動電路可以高速地操作；因此，舉例而言，能夠增加框頻率或取得黑螢幕的插入。

此外，當掃描線驅動電路中的電晶體的通道寬度增加或是設置多個掃描線驅動電路時，舉例而言，可以實現更高的框頻率。當設置多個掃描線驅動電路時，在一側上設置用於驅動偶數掃描線的掃描線驅動電路，以及，在相反側上設置用於驅動奇數掃描線的掃描線驅動電路；如此，可以增加框頻率。從多個掃描線驅動電路輸出訊號給相同掃描線，對於增加顯示裝置的尺寸是有利的。

在製造半導體裝置的實施例之主動矩陣發光顯示裝置的情形中，由於多個薄膜電晶體配置於至少一像素中，所以，較佳地配置多個掃描線驅動電路。主動矩陣發光顯示裝置的方塊圖實施例顯示於圖 14B 中。

圖 14B 中所示的發光顯示裝置包含設於基底 5400 上

之具有均設有顯示元件的多個像素之像素部 5401、選取每一像素之第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404、及控制輸入至選取的像素之視頻訊號的訊號線驅動電路 5403。

在輸入數位視頻訊號至圖 14B 中所示的發光顯示裝置的像素之情形中，藉由開啓/關閉電晶體，使像素處於發光狀態或非發光狀態。如此，使用面積比例灰階法或時間比例灰階法，可以顯示灰階。面積比例灰階法係驅動方法，其將一像素分成多個副像素及根據一視頻訊號以分別驅動各別的副像素，以致於顯示灰階。此外，時間灰階法係驅動方法，其控制像素處於發光狀態期間的時間，以致於顯示灰階。

由於發光元件的響應時間比液晶元件等的響應時間短，所以，發光元件適於時間比例灰階法。具體而言，在以時間灰階法顯示的情形中，將一框週期分成多個副框週期。然後，根據視頻訊號，使像素中的發光元件於每一副框週期中處於發光狀態或非發光狀態。藉由將框分成多個副框，以視頻訊號來控制一框週期中像素真正地發光之總時間長度，以顯示灰階。

注意，在圖 14B 中所示的發光顯示裝置中，在一像素包含二切換 TFT 的情形中，在第一掃描線驅動電路 5402 中，產生輸入至作為切換 TFT 之一的閘極佈線之第一掃描線的訊號，以及，在第二掃描線驅動電路 5404 中，產生輸入至作為其它切換 TFT 的閘極佈線之第二掃描線的

訊號。但是，可以在一掃描線驅動電路中一起產生輸入至第一掃描線的訊號及輸入至第二掃描線的訊號。此外，舉例而言，用於控制切換元件的操作之多個掃描線可能視包含於一像素中的切換元件的數目而設於每一像素中。在此情形中，輸入至多個掃描線的多個訊號可以全部在一掃描線驅動電路中產生，或是，在多個掃描線驅動電路中產生。

即使在發光顯示裝置中，使用  $n$  通道 TFT 形成的部驅動電路的部份可以與像素部的薄膜電晶體設於相同基底上。此外，可以僅使用實施例 1 至 3 中的任意實施例中所述的  $n$  通道 TFT，製造訊號驅動電路及掃描線驅動電路。

上述驅動電路不僅可以用於液晶顯示裝置或發光顯示裝置，也可以用於電子紙，在電子紙中，使用電連接至切換元件之元件，驅動電子墨水。電子紙也稱為電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙相同等級的可靠度，比顯示裝置具有更少的耗電，以及，可以設定為具有薄及輕的形式。

有不同模式的電泳顯示。電泳顯示器包含具有正電荷的第一粒子及具有負電荷的第二粒子之多個微囊散佈於溶劑或溶質中，以及，電場施加至微囊以致於微囊中的粒子以彼此相反的方向移動，以及，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子或第二粒子包含著色劑，且當無電場時不會移動。此外，第一粒子的顏色不同於第二粒子的顏色（粒子也可以是無色的）。

如此，電泳顯示器使用所謂的電泳效應，其中，具有高介電常數的物質移動至具有高電場的區域。電泳顯示器不要求液晶顯示裝置所需的偏光板及對立基底，以致於其厚度及重量約為一半。

電子墨水係微囊散佈於溶劑，且此電子墨水可以印於玻璃表面、塑膠表面、纖維表面、紙表面、等等上。藉由使用濾光器或包含彩色物質的粒子，也能夠有彩色顯示。

此外，藉由在主動矩陣基底上適當地設置多個微囊以致於插入於二電極之間而完成主動矩陣顯示裝置，以及，藉由施加電場至微囊，可以執行顯示。舉例而言，可以使用以實施例 1 至 3 中的任意實施例之薄膜電晶體取得的主動矩陣基底。

注意，使用導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電色顯示材料、及磁泳材料、或其複合材料，可以形成微囊中的第一粒子及第二粒子。

然後，可以製造高度可靠的發光顯示裝置作為半導體裝置。

實施例 4 可以與其它實施例中所的結構及方法適當地結合。

#### (實施例 5)

製造薄膜電晶體，以及，薄膜電晶體用於像素部及又用於驅動電路，以致於可以製造具有顯示功能（也稱為顯

示裝置)之半導體裝置。此外，薄膜電晶體可以用於形成於相同基底上作為像素部的驅動電路的一部份或全部，以致於形成面板上的系統。

顯示裝置包含顯示元件。關於顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件在其範圍內包含亮度受電流或電壓控制的元件，以及，具體地包含無機電致發光（EL）元件、有機 EL 元件、等等。此外，可以使用例如電子墨水等對比會受電場改變的顯示媒體。

此外，顯示裝置包含面板及模組，顯示元件密封於面板中，包含控制器之 IC 等安裝於面板上。關於顯示裝置製程中完成顯示元件之前的元件基底的一模式，元件基底設有供應電流給多個像素中的每一像素中的顯示元件之機構。具體而言，元件基底可以處於僅設有顯示元件的像素電極之狀態、形成要成為像素電極的導電膜之後及導電膜被蝕刻成形成像素電極之前的狀態、或任何其它狀態。

在本說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含發光裝置）。此外，顯示裝置在其類別中包含下述任一模組：例如可撓印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等包含連接器之模組；具有尾端設有印刷線路板之 TCP 或 TAB 帶的模組；以及，具有以玻璃上晶片（COG）法直接安裝於顯示元件上的積體電路（IC）之模組。

參考圖 22A1、22A2、及 22B，說明實施例 5 中所述

的半導體裝置的一模式之液晶顯示面板的外觀及剖面。圖 22A1 及 22A2 均為面板的上視圖，其中，高度可靠的薄膜電晶體 4010 和 4011 及液晶元件 4013 由密封劑 4005 密封於第一基底 4001 與第二基底 4006 之間，高度可靠的薄膜電晶體 4010 及 4011 包含實施例 1 中所述的 In-Ga-Zn-O 為基礎的非單晶膜的半導體層，液晶元件 4013 形成於第一基底 4001 上。圖 22B 對應於圖 22A1 及 22A2 之 M-N 剖面視圖。

密封劑 4005 設置成圍繞設於第一基底 4001 上的像素部 4002 及掃描線驅動電路 4004。第二基底 4006 設於像素部 4002 及掃描線驅動電路 4004 上。如此，像素部 4002 及掃描線驅動電路 4004 與液晶層 4008 由密封劑 4005 密封於第一基底 4001 與第二基底 4006 之間。使用單晶半導體膜或多晶半導體膜而形成於分別製造之基底上的訊號線驅動電路 4003 安裝於一區域中，所述區域與第一基底 4001 上由密封劑 4005 圍繞的區域不同。

注意，對於分別形成的驅動電路之連接方法並無特別限定，以及，可以使用 COG 方法、接線接合法、TAB 法、等等。圖 22A1 顯示一實施例，其中，以 COG 法，安裝訊號線驅動電路 4003，以及，圖 22A2 顯示一實施例，其中，以 TAB 法安裝訊號線驅動電路 4003。

設於第一基底 4001 上的像素部 4002 及掃描線驅動電路 400 均包含多個薄膜電晶體。圖 22B 顯示包含於像素部 4002 中的薄膜電晶體 4010 以及包含於掃描線驅動電路



4004 中的薄膜電晶體 4011。絕緣層 4020 和 4021 設於薄膜電晶體 4010 和 4011 上。

關於每一薄膜電晶體 4010 及 4011，可以使用包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層之實施例 3 中所示的高度可靠薄膜電晶體。或者，可以應用實施例 1 或 2 中所述的薄膜電晶體。在實施例 5 中，薄膜電晶體 4010 和 4011 均為 n 通道薄膜電晶體。

包含於液晶元件 4013 中的像素電極層 4030 電連接至薄膜電晶體 4010。液晶元件 4013 的對立電極層 4031 形成於第二基底 4006 上。像素電極層 4030、對立電極層 4031、及液晶層 4008 彼此重疊的部份對應於液晶元件 4013。注意，像素電極層 4030 及對立電極層 4031 分別設有作為配向膜的絕緣層 4032 及絕緣層 4033，以及，液晶層 4008 插入於絕緣層 4032 及 4033 之間。

注意，第一基底 4001 與第二基底 4006 可以由玻璃、金屬（典型上為不銹鋼）、陶瓷、或塑膠形成。關於塑膠，可以使用玻璃強化塑膠（FRP）板、聚氯乙烯（PVC）膜、聚酯膜、或丙烯酸樹脂膜。或者，使用具有鋁箔夾於 PVC 膜或聚酯膜之間的結構之板片。

設置藉由選擇性地蝕刻絕緣膜而形成的柱狀間隔器 4305，以控制像素電極層 4030 與對立電極層 4031 之間的距離（胞間隙）。或者，可使用球狀間隔器。此外，對立電極層 4031 電連接至設置於與薄膜電晶體 4010 相同的基底上之共同電位線。對立電極層 4031 及共同電位線使用

共同連接部，經由配置於成對基底之間的導電粒子而彼此電連接。注意，導電粒子包含於密封劑 4005 中。

或者，可以使用不要求配向膜之藍相位液晶。藍相位液晶是當膽固醇型液晶的溫度增加時，正好在膽固醇型液晶變成各向等性之前呈現的液晶相位型式。藍相位僅在狹窄的溫度範圍內呈現；因此，使用混有 5 重量%或更高的掌性劑之液晶成份，形成液晶層 4008，以擴展溫度範圍。包含藍相位液晶及掌性劑的液晶成份具有  $10 \mu s$  至  $100 \mu s$  的短響應時間且光學上各向等性；因此，配向處理不需要且視角相依性小。

注意，實施例 5 說明透射式液晶顯示裝置的實施例；但是，本發明可以應用至反射式液晶顯示裝置或半透射式液晶顯示裝置。

雖然實施例 5 的液晶顯示裝置具有依下述次序配置之設置於比基底（觀視側）更外側的偏光板、以及設置成比基底更內側的色層及電極層，但是，偏光板可以比基底更內側。偏光板及色層的堆疊結構不限於實施例 5 中所示，可以根據偏光板和色層的材料及製程條件而適當地設置。此外，可以設置作為黑矩陣的遮光膜。

在實施例 5 中，為了降低薄膜電晶體的不平整度以及增進薄膜電晶體的可靠度，以作為平坦絕緣膜及保護膜之絕緣層（絕緣層 4020 和 4021），遮蓋實施例 3 中取得的薄膜電晶體。注意，設置保護膜以防止例如有機基底、金屬物質、或濕氣等漂浮於氛圍中的污染雜質進入，因此，

其衍生物、聚噻吩或其衍生物、它們之中的二或更多種的共聚物、等等。

此外，不同的訊號及電位從 FPC 4018 供應給分別形成的訊號線驅動電路 4003、掃描線驅動電路 4004、及像素部 4002。

在實施例 5 中，使用與包含於液晶元件 4013 中的像素電極層 4030 相同的導電膜，形成連接端電極 4015。使用與包含於薄膜電晶體 4010 和 4011 中的源極和汲極電極層相同的導電膜，形成端電極 4016。

連接端電極 4015 經由各向異性導電膜 4019 而電連接至 FPC 4018 的端子。

雖然圖 22A1、22A2、及 22B 顯示一實施例，其中，訊號線驅動電路 4003 分別地形成及安裝於第一基底 4001 上，但是，實施例 5 不限於此結構。可以分開地形成掃描線驅動電路，然後安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路分別地形成，然後安裝。

圖 23 顯示一實施例，其中，使用根據本說明書中揭示的製造方法製造之 TFT 基底 2600，形成液晶顯示模組作為半導體裝置。

圖 23 顯示液晶顯示模組的一實施例，其中，TFT 基底 2600 與對立基底 2601 藉由密封劑 2602 而彼此固定，包含 TFT 等的像素部 2603、包含液晶層的顯示元件 2604、及色層 2605 設於基底之間，以形成顯示區。色層 2605 是執行彩色顯示時所需的。在 RGB 系統的情形中，

對各別像素，設置對應於紅、綠、藍的各別色層。偏光板 2606 和 2607 及擴散板 2613 設於 TFT 基底 2600 及對立基底 2601 之外。光源包含冷陰極管 2610 及反射板 2611。電路板 2612 經由可撓線路板 2609 連接至 TFT 基底 2600 的佈線電路部 2608，以及，包含例如控制電路及電源電路等外部電路。偏光板及液晶層相堆疊，以延遲板介於其間。

對於液晶顯示模組，可以使用具有 TN（對絞向列）模式、IPS（平面中切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對齊）模式、PVA（圖案化垂直對齊）模式、ASM（軸向對稱對齊）模式、PVA（圖案化垂直對齊模式）、ASM（軸向對稱對齊微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（抗鐵電液晶）模式、等等。

然後，製造作為半導體裝置之高度可靠的液晶顯示面板。

實施例 5 可以與其它實施例中所述的任何結構及方法相結合。

#### （實施例 6）

在實施例 6 中，顯示作為半導體裝置的電子紙的實施例。

圖 13 顯示作為半導體裝置的實施例之主動矩陣電子紙。以類似於實施例 3 中所述的薄膜電晶體之製造方式，

製造用於半導體裝置的薄膜電晶體 581，其為包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層之高度可靠的薄膜電晶體。或者，可以使用實施例 1 或 2 中所述的薄膜電晶體作為實施例 6 中所述的薄膜電晶體 581。

圖 13 中的電子紙是使用對絞球顯示系統之顯示裝置的實施例。對絞球顯示系統意指一方法，其中，顏色為黑白的球形粒子配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，以及，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的配向，以致於執行顯示。

第一基底 580 上的薄膜電晶體 581 具有底部閘極結構，其中，源極或汲極層經由形成於絕緣層 583、584、和 585 中的開口，電連接至第一電極層 587。在第一電極層 587 與相鄰於第二基底 596 的第二電極層 588 之間，設置球形粒子 589。每一球形粒子 589 包含黑色區 590a 及白色區 590b、以及圍繞黑色區 590a 和白色區 590b 之由液體填充的穴 594。球形粒子 589 的周圍由例如樹脂等填充物 595 填充（請參見圖 13）。在實施例 6 中，第一電極層 587 對應於像素電極，第二電極層 588 對應於共同電極。第二電極層 588 電連接至設於與薄膜電晶體 581 相同的基底上之共同電位線。第二電極層 588 及共同電位線使用共同連接部，經由配置在基底對之間的導電粒子而電連接。

此外，取代對絞球，可以使用電泳元件。使用具有約

10 $\mu\text{m}$  至 200 $\mu\text{m}$  的直徑之微囊，其填充有透明液體、正電荷的白微粒子、及負電荷的黑微粒子填充。在設於第一電極層與第二電極層之間的微囊中，當由第一電極層及第二電極層施加電場時，白微粒與黑微粒彼此移至相反側，以致於可以顯示白色及黑色。使用此原理的顯示元件是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率，因而不需要輔助光。此外，功率消耗低且即使是微暗的地方仍可辨識顯示部。此外，即使當功率未供應給顯示部時，仍然可以保持曾經顯示的影像。因此，即使具有顯示功能的半導體裝置（也簡稱為顯示裝置或設有顯示裝置之半導體裝置）離開電波源，仍然可以儲存顯示的影像。

然後，可以製造作為半導體裝置之高度可靠的電子紙。

實施例 6 可以與其它實施例中所述的任何結構及方法相適當地結合。

#### （實施例 7）

實施例 7 說明作為半導體裝置的發光顯示裝置之實施例。關於顯示裝置的顯示元件之實施例，此處，使用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是否為有機化合物或無機化合物而分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子

及電洞分別從電極對注入含有發光有機化合物的層，因此，電流通。然後，這些載子（電子及電洞）復合，因此，將發光有機化合物激發。當發光有機化合物從激態返回至接地狀態時，發出光。歸因於此機制，此發光元件稱為電流激發發光元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件具有發光層，其中，發光材料的粒子散佈於結合劑中，以及，其發光機制是利用施子位準與受子位準之施子－受子型發光。薄膜型無機 EL 元件具有一結構，在結構中，發光層夾於介電層之間，介電層又夾於電極之間，以及，其發光機制是使用金屬離子之內殼電子轉換之局部型發光。注意，使用有機 EL 元件作為發光元件，以作說明。

圖 20 是作為半導體裝置的實施例之像素結構的實施例，數位時間灰階驅動可以應用至其。

將說明應用數位時間灰階驅動的像素的結構及操作。在本實施例中，一像素包含二  $n$  通道電晶體，在每一  $n$  通道電晶體中，使用氧化物半導體層（In-Ga-Zn-O 為基礎的非單晶膜），形成通道形成區。

像素 6400 包含切換電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406，切換電晶體 6401 的第一電極（源極電極與汲極電極之一）連接至訊號線 6405，切換電晶體 6401 的第二電極（源極電極與汲極電極中的另一電極）

連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至形成於相同基底上的共同電位線。

發光元件 6404 的第二電極（共同電極 6408）設定於低電源電位。當設定於電源線 6407 的高電源電位是參考電位時，低電源電位是滿足低電源電位 < 高電源電位之電位。關於低電源電位，舉例而言，可以使用接地、0V、等等。在高電源電位與低電源電位之間的電位差施加至發光元件 6404 且電流供應給發光元件 6404。此處，為了使發光元件 6404 發光，每一電位設定成使得高電源電位與低電源電位之間的電位差大於或等於發光元件 6404 的順向臨界電壓。

注意，驅動電晶體 6402 的閘極電容可以作為電容器 6403 的替代，以致於可以省略電容器 6403。驅動電晶體 6402 的閘極電容可以形成於通道區與閘極電極之間。

在電壓輸入電壓驅動法的情形中，視頻訊號輸入至驅動電晶體 6402 的閘極，以致於驅動電晶體 6402 處於充分開啓及關閉的二狀態中的任一狀態。亦即，驅動電晶體 6402 在線性區操作。為了使驅動電晶體 6402 在線性區操作，將比電源線 6407 的電壓還高的電壓施加至驅動電晶體 6402 的閘極。注意，高於或等於「驅動電晶體 6402 的



電源線+V<sub>th</sub> 的電壓」之電壓施加至訊號線 6405。

在執行類比灰階驅動以取代數位時間灰階驅動的情形中，藉由改變訊號輸入，可以使用與圖 20 中所示的像素結構相同的像素結構。

在執行類比灰階驅動的情形中，比「驅動電晶體 6402 的發光元件 6404 的順向電壓+V<sub>th</sub>」還高之電壓施加至驅動電晶體 6402 的閘極。發光元件 6404 的順向電壓代表取得所需亮度且至少高於順向臨界電壓的電壓。輸入使驅動電晶體 6402 在飽合區操作的視頻訊號，以致於電流可以供應給發光元件 6404。為了使驅動電晶體 6402 在飽合區操作，電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。當使用類比視頻訊號時，能夠根據視頻訊號，將電流供應給發光元件 6404，以及，執行類比灰階驅動。

注意，圖 20 中所示的像素結構不限於此。舉例而言，開關、電阻器、電容器、電晶體、邏輯電路、等等可以加至圖 20 中所示的像素。

接著，參考圖 21A 至 21C，說明發光元件的結構。此處，以 n 通道驅動 TFT 為例，說明像素的剖面結構。以類似於實施例 3 中所述的薄膜電晶體之方式，製造圖 21A、21B、及 21C 中所示之作爲用於半導體裝置的驅動 TFT 之 TFT 7001、7011、及 7021。TFT 7001、7011、及 7021 是高度可靠的薄膜電晶體，均包含 In-Ga-Zn-O 爲基礎的非單晶膜作爲半導體層。或者，可以使用實施例 1 或

2 中所述的薄膜電晶體作為 TFT 7001、7011、及 7021。

為了從發光元件取出光，陽極與陰極中至少之一需要透明。薄膜電晶體及發光元件形成於基底上。發光元件可以具有頂部發光結構，其中，經由與基底相反的表面，取出發射光；底部發光結構，其中，經由基底側上的表面，取出發射光；或者，雙發射結構，其中，經由與基底相反的表面及基底側的表面，取出發射光。像素結構可以應用至具有這些發光結構中的任何結構之發光元件。

參考圖 21A，說明具有頂部發光結構的發光元件。

圖 21A 是在作為驅動 TFT 的 TFT 7001 是 n 通道 TFT 及產生於發光元件 7002 中的光發射通過 7005 之情形中的像素的剖面視圖。在圖 21A 中，發光元件 7002 的陰極 7003 電連接至作為驅動 TFT 的 TFT 7001，以及，發光層 7004 及陽極 7005 依上述次序堆疊於陰極 7003 上。使用多種材料中的任一材料以形成陰極 7003，材料只要具有低功函數及將光反射即可。舉例而言，較佳地使用 Ca、Al、CaF、MgAg、AlLi、等等。使用單層或堆疊多個層，形成發光層 7004。當藉由堆疊多個層而形成發光層 7004 時，藉由依下述次序於陰極 7003 上堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，形成發光層 7004。並非需要形成所有這些層。使用透光導電材料，形成陽極 7005，舉例而言，使用包含氧化鎢。使用包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫（此後稱

為 ITO)、氧化銦鋅、或添加氧化矽之氧化銦錫作為透光導電膜。

發光元件 7002 對應於發光層 7004 夾於陰極 7003 與陽極 7005 之間的區域。在圖 21A 中所示的像素的情形中，如箭頭所述，光從發光元件 7002 發射至陽極 7005 側。

接著，參考圖 21B，說明具有底部發光結構的發光元件。圖 21B 是在驅動 TFT 7001 是 n 通道 TFT、及產生於發光元件 7012 中的光發射至陰極 7013 側之情形中的像素的剖面視圖。在圖 21B 中，發光元件 7012 的陰極 7013 形成於透光導電膜 7017 上，透光導電膜 7017 電連接至驅動 TFT 7011，以及，發光層 7014 及陽極 7015 依此次序堆疊於陰極 7013 上。當陽極 7015 具有透光特性時，形成用於反射或阻擋光的遮光膜 7016 以遮蓋陽極 7015。如同圖 21A 的情形般，使用不同材料中的任意材料，形成陰極 7013，材料只要是導電的且具有低功函數即可。注意，陰極 7013 形成至具有可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，可以使用 20 nm 厚的鋁膜作為陰極 7013。如同圖 21A 的情形般，使用單層結構或堆疊多個層，形成發光層 7014。如同圖 21A 的情形般，未要求陽極 7015 使光透射，但是，其可由透光導電材料形成。關於遮光膜 7016，舉例而言，可以使用使光反射的金屬等等；但是，遮光膜 7016 不限於金屬膜。舉例而言，可以使用添加黑色顏料的樹脂等。

發光元件 7012 對應於發光層 7014 夾於陰極 7013 與陽極 7015 之間的區域。在圖 21B 中所示的像素的情形中，如箭頭所述，光從發光元件 7012 發射至陰極 7013 側。

接著，參考圖 21C，說明具有雙發光結構的發光元件。在圖 21C 中，發光元件 7022 的陰極 7023 形成於透光導電膜 7027 上，透光導電膜 7027 電連接至驅動 TFT 7021，發光層 7024 及陽極 7025 依此次序堆疊於陰極 7023 上。如同圖 21A 的情形般，使用不同材料中的任何材料，形成陰極 7023，材料只要是導電的且具有低功函數即可。注意，陰極 7023 形成至具有可以使光透射的厚度即可。舉例而言，可以使用 20 nm 厚的 Al 膜作為陰極 7023。如同圖 21A 的情形般，使用單層或堆疊多個層，以形成發光層 7024。如圖 21A 的情形般，使用透光導電材料，形成陽極 7025。

發光元件 7022 對應於陰極 7023、發光層 7024、及陽極 7025 彼此重疊的區域。在圖 21C 中所示的像素的情形中，如箭頭所述，光從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

雖然此處有機 EL 元件說明成發光元件，但是，可以替代地設置無機 EL 元件作為發光元件。

注意，實施例 7 說明一實施例，其中，控制發光元件的驅動之薄膜電晶體（驅動 TFT）電連接至發光元件；但是，可以使用電流控制 TFT 連接於驅動 TFT 與發光元件

之間的結構。

實施例 7 中所述的半導體裝置不限於圖 21A 至 21C 中所述的結構，可以根據本說明書中所揭示的精神及技術，以不同方式修改。

接著，參考圖 24A 及 24B，說明對應於半導體裝置的一實施例之發光顯示面板（也稱為發光面板）的外觀及剖面。圖 24A 是面板的頂視圖，其中，形成於第一基底上的薄膜電晶體及發光元件由密封劑密封於第一基底與第二基底之間，圖 24B 是圖 24A 的剖面視圖。

密封劑 4505 設置成圍繞設於第一基底 4501 上的像素部 4502、訊號線驅動電路 4503a 和 4503b、及掃描線驅動電路 4504a 和 4504b。此外，第二基底 4506 設於像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b。因此，像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起由第一基底 4501、密封劑 4505、及第二基底 4506 密封。依此方式，較佳地，像素部 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 由具有高氣密性及低除氣之遮蓋材料或保護膜（例如附著膜或紫外線可固化樹脂膜）封裝（密封），以致於像素部 4502、訊號線驅動電路 4503a 和 4503b、及掃描線驅動電路 4504a 和 4504b 不會曝露至外部空氣中。

設於第一基底 4501 上的像素部 4502、訊號線驅動電

路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 均包含多個薄膜電晶體，以及，圖 24B 顯示包含於像素部 4502 中的薄膜電晶體 4510 及包含於訊號線驅動電路 4503a 中的薄膜電晶體作為實施例。

關於薄膜電晶體 4509 和 4510，可以使用包含 In-Ga-Zn-O 為基礎的非單晶膜作為半導體層之實施例 3 中所述的高度可靠的薄膜電晶體。或者，可以使用實施例 1 或 2 中所述的薄膜電晶體作為薄膜電晶體 4509 和 4510。在實施例 7 中，薄膜電晶體 4509 和 4510 為 n 通道薄膜電晶體。

此外，代號 4511 代表發光元件。第一電極層 4517 為包含於發光元件 4511 中的像素電極，其電連接至薄膜電晶體 4510 的源極和汲極電極層。注意，雖然發光元件 4511 具有第一電極層 4517、電致發光層 4512、及第二電極層 4513 的堆疊結構，但是，發光元件 4511 的結構不限於實施例 7 中所述的結構。發光元件 4511 的結構可以視從發光元件取出光的方向等而適當地改變。

使用有機樹脂膜、無機絕緣層、或有機聚矽烷，形成分隔部 4520。特別較佳地，使用感光材料，形成分隔部 4520 以在第一電極層 4517 上具有開口，以致於開口的側壁形成為具有連續曲度的傾斜表面。

使用單層或堆疊多個層，形成電致發光層 4512。

為了防止氧、氫、濕氣、二氧化碳等進入發光元件 4511 中，在第二電極層 4513 和分隔部 4520 上形成保護

膜。關於保護膜，可以形成氮化矽膜、氧氮化矽膜、DLC 膜、等等。

此外，不同的訊號及電位從 FPC 4518a 和 4518b 供應至訊號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、以及像素部 4502。

在實施例 7 中，使用與包含於發光元件 4511 中的第一電極層 4517 相同的導電膜，形成連接端電極 4515。使用與包含於薄膜電晶體 4509 和 4510 中的源極和汲極電極層相同的導電膜，形成端電極 4516。圖 24B 顯示在端電極 4516 之下形成第一氧化物半導體層 4526 和第二氧化物半導體層 4525。

連接端電極 4515 經由各向異性導電膜 4519 而電連接至包含於 FPC 4518a 中的端子。

位於從發光元件 4511 取出光的方向上之基底需要具有透光特性。在該情形中，使用例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料。

關於填充物 4507，可以使用紫外光可固化樹脂或熱固樹脂與例如氮或氬等惰性氣體。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。在實施例 7 中，以氮用於填充物 4507。

此外，假使需要時，例如偏光板、圓形偏光板（包含橢圓形偏光板）、延遲板（四分之一波板、半波板）、或濾光器可以適當地設於發光元件的發光表面上。此外，偏

光板或圓形偏光板可以設有抗反射膜。舉例而言，可以執行防眩光處理，藉以使反射光在表面的凹部/凸部中散射以及降低眩光。

關於訊號線驅動電路 4503a 及 4503b 以及掃描線驅動電路 4504a 和 4504b，可以安裝使用單晶半導體膜或多晶半導體膜形成於分別形成的基底上之驅動電路。此外，僅有訊號線驅動電路或僅有其一部份、或是僅有掃描線驅動電路或僅有其一部份，可以分別地形成而安裝。實施例 7 不限於圖 24A 及 24B 中所示的結構。

然後，製造高度可靠的發光顯示裝置（顯示面板）作為半導體裝置。

實施例 7 可以與其它實施例中所述的結構和方法適當地結合。

#### （實施例 8）

本說明書中揭示的半導體裝置可以應用於電子紙。電子紙可以用於顯示資訊之每一領域的電子設備。舉例而言，電子紙可以用於電子書（e-書）、海報、例如火車等車輛廣告、例如信用卡等不同卡片的顯示、等等。這些電子設備的實施例顯示於圖 25A 和 25B 及圖 26 中。

圖 25A 顯示使用電子紙形成的海報 2631。假使廣告媒體是印刷紙，則廣告以人力更換；但是，當使用本說明書中所揭示的電子紙時，廣告顯示可以在短時間內改變。此外，可以取得穩定影像，而不會有顯示劣化。注意，海



報可以無線地傳送及接收資訊。

圖 25B 顯示例如火車等車輛中的廣告 2632。假使廣告媒體是印刷紙時，以人力更換廣告；但是，當使用本說明書中所揭示的電子紙時，可以在短時間內改變廣告顯示，而不用很多人力。此外，可以取得穩定的影像，而不會有顯示劣化。注意，廣告可以無線地傳送及接收資訊。

圖 26 顯示電子書 2700 的實施例。舉例而言，電子書 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 藉由軸部 2711 而彼此接合，延著軸部 2711，打開及關閉電子書 2700。藉由此結構，取得例如紙書等操作。

顯示部 2705 併入於機殼 2701 中且顯示部 2707 併入於機殼 2703 中。顯示部 2705 和 2707 可以顯示影像序列，或是顯示不同的影像。舉例而言，藉由在不同部份中顯示不同影像的結構，右方顯示部（圖 26 中的顯示部 2705）可以顯示文字，左方顯示部（圖 26 中的顯示部 2707）可以顯示影像。

圖 26 顯示一實施例，其中，機殼 2701 設有操作部等等。舉例而言，機殼 2701 設有電源 2721、操作鍵 2723、揚音器 2725、等等。以操作鍵 2723 可以翻頁。注意，鍵盤、指向裝置、等等可以設於與機殼的顯示部相同的平面上。此外，機殼的背面或側面可以設有外部連接端子（耳機端子、USB 端子、例如 AC 配接器或 USB 電線等可以與不同的電線連接的端子）、儲存媒體插入部、等等。此外，電子書 2700 可以具有電子字典的功能。

此外，電子書 2700 可以無線地傳送及接收資訊。可以從電子書伺服器，無線地購買及下載所需的書資料等等。

(實施例 9)

本說明書中揭示的半導體裝置可以應用至不同的電子設備（包含遊戲機）。關於電子設備，舉例而言，有電視裝置（也稱為 TV 或電視接收器）、用於電腦等的監視器、數位相機、數位攝影機、數位相框、蜂巢式電話（或稱為行動電話或可攜式電話裝置）、可攜式遊戲機、可攜式資訊端、音頻播放裝置、及例如柏青哥遊戲機等大型遊戲機。

圖 27A 顯示電視裝置 9600 的實施例。顯示部 9603 併入於電視裝置 9600 的機殼 9601 中。顯示部 9603 可以顯示影像。此處，機殼 9601 由架子 9605 支撐。

電視裝置 9600 可以由機殼 9601 或分開的遙控器 9610 的操作開關操作。以遙控器 9610 的操作鍵 9609，可以控制頻道及聲音。此外，遙控器 9610 可以具有顯示部 9607，在顯示部 9607 中，顯示出自遙控器 9610 的資訊。

注意，電視裝置 9600 設有接收器、數據機、等等。藉由使用接收器，可以接收一般電視廣播。此外，當顯示裝置經由數據機有線地或無線地連接至通訊網路時，執行單向（從發送器至接收器）或雙向（在發送器與接收器之間接收、等等）資訊通訊。

圖 27B 顯示數位相框 9700 的實施例。舉例而言，顯示部 9703 併入於數位相框 9700 的機殼 9701 中。顯示部 9703 可以顯示不同的影像。舉例而言，顯示數位相機等拍攝的影像，以致於數位相框可以以類似於一般相框的方式作用。

注意，數位相框 9700 設有操作部、外部連接端子（例如 USB 端子、可以連接至包含 USB 端子等不同纜線的端子、等等）、儲存媒體插入部、等等。這些結構可以併入於與顯示部相同的平面上；但是，由於設計改良，所以，它們較佳地設於顯示部的側表面或背面上。舉例而言，由數位相機拍攝的包含影像資料之記憶體插入於數位相框的儲存媒體插入部中以及輸入影像資料。然後，輸入的影像資料可以顯示於顯示部 9703 中。

數位相框 9700 可以無線地傳送及接收資訊。在此情形中，所需的無線資料可以無線地輸入至數位相框 9700 及可以顯示於其中。

圖 28A 顯示可攜式遊戲機，可攜式遊戲機包含機殼 9881 和機殼 9891，機殼 9881 和機殼 9891 藉由連接器 9893 而彼此接合，以便能夠開啓及關閉。顯示部 9882 併入於機殼 9881 中，顯示部 9883 併入於機殼 9891 中。圖 28A 中所示的可攜式遊戲機增加地包含揚音器部 9884、儲存媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（包含測量力量、位移、位置、速度、加速度、角速度、轉數、距離、光、液

體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、傾斜角、振動、氣味、或紅外線的功能)、及麥克風 9889)、等等。無需多言,可攜式遊戲機的結構不限於上述,只要可以提供至少本說明書中所揭示的半導體裝置,任何結構均可。此外,可以適當地設置其它配件。圖 28A 中所示的可攜式遊戲機具有讀出儲存於儲存媒體中的程式或資料以將其顯示於顯示部之功能以及具有藉由無線通訊而與其它遊戲機共用資訊之功能。圖 28A 中所示的可攜式遊戲機的功能不限於這些,且可攜式遊戲機可以具有不同的功能。

圖 28B 顯示吃角子老虎機 9900 的實施例,其為大型的遊戲機。顯示部 9903 併入於吃角子老虎機 9900 的機殼 9901 中。吃角子老虎機 9900 增加地包含例如啟動桿或停止開關、硬幣槽、揚音器、等操作機構。無需多言,吃角子老虎機 9900 的結構不限於上述,只要能提供至少本說明書中揭示的半導體裝置,任何結構均可。此外,可以適當地提供其它配件。

圖 29A 顯示蜂巢式電話 1000。蜂巢式電話 1000 包含併入於機殼 1001 中的顯示部 1002,又包含操作鍵 1003、外部連接埠 1004、揚音器 1005、麥克風 1006、等等。

以手指等觸控顯示部 1002,資訊可以輸入至圖 29A 中所示的蜂巢式電話 1000。此外,以手指等觸控顯示部 1002,可以執行例如播打電話或傳送文字訊息等操作。

顯示部 1002 主要有三個螢幕模式。第一模式是主要

用於顯示影像的顯示模式。第二模式是主要用於輸入例如文字等資訊的輸入模式。第三模式是混合顯示模式與輸入模式等二模式的顯示及輸入模式。

舉例而言，在撥打電話或傳送文字訊息的情形中，將顯示部 1002 設置在主要執行文字輸入之文字輸入模式，以及，在螢幕上執行文字輸入操作。在此情形中，較佳的是在顯示部 1002 的幾乎整個螢幕上顯示鍵盤或數字鍵。

當包含例如陀螺儀等用於偵測傾斜的感測器或加速度感測器之偵測裝置設置於蜂巢式電話 1000 的內部時，藉由判斷蜂巢式電話 1000 的方向（蜂巢式電話 1000 水平或垂直地置放以用於風景模式或人像模式），可以自動地切換顯示部 1002 的螢幕中的顯示。

此外，藉由觸控顯示部 1002 或操作機殼 1001 的操作鍵 1003，切換螢幕模式。或者，可以視顯示部 1002 中顯示的影像種類，切換螢幕模式。舉例而言，當用於顯示於顯示部中的影像之訊號為移動影像的資料時，螢幕模式切換至顯示模式。當訊號為文字資料時，螢幕模式切換至輸入模式。

此外，在輸入模式中，當在指定時段內未執行藉由觸控顯示部 1002 之輸入並偵測到由顯示部 1002 中的光學感測器偵測到的訊號時，螢幕模式受控而從輸入模式切換至顯示模式。

顯示部 1002 也可以作為影像感測器。舉例而言，以手掌或指紋觸摸顯示部 1002，取得掌紋、指紋等影像，

因而執行個人認證。此外，當發射近紅外光的背照光或發射近紅外光之感測光源設於顯示部中時，可以拍攝指紋、掌紋、等等。

圖 29B 也顯示蜂巢式電話的實施例。圖 29B 中的蜂巢式電話包含顯示裝置 9410 及通訊裝置 9400。顯示裝置 9410 包含機殼 9411，機殼 9411 包含顯示部 9412 及操作鍵 9413。通訊裝置 9400 包含機殼 9401，機殼 9401 包含操作鍵 9402、外部輸入端子 9403、麥克風 9404、揚音器 9405、及當接收電話呼叫時發光之發光部 9406。具有顯示功能的顯示裝置 9410 可以在箭頭所示的二方向上，與具有電話功能的通訊裝置 9400 分開或附著。因此，顯示裝置 9410 及通訊裝置 9400 可以沿著各別的短軸或長軸而彼此附著。或者，在僅需要顯示功能的情形中，顯示裝置 9410 自通訊裝置 9400 分開，然後，單獨使用顯示裝置 9410。在均包含可充電電池之通訊裝置 9400 與顯示裝置 9410 之間無線地或有線地傳送及接收影像或輸入資訊。

本申請案根據 2008 年 10 月 24 日向日本專利局申請之日本專利申請序號 2008-274699，其整體內容於此一併列入參考。

#### 【符號說明】

59a：灰色調光罩

59b：半色調光罩

63：透光基底

- 64 : 遮光部
- 65 : 繞射光柵
- 66 : 透光率
- 67 : 半透光部
- 100 : 基底
- 101 : 閘極電極層
- 102 : 閘極絕緣層
- 103 : 半導體層
- 104a : n<sup>+</sup>層
- 104b : n<sup>+</sup>層
- 105a : 源極或汲極電極層
- 105b : 源極或汲極電極層
- 107 : 保護絕緣層
- 108 : 電容器佈線
- 109 : 第一氧化物半導體膜
- 110 : 像素電極層
- 111 : 第二氧化物半導體膜
- 121 : 第一端子
- 122 : 第二端子
- 123 : 端子部中的 n<sup>+</sup>層
- 124 : 端子層
- 125 : 接觸孔
- 126 : 接觸孔
- 127 : 接觸孔

- 128 : 透明導電膜
- 129 : 透明導電膜
- 131 : 光罩
- 132 : 導電膜
- 133 : 光罩
- 134 : 第一氧化物半導體層
- 135 : 第二氧化物半導體層
- 136 : 導電層
- 150 : 第二端子
- 151 : 第一端子
- 152 : 閘極絕緣層
- 153 : 連接電極層
- 154 : 保護絕緣膜
- 155 : 透明導電膜
- 156 : 電極層
- 157 : 第一氧化物半導體層
- 158 : 第二氧化物半導體層
- 170 : 薄膜電晶體
- 400 : 基底
- 401 : 閘極電極層
- 402 : 閘極絕緣層
- 403 : 半導體層
- 404a : n<sup>+</sup>層
- 404b : n<sup>+</sup>層



- 405a : 源極或汲極電極層
- 405b : 源極或汲極電極層
- 407 : 絕緣膜
- 420 : 薄膜電晶體
- 431 : 第一氧化物半導體膜
- 432 : 第二氧化物半導體膜
- 433 : 導電膜
- 434 : 光罩
- 435 : 第一氧化物半導體層
- 436 : 第二氧化物半導體層
- 437 : 導電層
- 438 : 光罩
- 450 : 基底
- 451 : 閘極電極層
- 452 : 閘極絕緣層
- 453 : 半導體層
- 455a : 源極或汲極電極層
- 455b : 源極或汲極電極層
- 457 : 絕緣膜
- 460 : 薄膜電晶體
- 481 : 氧化物半導體膜
- 483 : 導電膜
- 484 : 光罩
- 485 : 氧化物半導體層

- 487 : 導電層
- 488 : 光罩
- 580 : 第一基底
- 581 : 薄膜電晶體
- 583 : 絕緣層
- 584 : 絕緣層
- 585 : 絕緣層
- 587 : 第一電極層
- 588 : 第二電極層
- 589 : 球形粒子
- 590a : 黑色區
- 590b : 白色區
- 594 : 穴
- 595 : 填充物
- 596 : 第二基底
- 1000 : 蜂巢式電話
- 1001 : 機殼
- 1002 : 顯示部
- 1003 : 操作鍵
- 1004 : 外部連接埠
- 1005 : 揚音器
- 1006 : 麥克風
- 2600 : TFT 基底
- 2601 : 對立基底

- 2602 : 密封劑
- 2603 : 像素部
- 2604 : 顯示元件
- 2605 : 色層
- 2606 : 偏光板
- 2607 : 偏光板
- 2608 : 佈線電路部
- 2609 : 可撓佈線板
- 2610 : 冷陰極管
- 2611 : 反射板
- 2612 : 電路板
- 2613 : 擴散板
- 2631 : 海報
- 2632 : 廣告
- 2700 : 電子書
- 2701 : 機殼
- 2703 : 機殼
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚音器
- 4001 : 第一基底

- 4002 : 像素部
- 4003 : 訊號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封劑
- 4006 : 第二基底
- 4008 : 液晶層
- 4010 : 薄膜電晶體
- 4011 : 薄膜電晶體
- 4013 : 液晶元件
- 4015 : 連接端電極
- 4016 : 端電極
- 4018 : 可撓印刷電路
- 4019 : 各向異性導電膜
- 4020 : 絕緣層
- 4021 : 絕緣層
- 4030 : 像素電極層
- 4031 : 對立電極層
- 4032 : 絕緣層
- 4033 : 絕緣層
- 4501 : 第一基底
- 4502 : 像素部
- 4503a : 訊號線驅動電路
- 4503b : 訊號線驅動電路
- 4504a : 掃描線驅動電路

- 4504b : 掃描線驅動電路
- 4505 : 密封劑
- 4506 : 第二基底
- 4507 : 填充物
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電致發光層
- 4513 : 第二電極層
- 4515 : 連接端電極
- 4516 : 端電極
- 4517 : 第一電極層
- 4518a : 可撓印刷電路
- 4518b : 可撓印刷電路
- 4519 : 各向異性導電膜
- 4520 : 分隔部
- 4525 : 第二氧化物半導體層
- 4526 : 第一氧化物半導體層
- 5300 : 基底
- 5301 : 像素部
- 5302 : 掃描線驅動電路
- 5303 : 訊號線驅動電路
- 5400 : 基底
- 5401 : 像素部

- 5402 : 第一掃描線驅動電路
- 5403 : 訊號線驅動電路
- 5404 : 第二掃描線驅動電路
- 5501 : 第一佈線
- 5502 : 第二佈線
- 5503 : 第三佈線
- 5504 : 第四佈線
- 5505 : 第五佈線
- 5506 : 第六佈線
- 5543 : 節點
- 5544 : 節點
- 5571 : 第一薄膜電晶體
- 5572 : 第二薄膜電晶體
- 5573 : 第三薄膜電晶體
- 5574 : 第四薄膜電晶體
- 5575 : 第五薄膜電晶體
- 5576 : 第六薄膜電晶體
- 5577 : 第七薄膜電晶體
- 5588 : 第八薄膜電晶體
- 5601 : 驅動器 IC
- 5602\_1-5602\_M、5602\_J : 切換組
- 5603a : 第一薄膜電晶體
- 5603b : 第二薄膜電晶體
- 5603c : 第三薄膜電晶體

5611：第一佈線

5612：第二佈線

5613：第三佈線

5621\_1-5622\_M、5621\_J：佈線

5701\_1-5701\_n、5701\_i：正反器

5703a：時序

5703b：時序

5703c：時序

5711：第一佈線

5712：第二佈線

5713：第三佈線

5714：第四佈線

5715：第五佈線

5716：第六佈線

5717\_i-1、5717\_i、5717\_i+1：佈線

5721\_j：訊號

5803a：時序

5803b：時序

5803c：時序

5821\_j：訊號

6400：像素

6401：切換電晶體

6402：驅動電晶體

6403：電容器

- 6404 : 發光元件
- 6405 : 訊號線
- 6406 : 掃描線
- 6407 : 電源線
- 6408 : 共同電極
- 7001 : TFT
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7011 : 驅動 TFT
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮光膜
- 7017 : 導電膜
- 7021 : 驅動 TFT
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 導電膜
- 9400 : 通訊裝置



- 9401 : 機殼
- 9402 : 操作鍵
- 9403 : 外部輸入端子
- 9404 : 麥克風
- 9405 : 揚音器
- 9406 : 發光部
- 9410 : 顯示裝置
- 9411 : 機殼
- 9412 : 顯示部
- 9413 : 操作鍵
- 9600 : 電視裝置
- 9601 : 機殼
- 9603 : 顯示部
- 9605 : 架子
- 9607 : 顯示部
- 9609 : 操作鍵
- 9610 : 遙控器
- 9700 : 數位相框
- 9701 : 機殼
- 9703 : 顯示部
- 9881 : 機殼
- 9882 : 顯示部
- 9883 : 顯示部
- 9884 : 揚音器部

- 9885 : 操作鍵
- 9886 : 儲存媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風
- 9890 : LED 燈
- 9891 : 機殼
- 9893 : 連接器
- 9900 : 吃角子老虎機
- 9901 : 機殼
- 9903 : 顯示部

# 發明摘要

※申請案號：106107036(由105106320分割) 分割案

※申請日：98年10月23日

※IPC分類：  
H01L 21/28 (2006.01)  
H01L 21/336 (2006.01)  
H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【中文】

目的在於以降低曝光光罩的數目來簡化微影術製程之方式，低成本高生產率地製造包含氧化物半導體的半導體裝置。在包含通道蝕刻逆交錯薄膜電晶體的半導體裝置的製造方法中，使用藉由多色調光罩形成的光罩層，蝕刻氧化物半導體膜及導電膜，多色調光罩是曝光光罩，其使光透射過而具有多個強度。以使用蝕刻溶液的濕蝕刻，執行蝕刻步驟。

【英文】

An object is to manufacture a semiconductor device including an oxide semiconductor at low cost with high productivity in such a manner that a photolithography process is simplified by reducing the number of light-exposure masks. In a method for manufacturing a semiconductor device including a channel-etched inverted-stagger thin film transistor, an oxide semiconductor film and a conductive film are etched using a mask layer formed with the use of a multi-tone mask which is a light-exposure mask through which light is transmitted so as to have a plurality of intensities. The etching step is performed by wet etching in which an etching solution is used.

圖式

圖 1A

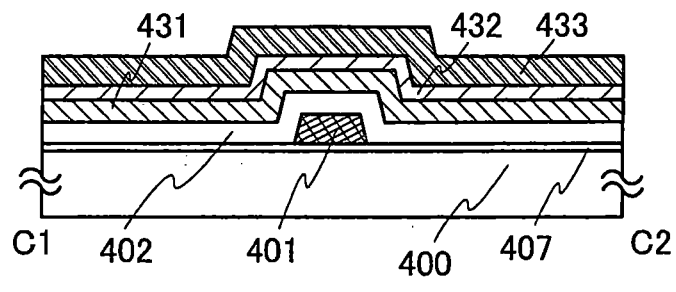


圖 1B

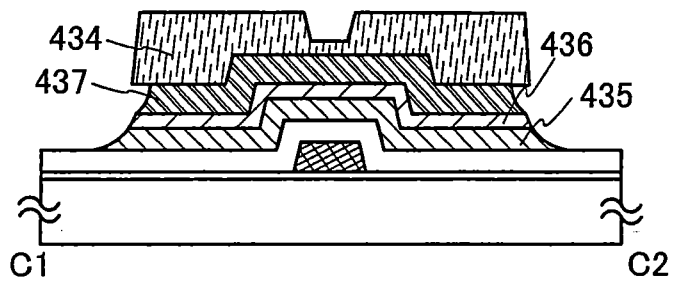


圖 1C

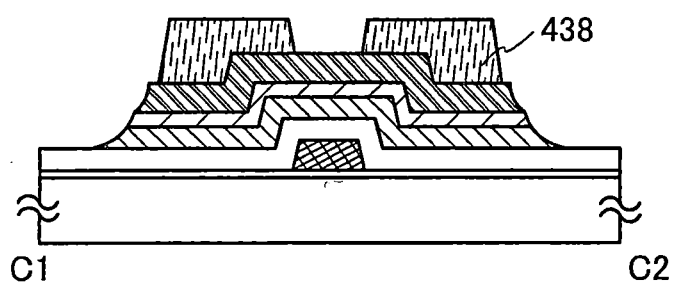


圖 1D

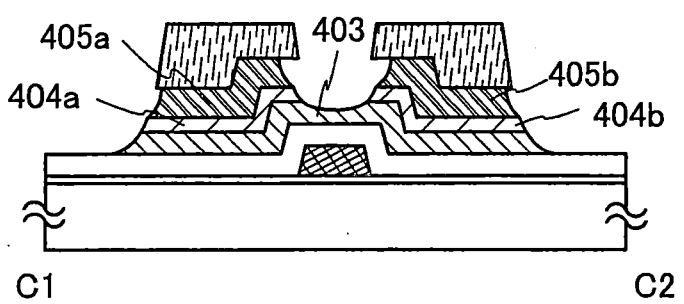


圖 1E

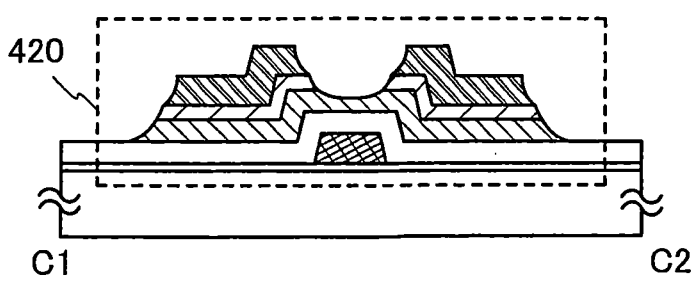


圖 2A

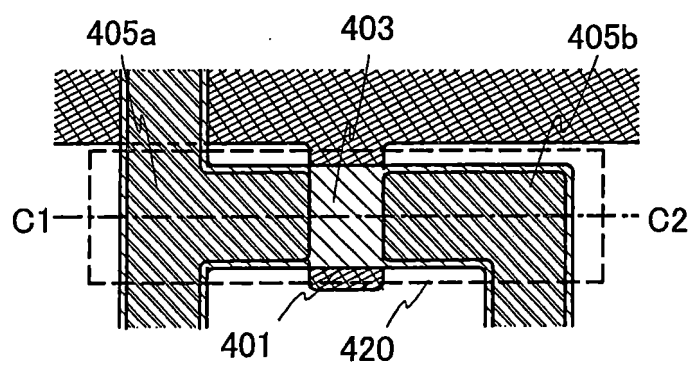


圖 2B

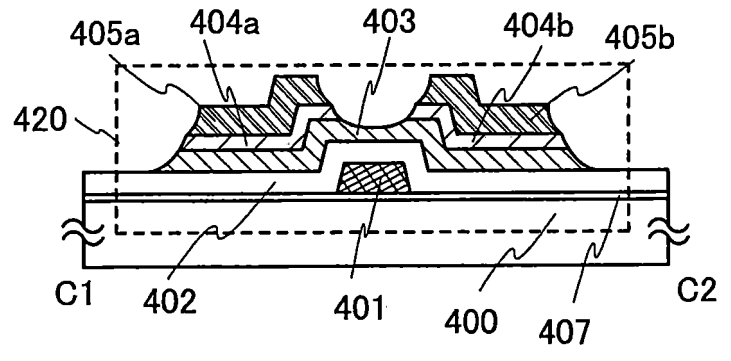


圖 3A

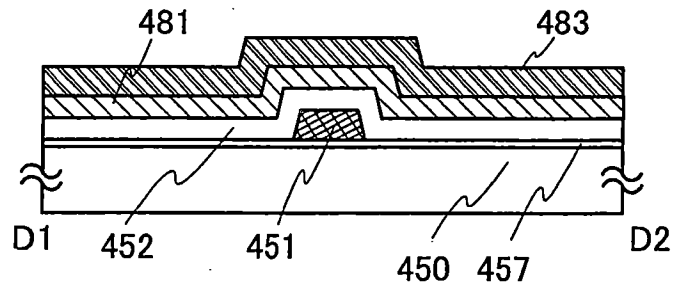


圖 3B

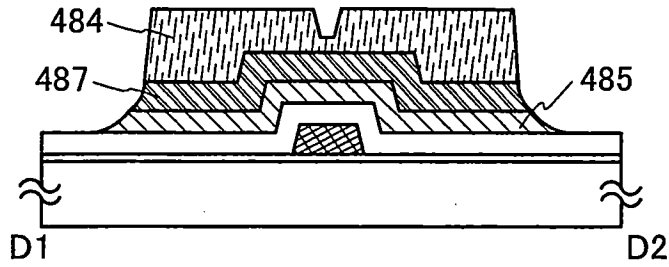


圖 3C

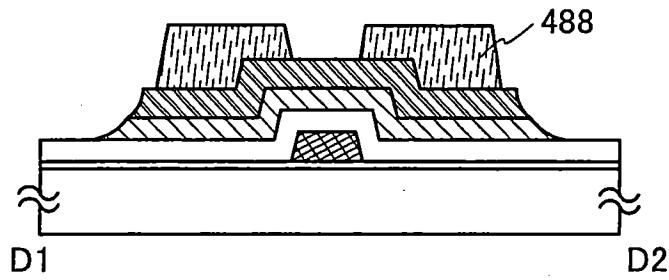


圖 3D

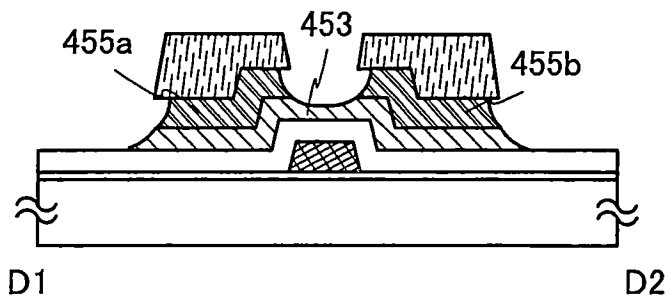


圖 3E

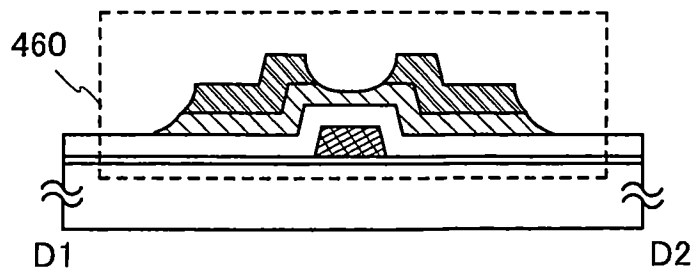


圖 4A

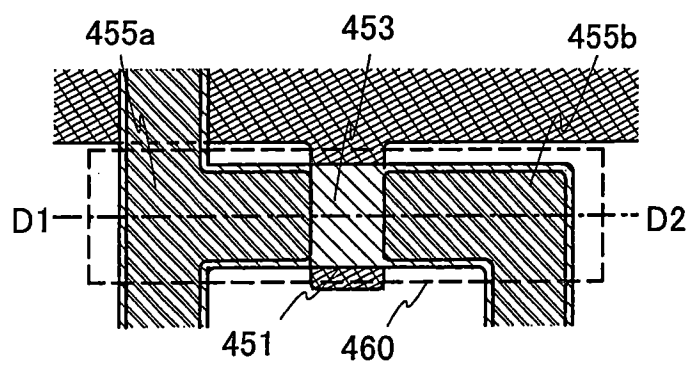


圖 4B

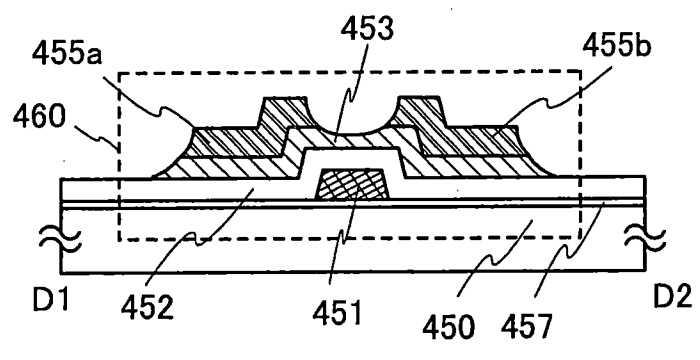


圖5A

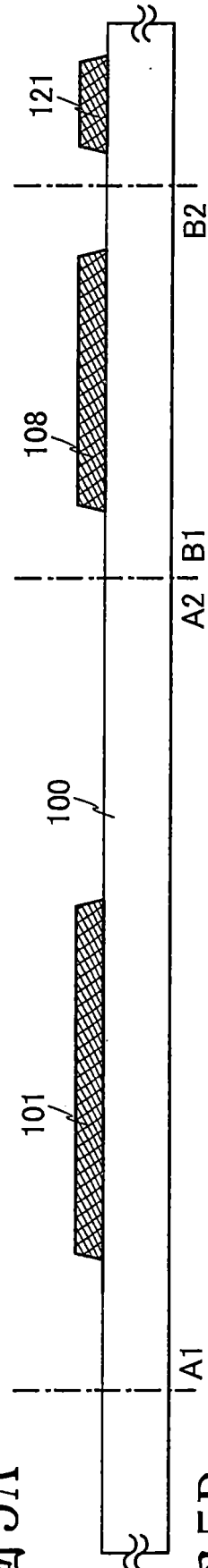


圖5B

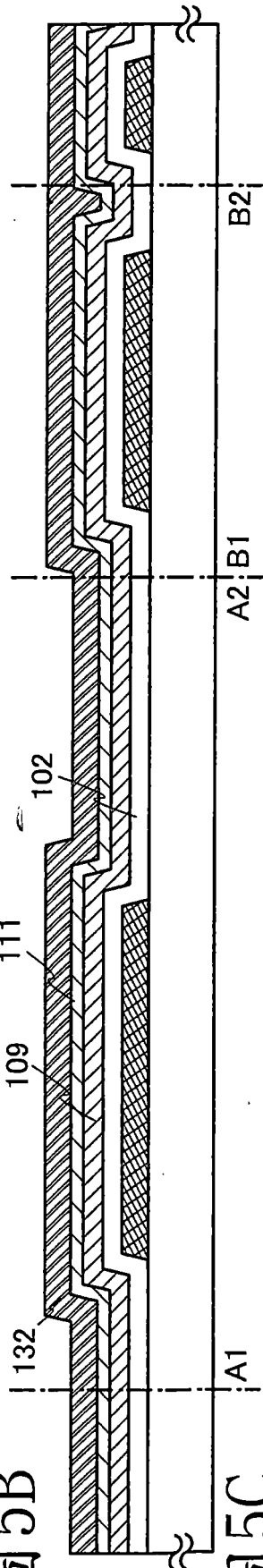


圖5C

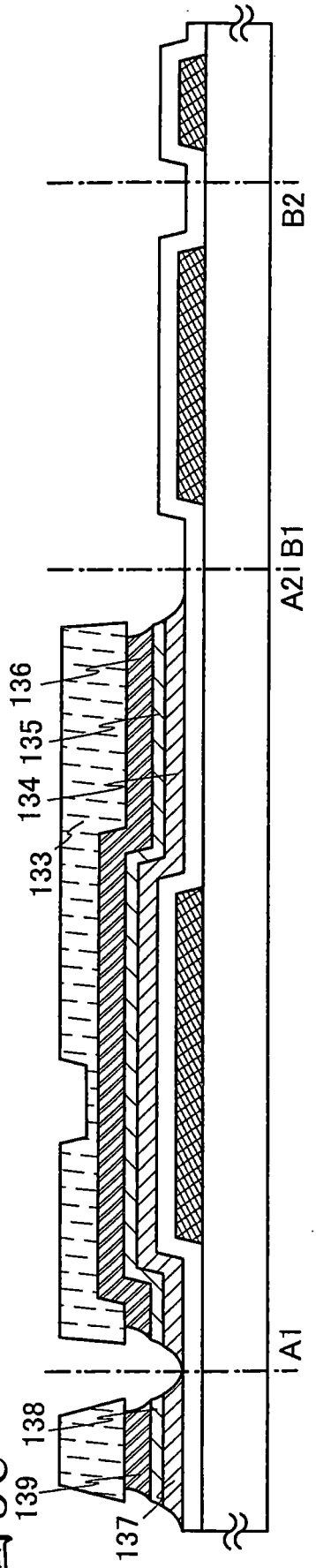




圖 6A

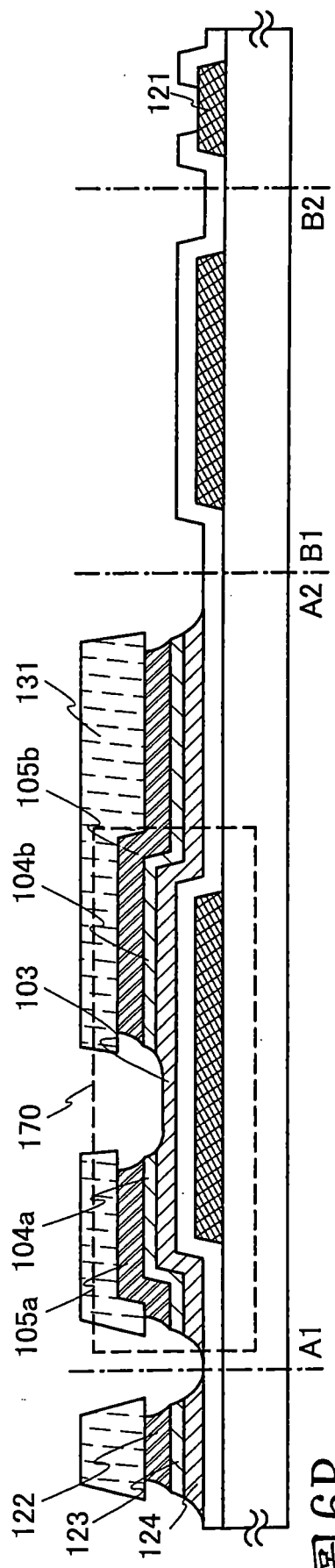


圖 6B

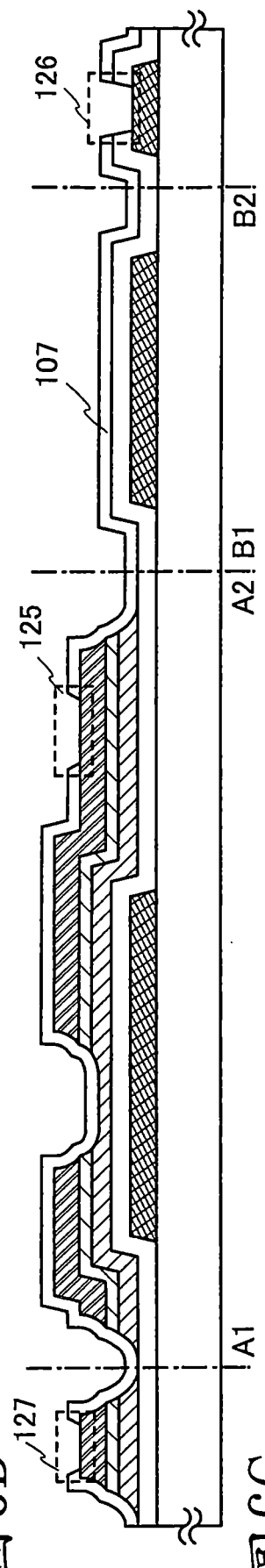


圖 6C

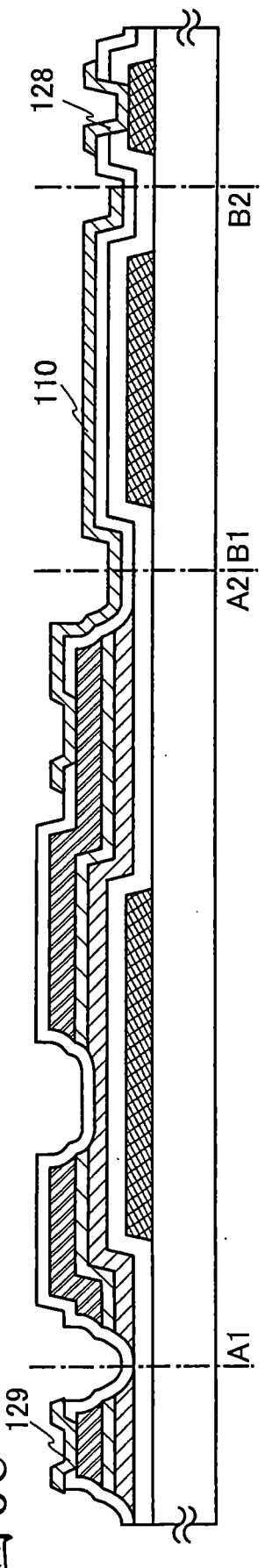


圖 7

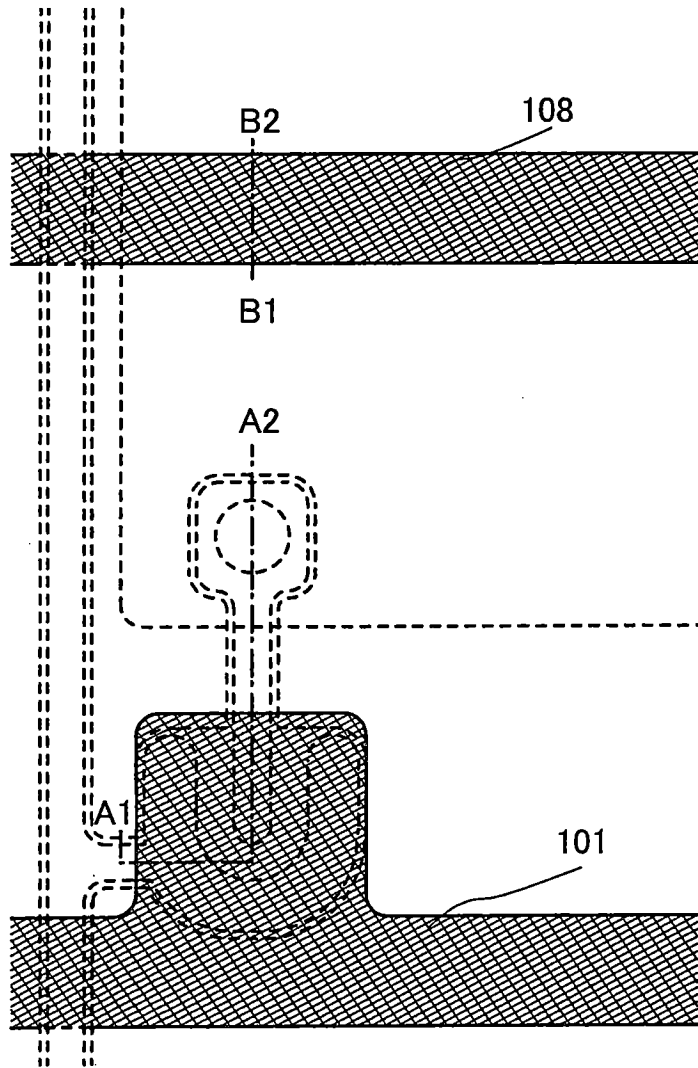


圖 8

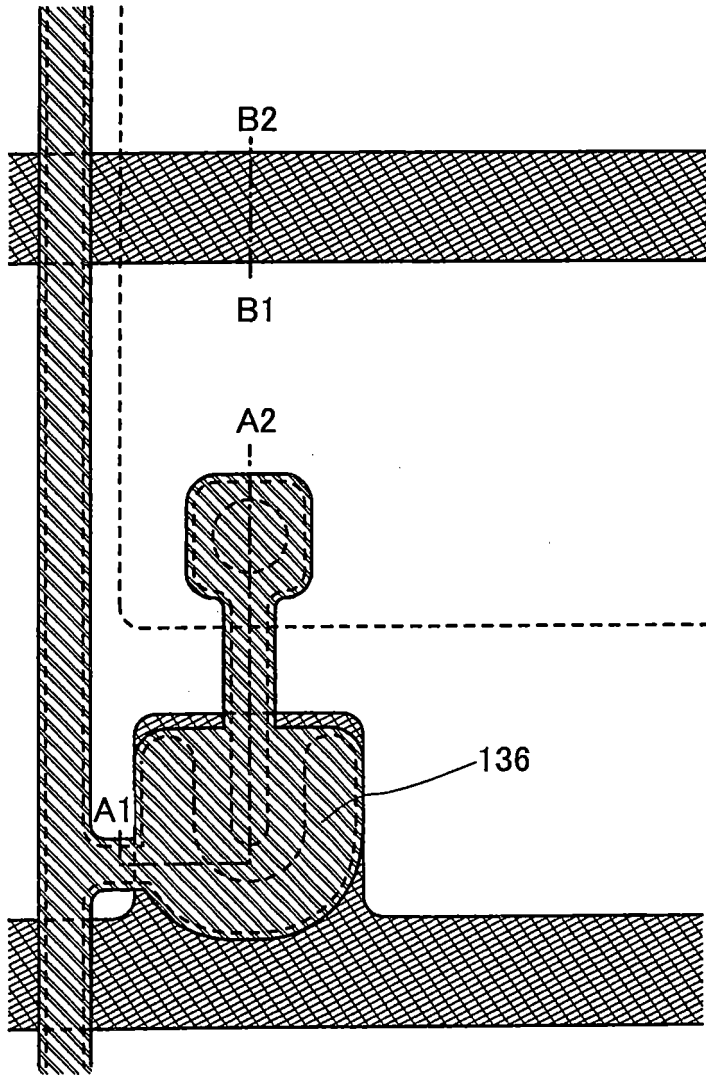


圖9

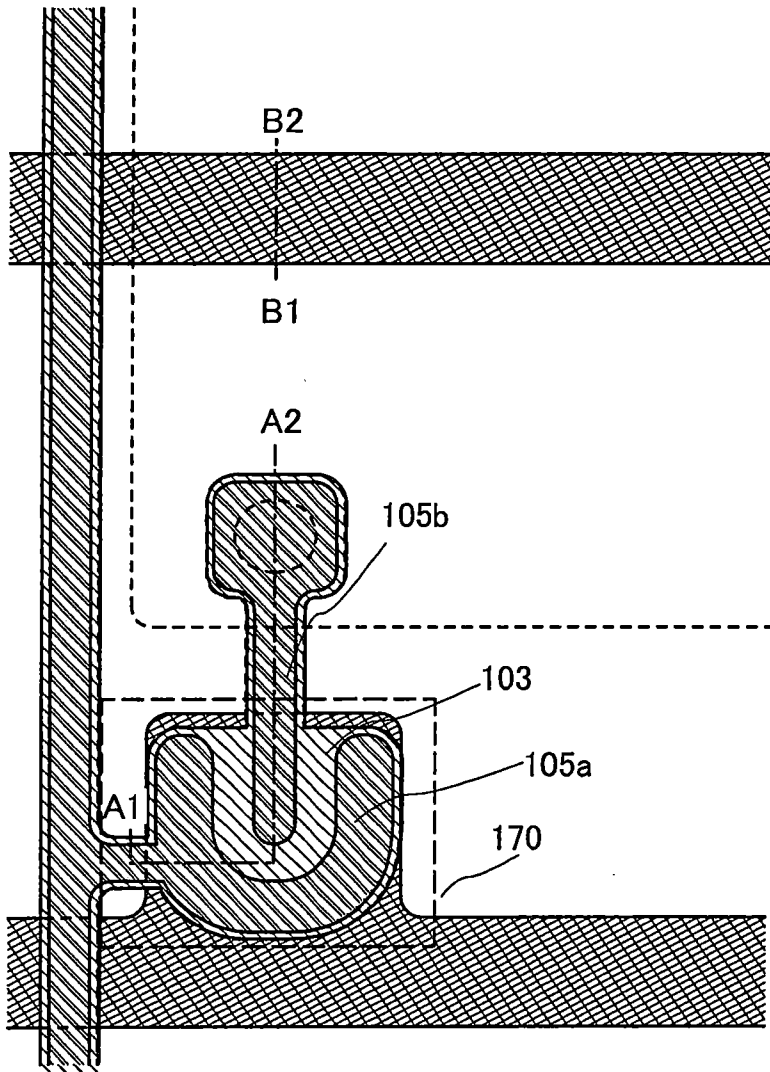


圖 10

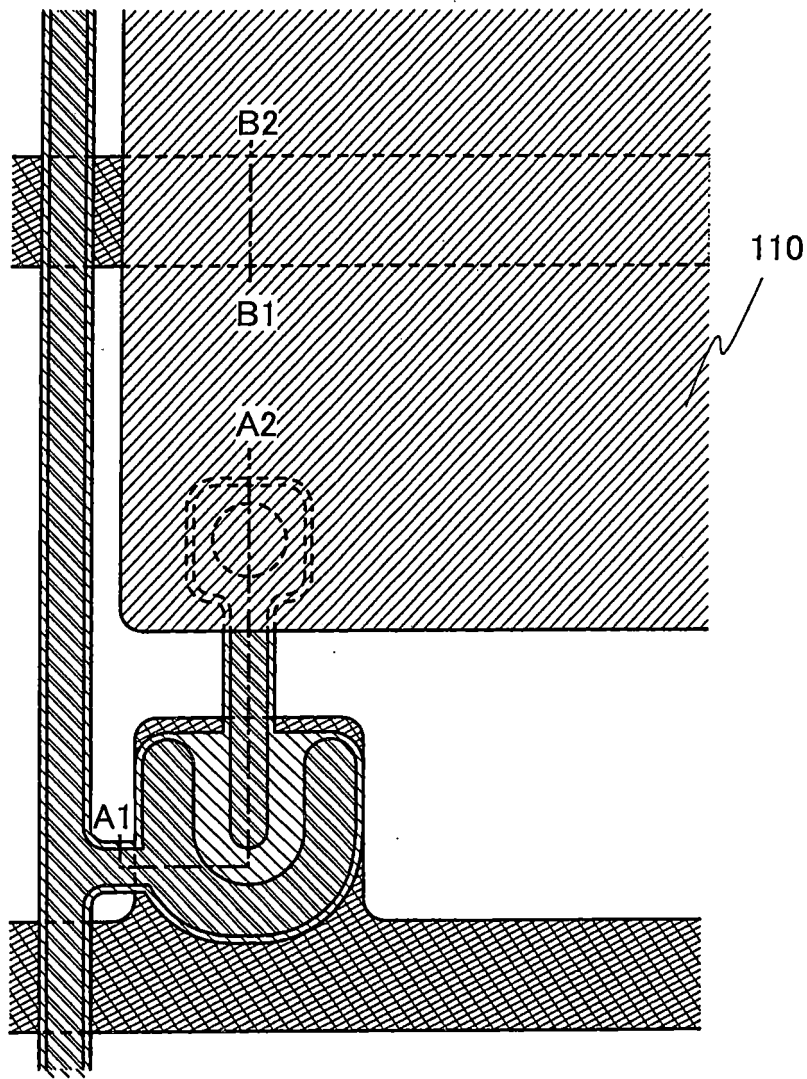


圖 11A1

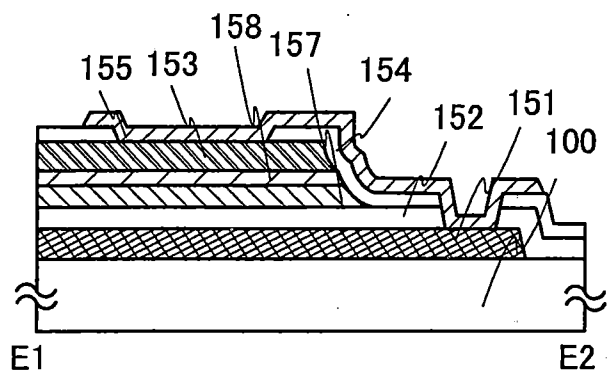


圖 11A2

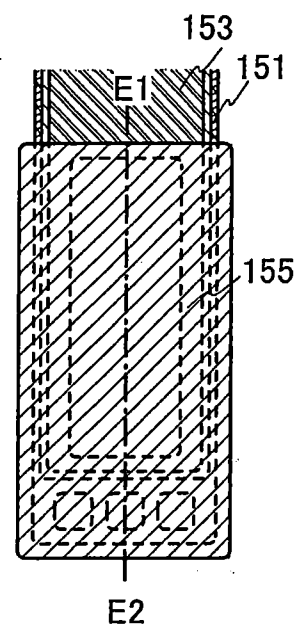


圖 11B1

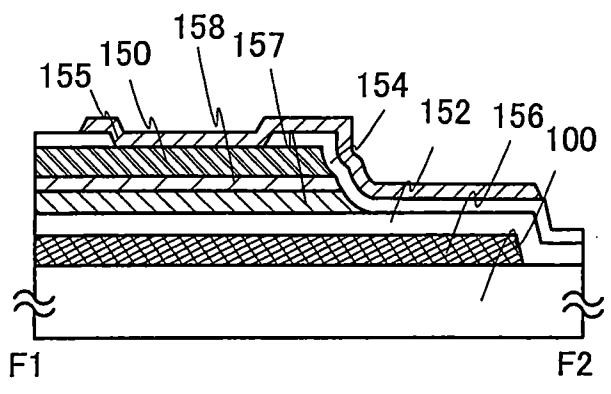


圖 11B2

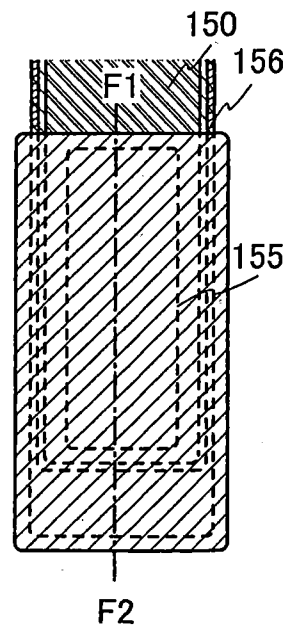


圖 12

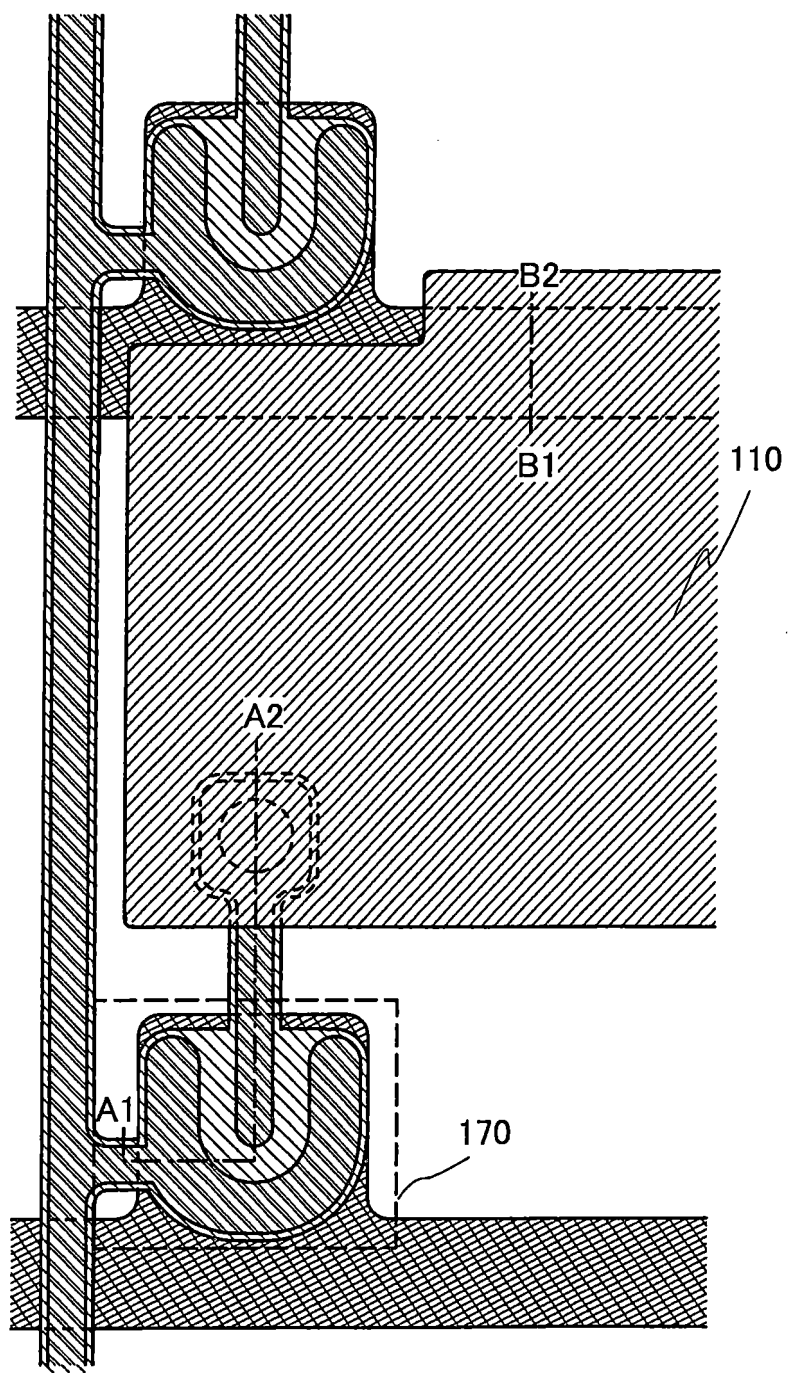


圖 14A

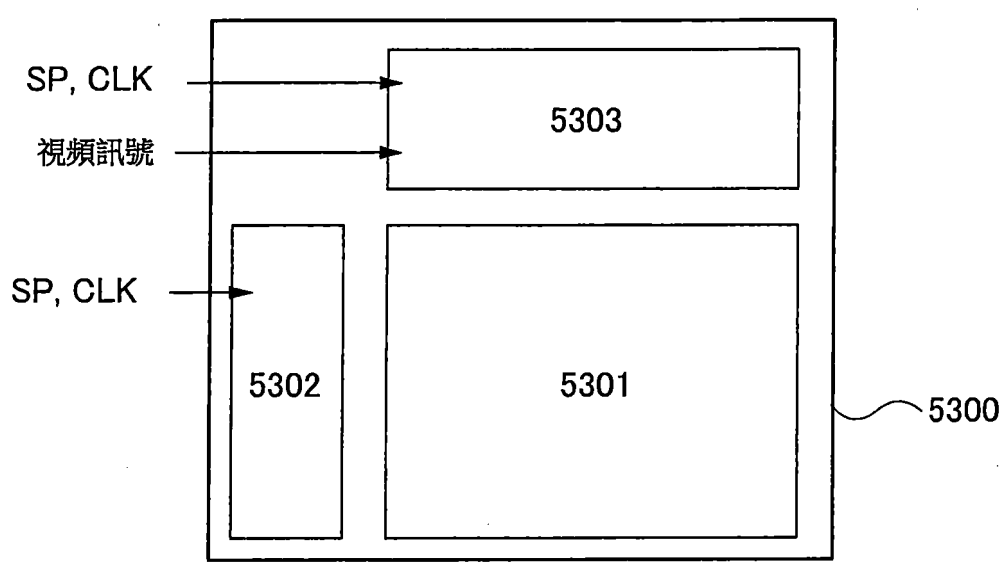


圖 14B

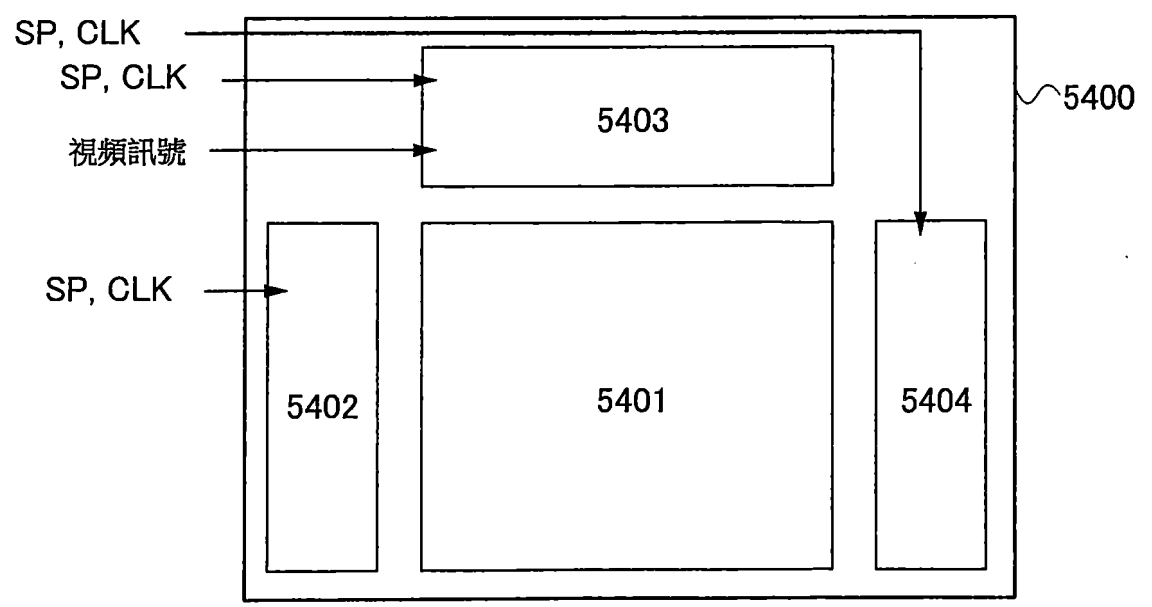




圖15

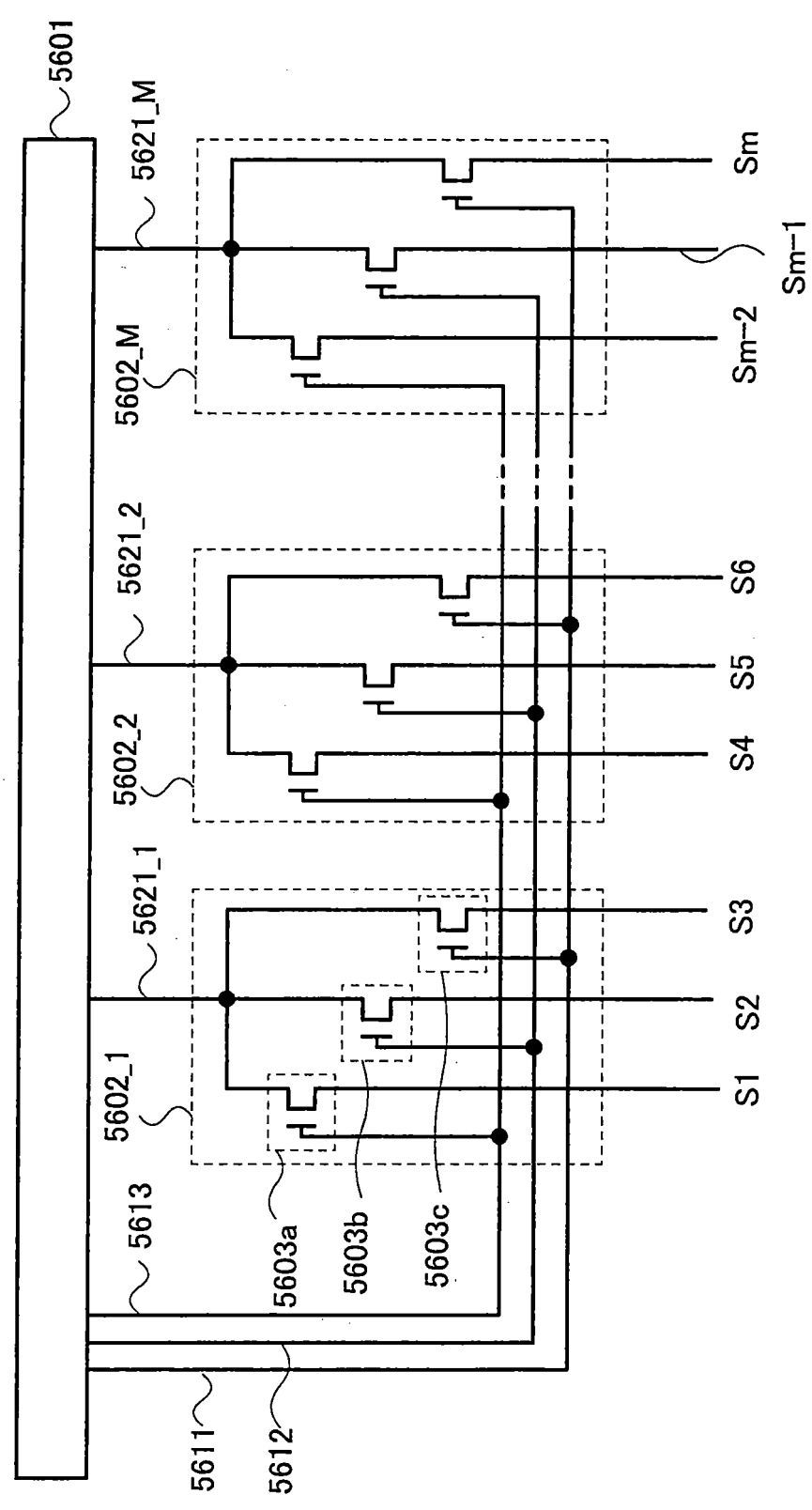


圖16

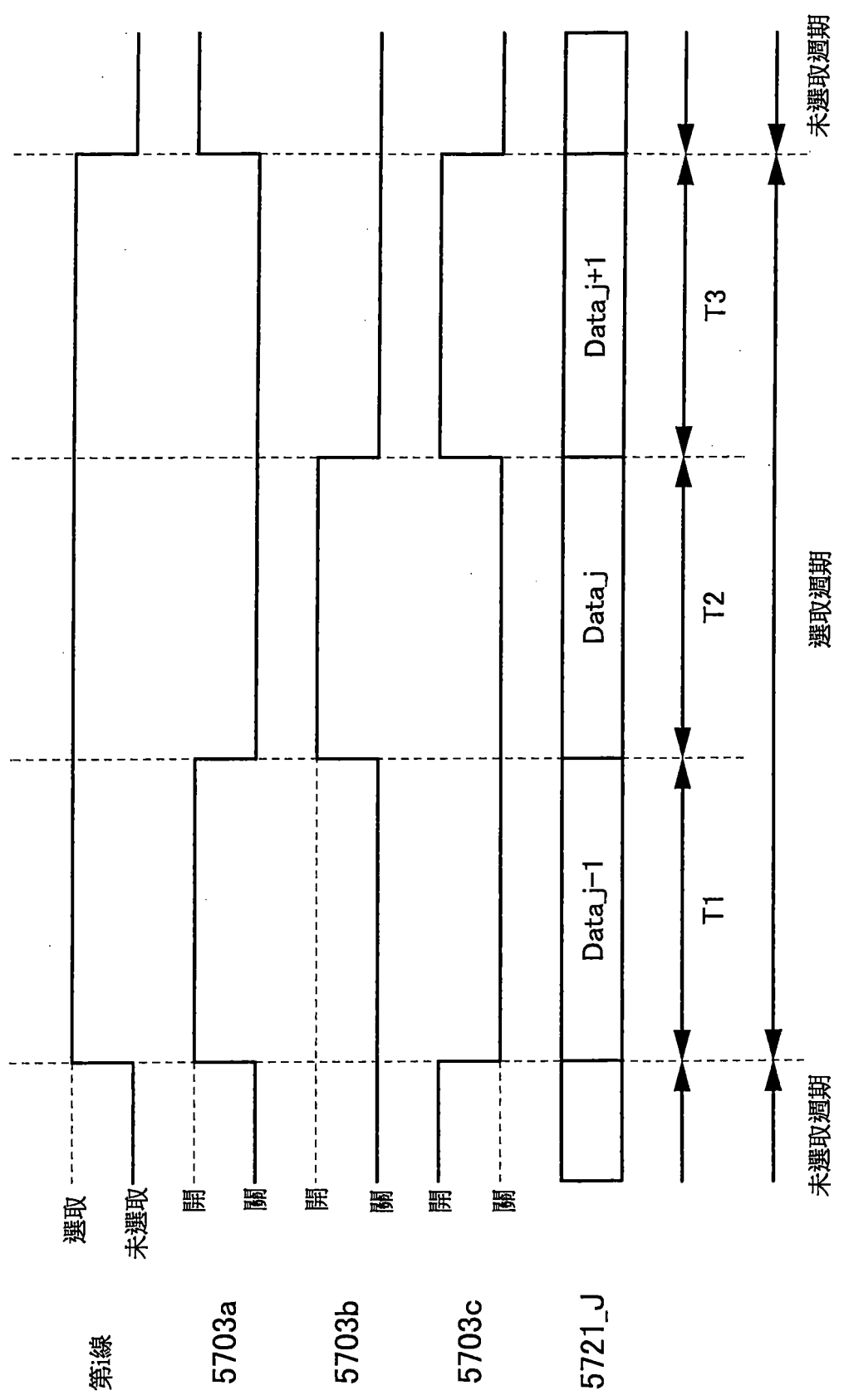


圖17

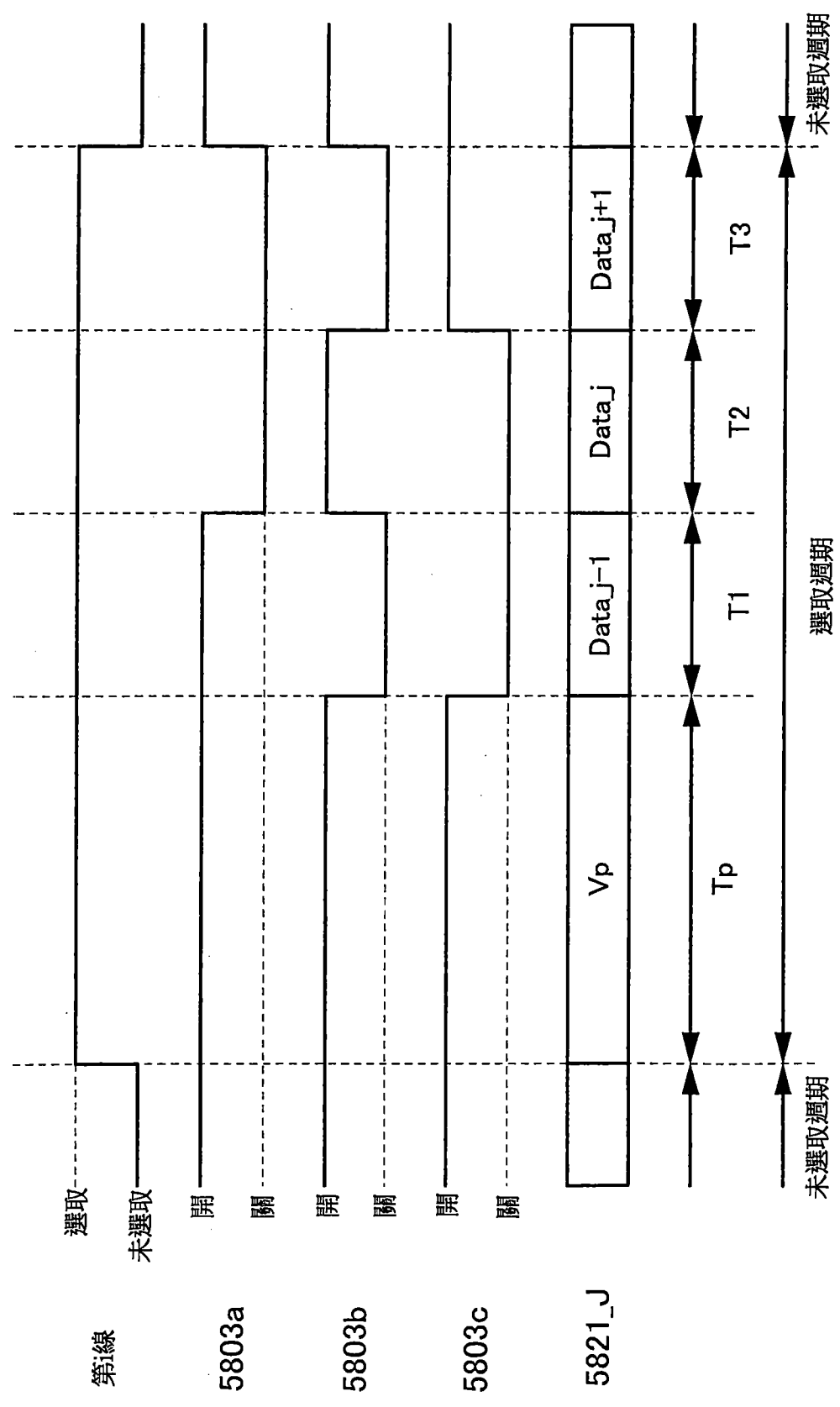


圖18

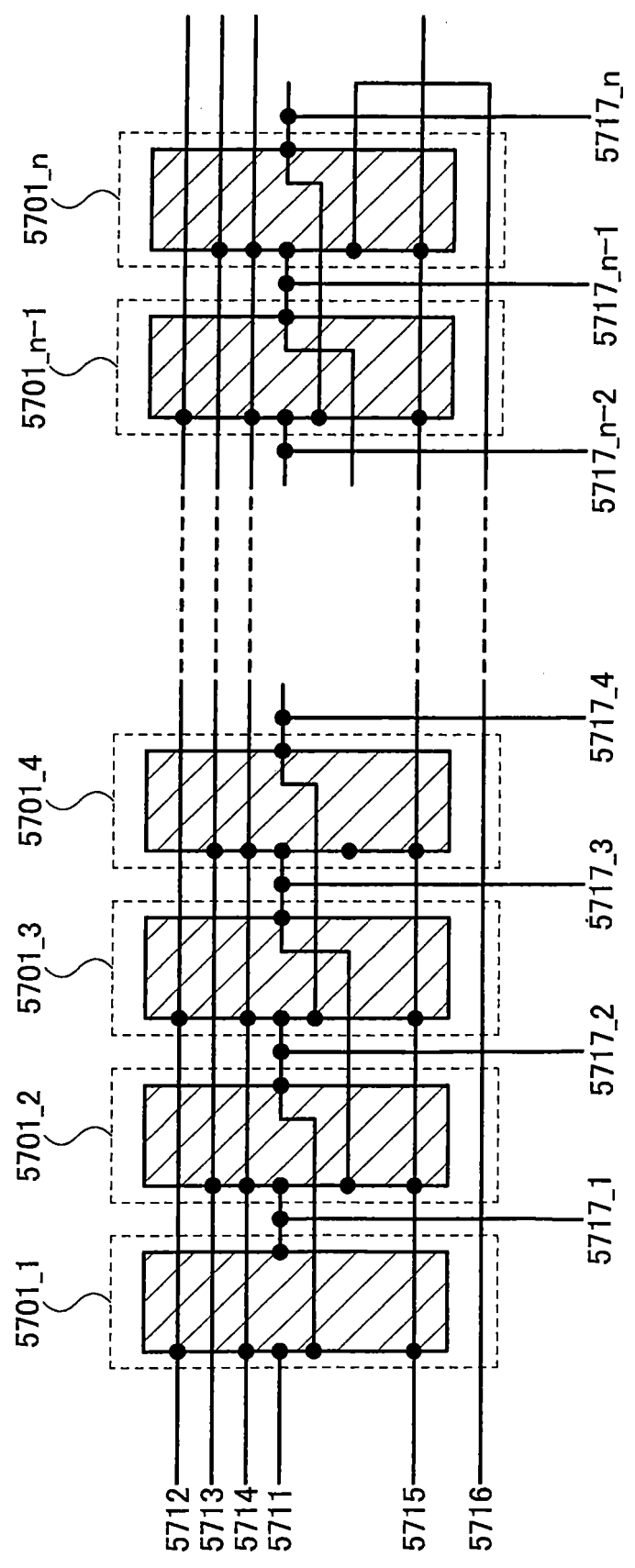


圖 19

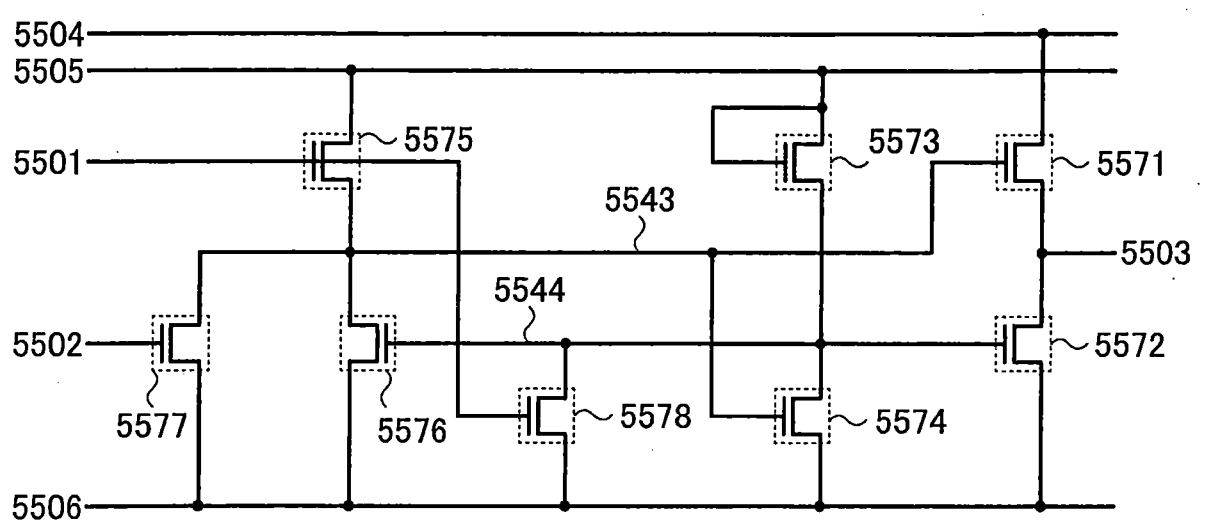


圖 20

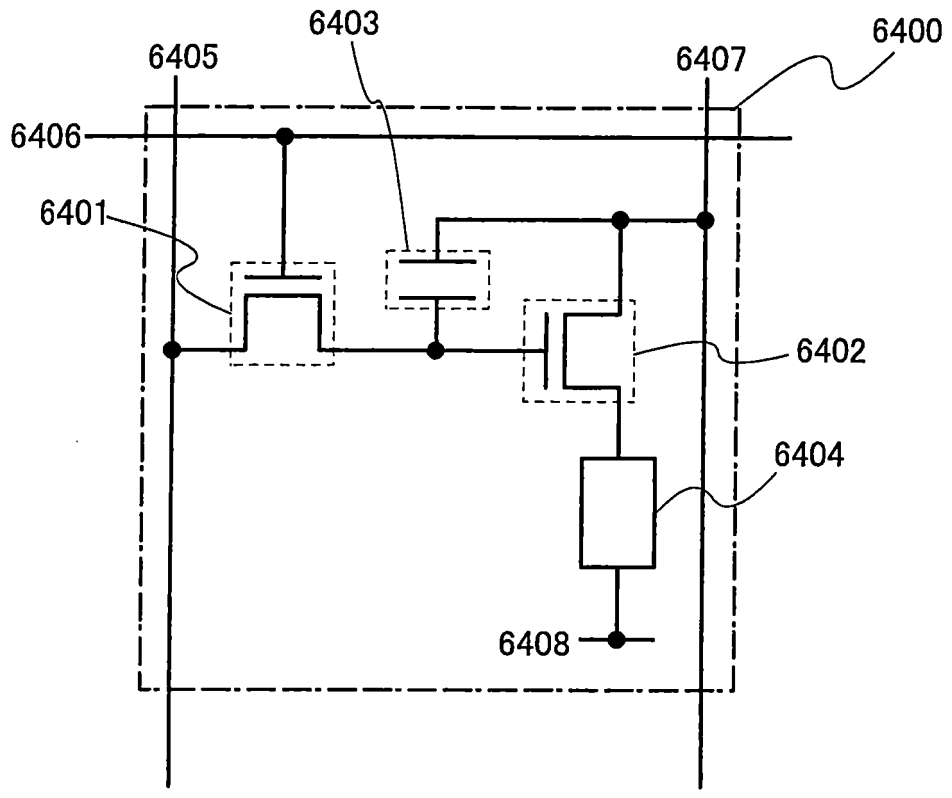


圖 21A

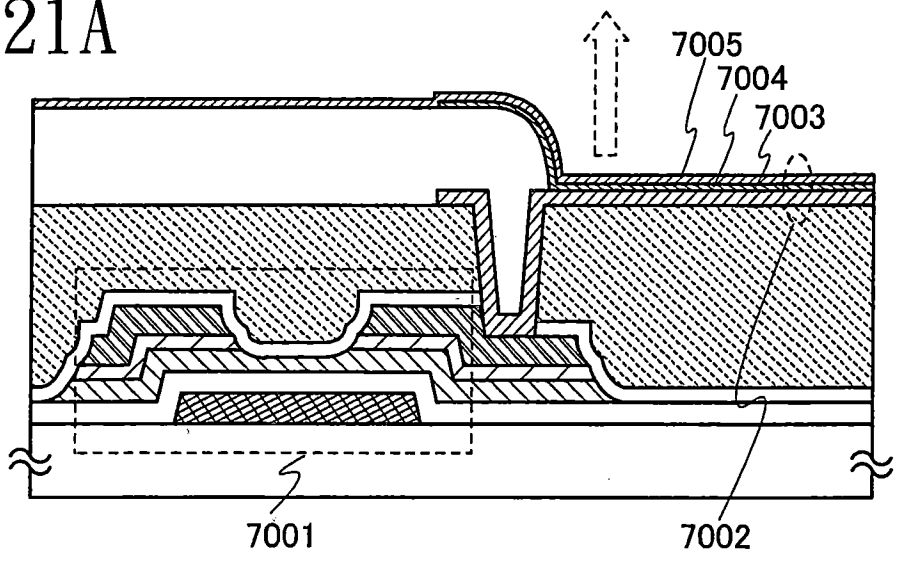


圖 21B

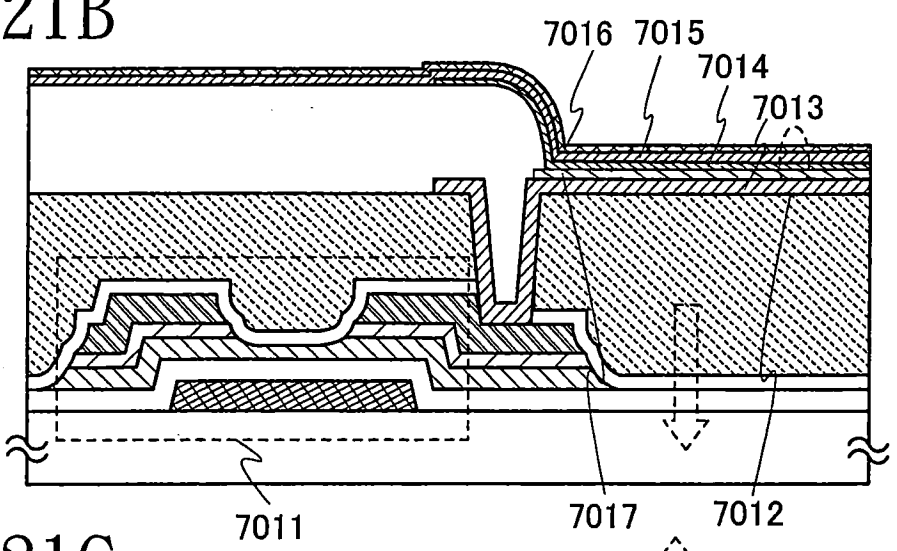


圖 21C

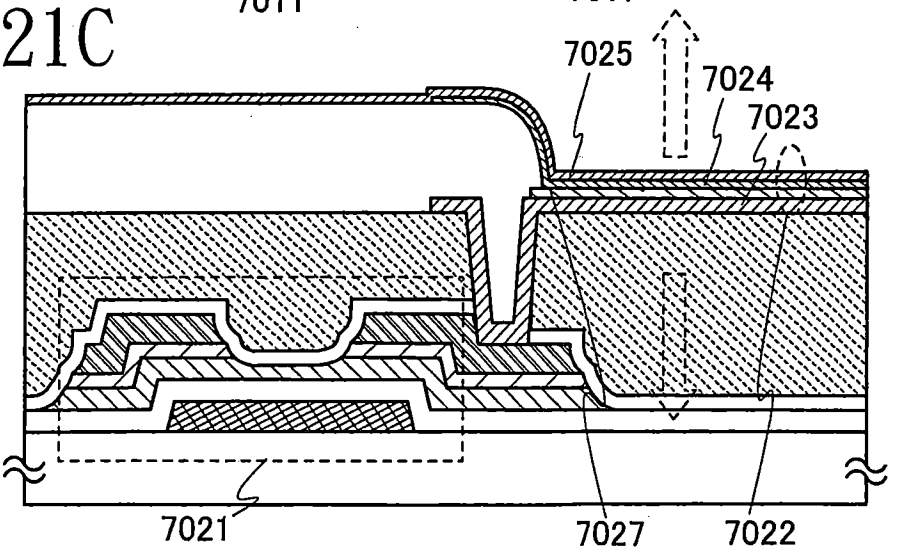


圖 22A1

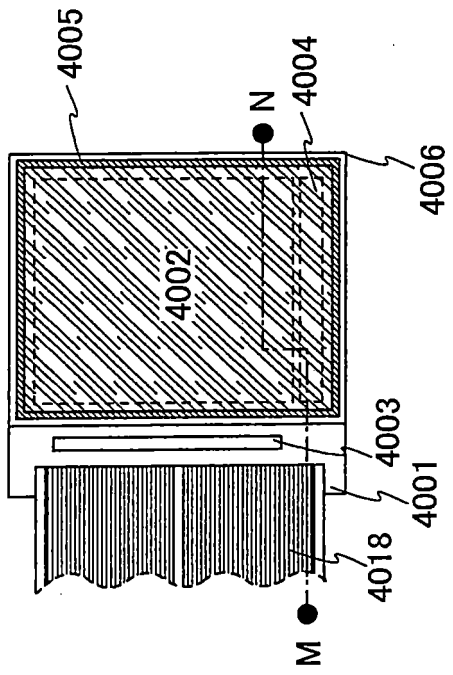


圖 22A2

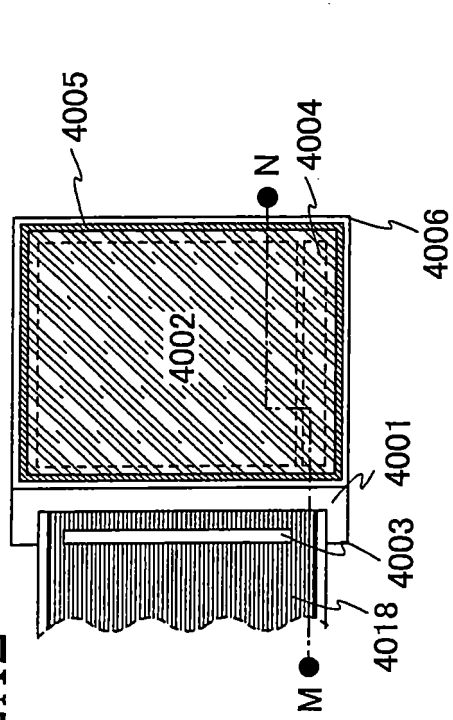


圖 22B

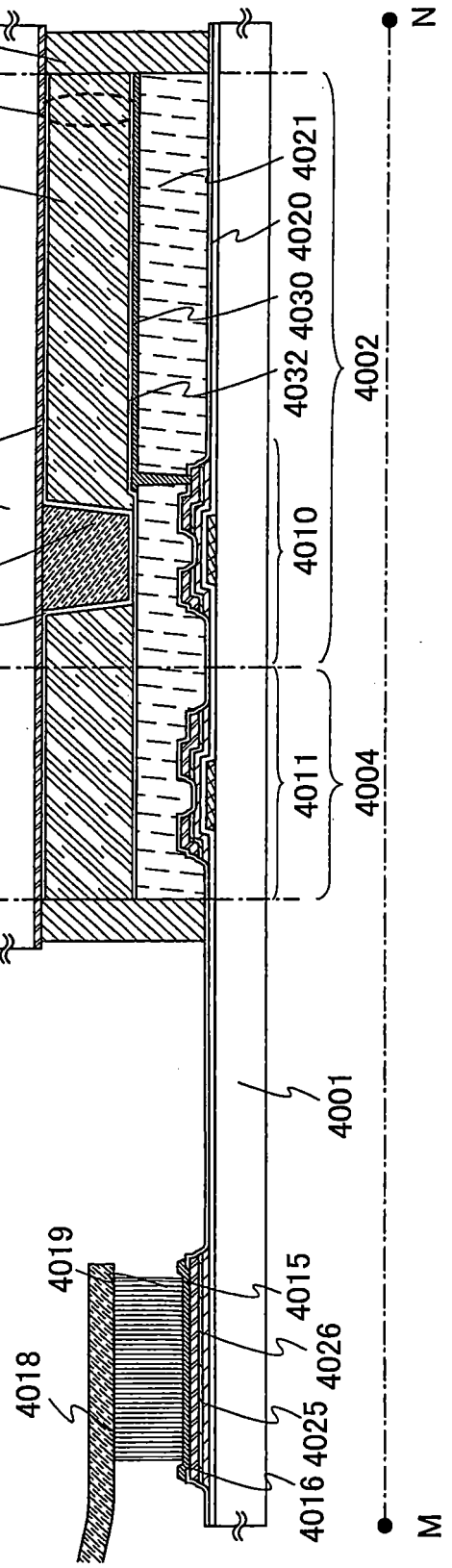




圖23

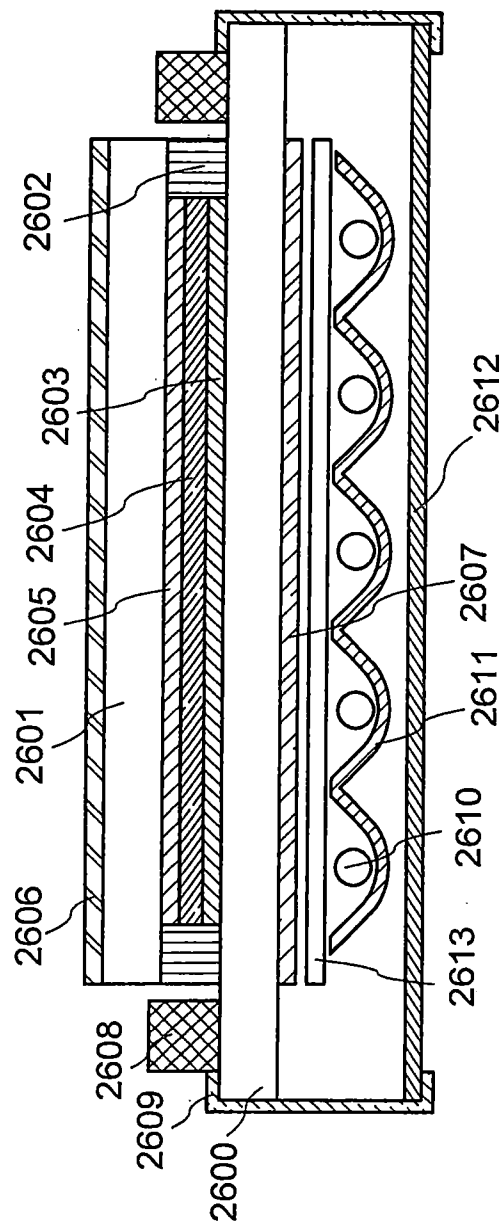


圖 24A

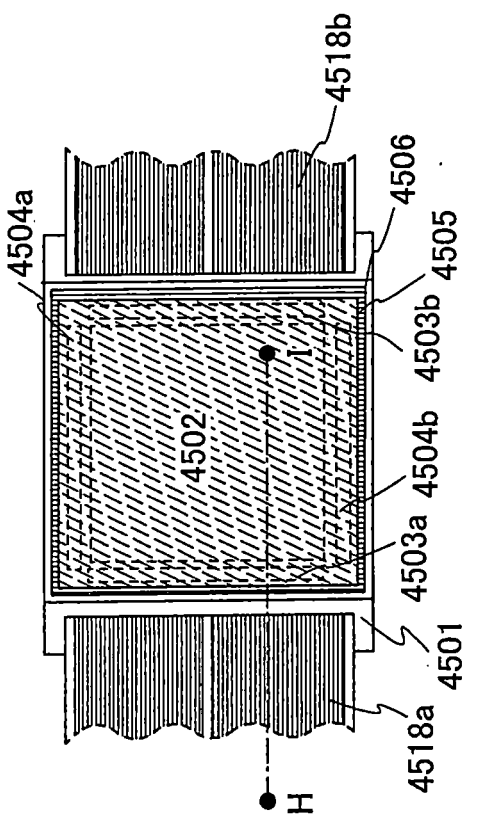


圖 24B

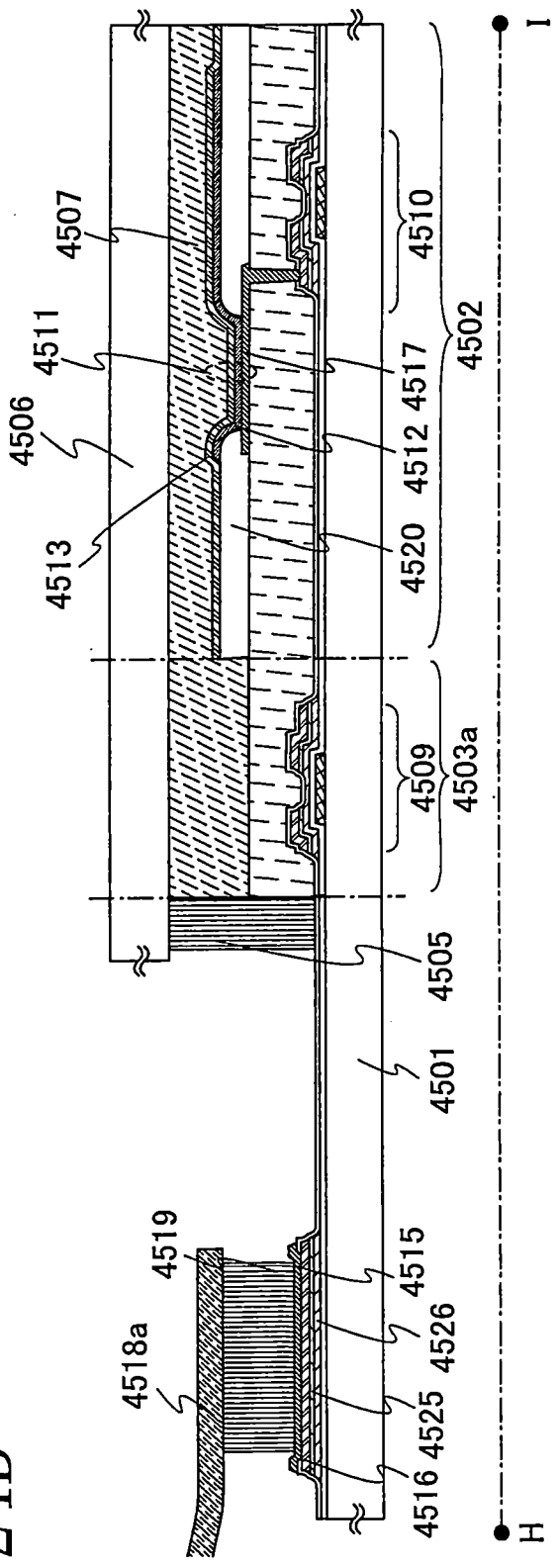


圖 25A

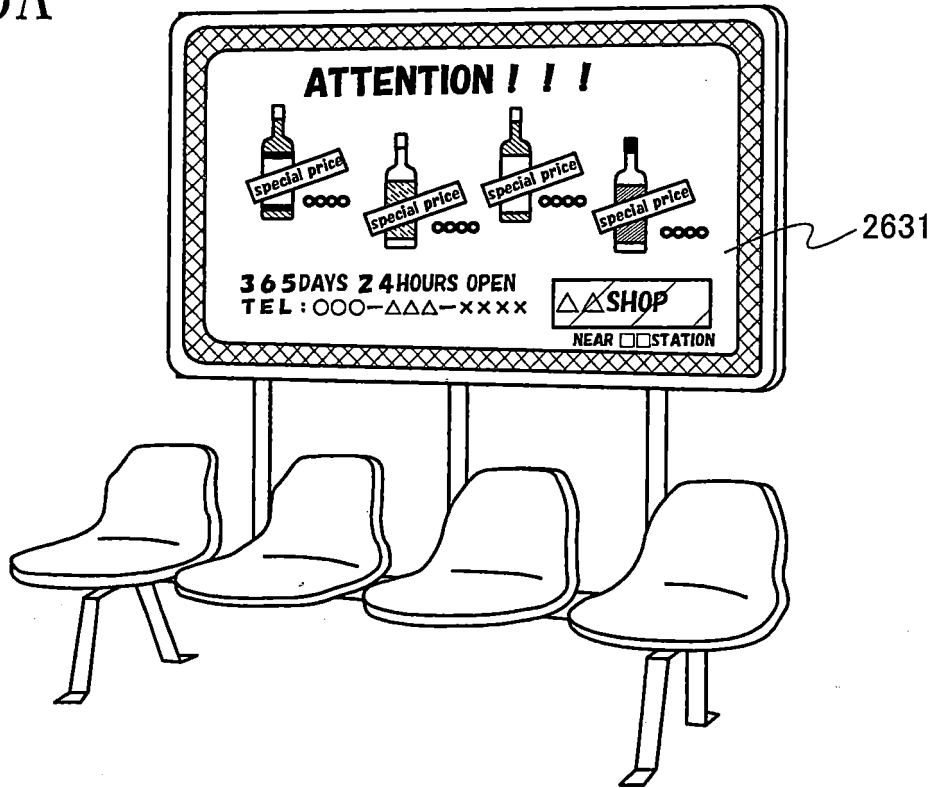


圖 25B

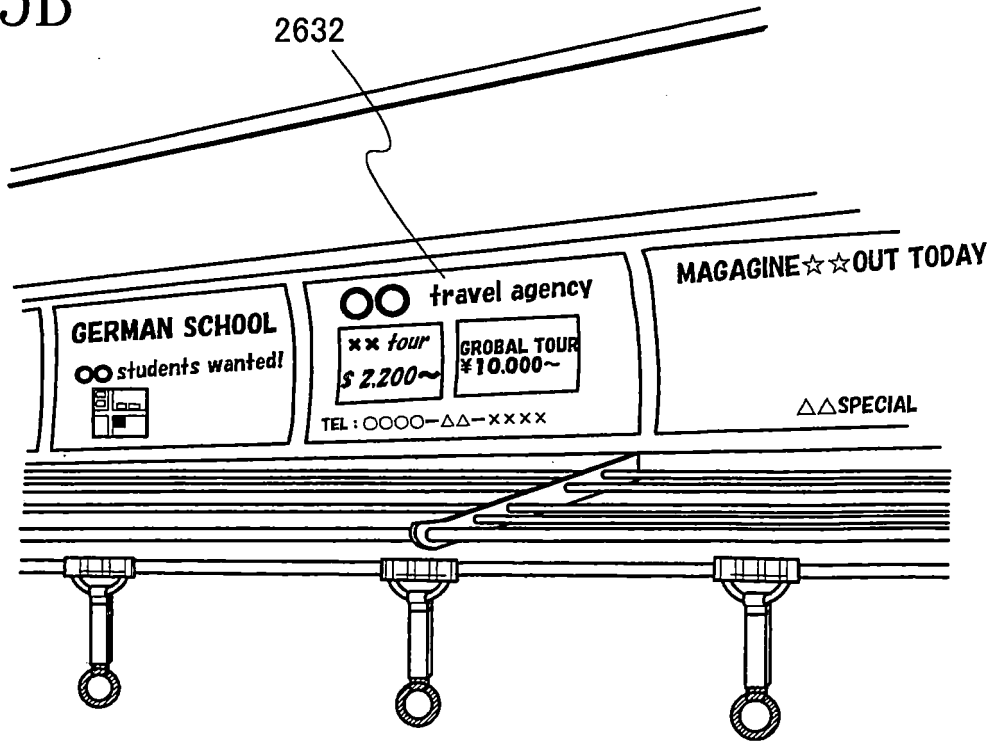


圖 27A

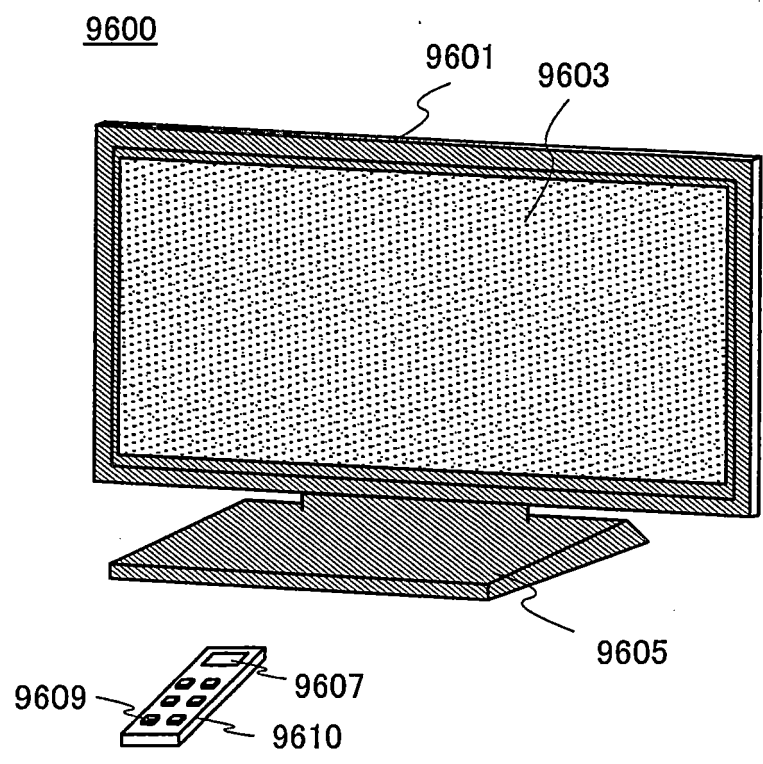


圖 27B

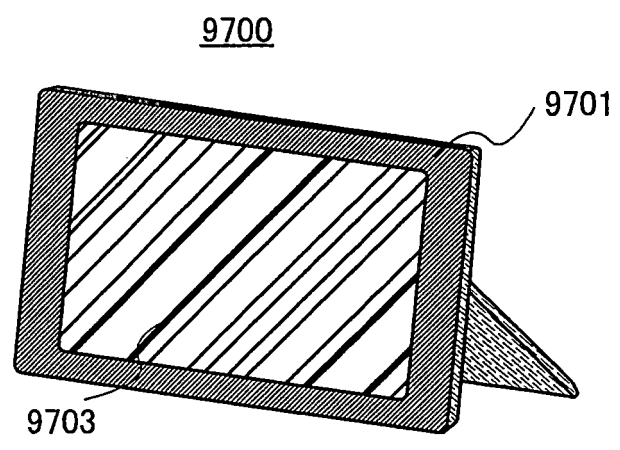


圖 28A

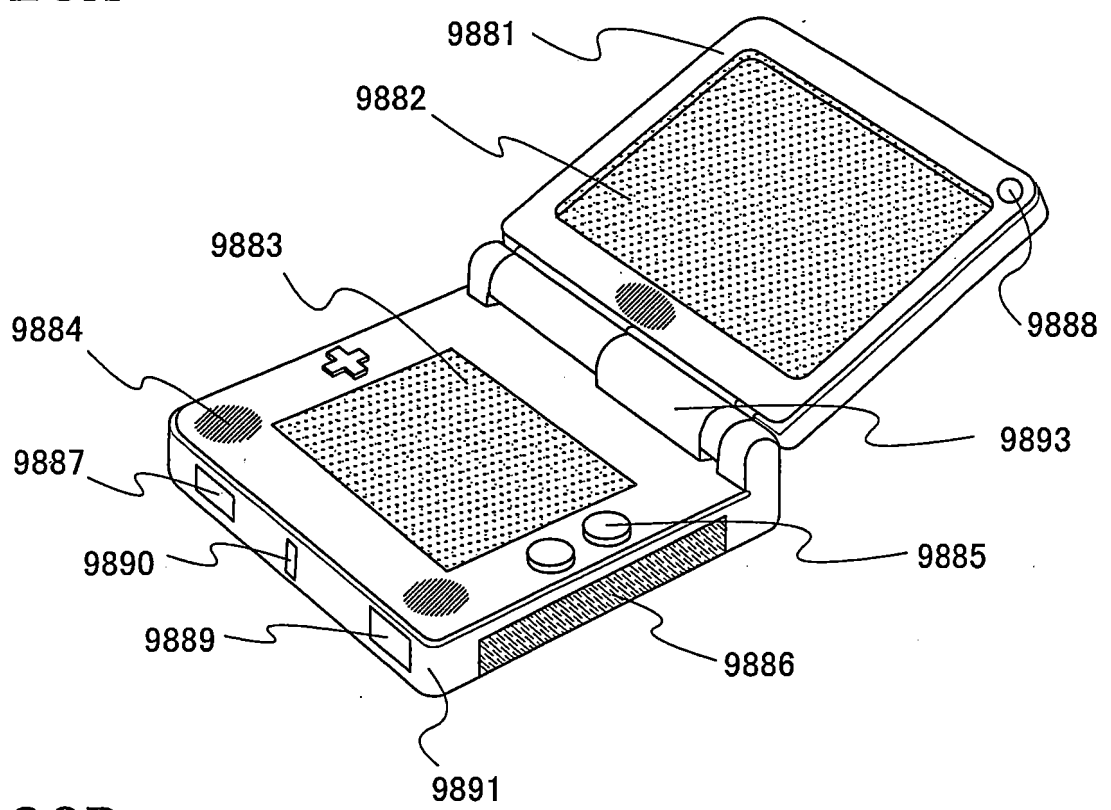


圖 28B

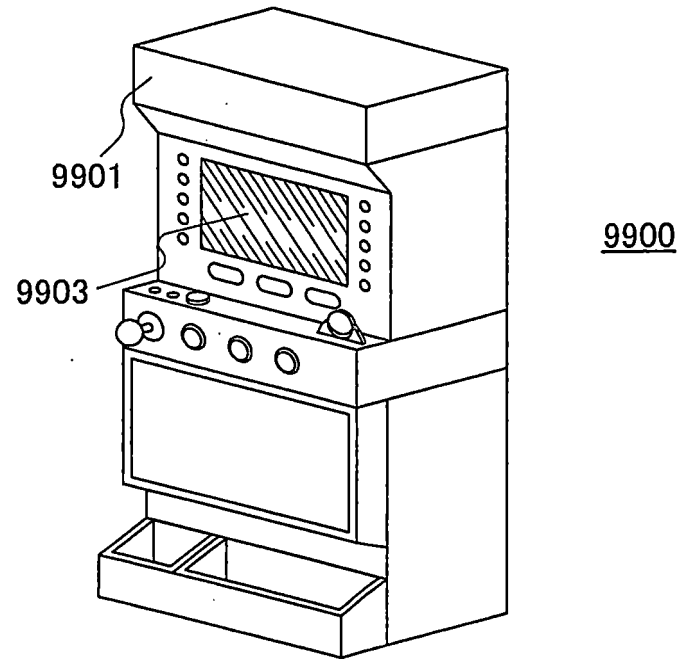


圖 29A

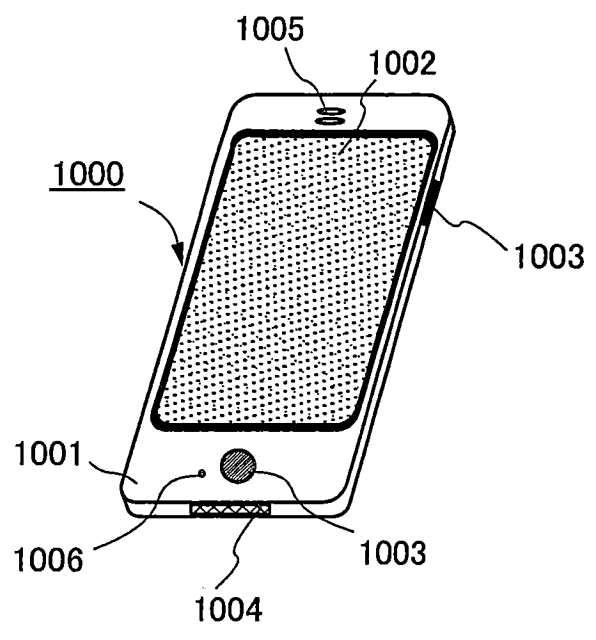


圖 29B

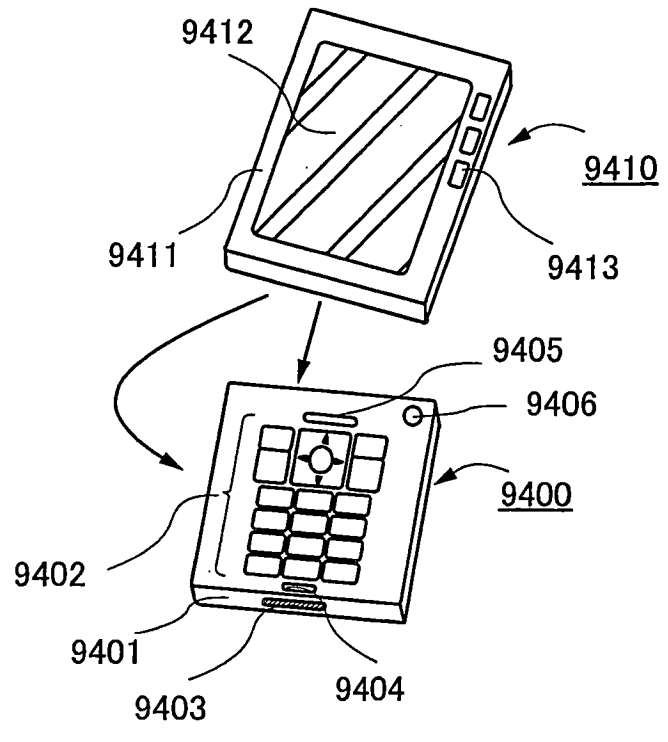


圖 30A

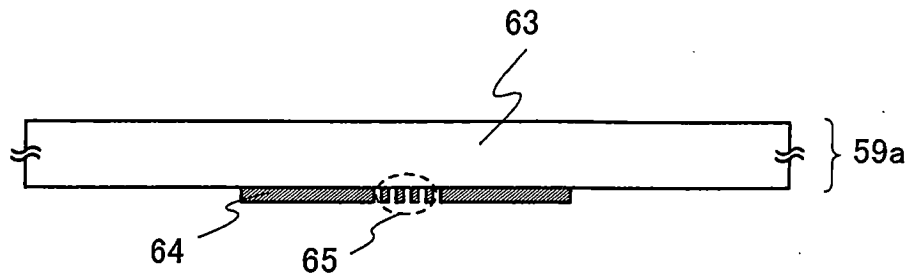


圖 30B

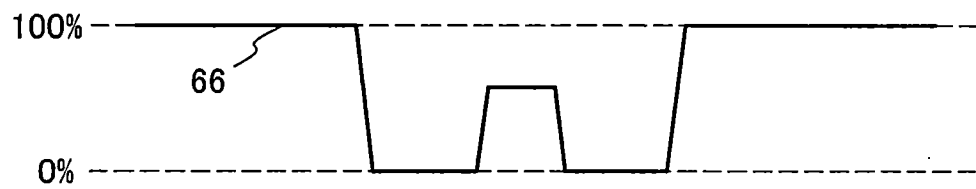


圖 30C

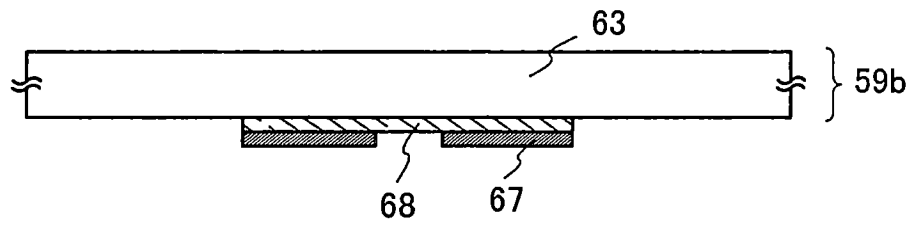
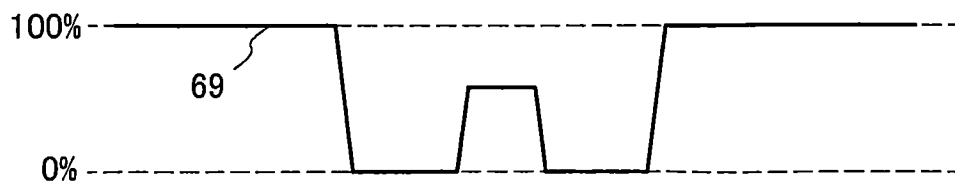


圖 30D



【代表圖】

【本案指定代表圖】：第( 1D )圖。

【本代表圖之符號簡單說明】：

403：半導體層

404a：n<sup>+</sup>層

404b：n<sup>+</sup>層

405a：源極或汲極電極層

405b：源極或汲極電極層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無



密緻膜是較佳的。可以以濺射法，使用氧化矽膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、或氧氮化鋁膜之單層或堆疊層，形成保護膜。雖然在實施例 5 中以濺射法形成保護膜，但是，方法並未特別限定且可以選自多種不同的方法。

此處，形成絕緣層 4020 至具有堆疊結構以作為保護膜。此處，以濺射法形成氧化矽膜作為絕緣層 4020 的第一層。以氧化矽膜用於保護膜具有防止用於源極電極層和汲極電極層之鋁膜的小丘之有利功效。

此外，形成絕緣層作為保護膜的第二層。此處，以濺射法形成氮化矽膜作為絕緣層 4020 的第二層。當氮化矽膜用於保護膜時，能夠防止例如鈉等可移動的離子進入半導體區改變 TFT 的電特徵。

此外，在形成保護膜之後，可以將半導體層退火（在 300°C 至 400°C）。

此外，形成絕緣層 4021 作為平坦絕緣膜。絕緣膜 4021 可以由例如聚醯亞胺、丙烯酸樹膠、苯環丁烯、聚醯胺、或環氧樹脂等具有抗熱性的有機材料形成。關於此有機材料的替代，可以使用低介電常數材料（或低 k 材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。注意，可以藉由堆疊使用這些材料形成的多個絕緣膜，形成絕緣層 421。

注意，矽烷為基礎的樹脂是由以矽烷為基礎的材料作為啓始材料及具有 Si-O-Si 鍵之樹脂形成。矽烷為基礎的

樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作為替代物。或者，有機基可以包含氟基。

對於用於形成絕緣層 4021 之方法並無特別限定，可以視絕緣層 4021 的材料而使用下述方法中的任一方法：濺射法、SOG 法、旋轉塗敷法、浸漬塗著法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、或偏離印刷法）、手術刀法、或輥塗著器、簾幕塗著器、刀式塗著器、等等。在使用材料溶液以形成絕緣層 4021 的情形中，與烘烤步驟同時在半導體層上執行退火（300°C 至 400°C）。當同時執行絕緣層 4021 的烘烤及半導體層的退火時，可以有效率地製造半導體裝置。

像素電極層 4030 及對立電極層 4031 可以由透光導電材料形成，例如含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫。

包含導電巨分子（也稱為導電聚合物）的導電成份可以用於像素電極層 4030 及對立電極層 4031。使用導電成份形成的像素電極具有 10000 歐姆/平方或更低的薄片電阻以及波長 550nm 時 70%或更高的透射率。此外，包含於導電成份中的導電巨分子較佳地為  $0.1 \Omega \cdot \text{cm}$  或更低。

關於導電巨分子，可以使用所謂的  $\pi$  電子共軛導電巨分子。關於其實施例，可為聚苯胺及其衍生物、聚吡咯或

## 申請專利範圍

### 1. 一種半導體裝置，包括：

在具有絕緣表面的基底上的包含銅的閘極電極層；

在該閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的包含銮、鎵、及鋅的第一氧化物半導體層，該第一氧化物半導體層具有凹部；

每一個在該第一氧化物半導體層上的第二氧化物半導體層及第三氧化物半導體層；

在該第二氧化物半導體層上的源極電極層；

在該第三氧化物半導體層上的汲極電極層；

在該源極電極層及該汲極電極層上的包含氧化矽或氮氧化矽的絕緣層，該絕緣層設置該第一氧化物半導體層的上表面上且與其接觸；

像素電極，經由該絕緣層中的接觸孔到達該源極電極層及該汲極電極層中的一個，

其中，該第一氧化物半導體層的該凹部、該第二氧化物半導體層的端部、以及該源極電極層的端部具有彼此對齊的區域。

### 2. 一種半導體裝置，包括：

在具有絕緣表面的基底上的包含銅的閘極電極層；

在該閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的包含銮及鋅的第一氧化物半導體層，該第一氧化物半導體層具有凹部；

每一個在該第一氧化物半導體層上的第二氧化物半導體層及第三氧化物半導體層；

在該第二氧化物半導體層上的源極電極層；

在該第三氧化物半導體層上的汲極電極層；

在該源極電極層及該汲極電極層上的包含氧化矽或氮氧化矽的絕緣層，該絕緣層設置該第一氧化物半導體層的上表面上且與其接觸；

在該絕緣層上的包含有機材料的平坦絕緣膜；

像素電極，經由該絕緣層及該平坦絕緣膜中的接觸孔到達該源極電極層及該汲極電極層中的一個，

其中，該第一氧化物半導體層的該凹部、該第二氧化物半導體層的端部、以及該源極電極層的端部具有彼此對齊的區域。

3. 一種半導體裝置，包括：

在具有絕緣表面的基底上的包含銅的閘極電極層；

在該閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的包含銦、鎵、及鋅的第一氧化物半導體層，該第一氧化物半導體層具有凹部；

每一個在該第一氧化物半導體層上的第二氧化物半導體層及第三氧化物半導體層；

在該第二氧化物半導體層上的源極電極層；

在該第三氧化物半導體層上的汲極電極層；

在該源極電極層及該汲極電極層上的包含氧化矽或氮氧化矽的絕緣層，該絕緣層設置該第一氧化物半導體層的

上表面上且與其接觸；

像素電極，經由該絕緣層中的接觸孔到達該源極電極層及該汲極電極層中的一個，

其中，該第一氧化物半導體層的端部延伸超過該第二氧化物半導體層的端部，並且

其中，該第二氧化物半導體層的該端部延伸超過該源極電極層的端部且該第三氧化物半導體層的該端部延伸超過該汲極電極層的端部。

4. 一種半導體裝置，包括：

在具有絕緣表面的基底上的包含銅的閘極電極層；

在該閘極電極層上的閘極絕緣層；

在該閘極絕緣層上的包含銦及鋅的第一氧化物半導體層，該第一氧化物半導體層具有凹部；

每一個在該第一氧化物半導體層上的第二氧化物半導體層及第三氧化物半導體層；

在該第二氧化物半導體層上的源極電極層；

在該第三氧化物半導體層上的汲極電極層；

在該源極電極層及該汲極電極層上的包含氧化矽或氮氧化矽的絕緣層，該絕緣層設置該第一氧化物半導體層的上表面上且與其接觸；

在該絕緣層上的包含有機材料的平坦絕緣膜；

像素電極，經由該絕緣層及該平坦絕緣膜中的接觸孔到達該源極電極層及該汲極電極層中的一個，

其中，該第一氧化物半導體層的端部延伸超過該第二

氧化物半導體層的端部，並且

其中，該第二氧化物半導體層的該端部延伸超過該源極電極層的端部且該第三氧化物半導體層的該端部延伸超過該汲極電極層的端部。

5.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，使用多色調光罩來形成該第一氧化物半導體層、該第二氧化物半導體層、該第三氧化物半導體層、該源極電極層、及該汲極電極層。

6.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該第一氧化物半導體層的該端部具有曲面。

7.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該第二氧化物半導體層的該端部及該第三氧化物半導體層的端部每一個具有曲面。

8.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該源極電極層及該汲極電極層中的每一個的該端部具有曲面。

9.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該第二氧化物半導體層及該第三氧化物半導體層包含晶粒。

10.如申請專利範圍第 9 項之半導體裝置，其中，該晶粒的直徑為 1 nm 至 10 nm。

11.如申請專利範圍第 2 或 4 項之半導體裝置，其中，該平坦絕緣膜是由聚醯亞胺、丙烯酸樹膠、苯環丁烯、聚醯胺、或環氧樹脂所形成。

12.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該像素電極包含氧化銦-氧化鋅合金。

13.如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中，該半導體裝置更包含液晶層。