

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/336	(45) 공고일자 1999년09월01일	(11) 등록번호 10-0218372
(21) 출원번호 10-1997-0015543	(24) 등록일자 1999년06월10일	(65) 공개번호 특1998-0078112
(22) 출원일자 1997년04월25일	(43) 공개일자 1998년11월16일	

(73) 특허권자	엘지반도체주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	이상기 충청북도 청주시 상당구 용암동 형석아파트 106동 1003호 양형모 서울특별시 강동구 천호3동 397-133
(74) 대리인	박장원

심사관 : 정희환

(54) 반도체소자의 듀얼게이트 제조방법

요약

본 발명은 반도체소자의 듀얼게이트 제조방법에 관한 것으로, 종래의 듀얼게이트 제조방법은 고농도의 소스 및 드레인을 형성하는 과정에서 게이트를 통한 채널링현상이 발생하는 문제점이 있었으며, 이와 같은 문제점은 패리 트랜지스터의 게이트 상부에 텅스텐 폴리사이드를 증착한 후, 이온을 주입함으로써 해결되지만 단차가 발생하는 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 셀 트랜지스터영역과 페리 트랜지스터영역의 상부에 그 소스 및 드레인과 동일한 불순물로 도핑된 앤모스 및 피모스쌍을 제조하는 반도체소자의 듀얼게이트 제조방법에 있어서, 상기 셀 트랜지스터영역과 페리 트랜지스터영역의 상부에 형성하는 게이트의 상부에 EPD물질을 증착하는 단계와, 상기 패리 트랜지스터영역의 상부에 증착한 EPD물질의 상부에 다결정실리콘을 증착하는 단계와, 상기 셀 트랜지스터영역의 상부에 증착한 EPD물질의 상부에 텅스텐 폴리사이드를 증착하는 단계와, 상기 게이트의 상부에 증착된 텅스텐 폴리사이드와 다결정실리콘을 그 게이트의 측면하부 기판에 형성한 소스 및 드레인과 동일한 형으로 도핑하는 단계와, 어닐링을 통해 상기 텅스텐 폴리사이드와 다결정실리콘에 주입된 불순물이온을 게이트로 확산시키는 단계와; 상기 텅스텐 폴리사이드, 다결정실리콘, EPD물질을 식각하는 단계를 포함하여 단차를 발생시키지 않는 효과가 있다.

대표도

도2h

명세서

도면의 간단한 설명

도1은 종래 반도체소자의 듀얼게이트 제조공정 수순 단면도.

도2는 본 발명에 의한 반도체소자의 듀얼게이트 제조공정 수순 단면도.

* 도면의 주요 부분에 대한 부호의 설명

1 : 기판	2 : 필드산화막
3 : 게이트산화막	4,31 : 다결정실리콘(게이트전극)
7 : 저농도 앤형 소스 및 드레인	8 : 저농도 피형 소스 및 드레인
9 : 측벽	10 : 고농도 앤형 소스 및 드레인
11 : 고농도 앤형 소스 및 드레인	20 : 셀 트랜지스터영역
30 : 패리 트랜지스터영역	40 : EPD물질
50 : 텅스텐 폴리사이드	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 듀얼게이트 제조방법에 관한 것으로, 특히 텅스텐-폴리사이드(W-POLYCID)를 이용하여 고농도 및 저농도의 소스 드레인을 형성하는 과정에서 채널링을 방지하고, 식각이 잘되지 않는 물질을 사용하여 식각의 최종점을 설정하여 페리 트랜지스터와 셀 트랜지스터간에 단차를 줄이는데 적당한 도록 한 반도체 소자의 듀얼게이트 제조방법에 관한 것이다.

일반적으로, 그 소스 및 드레인과 동일한 불순물로 도핑된 게이트를 갖는 반도체소자는 그 게이트전극으로 도핑되지 않은 다결정실리콘을 증착하고, 그 증착된 다결정실리콘에 불순물이온을 주입한 후, 어닐링 공정을 통해 제조하였으며, 이와 같은 종래 반도체소자의 듀얼게이트 제조방법의 일 실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 종래 반도체소자의 듀얼게이트 제조공정 수순단면도로서, 이에 도시한 바와 같이 기판(1)의 상부에 필드산화막(2)을 증착하고, 그 필드산화막(2)의 사이에 노출된 기판(1)의 두 영역에 게이트산화막(3)을 증착한 후, 상기 필드산화막(2) 및 게이트산화막(3)의 상부전면에 다결정실리콘(4)을 증착하는 단계(도1a)와; 상기 일측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 상부에 포토레지스트(P/R1)를 도포 및 노광한 후, 그 포토레지스트(P/R1)를 이온주입 마스크로 하는 앤형불순물 이온의 이온주입으로, 타측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4) 내부에 이온주입층(5)을 형성하는 단계(도1b)와; 상기 포토레지스트(P/R1)를 제거한 후, 그 내부에 이온주입층(5)이 형성된 타측 게이트산화막(3)의 상부 다결정실리콘(4)의 상부에 포토레지스트(P/R2)를 도포 및 노광한 다음, 그 포토레지스트(P/R2)를 이온주입 마스크로 사용하는 피형 불순물이온의 이온주입으로 상기 일측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 내부에 이온주입층(6)을 형성하는 단계(도1c)와; 어닐링을 통해 상기 이온주입층(6)을 확산시켜 상기 다결정실리콘(4)을 불순물 원자로 도핑하는 단계(도1d)와; 상기 다결정실리콘(4)을 식각하여 상기 두 게이트산화막(3)의 상부중앙에 게이트전극(4)을 형성한 후, 상기 피형 게이트전극(4)이 그 상부중앙에 형성된 일측 게이트산화막(3)의 상부에 포토레지스트(P/R3)를 도포 및 노광한 후, 저농도 앤형 불순물이온을 이온주입하여 상기 타측 게이트산화막(3)의 하부에 저농도 앤형 소스 및 드레인(7)을 형성하는 단계(도1e)와; 상기 포토레지스트(P/R3)를 제거한 다음 상기 그 하부에 저농도 앤형 소스 및 드레인(7)이 형성되고, 그 상부 중앙에 앤형 게이트전극(4)이 형성된 타측 게이트산화막(3)의 상부에 포토레지스트(P/R4)를 도포 및 노광한 후, 저농도 피형 불순물이온을 이온주입하여 그 상부중앙에 피형 게이트전극(4)이 형성된 일측 게이트산화막(3)의 하부에 저농도 피형 소스 및 드레인(8)을 형성하는 단계(도1f)와; 상기 포토레지스트(P/R4)를 제거한 후, 상기 앤형 및 피형 게이트전극(4)의 양측면에 측벽(9)을 형성하는 단계(도1g)와; 상기 그 상부중앙에 피형 게이트전극(4)이 형성되고, 그 하부에 저농도 피형 소스 및 드레인(8)이 형성된 일측 게이트산화막(3)의 상부에 포토레지스트(P/R5)를 도포 및 노광한 후, 고농도 앤형 불순물이온을 이온주입하여 상기 앤형 게이트전극(4)의 측면에 형성한 측벽(9)과 필드산화막(2)의 사이 게이트산화막(3)의 하부에 고농도 앤형 소스 및 드레인(10)을 형성하는 단계(도1h)와; 상기 포토레지스트(P/R5)를 제거한 후, 그 상부중앙에 앤형 게이트전극(4)이 형성되고, 그 하부에 저농도 앤형 소스 및 드레인(7), 고농도 앤형 소스 및 드레인(10)이 형성된 타측 게이트산화막(3)의 상부에 포토레지스트(P/R6)를 도포 및 노광한 후, 고농도 피형 불순물이온을 이온주입하여 상기 피형 게이트전극(4)의 측면에 형성된 측벽(9)과 필드산화막(2)의 사이 게이트산화막(3)의 하부에 고농도 피형 소스 및 드레인(11)을 형성하는 단계(도1i)와; 상기 포토레지스트(P/R6)를 제거하는 단계(도1j)로 구성된다.

이하, 상기와 같이 구성되는 종래의 MOS 트랜지스터 제조방법을 좀더 상세히 설명한다.

먼저, 도1a에 도시한 바와 같이 기판(1)의 상부에 소자의 분리를 위한 필드산화막(2)을 증착한다. 또한 상기 필드산화막(2)의 사이에 노출된 기판(1)의 두 영역의 상부에 게이트산화막(3)을 증착한 후에 상기 필드산화막(2) 및 게이트산화막(3)의 상부에 도핑되지 않은 다결정실리콘(4)을 증착한다.

그 다음, 도1b에 도시한 바와 같이 상기 두 게이트산화막(3)중 일측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 상부에 포토레지스트(P/R1)를 도포 및 노광한 후, 그 포토레지스트(P/R1)를 이온주입 마스크로 사용하는 앤형 불순물이온의 이온주입으로 상기 타측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 내부에 앤형 이온주입층(5)을 형성한다.

그 다음, 도1c에 도시한 바와 같이 상기 포토레지스트(P/R1)를 제거한 후, 상기 두 게이트산화막(3)중 타측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 상부에 포토레지스트(P/R2)를 도포 및 노광한 후, 그 포토레지스트(P/R2)를 이온주입 마스크로 사용하는 피형 불순물이온의 이온주입으로 상기 일측 게이트산화막(3)의 상부에 증착된 다결정실리콘(4)의 내부에 피형 이온주입층(6)을 형성한다.

그 다음, 도1d에 도시한 바와 같이 상기 포토레지스트(P/R2)를 제거한 후에 어닐링(ANNEALING)공정으로 상기 다결정실리콘(4)의 내부에 형성한 앤형 및 피형 이온주입층(5),(6)을 확산시켜 다결정실리콘(4)을 앤형 및 피형으로 도핑시킨다.

그 다음, 도1e에 도시한 바와 같이 상기 앤형 및 피형으로 도핑된 다결정실리콘(4)을 식각하여 상기 두 게이트산화막(3)의 상부에 앤형 및 피형 게이트전극(4)을 형성하고, 상기 그 상부중앙에 피형 게이트전극(4)이 형성된 일측 게이트산화막(3)의 상부에 포토레지스트(P/R3)를 도포 및 노광한 후, 저농도 앤형 불순물이온을 주입하여 상기 형성된 앤형 게이트전극(4)과 필드산화막(2)의 사이에 노출된 타측 게이트산화막(3)의 하부에 저농도 앤형 소스 및 드레인(7)을 형성한다.

그 다음, 도1f에 도시한 바와 같이 상기 포토레지스트(P/R3)를 제거한 후, 상기 저농도 앤형 소스 및 드레인(7)이 그 하부에 형성되고, 그 상부에 앤형 게이트전극(4)이 형성된 게이트산화막(3)의 상부에 포토레지스트(P/R4)를 도포 및 노광한 후, 저농도 피형 불순물이온을 이온주입하여 상기 피형 게이트전극(4)과 필드산화막(2)의 사이에 노출된 게이트산화막(3)의 하부에 저농도 피형 소스 및 드레인(8)을 형성한다.

그 다음, 도1g에 도시한 바와 같이 상기 포토레지스트(P/R4)를 제거한 후, 상기 피형 및 앤형 게이트전극(4)의 양측면에 측벽(9)을 형성한다.

그 다음, 도1h에 도시한 바와 같이 상기 피형 게이트전극(4)이 그 상부에 형성되고, 그 하부에 저농도 피형 소스 및 드레인(8)이 형성된 게이트산화막(3)의 상부에 포토레지스트(P/R5)를 도포 및 노광한 후, 고농도 앤형 불순물이온을 이온주입하여 상기 앤형 게이트전극(4)의 측면에 형성된 측벽(9)과 필드산화막(2)의 사이에 노출된 게이트산화막(3)의 하부에 고농도 앤형 소스 및 드레인(10)을 형성한다.

그 다음, 도1i에 도시한 바와 같이 상기 포토레지스트(P/R5)를 제거한 후, 상기 그 상부에 앤형 게이트전극(4)과 그 앤형 게이트전극(4)의 측면에 형성된 측벽(9) 및 그 하부에 저농도 소스 및 드레인(7)과 고농도 소스 및 드레인(10)이 형성된 게이트산화막(3)의 상부에 포토레지스트(P/R6)를 도포 및 노광한 후, 고농도 피형 불순물이온을 이온주입하여 상기 피형 게이트전극(4)의 측면에 형성된 측벽(9)과 필드산화막(3)의 사이에 노출된 게이트산화막(3)의 하부에 고농도 피형 소스 및 드레인(11)을 형성한다.

그 다음, 도1j에 도시한 바와 같이 상기 포토레지스트(P/R6)를 제거함으로써 기판의 일측에 셀 트랜지스터와 타측에 패리 트랜지스터를 제조하는 공정을 완료하게 된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 듀얼게이트 제조방법은 고농도의 소스 및 드레인을 형성하는 과정에서 게이트를 통한 채널링현상이 발생하는 문제점이 있었다. 이와 같은 문제점은 패리 트랜지스터의 게이트 상부에 텅스텐 폴리사이드를 증착한 후, 이온을 주입함으로써 해결되지만 단차가 발생하는 이유로 현재 사용되지 않고 있다.

이와 같은 문제점을 감안한 본 발명은 텅스텐 폴리사이드를 사용하면 단차가 발생하지 않도록 하는 반도체소자의 듀얼게이트 제조방법의 제공에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 게이트전극이 될 다결정실리콘의 상부에 EPD(END POINT DETECTION)용 물질을 증착하는 단계와; 패리 트랜지스터영역의 상부에만 다결정 실리콘을 증착하는 단계와; 상기 패리 트랜지스터영역의 상부에 증착한 다결정 실리콘을 선택적으로 도핑시키는 단계와; 상기 셀 트랜지스터영역의 상부에 증착된 EPD물질과 상기 패리 트랜지스터영역의 도핑된 다결정실리콘의 상부전면에 텅스텐 폴리사이드를 증착하는 단계와; 상기 패리 트랜지스터영역의 상부에 증착한 텅스텐 폴리사이드를 제거하고, 게이트 패턴을 형성하는 단계와; 이온 주입공정으로 셀 트랜지스터 영역에 피형 및 앤형 소스, 드레인을 형성하고, 패리 트랜지스터영역에 소스, 드레인을 형성함과 동시에 각 게이트를 피형 및 앤형으로 도핑하고, 확산하는 단계로 이루어지는 방법을 사용함으로써 달성되는 것으로, 이와 같은 본 발명에 의한 듀얼게이트 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도2는 본 발명에 의한 반도체소자의 듀얼게이트 제조공정 수순단면도로서, 이에 도시한 바와 같이 각 영역에 피모스 및 앤모스 트랜지스터를 포함하는 셀 트랜지스터 영역(20)과 패리 트랜지스터영역(30)을 포함하는 기판(1)의 상부에 필드산화막(2), 게이트산화막(3), 다결정실리콘(4) 및 EPD물질(40)을 순차적으로 증착하는 단계(도2a)와; 상기 패리 트랜지스터영역(30)의 상부에 다결정실리콘(31)을 증착하고, 포토레지스트(P/R1)를 사용하여 상기 다결정실리콘(31)에 어닐 이온주입하는 단계(도2b)와; 상기 포토레지스트(P/R1)를 제거하고, 상기 셀 트랜지스터영역(20)의 상부에 증착한 EPD물질(40)과 상기 패리 트랜지스터영역(30)의 상부에 증착한 앤형 및 피형으로 도핑된 다결정실리콘(31)의 상부에 텅스텐 폴리사이드(50)를 증착하는 단계(도2c)와; 상기 패리 트랜지스터영역(30)의 상부에 증착된 텅스텐 폴리사이드(50)를 식각하고, 포토레지스트(P/R2)를 도포하고 노광하여 상기 셀 트랜지스터영역(20)과 패리 트랜지스터영역(30) 각각에 두 개씩의 게이트 패턴을 형성하는 단계(도2d)와; 상기 포토레지스트(P/R2)를 제거한 후, 포토레지스트(P/R3)를 상기 셀 트랜지스터영역(20) 및 패리 트랜지스터영역(30)에 형성한 각각 두 개씩의 게이트 영역에 교번하여 도포하는 저농도의 앤형 및 피형 불순물이온의 주입으로, 저농도 앤형 소스 및 드레인(7)과 저농도 피형 소스 및 드레인(8)을 형성하는 단계(도2e)와; 상기 포토레지스트(P/R3)를 제거한 후, 상기 각 게이트의 측면에 측벽(9)을 형성하고, 포토레지스트(P/R4)를 상기 게이트 및 저농도 소스, 드레인(7),(8)의 상부에 교번하여 도포하는 고농도의 앤형 및 피형 불순물이온의 주입으로, 고농도 앤형 소스 및 드레인(10)과 고농도 피형 소스 및 드레인(11)을 형성하는 단계(도2f)와; 상기 포토레지스트(P/R4)를 제거하고 어닐링하여 각 게이트의 하부에 증착된 다결정실리콘(4)에 각 게이트 상부에 증착한 텅스텐 폴리사이드(50) 및 다결정실리콘(31)에 도핑된 불순물이온을 확산시키는 단계(도2g)와; 상기 측벽(9)과 게이트 상부에 증착된 텅스텐 폴리사이드(50) 및 다결정실리콘(31)과, EPD물질(40)을 식각하는 단계(도2h)로 이루어진다.

이하, 상기와 같이 구성된 본 발명에 의한 반도체소자의 듀얼게이트 제조방법을 좀더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 각 영역에 피모스 및 앤모스 트랜지스터를 포함하는 셀 트랜지스터 영역(20)과 패리 트랜지스터영역(30)을 포함하는 기판(1)의 상부에 필드산화막(2), 게이트산화막(3), 다결정실리콘(4) 및 EPD물질(40)을 순차적으로 증착한다. 이때, 다결정실리콘(4)은 1000~1500 Å으로 증착한다.

그 다음, 도2b에 도시한 바와 같이 상기 패리 트랜지스터영역(30)의 상부에 다결정실리콘(31)을 증착하고, 포토레지스트(P/R1)를 사용하여 650°C의 분위기에서 상기 다결정실리콘(31)에 어닐이온을 주입한다.

그 다음, 도2c에 도시한 바와 같이 상기 포토레지스트(P/R1)를 제거하고, 상기 셀 트랜지스터영역(20)의 상부에 증착한 EPD물질(40)과 상기 패리 트랜지스터영역(30)의 상부에 증착한 앤형 및 피형으로 도핑된 다결정실리콘(31)의 상부에 텅스텐 폴리사이드(50)를 1000 Å로 증착한다.

그 다음, 도2d에 도시한 바와 같이 상기 패리 트랜지스터영역(30)의 상부에 증착된 텅스텐 폴리사이드(50)를 식각하고, 포토레지스트(P/R2)를 도포하고 노광하여 상기 셀 트랜지스터영역(20)과 패리 트랜지스터영역(30) 각각에 두 개씩의 게이트 패턴을 형성한다.

그 다음, 도2e에 도시한 바와 같이 상기 포토레지스트(P/R2)를 제거한 후, 포토레지스트(P/R3)를 상기 셀 트랜지스터영역(20) 및 패리 트랜지스터영역(30)에 형성한 각각 두 개씩의 게이트영역에 교번하여 도포하는 저농도의 앤형 및 피형 불순물이온의 주입으로, 저농도 앤형 소스 및 드레인(7)과 저농도 피형 소스 및 드레인(8)을 형성하며, 상기 게이트의 상부에 증착된 텅스텐 폴리사이드(50)와, 다결정실리콘(31)을 앤형 및 피형으로 도핑한다. 이와 같은 공정을 통해 셀 트랜지스터영역(20)과 패리 트랜지스터영역(30)의 상부에는 피형 및 앤형 모스 트랜지스터 쌍이 각각 제조된다.

그 다음, 도2f에 도시한 바와 같이 상기 포토레지스트(P/R3)를 제거한 후, 상기 각 게이트의 측면에 측벽(9)을 형성하고, 포토레지스트(P/R4)를 상기 게이트 및 저농도 소스, 드레인(7), (8)의 상부에 교번하여 도포하는 고농도의 앤형 및 피형 불순물이온의 주입으로, 고농도 앤형 소스 및 드레인(10)과 고농도 피형 소스 및 드레인(11)을 형성하며, 이때 역시 상기 게이트의 상부에 증착된 텅스텐 폴리사이드(50)와, 다결정실리콘(31)을 앤형 및 피형으로 도핑된다.

그 다음, 도2g에 도시한 바와 같이 상기 포토레지스트(P/R4)를 제거하고 어닐링하여 각 게이트의 하부에 증착된 다결정실리콘(4)에 각 게이트 상부에 증착한 텅스텐 폴리사이드(50) 및 다결정실리콘(31)에 도핑된 불순물이온을 확산시킨다.

그 다음, 도2h에 도시한 바와 같이 상기 측벽(9)과 게이트 상부에 증착된 텅스텐 폴리사이드(50) 및 다결정실리콘(31)과, EPD물질(40)을 식각하여 공정을 완료하게 된다. 이때, 상기 텅스텐 폴리사이드(50)와 다결정실리콘(31)은 식각율이 다르기 때문에 단차가 발생할 수 있으나, EPD물질(40)을 사용하여 단차가 생기지 않게 된다.

발명의 효과

상기한 바와 같이 본 발명에 의한 반도체소자의 듀얼게이트 제조방법은 텅스텐 폴리사이드를 사용하여 소스 및 드레인의 형성과 게이트의 도핑을 목적으로 하는 이온 주입시에 채널링되는 것을 방지하는 효과와, 상기 텅스텐 폴리사이드의 사용으로 발생하는 단차를 EPD물질을 사용하여 방지함으로써, 반도체소자의 동작성능을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

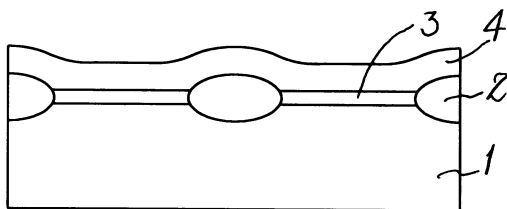
셀 트랜지스터영역과 패리 트랜지스터영역의 상부에 그 소스 및 드레인과 동일한 불순물로 도핑된 게이트를 포함하는 앤모스 및 피모스쌍을 각각 제조하는 반도체소자의 듀얼게이트 제조방법에 있어서, 상기 셀 트랜지스터영역과 패리 트랜지스터영역의 상부에 형성하는 게이트의 상부에 EPD물질을 증착하는 단계와, 상기 패리 트랜지스터영역의 상부에 증착한 EPD물질의 상부에 다결정실리콘을 증착하는 단계와, 상기 셀 트랜지스터영역의 상부에 증착한 EPD물질의 상부에 텅스텐 폴리사이드를 증착하는 단계와, 상기 게이트의 상부에 증착된 텅스텐 폴리사이드와 다결정실리콘을 그 게이트의 측면하부 기판에 형성한 소스 및 드레인과 동일한 형으로 도핑하는 단계와, 어닐링을 통해 상기 텅스텐 폴리사이드와 다결정실리콘에 주입된 불순물이온을 게이트로 확산시키는 단계와; 상기 텅스텐 폴리사이드, 다결정실리콘, EPD물질을 식각하는 단계를 포함하여 된 것을 특징으로 하는 반도체소자의 듀얼게이트 제조방법.

청구항 2

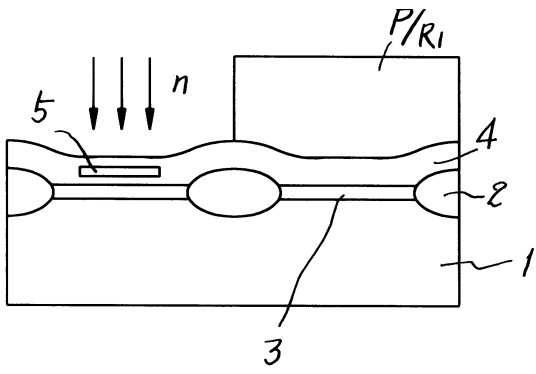
제 1항에 있어서, 상기 텅스텐 폴리사이드는 1000 Å의 두께로 증착하는 것을 특징으로 하는 반도체소자의 듀얼게이트 제조방법.

도면

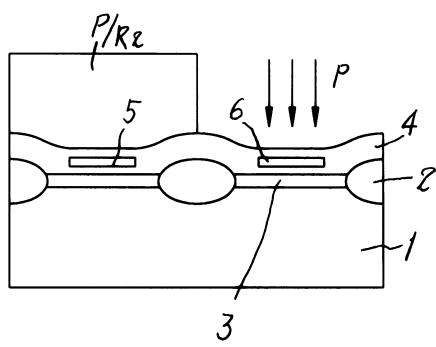
도면 1a



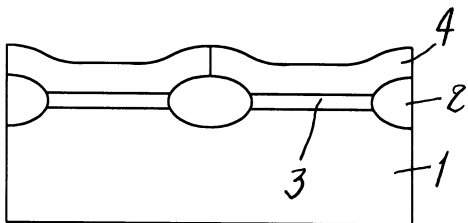
도면 1b



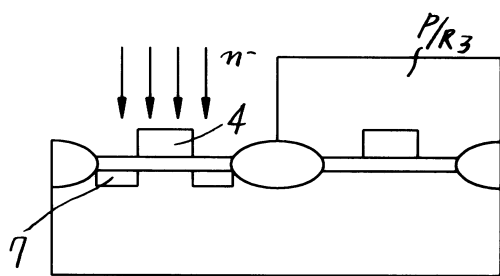
도면 1c



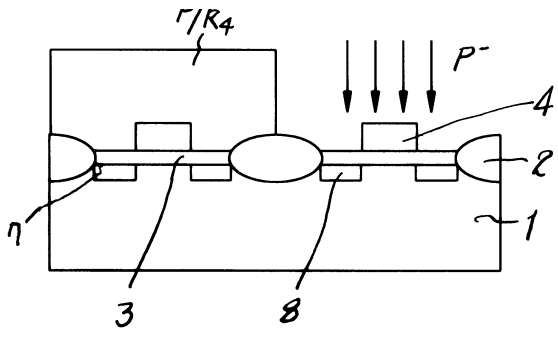
도면 1d



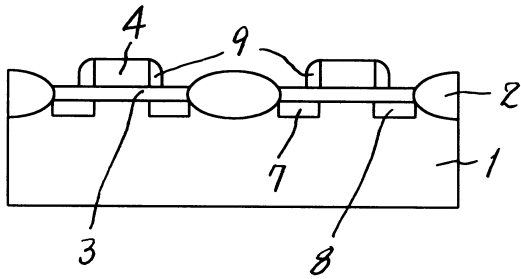
도면 1e



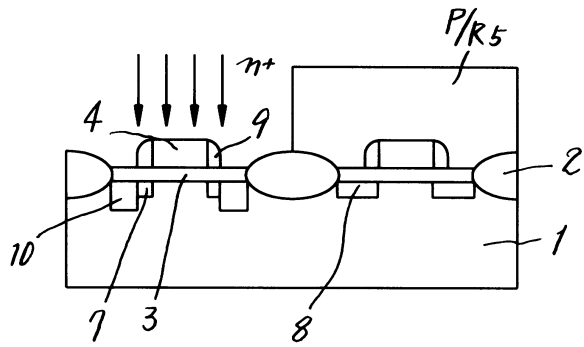
도면1f



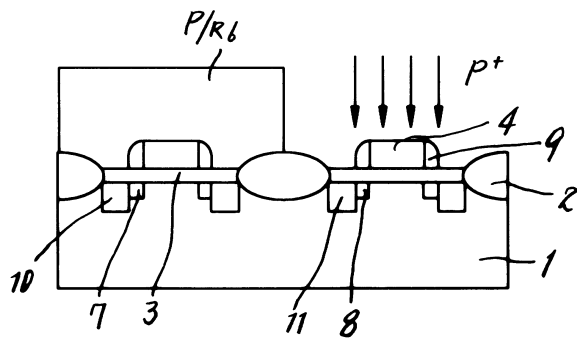
도면1g



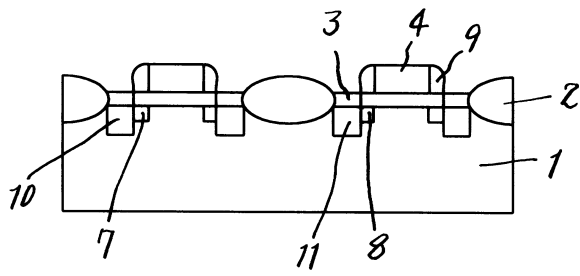
도면1h



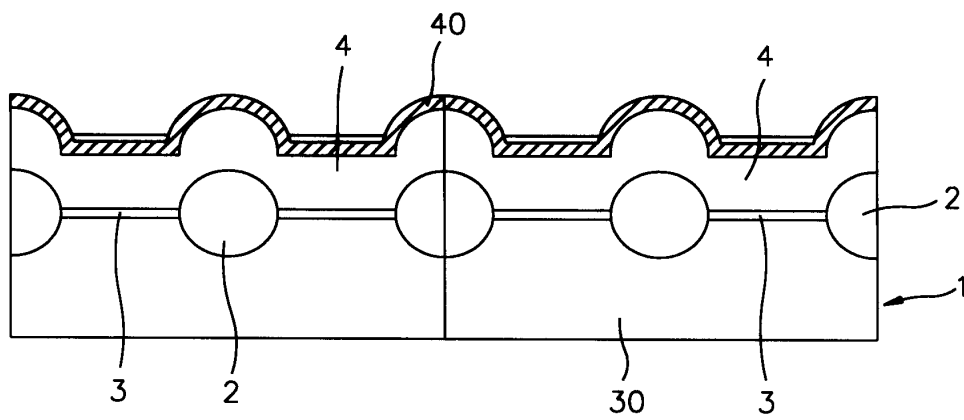
도면1i



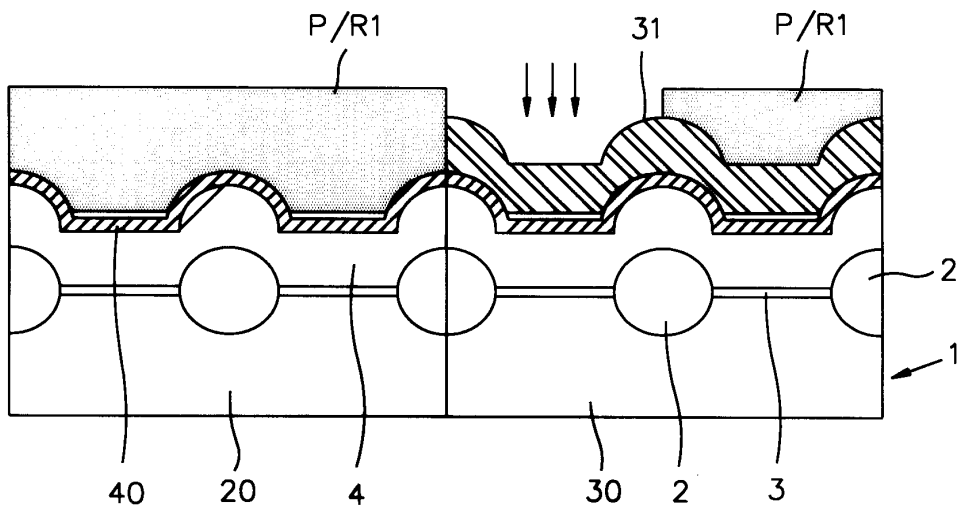
도면1j



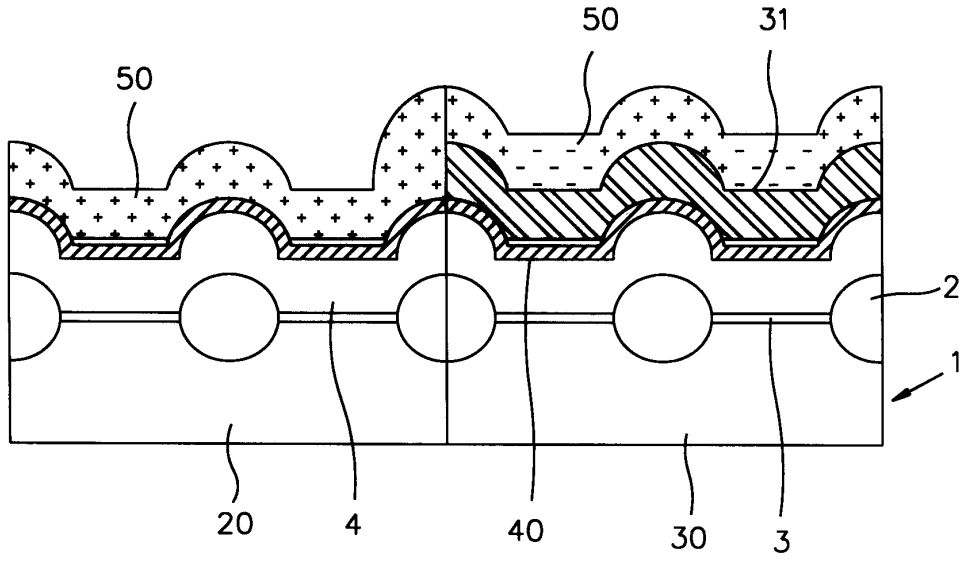
도면2a



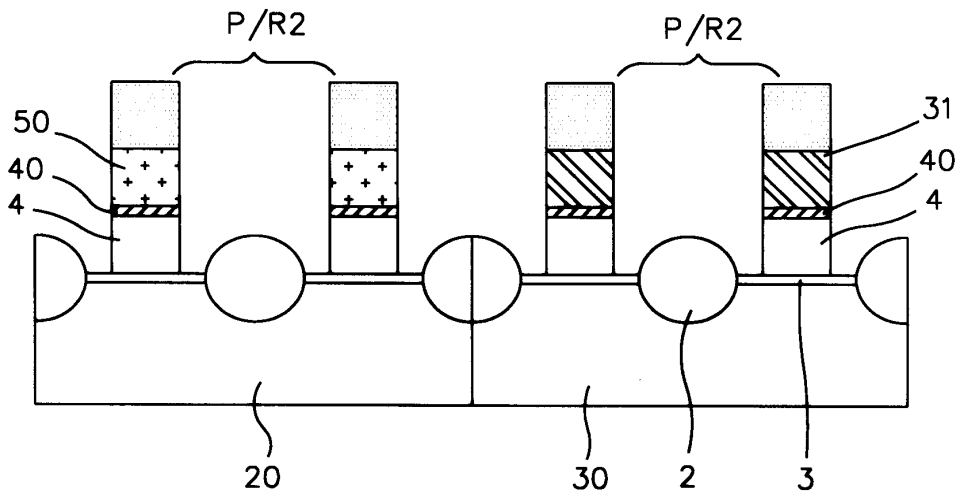
도면2b



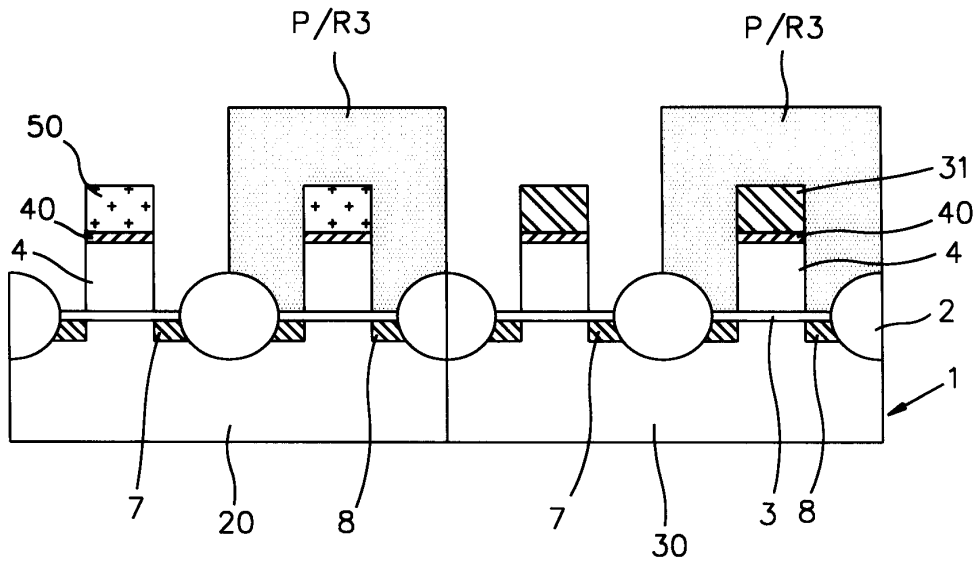
도면2c



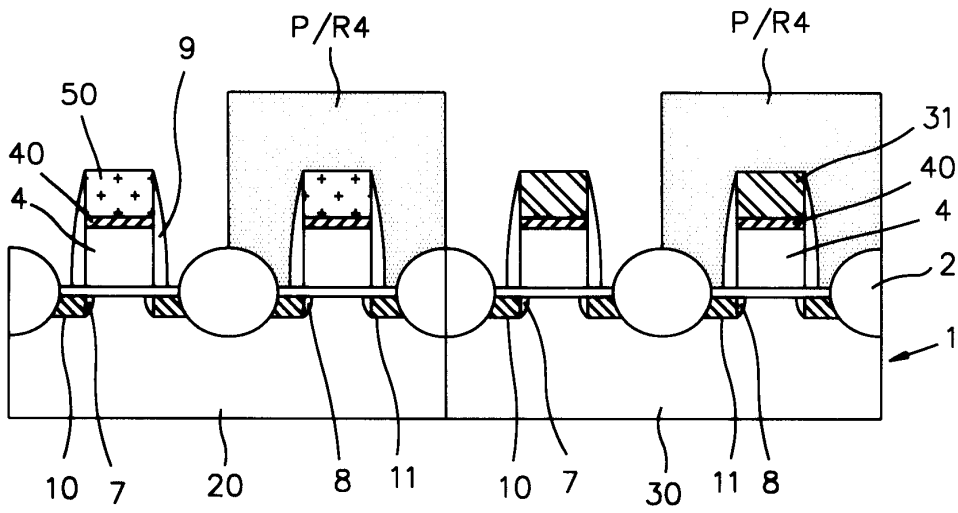
도면2d



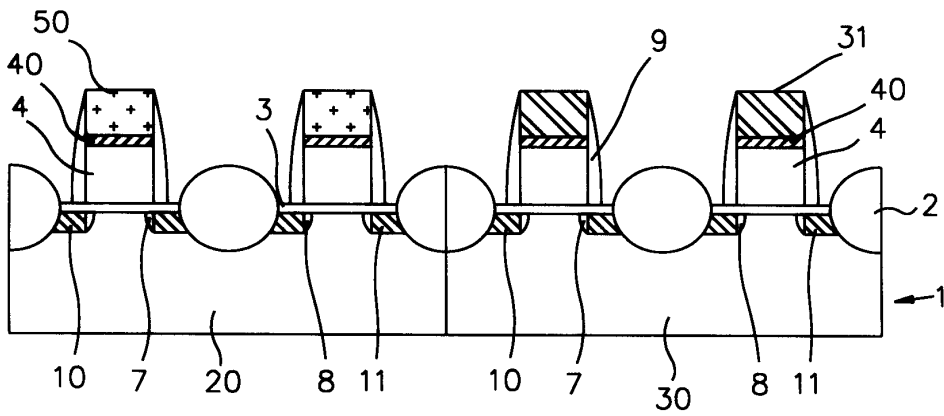
도면2e



도면2f



도면2g



도면2h

