



(12) 发明专利

(10) 授权公告号 CN 113078178 B

(45) 授权公告日 2023. 04. 28

(21) 申请号 202110342975.2

(56) 对比文件

(22) 申请日 2021.03.30

CN 101762993 A, 2010.06.30

(65) 同一申请的已公布的文献号

审查员 沈冬云

申请公布号 CN 113078178 A

(43) 申请公布日 2021.07.06

(73) 专利权人 粤芯半导体技术股份有限公司

地址 510000 广东省广州市黄埔区中新广
州知识城凤凰五路28号

(72) 发明人 候星伊 孟凡顺

(74) 专利代理机构 上海思捷知识产权代理有限

公司 31295

专利代理师 罗磊

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 21/306 (2006.01)

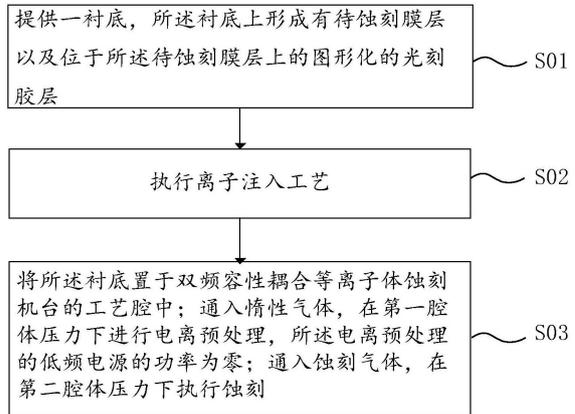
权利要求书1页 说明书6页 附图2页

(54) 发明名称

蚀刻方法及CMOS图像传感器的制造方法

(57) 摘要

本发明提供一种蚀刻方法及CMOS图像传感器的制造方法,所述蚀刻方法包括:提供一衬底,衬底上形成有待蚀刻膜层以及位于待蚀刻膜层上的图形化的光刻胶层;执行离子注入工艺;以及,将衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中,通入惰性气体,在第一腔体压力下进行电离预处理,电离预处理的低频电源的功率为零;通入蚀刻气体,在第二腔体压力下执行蚀刻。通过电离预处理产生等离子体,利用等离子体去中和光刻胶层表面的静电,从而消除光刻胶层表面的静电,进而避免干法蚀刻时的电弧放电损伤衬底的问题;通过电离预处理产生的等离子体,在开始干法蚀刻时可较快激发蚀刻气体的进一步电离,提高了等离子体的产生速率,从而提高了干法蚀刻的效率。



1. 一种蚀刻方法,其特征在于,包括:

提供一衬底,所述衬底上形成有待蚀刻膜层以及位于所述待蚀刻膜层上的图形化的光刻胶层;

执行离子注入工艺;以及,

将所述衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中;通入惰性气体,在第一腔体压力下进行电离预处理,所述电离预处理的低频电源的功率为零,所述图形化的光刻胶层在执行所述离子注入工艺后累积有正电荷,所述正电荷在所述电离预处理过程中被中和;通入蚀刻气体,在第二腔体压力下执行蚀刻,所述第一腔体压力大于所述第二腔体压力。

2. 根据权利要求1所述的蚀刻方法,其特征在于,所述第一腔体压力为100~200mTorr,所述第二腔体压力为50~100mTorr。

3. 根据权利要求1所述的蚀刻方法,其特征在于,所述惰性气体的流量为500~1000sccm。

4. 根据权利要求3所述的蚀刻方法,其特征在于,所述惰性气体为氦气。

5. 根据权利要求1所述的蚀刻方法,其特征在于,所述电离预处理的高频电源的功率为300-500W。

6. 根据权利要求1所述的蚀刻方法,其特征在于,所述电离预处理及所述蚀刻中高频电源的频率为50~70Mhz,低频电源的频率为1~5Mhz。

7. 根据权利要求1所述的蚀刻方法,其特征在于,所述电离预处理的时间为3~10秒。

8. 一种CMOS图像传感器的制造方法,其特征在于,利用如权利要求1~7中任一项所述的蚀刻方法,包括:

提供一衬底,所述衬底为具有像素区的硅衬底,所述像素区上形成有待蚀刻膜层以及位于所述待蚀刻膜层上的图形化的光刻胶层;

执行离子注入工艺;以及,

将所述衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中;通入惰性气体,在第一腔体压力下进行电离预处理,所述电离预处理的低频电源功率为零,所述图形化的光刻胶层在执行所述离子注入工艺后累积有正电荷,所述正电荷在所述电离预处理过程中被中和;通入蚀刻气体,在第二腔体压力下执行蚀刻,所述第一腔体压力大于所述第二腔体压力。

蚀刻方法及CMOS图像传感器的制造方法

技术领域

[0001] 本发明涉及集成电路制造技术领域,特别涉及一种蚀刻方法及CMOS图像传感器的制造方法。

背景技术

[0002] 在集成电路制程中,随着工艺节点的降低,干法蚀刻以在刻蚀率、辐射损伤、选择性、微粒的产生、刻蚀后腐蚀以及成本优势等诸多优势,应用愈加广泛,尤其是利用双频容性耦合等离子体(DF-CCP,dual-frequency capacitively coupled plasma)进行高深宽比沟槽的蚀刻。

[0003] 然而,若衬底在放入蚀刻机台的工艺腔中之前累积有静电,例如衬底在放入蚀刻机台的工艺腔之前进行过离子注入,再进行干法蚀刻,极易发生电弧击穿现象。究其原因这是由于衬底表面积有静电,其将在工艺腔中的高压正向电场及等离子体(plasma)的持续作用下进一步累积,当局部区域之间形成高电压差时,衬底表面即会发生电弧放电,从而将衬底表面(例如光刻胶层)击穿,并破坏衬底表面下的膜层,甚至造成器件失效。

发明内容

[0004] 本发明的目的在于提供一种蚀刻方法及CMOS图像传感器的制造方法,以解决上述干法蚀刻时衬底表面电弧放电的问题。

[0005] 为解决上述技术问题,本发明提供一种蚀刻方法,包括:提供一衬底,所述衬底上形成有待蚀刻膜层以及位于所述待蚀刻膜层上的图形化的光刻胶层;执行离子注入工艺;以及,将所述衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中;通入惰性气体,在第一腔体压力下进行电离预处理,所述电离预处理的低频电源的功率为零;通入蚀刻气体,在第二腔体压力下执行蚀刻。

[0006] 可选的,所述图形化的光刻胶层在执行所述离子注入工艺后累积有正电荷,所述正电荷在所述电离预处理过程中被中和。

[0007] 可选的,所述第一腔体压力大于所述第二腔体压力。

[0008] 可选的,所述第一腔体压力为100~200mTorr,所述第二腔体压力为50~100mTorr。

[0009] 可选的,所述惰性气体的流量为500~1000sccm。

[0010] 可选的,所述惰性气体为氦气。

[0011] 可选的,所述电离预处理的高频电源的功率为300-500W。

[0012] 可选的,所述电离预处理及所述蚀刻中高频电源的频率为50~70Mhz,低频电源的频率为1~5Mhz。

[0013] 可选的,所述电离预处理的时间为3~10秒。

[0014] 基于本发明的另一方面,本发明还提供一种CMOS图像传感器的制造方法,包括:提供一衬底,所述衬底为具有像素区的硅衬底,所述像素区上形成有待蚀刻膜层以及位于所

述待蚀刻膜层上的图形化的光刻胶层;执行离子注入工艺;以及,将所述衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中,通入惰性气体,在第一腔体压力下进行电离预处理,所述电离预处理的低频电源的功率为零;通入蚀刻气体,在第二腔体压力下执行蚀刻。

[0015] 综上所述,本发明提供了一种蚀刻方法及CMOS图像传感器的制造方法具有如下有益效果:

[0016] 1) 通过在蚀刻机台进行电离预处理产生等离子体,利用等离子体中和光刻胶层表面的静电,从而消除光刻胶层表面的静电,进而避免干法蚀刻时的电弧放电损伤衬底的问题;

[0017] 2) 通过电离预处理产生时的等离子体,在执行干法蚀刻时可较快激发蚀刻气体的进一步电离,提高了等离子体的产生速率,从而提高了干法蚀刻的效率。

附图说明

[0018] 本领域的普通技术人员应当理解,提供的附图用于更好地理解本发明,而不对本发明构成任何限定。其中:

[0019] 图1是本申请实施例提供的形成待蚀刻膜层及图形化的光刻胶层的示意图;

[0020] 图2是本申请实施例提供的离子注入的示意图;

[0021] 图3a是本申请实施例提供的执行电离预处理的示意图;

[0022] 图3b是本申请实施例提供的执行蚀刻的示意图;

[0023] 图4是本申请实施例提供的蚀刻图形化的光刻胶层的示意图;

[0024] 图5是本申请实施例提供的蚀刻方法的流程图。

[0025] 附图中:

[0026] 10-衬底;11-待蚀刻膜层;20-光刻胶层;21-正电荷;

[0027] 30-阱区;41-负电荷;50-沟槽。

具体实施方式

[0028] 为使本发明的目的、优点和特征更加清楚,以下结合附图和具体实施例对本发明作进一步详细说明。需说明的是,附图均采用非常简化的形式且未按比例绘制,仅用以方便、明晰地辅助说明本发明实施例的目的。此外,附图所展示的结构往往是实际结构的一部分。特别的,各附图需要展示的侧重点不同,有时会采用不同的比例。

[0029] 应当明白,当元件或层被称为“在…上”、“连接到”其它元件或层时,其可以直接地在其它元件或层上、连接其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在…上”、“直接连接到”其它元件或层时,则不存在居间的元件或层。尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。空间关系术语例如“在……之下”、“在下面”、“下面的”、“在……之上”、“在上面”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的

器件翻转,然后,描述为“在……之下”、“在下面”、“下面的”元件或特征将取向为在其它元件或特征“上”。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚的指出另外的方式。还应明白术语“包括”用于确定可以特征、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0030] 本发明提供了一种蚀刻方法及CMOS图像传感器的制造方法,通过电离预处理产生等离子体,以等离子体去中和光刻胶层表面的静电,从而消除光刻胶层表面的静电,进而避免干法蚀刻时的电弧放电损伤衬底的问题;并且,通过电离预处理产生的等离子体,在开始干法蚀刻时可较快激发进一步蚀刻气体的电离,提高了等离子体的产生速度,从而提高了干法蚀刻的效率。

[0031] 其中,图1是本申请实施例提供的形成待蚀刻膜层及图形化的光刻胶层的示意图,图2是本申请实施例提供的离子注入的示意图,图3a是本申请实施例提供的执行电离预处理的示意图,图3b是本申请实施例提供的执行蚀刻的示意图,图4是本申请实施例提供的蚀刻图形化的光刻胶层的示意图,图5是本申请实施例提供的蚀刻方法的流程图。

[0032] 如图1~5所示,本申请实施例提供的蚀刻方法,包括以下步骤:

[0033] S01:提供一衬底10,衬底上形成有待蚀刻膜层20以及位于待蚀刻膜层20上的图形化的光刻胶层30;

[0034] S02:执行离子注入工艺;

[0035] S03:将衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中,通入惰性气体,在第一腔体压力下进行电离预处理,电离预处理的低频电源功率为零;通入蚀刻气体,在第二腔体压力下执行蚀刻。

[0036] 首先,请参照图1,执行步骤S01,提供衬底10,在衬底10上形成待蚀刻膜层11,然后形成图形化的光刻胶层20。

[0037] 其中,衬底10可以是本领域技术人员所熟知的任意合适的基底材料,例如可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。本实施例中以硅衬底为例加以说明。

[0038] 在一些实施例中,待蚀刻膜层11是由硅或金属的氧化物、氮化物或碳化物构成,上述金属可以是Ri、W、Ta等,例如SiO₂、SiN、SiC、TiO₂等。当蚀刻气体包含Cl或Br是,待蚀刻膜层可为Al₂O₃、AlN、GaAs、GaN、InP等。本领域的技术人员可根据需要基于常规的实验能过确定蚀刻气体和待蚀刻膜层11的可能的组合。在一些实施例中,待蚀刻膜层11可通过化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等合适的工艺形成。通常,待蚀刻膜层11的厚度范围由工艺要求所决定。

[0039] 衬底10表面形成待蚀刻膜层11后,再形成图形化的的光刻胶层20,为后续的干法蚀刻提供掩膜层以实现对待蚀刻膜层11的蚀刻。在一些实施例中,其他与蚀刻气体相匹配的材料也可作为掩膜层,例如氮化硅。

[0040] 接着,请参照图2,执行S02,以图形化的光刻胶层20为掩膜版,执行离子注入工艺。

根据工艺要求,选择注入离子以形成对应的阱区30,以CMOS图像传感器为例,可选择注入硼离子以形成P阱,或选择注入磷离子以形成N阱,其具体执行离子注入的过程,可分为多次,例如两次。优选的,多次离子注入的浓度(剂量)不同,通过多次不同浓度的离子注入可更有利于控制离子注入的质量。

[0041] 在此需要特别说明的是,在执行离子注入的过程中,衬底10置于离子注入机台的工艺腔内,图形化的光刻胶层20被呈电正性的离子(例如磷离子或硼离子)束持续轰击,将导致致执行离子注入后的图形化的光刻胶层20的表面累积了较多的静电荷,例如正电荷21。而且,由于图形化的光刻胶层20是较佳的绝缘体,累积的静电荷(例如正电荷21),其极难通过自身导泄放而消除。

[0042] 当然,还有一些其他工艺过程也是容易产生和累积静电荷的,例如离子注入后的退后工艺。应理解,衬底10仅是在转移或者储存过程中,也是容易累积静电的。

[0043] 不难想象,若将累积有正电荷21于图形化的光刻胶层表面20的衬底10放置于蚀刻机台中直接执行干法蚀刻,其累积的正电荷21,在工艺腔中高压正向电场及等离子体(plasma)的持续作用下进一步累积,当局部区域之间累积形成高电压差时,衬底10表面即会发生电弧放电,从而将图形化的光刻胶层20击穿,并破坏位于其下的待蚀刻膜层11,甚至造成器件失效。这是蚀刻方法中所不希望的,也是竭力避免的。

[0044] 接着,请参照图3a,执行S03的第一步,将衬底10置于双频容性耦合等离子体蚀刻机台的工艺腔中,工艺腔中具有惰性气体,在第一腔体压力下进行电离预处理,电离预处理的低频电源功率为零。

[0045] 其中,在本实施例中执行蚀刻方法的设备为双频容性耦合等离子体蚀刻(DF-CCP, dual-frequency capacitively coupled plasma)机台。双频容性耦合等离子体是近年来发展起来的一种新型等离子体源,由于采用了一个高频电源和一个低频电源共同驱动等离子体,可以实现相对独立的控制到达衬底10上离子的通量和能量。具体的,高频电源设置于一个电极(例如设置于顶部的电极),用于控制产生等离子体,也即是通过电离产生等离子体,低频电源设置于相对的一个电极(例如设置于低部的电极),并且衬底10也放置于该处,低频电源用于控制等离子体轰击的能量,也即是等离子体蚀刻的能量。

[0046] 步骤S03中电离预处理的过程为:将衬底10放置于具有惰性气体的双频容性耦合等离子体蚀刻机台的工艺腔内,开启高频电源,低频电源处于关闭状态,在第一腔体压力下对衬底10进行电离预处理持续约3~10秒,通过电离产生负电荷(电子)以中和图形化的光刻胶层20的正电荷,从而避免了后续干法蚀刻时的电弧放电损伤衬底的问题。

[0047] 具体的,惰性气体包括但不限于氦气、氖气、氩气。优选的,惰性气体为氦气,相较于其他惰性气体,氦气具有相对较高的电离率和较低的等离子体形成电压,并且更重要的,其分子重量较小,在其以中和图形化的光刻胶层20表面的正电荷的过程中对衬底10的影响也相对更小。结合衬底10及图形化的光刻胶层20的尺寸大小,惰性气体的流量可在500~1000sccm的范围内作适应性调整,例如,面积较大,惰性气体的流量也相应增大。

[0048] 进一步的,之所以开启高频电源,关闭低频电源,一方面是为了通过高频电源电离惰性气体产生等离子体,使等离子体中的负电荷41(电子)在静电场的作用下去中和图形化的光刻胶层20表面累积的正电荷21,而另一面,通过关闭低频电源,则可避免在未消除光刻胶层20表面累积的正电荷21的情况下,通过等离子体在低频电源的电场作用下进行干法蚀

刻,反而进一步积累正电荷21。

[0049] 更进一步的,在电离预处理过程中,在双频容性耦合等离子体蚀刻设备的工艺腔内采用第一腔体压力,例如100~200mTorr,其大于蚀刻所采用的第二腔体压力。采用较大的气体压力,可通过增加惰性气体浓度,可在一定程度内提高等离子体的产生量,也即是包括等离子体中的负性电荷(电子),以提高中和效率。

[0050] 本实施例中,高频电源的频率为50~70Mhz,低频电源的频率为1~5Mhz,高频电源的功率为300-500W,其执行电离预处理的时间为3~10秒。当然,具体电离预处理的时间需结合高频电源的频率、功率以及衬底10本身的电荷累积情况而定。

[0051] 接着,请参照图3b,执行步骤S03的第二步,通入蚀刻气体,开启高频电源及低频电源,在第二腔体压力下执行干法蚀刻。

[0052] 执行干法蚀刻所采用的蚀刻气体、高频电源功率、低频电源功率及第二腔体压力可根据待蚀刻膜层11所决定。其具体蚀刻种类,可以为物理蚀刻或化学蚀刻,也可以为物理化学相结合的蚀刻,相应的蚀刻气体包括惰性气体和化学反应气体。为提高蚀刻的效率,第二腔体压力可以小于第一腔体压力,其范围例如为50~100mT。优选的,执行干法蚀刻所采用的惰性气体可采用分子质量较大的惰性气体,例如氩气,以提高蚀刻时轰击衬底10的能量,从而提高蚀刻效率。

[0053] 在一些实施例中,如图3b,对由前述执行的离子注入所形成的阱区30执行干法蚀刻以形成沟槽50。

[0054] 在另一些实施例中,干法蚀刻所蚀刻的还可以是光刻胶层20本身。例如全去除全部图形化的光刻胶层20的灰化工艺,或者只是去除边缘部分的图形化的光刻胶层20。如图4所示,其通过去除边缘部分的图形化的光刻胶层20可以减小光刻胶层20线宽,并增大衬底10表面暴露的面积,例如从50微米减小为35微米。

[0055] 至于干法蚀刻的所需时间由待蚀刻膜层11的厚度、高频电源的频率、功率等较多因素影响,通常其范围为几十秒到几百秒不等。整体而言,步骤S03第一步的电离预处理,不仅可消除图形化的光刻胶层20表面积的正电荷以防止干法蚀刻时的电弧放电损伤衬底10表面,而且电离预处理所产生的等离子体,在执行干法蚀刻时可较快激发进一步电离,提高了等离子体的产生速度从而提高了干法蚀刻的效率。

[0056] 本发明还提供了一种CMOS图像传感器的制造方法,包括如下步骤:

[0057] 提供一衬底,衬底为具有像素区的硅衬底,像素区上形成有待蚀刻膜层以及位于待蚀刻膜层上的图形化的光刻胶层;

[0058] 执行离子注入工艺;以及,

[0059] 将衬底置于双频容性耦合等离子体蚀刻机台的工艺腔中,通入惰性气体,在第一腔体压力下进行电离预处理,电离预处理的低频电源的功率为零;通入蚀刻气体,在第二腔体压力下执行蚀刻。

[0060] 上述图形化的光刻胶层20在执行离子注入工艺后累积有正电荷,正电荷在电离预处理过程中被中和。

[0061] 电离预处理过程中,惰性气体例如为氩气,所述惰性气体的流量例如为500~1000sccm。电离预处理的高频电源的功率例如为300-500W,高频电源的频率例如为50~70Mhz,低频电源的频率例如为1~5Mhz。

[0062] 其中,第一腔体压力大于所述第二腔体压力,具体的,第一腔体压力例如为100~200mTorr,所述第二腔体压力为50~100mTorr。

[0063] 综上所述,本发明提供的蚀刻方法及CMOS图像传感器的制造方法具有如下有益效果:

[0064] 1) 通过在蚀刻机台进行电离预处理产生等离子体,利用等离子体中和光刻胶层表面的静电,从而消除光刻胶层表面的静电,进而避免干法蚀刻时的电弧放电损伤衬底的问题;

[0065] 2) 通过电离预处理产生时的等离子体,在执行干法蚀刻时可较快激发蚀刻气体的进一步电离,提高了等离子体的产生速率,从而提高了干法蚀刻的效率。

[0066] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

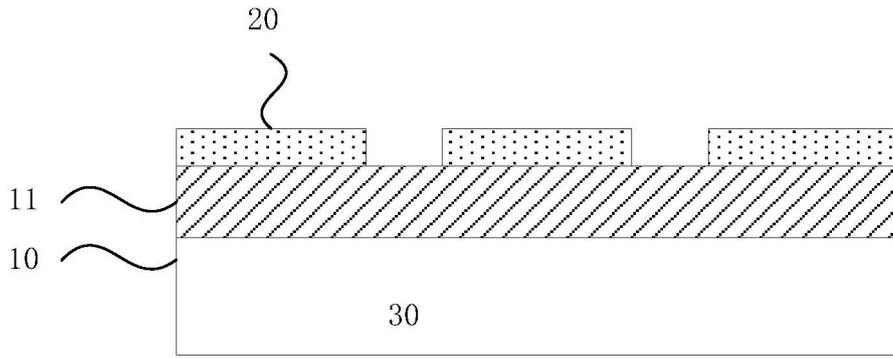


图1

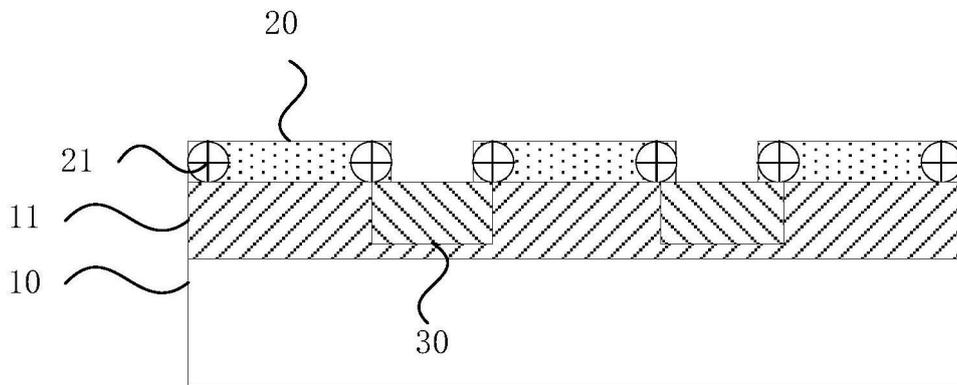


图2

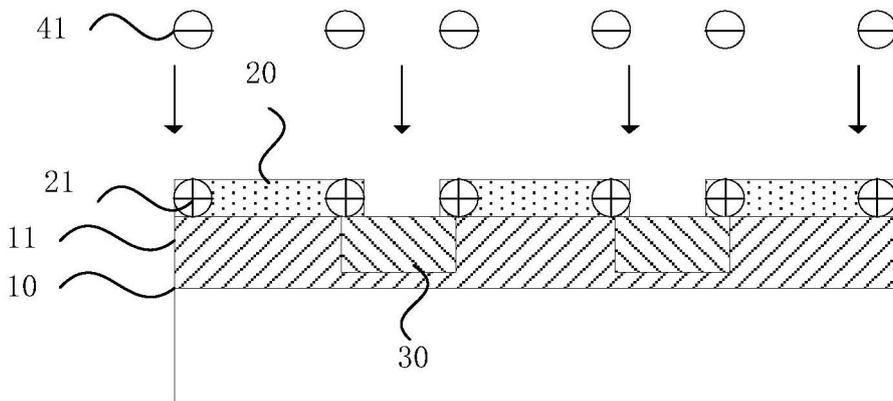


图3a

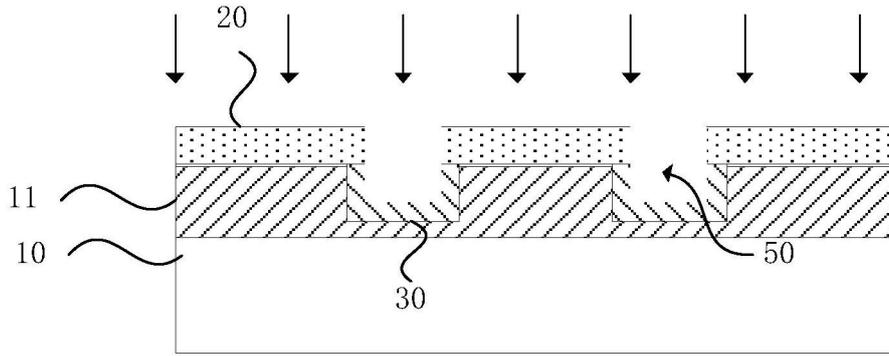


图3b

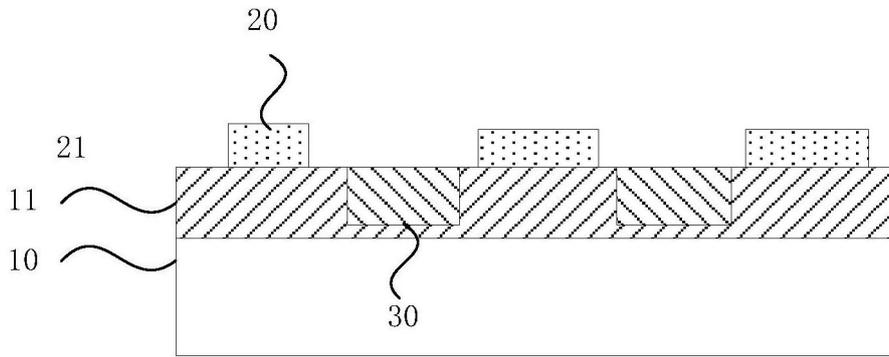


图4

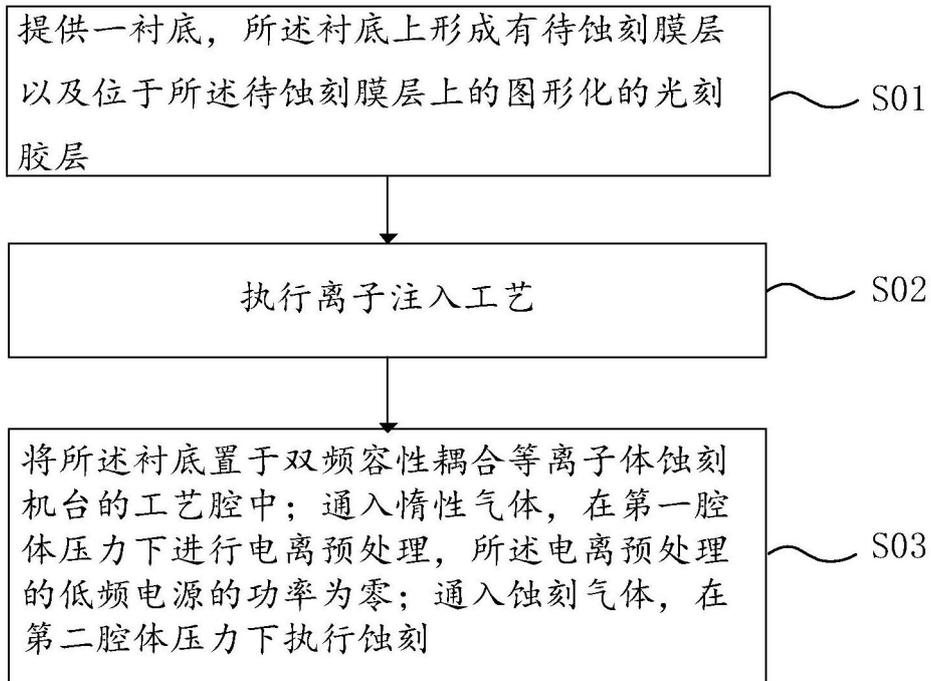


图5