



(12)发明专利

(10)授权公告号 CN 105448845 B

(45)授权公告日 2019.02.05

(21)申请号 201510955087.2

H01L 21/762(2006.01)

(22)申请日 2015.12.17

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 105448845 A

US 2006284251 A1,2006.12.21,

CN 102194830 A,2011.09.21,

CN 1967843 A,2007.05.23,

CN 104952871 A,2015.09.30,

(43)申请公布日 2016.03.30

(73)专利权人 华润微电子(重庆)有限公司

地址 401331 重庆市沙坪坝区西永大道25号

审查员 袁芳

(72)发明人 黄晓槽

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 罗泳文

(51)Int.Cl.

H01L 21/84(2006.01)

H01L 27/12(2006.01)

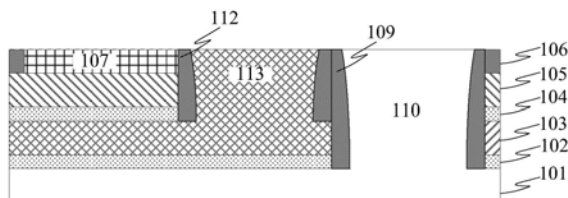
权利要求书2页 说明书8页 附图6页

(54)发明名称

三层混合晶向绝缘体上半导体结构及其制备方法

(57)摘要

本发明提供一种三层混合晶向绝缘体上半导体结构及其制作方法,包括:基底、第一掩蔽层、第一凹槽、GaN层、第二凹槽、第一侧墙结构、单晶硅层、第三凹槽、第二侧墙结构、以及GeSi层,其中,所述GeSi层、GaN层以及单晶硅层的上表面在同一平面上持平。GaN层表面用于后续制备高频(超)高压GaN器件,(110)晶面锗硅层表面用于后续制备高频(超)低压锗硅器件,以利于充分增大孔穴载流子迁移率,(100)晶面单晶硅层表面用于后续制备常规硅基器件,从而充分利用SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高压、(超)低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构、工艺技术。



1. 一种三层混合晶向绝缘体上半导体结构的制作方法,其特征在于,包括步骤:

a) 提供一基底,所述基底包括依次层叠的第一晶向的硅底层、第一绝缘层、第二晶向的硅中间层、第二绝缘层以及第三晶向的硅顶层;

b) 于所述硅顶层上方形成第一掩蔽层于欲制备第一器件区域的位置形成直至所述硅顶层的第一凹槽,于所述第一凹槽中形成GaN层;

c) 于欲制备第二器件区域的位置形成直至硅底层的第二凹槽,于所述第二凹槽中形成第一侧墙结构,然后于所述第二凹槽中形成具有第一晶向的单晶硅层;

d) 于欲制备第三器件区域的位置形成直至硅中间层的第三凹槽,于所述第三凹槽中形成第二侧墙结构,然后于所述第三凹槽中形成GeSi材料,并采用氧化浓缩工艺使Ge向下浓缩并扩散进入硅中间层,使得硅中间层区域及第三凹槽内均形成GeSi层。

2. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:所述制作方法中,步骤a)、b)、c)、d)的执行顺序为:a)、b)、c)、d)或a)、b)、d)、c)或a)、c)、b)、d)或a)、c)、d)、b)或a)、d)、b)、c)或a)、d)、c)、b)。

3. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:所述GaN层、单晶硅层及GeSi层的生长厚度为至少使得所述GaN层、单晶硅层及GeSi层的上表面在同一平面上持平。

4. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:

步骤b)中,使形成的所述GaN层的上表面高出所述第一掩蔽层,之后括采用化学机械研磨工艺去除多余的GaN材料,使GaN层的上表面与所述第一掩蔽层上表面持平;

步骤c)中,通过形成具有刻蚀窗口的第二掩蔽层来形成所述第二凹槽,并使形成的所述单晶硅层的上表面高出所述第二掩蔽层,之后采用化学机械研磨工艺去除多余的单晶硅材料,使单晶硅层的上表面与所述第二掩蔽层上表面持平;

步骤d)中,通过形成具有刻蚀窗口的第三掩蔽层来形成所述第二凹槽,并使形成的所述GeSi层的上表面高出所述第三掩蔽层,之后采用化学机械研磨工艺去除多余的GeSi材料,使GeSi层的上表面与所述第三掩蔽层上表面持平。

5. 根据权利要求4所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:所述第一掩蔽层、第二掩蔽层及第三掩蔽层的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,所述第一侧墙结构及第二侧墙结构的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合。

6. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:还包括步骤:采用化学机械研磨工艺去除工艺过程中产生的位于GaN层,和/或单晶硅层,和/或GeSi层上方的多余掩蔽层,并使所述GaN层、单晶硅层及GeSi层表面持平的步骤;或者先采用湿法腐蚀去除工艺过程中产生的位于GaN层,和/或单晶硅层,和/或GeSi层上方的多余掩蔽层,再采用化学机械研磨工艺使所述GaN层、单晶硅层及GeSi层表面持平。

7. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:步骤d)中采用的用氧化浓缩工艺为全局化晶片表面干氧氧化工艺。

8. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:所述第三晶向为(111)晶向。

9. 根据权利要求1所述的三层混合晶向绝缘体上半导体结构的制作方法,其特征在于:所述第一晶向为(100),第二晶向为(110);或者所述第一晶向为(110),第二晶向为(100)。

10. 一种三层混合晶向绝缘体上半导体结构,其特征在于,包括:
基底,所述基底包括依次层叠的第一晶向的硅底层、第一绝缘层、第二晶向的硅中间层、第二绝缘层以及第三晶向的硅顶层;
第一掩蔽层,形成于所述硅顶层表面;
第一凹槽,形成于所述第一掩蔽层中,且露出有硅顶层表面;
GaN层,形成于所述第一凹槽中;
第二凹槽,自所述结构上表面延伸至所述基底中,且其底部接触硅底层表面;
第一侧墙结构,形成于所述第二凹槽侧壁;
第一晶向的单晶硅层,形成于所述第二凹槽中;
第三凹槽,自所述结构上表面延伸至所述基底中,且其底部接触硅中间层;
第二侧墙结构,形成于所述第三凹槽侧壁;
GeSi层,形成于所述第三凹槽中,并通过氧化浓缩工艺使Ge向下浓缩并扩散进入硅中间层,使得硅中间层区域及第三凹槽内均形成GeSi层。
11. 根据权利要求10所述的三层混合晶向绝缘体上半导体结构,其特征在于:所述GaN层、单晶硅层及GeSi层的上表面在同一平面上持平。
12. 根据权利要求10所述的三层混合晶向绝缘体上半导体结构,其特征在于:所述第三晶向为(111)晶向。
13. 根据权利要求10所述的三层混合晶向绝缘体上半导体结构,其特征在于:所述第一晶向为(100),第二晶向为(110);或者所述第一晶向为(110),第二晶向为(100)。
14. 根据权利要求10所述的三层混合晶向绝缘体上半导体结构,其特征在于:所述第一掩蔽层的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,所述第一侧墙结构及第二侧墙结构的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合。

三层混合晶向绝缘体上半导体结构及其制作方法

技术领域

[0001] 本发明属于半导体器件制造领域,特别是涉及一种三层混合晶向绝缘体上半导体结构及其制作方法。

背景技术

[0002] 目前,通常情况下,混合晶向SOI是指衬底硅和顶层硅的晶面不一样的SOI结构,其目的是将NMOSFET和PMOSFET分别制备于(100)晶面和(110)晶面的硅基上,从而在保持NMOSFET中电子载流子的迁移率下,充分增大PMOSFET中空穴载流子的迁移率,以使NMOSFET和PMOSFET工作电流充分平衡,增大CMOS电路功能,简化CMOS电路设计。

[0003] 基于上述常规混合晶向SOI结构,黄晓槽等发表于《半导体技术》2012Vol.37No.8期上的论文《局部化混合晶向应变硅CMOS结构及其制备方法》提出了一种局部化混合晶向应变硅CMOS结构及其制备方法,通过硬掩膜淀积、光刻、干法刻蚀、外延、CMP、湿法刻蚀等工序,使得(110)硅面和(100)硅面实现平面化,然后在同一平面上分别制备NMOSFET和PMOSFET,如图1所示。

[0004] 同时,锗硅材料和锗材料的研究和应用目前正成为半导体研究的热点,主要因为锗具有如下优点:1)空穴迁移率最大,是硅的四倍;电子迁移率是硅的两倍。2)禁带宽度比较小,有利于发展低电压器件。3)施主/受主的激活温度远低于硅,有利于节省热预算。4)小的波尔激子半径,有助于提高它的场发射特性。5)小的禁带宽度,有助于组合介电材料,降低漏电流。但锗的缺点也很明显,锗属于较为活泼的材料,它和介电材料的界面容易发生氧化还原反应,生成GeO,产生较多缺陷,进而影响材料的性能。但随着半导体技术的发展,锗硅材料和锗材料的缺点正逐渐被克服,而优点可以很好得到利用,目前,业界在开发以锗硅或锗材料作为衬底材料的超低压高频器件方面已取得长足进步。

[0005] 另外,GaN材料的研究与应用是目前全球半导体研究的前沿和热点,是研制微电子器件、光电子器件的新型半导体材料,并与SiC、金刚石等半导体材料一起,被誉为是继第一代Ge、Si半导体材料、第二代GaAs、InP化合物半导体材料之后的第三代半导体材料。它具有宽的直接带隙、强的原子键、高的热导率、化学稳定性好(几乎不被任何酸腐蚀)等性质和强的抗辐照能力,在光电子、高温大功率器件和高频微波器件应用方面有着广阔的前景。通常,由于晶格结构接近,一般通过在(111)晶面的硅晶格表面外延生成晶格结构稳定的GaN材料。

[0006] 由于衬底材料的不同,如何充分利用好SOI技术、锗硅技术、GaN技术将高频、(超)高压、(超)低压、高可靠性的纳米级器件整合设计到一个平面型半导体集成电路中,业界尚没有相关研究。

发明内容

[0007] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种三层混合晶向绝缘体上半导体结构的制作方法,以为SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高

压、(超) 低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构及工艺技术。

[0008] 为实现上述目的及其他相关目的, 本发明提供一种三层混合晶向绝缘体上半导体结构的制作方法, 包括步骤: a) 提供一基底, 所述基底包括依次层叠的第一晶向的硅底层、第一绝缘层、第二晶向的硅中间层、第二绝缘层以及第三晶向的硅顶层; b) 于所述硅顶层上方形成第一掩蔽层, 于欲制备第一器件区域的位置形成直至所述硅顶层的第一凹槽, 于所述第一凹槽中形成GaN层; c) 于欲制备第二器件区域的位置形成直至硅底层的第二凹槽, 于所述第二凹槽中形成第一侧墙结构, 然后于所述第二凹槽中形成具有第一晶向的单晶硅层; d) 于欲制备第三器件区域的位置形成直至硅中间层的第三凹槽, 于所述第三凹槽中形成第二侧墙结构, 然后于所述第三凹槽中形成GeSi材料, 并采用氧化浓缩工艺使Ge向下浓缩并扩散进入硅中间层, 使得硅中间层区域及第三凹槽内均形成GeSi层。

[0009] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 所述制作方法中, 步骤a)、b)、c)、d) 的执行顺序为: a)、b)、c)、d) 或a)、b)、d)、c) 或a)、c)、b)、d) 或a)、c)、d)、b) 或a)、d)、b)、c) 或a)、d)、c)、b)。

[0010] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 所述GaN层、单晶硅层及GeSi层的生长厚度为至少使得所述GaN层、单晶硅层及GeSi层的上表面在同一平面上持平。

[0011] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 步骤b) 中, 使形成的所述GaN层的上表面高出所述第一掩蔽层, 之后括采用化学机械研磨工艺去除多余的GaN材料, 使GaN层的上表面与所述第一掩蔽层上表面持平; 步骤c) 中, 通过形成具有刻蚀窗口的第二掩蔽层来形成所述第二凹槽, 并使形成的所述单晶硅层的上表面高出所述第二掩蔽层, 之后采用化学机械研磨工艺去除多余的单晶硅材料, 使单晶硅层的上表面与所述第二掩蔽层上表面持平; 步骤d) 中, 通过形成具有刻蚀窗口的第三掩蔽层来形成所述第二凹槽, 并使形成的所述GeSi层的上表面高出所述第三掩蔽层, 之后采用化学机械研磨工艺去除多余的GeSi材料, 使GeSi层的上表面与所述第三掩蔽层上表面持平。

[0012] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 所述第一掩蔽层、第二掩蔽层及第三掩蔽层的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合, 所述第一侧墙结构及第二侧墙结构的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合。

[0013] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 还包括步骤: 采用化学机械研磨工艺去除工艺过程中产生的位于GaN层, 和/或单晶硅层, 和/或GeSi层上方的多余掩蔽层, 并使所述GaN层、单晶硅层及GeSi层表面持平; 或者先采用湿法腐蚀去除工艺过程中产生的位于GaN层, 和/或单晶硅层, 和/或GeSi层上方的多余掩蔽层, 再采用化学机械研磨工艺使所述GaN层、单晶硅层及GeSi层表面持平。

[0014] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 步骤d) 中采用的用氧化浓缩工艺为全局化晶片表面干氧氧化工艺。

[0015] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 所述第三晶向为(111)晶向。

[0016] 作为本发明的三层混合晶向绝缘体上半导体结构的制作方法的一种优选方案, 所述第一晶向为(100), 第二晶向为(110); 或者所述第一晶向为(110), 第二晶向为(100)。

[0017] 本发明还提供一种三层混合晶向绝缘体上半导体结构,包括:基底,所述基底包括依次层叠的第一晶向的硅底层、第一绝缘层、第二晶向的硅中间层、第二绝缘层以及第三晶向的硅顶层;第一掩蔽层,形成于所述硅顶层表面;第一凹槽,形成于所述第一掩蔽层中,且露出有硅顶层表面;GaN层,形成于所述第一凹槽中;第二凹槽,自所述结构上表面延伸至所述基底中,且其底部接触硅底层表面;;第一侧墙结构,形成于所述第二凹槽侧壁;第一晶向的单晶硅层,形成于所述第二凹槽中;第三凹槽,自所述结构上表面延伸至所述基底中,且其底部接触硅中间层;第二侧墙结构,形成于所述第三凹槽侧壁;GeSi层,形成于所述第三凹槽中以及与所述第三凹槽相接的硅中间层区域。

[0018] 作为本发明的三层混合晶向绝缘体上半导体结构的一种优选方案,所述GaN层、单晶硅层及GeSi层的上表面在同一平面上持平。

[0019] 作为本发明的三层混合晶向绝缘体上半导体结构的一种优选方案,所述第三晶向为(111)晶向。

[0020] 作为本发明的三层混合晶向绝缘体上半导体结构的一种优选方案,所述第一晶向为(100),第二晶向为(110);或者所述第一晶向为(110),第二晶向为(100)。

[0021] 作为本发明的三层混合晶向绝缘体上半导体结构的一种优选方案,所述第一掩蔽层的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,所述第一侧墙结构及第二侧墙结构的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合。

[0022] 如上所述,本发明的三层混合晶向绝缘体上半导体结构及其制作方法,具有以下有益效果:本发明提供了一种三层混合晶向绝缘体上半导体结构及其制作方法,GaN层表面用于后续制备高频(超)高压GaN器件,(110)晶面锗硅层表面用于后续制备高频(超)低压锗硅器件,以利于充分增大孔穴载流子迁移率,(100)晶面单晶硅层表面用于后续制备常规硅基器件,从而充分利用SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高压、(超)低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构、工艺技术。本发明结构及方法简单,效果显著,在半导体制造领域具有广泛的应用前景。

附图说明

[0023] 图1显示为现有技术中的一种局部化混合晶向应变硅CMOS结构的示意图。

[0024] 图2显示为本发明的三层混合晶向绝缘体上半导体结构的制作方法步骤流程图。

[0025] 图3~图13显示为本发明的三层混合晶向绝缘体上半导体结构的制作方法各步骤所呈现的结构示意图。其中,图13显示为本发明的三层混合晶向绝缘体上半导体结构的最终结构示意图。

[0026] 元件标号说明

[0027] 101 硅底层

[0028] 102 第一绝缘层

[0029] 103 硅中间层

[0030] 104 第二绝缘层

[0031] 105 硅顶层

- [0032] 106 第一掩蔽层
- [0033] 107 GaN层
- [0034] 108 第二掩蔽层
- [0035] 109 第一侧墙结构
- [0036] 110 单晶硅层
- [0037] 111 第三掩蔽层
- [0038] 112 第二侧墙结构
- [0039] 113 GeSi层
- [0040] 114 SiO₂层
- [0041] S11~S14 步骤1)~步骤4)

具体实施方式

[0042] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0043] 请参阅图2~图13。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0044] 实施例1

[0045] 如图2~图13所示,本实施例提供一种三层混合晶向绝缘体上半导体结构的制作方法,包括步骤:

[0046] 如图2及图3所示,首先进行步骤1) S11,提供一基底,所述基底包括依次层叠的第一晶向的硅底层101、第一绝缘层102、第二晶向的硅中间层103、第二绝缘层104以及第三晶向的硅顶层105。

[0047] 在本实施例中,所述第一晶向为(100),第二晶向为(110),第三晶向为(111),具体地,所述基底包括依次层叠的(100)晶向的硅底层101、第一二氧化硅层、(110)晶向的硅中间层103、第二二氧化硅层、以及(111)晶向的硅顶层105。

[0048] 如图2及图4~图5所示,然后进行步骤2) S12,于所述硅顶层101上方形成第一掩蔽层106,并于欲制备第一器件区域的位置形成直至所述硅顶层105的第一凹槽,于所述第一凹槽中形成GaN层107。

[0049] 作为示例,所述第一掩蔽层106为硬掩膜,其材料可以为SiO₂或者Si₃N₄。在本实施例中,所述第一掩蔽层106的材料为Si₃N₄。

[0050] 具体地,包括以下步骤:

[0051] 步骤2-1),于所述硅顶层105表面沉积Si₃N₄层;

[0052] 步骤2-2),于所述Si₃N₄层表面旋涂光刻胶,并采用光刻工艺于欲制备第一器件区域的位置打开窗口,形成光刻图形;

[0053] 步骤2-3),基于所述光刻图形,采用干法刻蚀工艺刻蚀所述Si₃N₄层至露出所述硅

顶层105,形成第一凹槽;

[0054] 步骤2-4),采用外延工艺,以第一凹槽内的(111)硅顶层105为籽晶层,生长GaN层107,其生长高度需超过所述第一掩蔽层的上表面;由于晶格结构接近在(111)晶面的硅晶格表面外延生长能获得晶格结构稳定且质量较高的GaN材料;

[0055] 步骤2-5),采用CMP(化学机械研磨)工艺去除多余的GaN,使GaN上表面和第一掩蔽层的上表面持平。

[0056] 如图2及图6~图9所示,接着进行步骤3)S13,制作第二掩蔽层108,并于欲制备第二器件区域的位置形成直至硅底层101的第二凹槽,于所述第二凹槽中形成第一侧墙结构109,然后于所述第二凹槽中形成具有第一晶向的单晶硅层110。

[0057] 作为示例,所述第二掩蔽层108选用为硬掩膜,其材料可以为 SiO_2 或者 Si_3N_4 。在本实施例中,所述第二掩蔽层108的材料为 Si_3N_4 。

[0058] 具体地,包括以下步骤:

[0059] 步骤3-1),于所述GaN层107及第一掩蔽层106表面沉积 Si_3N_4 层;

[0060] 步骤3-2),于所述 Si_3N_4 层表面旋涂光刻胶,并采用光刻工艺于欲制备第二器件区域的位置打开窗口,形成光刻图形;

[0061] 步骤3-3),基于所述光刻图形,采用干法刻蚀工艺刻蚀所述 Si_3N_4 层及所述基底至露出所述硅底层101,形成第二凹槽;

[0062] 步骤3-4),通过淀积、刻蚀等工艺在所述第二凹槽内制备第一侧墙结构109,所述第一侧墙结构109材料可以为 Si_3N_4 或 SiO_2 或两者组合或其他侧墙材料,并且使得第二凹槽内的(100)硅底层101露出;

[0063] 步骤3-5),采用外延工艺,以第二凹槽内的(100)硅底层101为籽晶层,生长(100)单晶硅层110,其生长厚度需超过第二掩蔽层上表面;

[0064] 步骤3-6),然后采用CMP(化学机械研磨)工艺去除多余的(100)单晶硅,使(100)单晶硅的上表面和第二掩蔽层的上表面持平,

[0065] 步骤3-7)去除多余的(100)单晶硅以及第二掩蔽层108,使(100)单晶硅的上表面与所述GaN层107的上表面持平。

[0066] 如图2及图10~图13所示,最后进行步骤4)S14,制作第三掩蔽层111,并于欲制备第三器件区域的位置形成直至硅中间层103的第三凹槽,于所述第三凹槽中形成第二侧墙结构112,然后于所述第三凹槽中及第三掩蔽层111表面形成GeSi材料,并采用氧化浓缩工艺使Ge向下浓缩并扩散进入硅中间层103,使得硅中间层区域及第三凹槽内均形成GeSi层113。

[0067] 作为示例,所述第三掩蔽层111选用为硬掩膜,其材料可以为 SiO_2 或者 Si_3N_4 。在本实施例中,所述第三掩蔽层111的材料为 Si_3N_4 。所述第三器件衬底材料为(110)晶向的单晶硅。

[0068] 具体地,包括以下步骤:

[0069] 步骤4-1),于所述GaN层107、第一掩蔽层106及(100)单晶硅表面沉积 Si_3N_4 层;

[0070] 步骤4-2),于所述 Si_3N_4 层表面旋涂光刻胶,并采用光刻工艺于欲制备第三器件区域的位置打开窗口,形成光刻图形;

[0071] 步骤4-3),基于所述光刻图形,采用干法刻蚀工艺刻蚀所述 Si_3N_4 层及所述基底至

露出所述硅中间层103,形成第三凹槽;

[0072] 步骤4-4),通过淀积、刻蚀等工艺在所述第三凹槽内制备第二侧墙结构112,所述第二侧墙结构112材料可以为 Si_3N_4 或 SiO_2 或两者组合或其他侧墙材料,并且使得第三凹槽内的(110)硅中间层103露出;

[0073] 步骤4-5),采用外延工艺,以第三凹槽内的(110)硅底层101为籽晶层,生长GeSi材料,其生长厚度需超过第三掩蔽层上表面,并且,有部分厚度覆盖于所述第三掩蔽层上表面;

[0074] 步骤4-6),进行全局化晶片表面干氧氧化,这时,GeSi材料的上部为氧化形成的 SiO_2 层,GeSi材料逐渐氧化浓缩使Ge向下浓缩并扩散进入硅中间层103,使得硅中间层区域及第三凹槽内均形成GeSi层113;

[0075] 步骤4-7),采用湿法刻蚀或者干法刻蚀,以及CMP(化学机械研磨)工艺去除全局化表面氧化生成的 SiO_2 层以及硬掩膜,使得GeSi层113上表面和第三掩蔽层的上表面持平;

[0076] 步骤4-8),去除多余的GeSi材料以及第三掩蔽层111,使GeSi层113的上表面与所述GaN层107的上表面以及(100)单晶硅的上表面在同一平面上持平。

[0077] 当然,上述步骤3-7)及步骤4-8)可以先不进行,这样,在所有步骤完成以后进行步骤5),采用化学机械研磨工艺去除工艺过程中产生的位于GaN层107,和/或单晶硅层110,和/或GeSi层113上方的多余掩蔽层,并使所述GeSi层113的上表面与所述GaN层107的上表面以及(100)单晶硅的上表面在同一平面上持平;也可以先采用湿法腐蚀去除工艺过程中产生的位于GaN层107,和/或单晶硅层110,和/或GeSi层113上方的多余掩蔽层,再采用化学机械研磨工艺使所述GeSi层113的上表面与所述GaN层107的上表面以及(100)单晶硅的上表面在同一平面上持平。从而完成三种不同材料衬底器件的衬底平面化工艺方法。

[0078] 最后,可以在所述GaN层107上制作GaN基高频(超)高压GaN器件,在所述(110)晶面GeSi层113表面制备高频(超)低压锗硅器件,以利于充分增大孔穴载流子迁移率,在所述(100)晶向的单晶硅上制作常规硅基器件,从而充分利用SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高压、(超)低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构、工艺技术。

[0079] 如图13所示,本实施例还提供一种三层混合晶向绝缘体上半导体结构,包括:基底,所述基底包括依次层叠的第一晶向的硅底层101、第一绝缘层102、第二晶向的硅中间层103、第二绝缘层104以及第三晶向的硅顶层105;第一掩蔽层106、第一凹槽、GaN层107、第二凹槽、第一侧墙结构109、第一晶向的单晶硅层110、第三凹槽、第二侧墙结构112、GeSi层113,形成于所述第三凹槽中以及与所述第三凹槽相接的硅中间层区域,其中,所述GeSi层113的上表面、GaN层107的上表面以及第一晶向的单晶硅的上表面在同一平面上持平。

[0080] 所述基底包括依次层叠的第一晶向的硅底层101、第一绝缘层102、第二晶向的硅中间层103、第二绝缘层104以及第三晶向的硅顶层105。在本实施例中,所述第一晶向为(100),第二晶向为(110),第三晶向为(111),具体地,所述基底包括依次层叠的(100)晶向的硅底层101、第一二氧化硅层、(110)晶向的硅中间层103、第二二氧化硅层、以及(111)晶向的硅顶层105。

[0081] 所述第一掩蔽层106形成于所述硅顶层105表面,所述第一凹槽形成于所述第一掩蔽层106中,且露出有硅顶层105表面;所述GaN层107形成于所述第一凹槽中。作为示例,所

述第一掩蔽层106的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,在本实施例中,所述第一掩蔽层106的材料选用为 Si_3N_4 。

[0082] 所述第二凹槽自所述结构上表面延伸至所述基底中,且其底部接触硅底,101表面;所述第一侧墙结构109形成于所述第二凹槽侧壁;所述第一晶向的单晶硅层110形成于所述第二凹槽中;作为示例,所述第一侧墙结构109的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,在本实施例中,所述第一侧墙结构109的材料先用为 Si_3N_4 ,所述单晶硅层110为(100)晶向的单晶硅。

[0083] 所述第三凹槽自所述结构上表面延伸至所述基底中,且其底部接触硅中间层103;所述第二侧墙结构112形成于所述第三凹槽侧壁;所述GeSi层113形成于所述第三凹槽中以及与所述第三凹槽相接的硅中间层区域,即所述第三凹槽内形成有GeSi材料,以及与所述第三凹槽相接的硅中间层103被转化成GeSi材料,两者一起形成GeSi层113。作为示例,所述第二侧墙结构112的材料包括 Si_3N_4 及 SiO_2 中的一种或其组合,在本实施例中,所述第二侧墙结构112的材料先用为 Si_3N_4 。

[0084] 另外,所述GaN层107上可用于制作GaN基高频(超)高压GaN器件,所述(110)晶面GeSi层113表面可用于制作高频(超)低压锗硅器件,以利于充分增大孔穴载流子迁移率,所述(100)晶向的单晶硅可用于制作常规硅基器件,从而充分利用SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高压、(超)低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构、工艺技术。

[0085] 实施例2

[0086] 本实施例提供一种三层混合晶向绝缘体上半导体结构的制作方法,其基本步骤如实施例1,其中,实施例1中的各个步骤的执行顺序为先进行步骤1),后进行步骤2),接着进行步骤4),最后再进行步骤3),即步骤3)与步骤4)的执行顺序交换。

[0087] 实施例3

[0088] 本实施例提供一种三层混合晶向绝缘体上半导体结构的制作方法,其基本步骤如实施例1,其中,实施例1中的各个步骤的执行顺序为先进行步骤1),后进行步骤3),接着进行步骤2),最后再进行步骤4)。值得说明的是,这种顺序的制作方法需要通过控制所述第一掩蔽层106、第二掩蔽层108、以及第三掩蔽层111的厚度来保证所述GeSi层113、GaN层107、以及单晶硅层110的生长厚度,以使得所述GeSi层113、GaN层107、以及单晶硅层110的上表面可以在同一平面上持平。

[0089] 另外,基于本实施例3所述,实施例1中的各个步骤的执行顺序也可以为先进行步骤1)、后进行步骤3)、接着进行步骤4)、最后进行步骤2);

[0090] 或先进行步骤1)、后进行步骤4)、接着进行步骤2)、最后进行步骤3);

[0091] 或先进行步骤1)、后进行步骤4)、接着进行步骤3)、最后进行步骤2)。

[0092] 以上几种制作方法的示例,只需要通过控制所述第一掩蔽层106、第二掩蔽层108、以及第三掩蔽层111的厚度来保证所述GeSi层113、GaN层107、以及单晶硅层110的生长厚度,便使得所述GeSi层113、GaN层107、以及单晶硅层110的上表面可以在同一平面上持平。

[0093] 如上所述,本发明的三层混合晶向绝缘体上半导体结构及其制作方法,具有以下有益效果:本发明提供了一种三层混合晶向绝缘体上半导体结构及其制作方法,GaN层107表面用于后续制备高频(超)高压GaN器件,(110)晶面锗硅层表面用于后续制备高频(超)低

压锗硅器件,以利于充分增大孔穴载流子迁移率,(100)晶面单晶硅层110表面用于后续制备常规硅基器件,从而充分利用SOI技术、锗硅技术、GaN技术、常规硅基技术将高频、(超)高压、(超)低压、高可靠性以及常规硅基纳米级器件整合设计到一个平面型半导体集成电路中提供一种先进的结构、工艺技术。本发明结构及方法简单,效果显著,在半导体制造领域具有广泛的应用前景。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0094] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

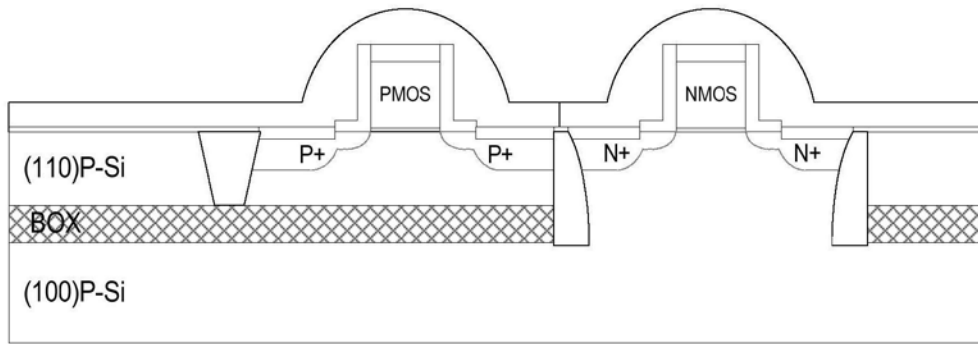


图1

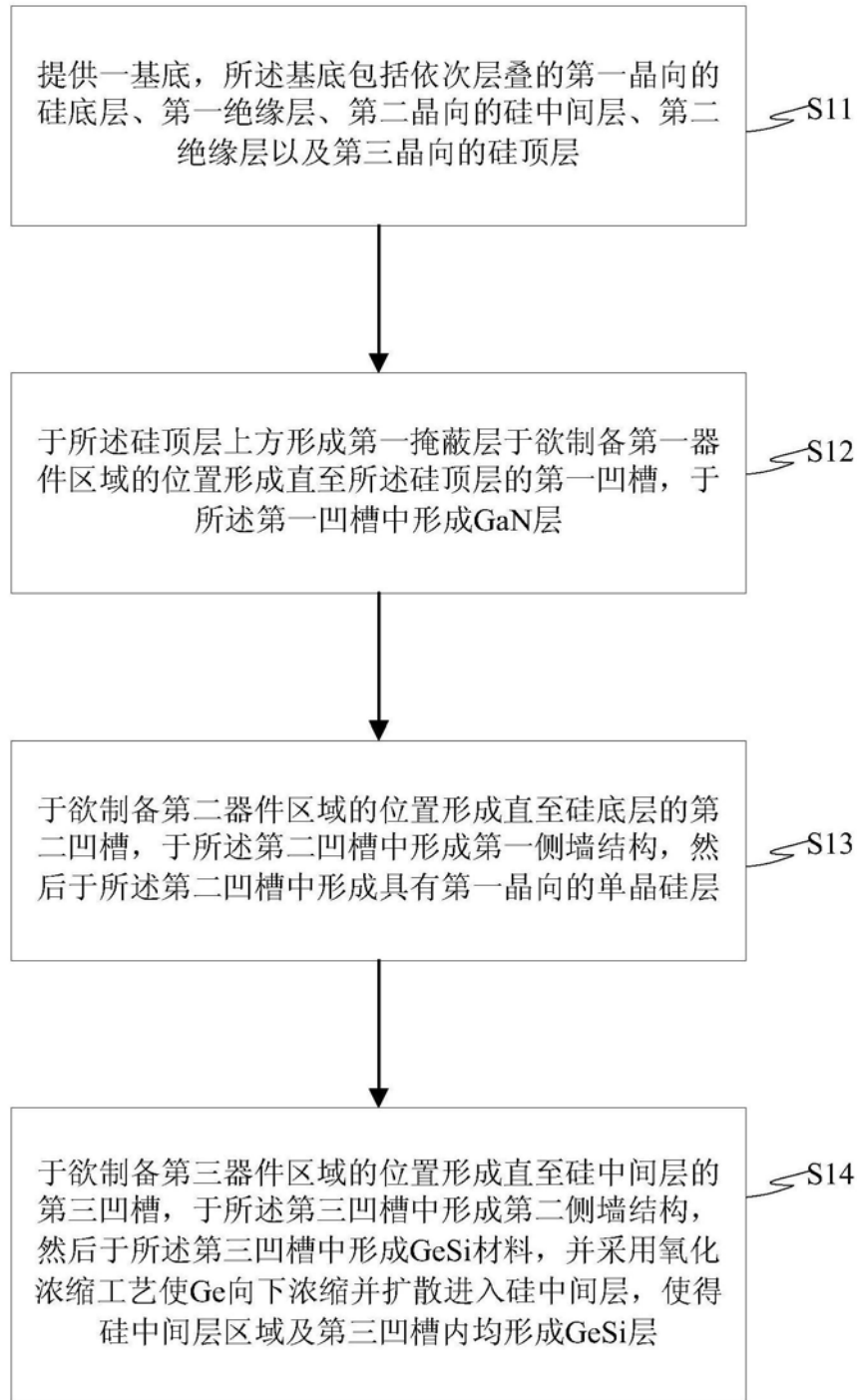


图2

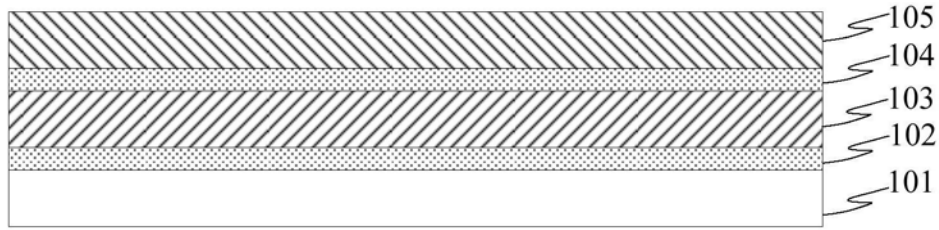


图3

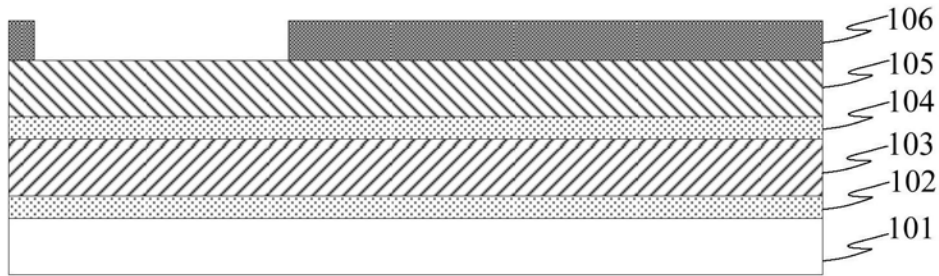


图4

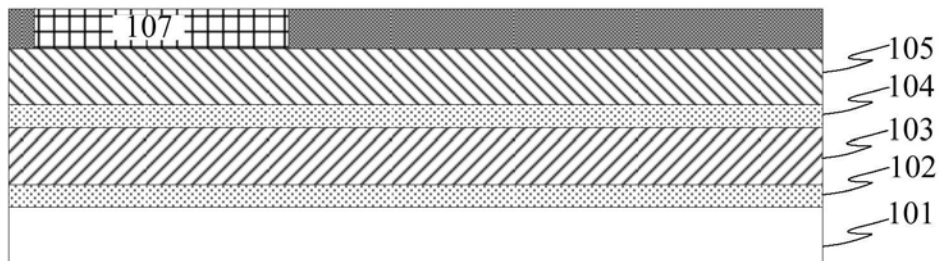


图5

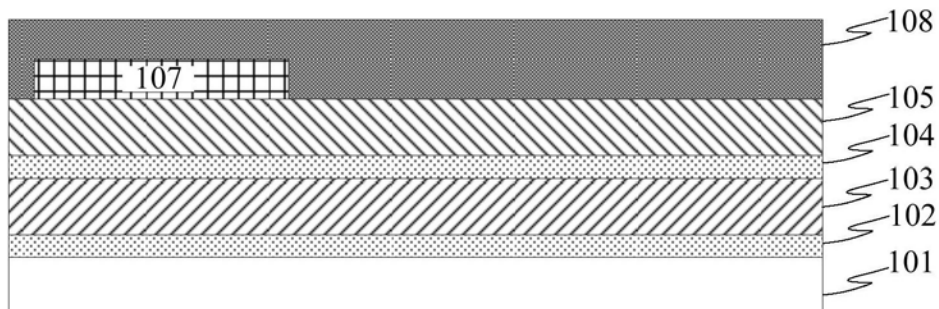


图6

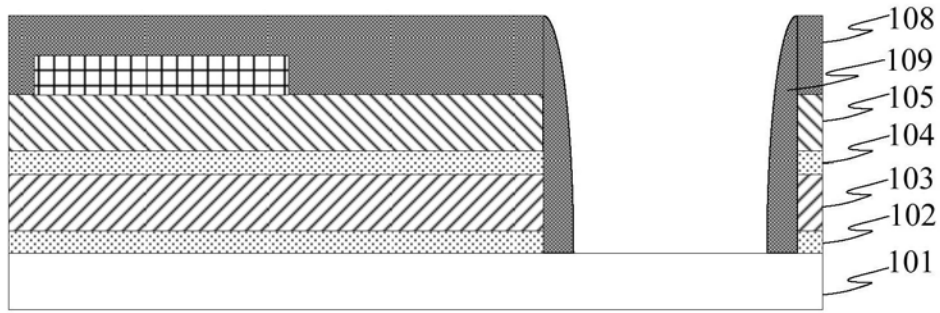


图7

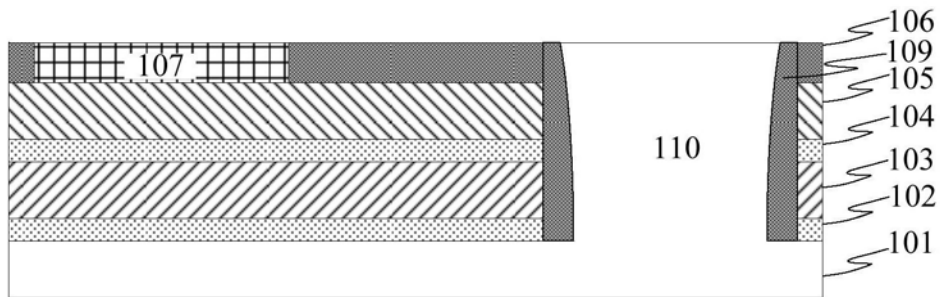


图8

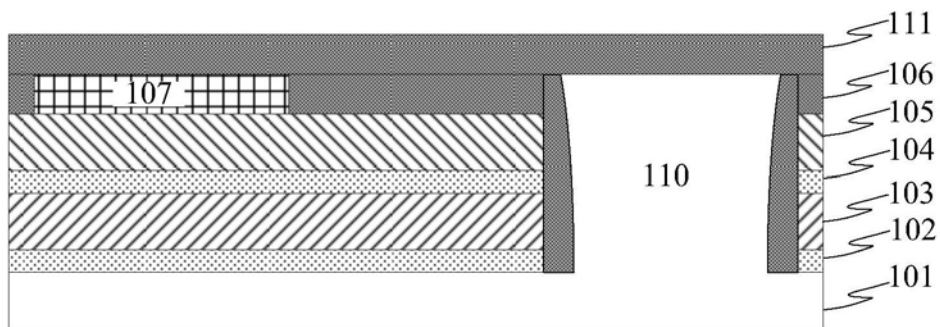


图9

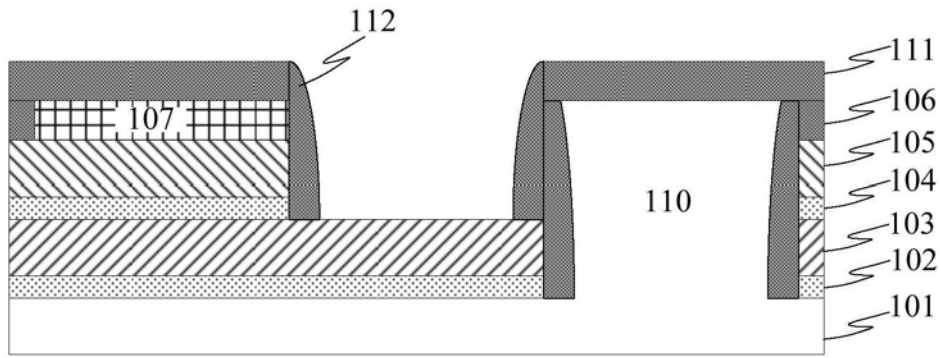


图10

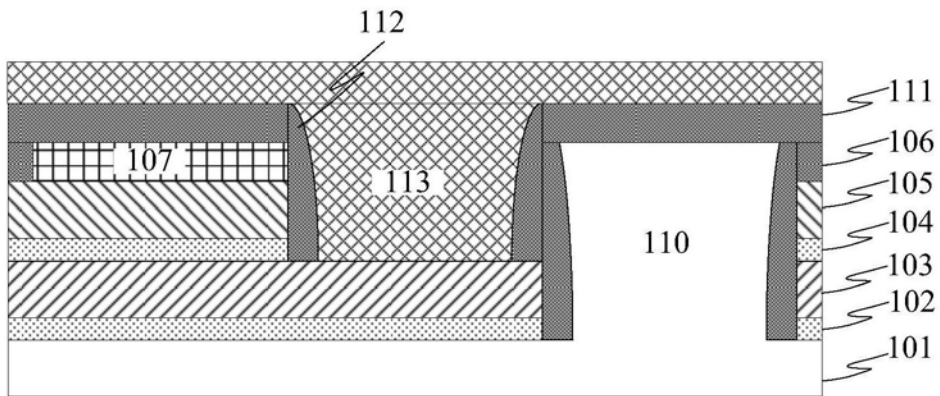


图11

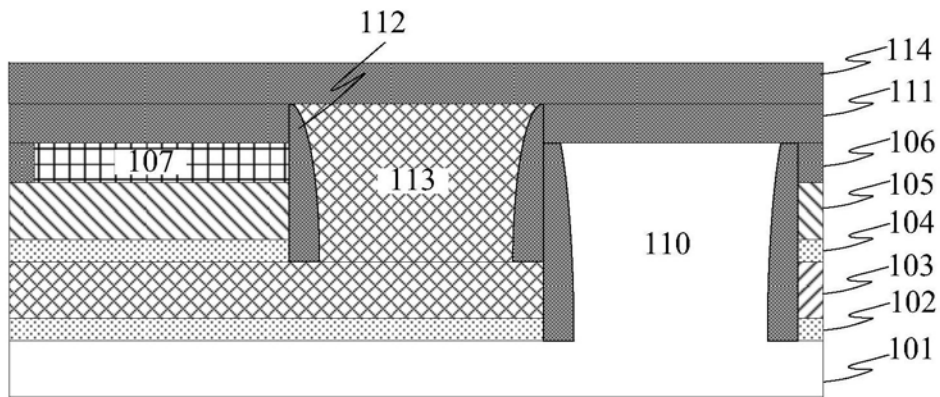


图12

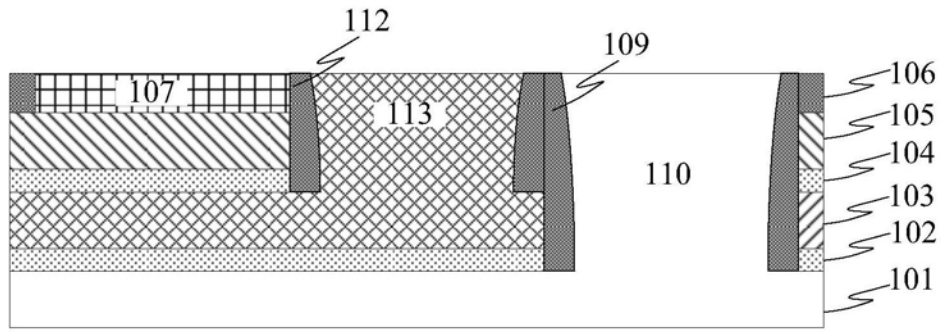


图13