



(12) 发明专利申请

(10) 申请公布号 CN 111812410 A

(43) 申请公布日 2020.10.23

(21) 申请号 202010800208.7

(22) 申请日 2020.08.11

(71) 申请人 明峰医疗系统股份有限公司
地址 310016 浙江省杭州市经济技术开发区益丰路129号5幢1-2层

(72) 发明人 马聪 李兴 黄振强

(74) 专利代理机构 绍兴市越兴专利事务所(普通合伙) 33220

代理人 高林

(51) Int.Cl.
G01R 29/02 (2006.01)

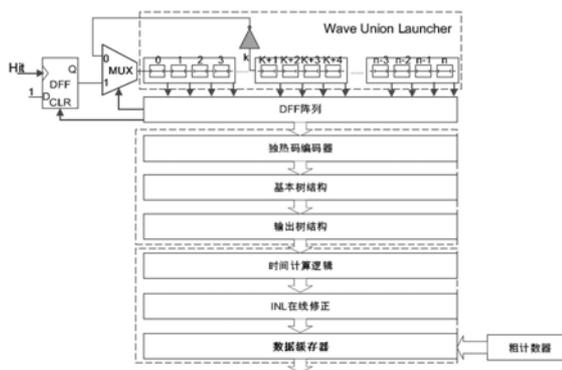
权利要求书3页 说明书7页 附图3页

(54) 发明名称

PET的Wave-union型TDC装置及测量方法

(57) 摘要

本发明涉及时间测量领域,尤其涉及一种PET的Wave-union型TDC装置及测量方法,利用在进位链中引入Wave Union Launcher激发输入脉冲信号产生周期性震荡,通过多次测量信号的前沿时刻达到提高测量精度的目的;另外,还利用晶体本底噪声进行TDC的在线非线性修正,进一步提高时间分辨率和统一数据格式,方便后端符合逻辑算法;优势在于:该装置具有精度高、死时间小、成本低和易集成等优势,满足绝大部分PET系统应用需求。



1. 一种PET的Wave-union型TDC装置,包括输入端D触发器、多路选择器、非门、进位链、Wave-union Launcher、DFF阵列、pipeline编码器、非线性修正逻辑、细时间计算逻辑、粗计数器以及数据缓存器;

所述输入端D触发器用于锁存和清空输入脉冲信号;

所述进位链装置是FPGA内部CARRY4硬核串联形成,输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻;

所述DFF阵列由D触发器构成,用于锁存进位链抽头上的电平并产生温度计码;

所述Wave-union Launcher是利用进位链的其中一个抽头,通过非门反馈到多路选择器输入端,产生周期震荡脉冲;

所述Pipeline编码器用于将温度计码转换为二进制编码的细时间信息;

所述细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和或取平均得到最终的细时间结果;

所述非线性修正逻辑用于修正最终的细时间结果;

所述粗计数器是用采样时钟驱动的FPGA内部计数器软核,用来得到粗时间信息;

所述数据缓存器是将得到的时间数据进行缓存处理,并和系统其他逻辑通讯。

2. 如权利要求1所述的一种PET的Wave-union型TDC装置,其特征在于:进位链延迟 Δ chain应大于采样时钟周期Tclk。

3. 如权利要求1所述的一种PET的Wave-union型TDC装置,其特征在于:所述CARRY4包括四个抽头,其中两个抽头的电平状态用于标记脉冲到达时刻,该两个抽头到DFF阵列的延迟一致且最小。

4. 如权利要求1所述的一种PET的Wave-union型TDC装置,其特征在于:所述Pipeline编码器由独热码编码器和二进制编码器;所述独热码编码器通过检测DFF阵列锁存产生的温度计码,得到独热码;所述二进制编码器包括基本树结构和输出树结构,基本树结构利用或门搭建层树结构,输出树结构把基本树结构的中间电平提取,最终将独热码转换为二进制编码的细时间信息。

5. 如权利要求4所述的一种PET的Wave-union型TDC装置,其特征在于:所述基本树结构和输出树结构的每一层门后都加入D触发器阵列。

6. 一种PET的Wave-union型TDC装置的测量方法,其特征在于,包括以下步骤:

S01. 输入待测脉冲信号,待测脉冲信号经输入端D触发器、多路选择器后进入进位链,当脉冲信号传递到第k个抽头时,多路选择器选择1,进位链输入信号拉低;当低电平再次到达第k个抽头时,多路选择器选择0,进位链输入信号拉高,从而产生周期震荡脉冲,Wave-union Launcher的震荡周期Tosc大于进位链延迟 Δ chain;输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻,进位链延迟 Δ chain大于采样时钟周期Tclk;

S02. DFF阵列锁存进位链抽头上的电平并产生温度计码;

S03. 独热码编码器通过检测温度计码,得到独热码,二进制编码器将独热码转换为二进制编码的细时间信息;

S04. 细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和取平均得到最

终的细时间结果,所述归一化通过递归运算式 $t_i - t_{i-1} = \begin{cases} T_{osc} - T_{clk}, & \alpha \text{类} \\ T_{clk}, & \beta \text{类} \\ 0, & \gamma \text{类} \end{cases}$ 实现,其

中 t_i 表示每次测量的细时间, α 类指的是在两个时钟周期内分别检测到两个待测脉冲信号; β 类指的是在两个时钟周期内检测到同一个待测脉冲信号,其差即为一个时钟周期; γ 类针对震荡周期 T_{osc} 来讲,连续测量出现0个待测脉冲信号;对于 β 和 γ 类,每一个测量周期在测量结果中补偿一个周期,对于 α 类,通过上式递归运算可以归一化到相对于第一次事件的细时间信息;将每次测量的细时间信息加和或取平均处理,即得到最终的细时间结果;

S05. 非线性修正逻辑用于修正最终的细时间结果;

S06. 粗计数器用采样时钟驱动的FPGA内部计数器软核,得到粗时间信息;

S07. 结合粗时间信息和修正后的细时间结果,在动态范围内完成时间测量。

7. 如权利要求6所述的一种PET的Wave-union型TDC装置的测量方法,其特征在于:所述步骤S04中,将每次测量的细时间信息取平均处理,所述取平均计算式为:

$$t(m, 1) = t(m) + (m - 1) \times [n(m) \times T_{clk} - T_{osc}]$$

$$t_{final} = \frac{1}{M} \sum_{m=1}^M t(m, 1),$$

其中, M 为总的测量次数, $t(m, 1)$ 为相对于第一次测量的细时间结果, $t(m)$ 是本次测量的细时间结果, $n(M)$ 为对于 β 和 γ 类型事件需要补偿的测量周期函数。

8. 如权利要求6所述的一种PET的Wave-union型TDC装置的测量方法,其特征在于,所述震荡周期 T_{osc} 由下式决定:

$$T_{osc} \sim 2 \times K \times \Delta_{tap} + 2 \times (\Delta_{INV} + \Delta_{MUX} + \Delta_{ROUT})$$

其中, Δ_{tap} 为进位链抽头平均单元延迟, Δ_{MUX} 为多路选择器延迟, Δ_{INV} 为非门延迟, Δ_{ROUT} 为走线延迟;所述各部分延迟的确定包括以下步骤:使用开发工具对非门和多路选择器在FPGA内部的位置进行固定,并对 Δ_{ROUT} 进行延迟时序约束和走线固定,最终根据工具布线后仿结果估算各部分的延迟。

9. 如权利要求6所述的一种PET的Wave-union型TDC装置的测量方法,其特征在于,所述步骤S03还包括以下步骤:利用温度计码各位与其临近高四位进行与非运算,只标记最高出现“01”跳变的位置,对于最高三位,分别与最低位进行与或运算,上述布尔运算公式如下:

$$O_i = \begin{cases} I_i \wedge (\sim I_{i+1}) \wedge (\sim I_{i+2}) \wedge (\sim I_{i+3}), & 0 < i \leq N - 3 \\ I_{N-2} \wedge (\sim I_{N-1}) \wedge (\sim I_N) \wedge (\sim I_1), & i = N - 2 \\ I_{N-1} \wedge (\sim I_N) \wedge (\sim I_1) \wedge (\sim I_2), & i = N - 1 \\ I_N \wedge (\sim I_1) \wedge (\sim I_2) \wedge (\sim I_3), & i = N \end{cases}.$$

10. 如权利要求6所述的一种PET的Wave-union型TDC装置的测量方法,其特征在于,所述步骤S05包括:非线性修正逻辑利用探测器本底噪声产生的随机脉冲信号,在系统开启时统计每个细时间出现的次数并计算延迟均匀度,利用bin-by-bin方法得到非线性修正参

数,非线性修正参数作为查找表存放于FPGA内部的随机存储器RAM中,实际待测脉冲信号根据最终测得的细时间结果作为地址去读取查找表中的修正值,得到修正后的细时间值。

PET的Wave-union型TDC装置及测量方法

技术领域

[0001] 本发明涉及时间测量领域,尤其涉及一种PET的Wave-union型TDC装置及测量方法。

背景技术

[0002] 基于飞行时间测量(Time-of-flight, TOF)成像原理的正电子发射计算机断层显像(Positron Emission Tomography,PET)由于其高信噪比和低随机符合率等受到青睐。其探测原理是利用晶体(比如Lyso)将放射源释放的伽马射线转换为可见光,然后利用光电转换器件(PMT或者SiPM)将可见光转换为模拟电信号。前端电路对该模拟电信号进行高精度的能量和时间测量,然后将测量结果送入后端数据获取系统(Data acquisition,DAQ)中进行符合判选。最终利用有效信号在符合线上的两个事件的时间差,重建放射源图像。除了探测器硬件本身信噪比的影响外,时间数字转换器(Time-Digital Converter,TDC)的精度也直接影响图像质量。

[0003] 对于传统的PET系统中的时间测量,一般是借助于高精度的商用专用集成电路(Application Specific Integrated Circuit,ASIC)TDC芯片来完成时间测量。ASIC TDC具有稳定性好和精度高的优点,但是其成本较高,电路复杂,不利于像PET这样超多通道应用情形。近年来,基于FPGA的TDC由于其成本低、研发周期短、精度高和配置灵活等优势发展迅猛。基于进位链类型的FPGA-TDC是利用FPGA内部固有的进位链资源实现,具有开发难度低的优势而广受欢迎。其原理是利用输入脉冲信号在进位链各个进位单元上产生不同的电平状态来标记输入脉冲到达的时间。基于进位链的FPGA-TDC由于进位单元延迟及其不均匀性,精度一般可达数十皮秒量级。为了进一步提高测量精度,克服最小延迟单元限制,美国费米国家实验室提出了Wave-Union方法,能够在尽量节省FPGA资源的情况下提高测量精度。大致原理是利用在进位链中引入Wave Union Launcher激发输入脉冲信号产生稳定的周期性震荡,通过多次测量信号的前沿时刻达到提高测量精度的目的。

[0004] 如何将Wave-union型FPGA-TDC装置应用于PET,成为本案需要解决的问题。

发明内容

[0005] 为解决上述问题,本发明的目的在于提供一种PET的Wave-union型TDC装置及测量方法。

[0006] 为了实现上述目的,本发明的技术方案如下:

一种PET的Wave-union型TDC装置,包括输入端D触发器、多路选择器、非门、进位链、Wave-union Launcher、DFF阵列、pipeline编码器、非线性修正逻辑、细时间计算逻辑、粗计数器以及数据缓存器;

所述输入端D触发器用于锁存和清空输入脉冲信号;

所述进位链装置是FPGA内部CARRY4硬核串联形成,输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻;

所述DFF阵列由D触发器构成,用于锁存进位链抽头上的电平并产生温度计码;

所述Wave-union Launcher是利用进位链的其中一个抽头,通过非门反馈到多路选择器输入端,产生周期震荡脉冲;

所述Pipeline编码器用于将温度计码转换为二进制编码的细时间信息;

所述细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和或取平均得到最终的细时间结果;

所述非线性修正逻辑用于修正最终的细时间结果;

所述粗计数器是用采样时钟驱动的FPGA内部计数器软核,用来得到粗时间信息;

所述数据缓存器是将得到的时间数据进行缓存处理,并和系统其他逻辑通讯。

[0007] 进一步的,进位链延迟 $\Delta chain$ 应大于采样时钟周期 T_{clk} 。

[0008] 进一步的,所述CARRY4包括四个抽头,其中两个抽头的电平状态用于标记脉冲到达时刻,该两个抽头到DFF阵列的延迟一致且最小。

[0009] 进一步的,所述Pipeline编码器由独热码编码器和二进制编码器;所述独热码编码器通过检测DFF阵列锁存产生的温度计码,得到独热码;所述二进制编码器包括基本树结构和输出树结构,基本树结构利用或门搭建层树结构,输出树结构把基本树结构的中间电平提取,最终将独热码转换为二进制编码的细时间信息。

[0010] 进一步的,所述基本树结构和输出树结构的每一层门后都加入D触发器阵列。

[0011] 一种PET的Wave-union型TDC装置的测量方法,包括以下步骤:

S01. 输入待测脉冲信号,待测脉冲信号经输入端D触发器、多路选择器后进入进位链,当脉冲信号传递到第k个抽头时,多路选择器选择1,进位链输入信号拉低;当低电平再次到达第k个抽头时,多路选择器选择0,进位链输入信号拉高,从而产生周期震荡脉冲,Wave-union Launcher的震荡周期 T_{osc} 大于进位链延迟 $\Delta chain$;输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻,进位链延迟 $\Delta chain$ 大于采样时钟周期 T_{clk} ;

S02. DFF阵列锁存进位链抽头上的电平并产生温度计码;

S03. 独热码编码器通过检测温度计码,得到独热码,二进制编码器将独热码转换为二进制编码的细时间信息;

S04. 细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和取平均得到最

最终的细时间结果,所述归一化通过递归运算式 $t_i - t_{i-1} = \begin{cases} T_{osc} - T_{clk}, & \alpha \text{类} \\ T_{clk}, & \beta \text{类} \\ 0, & \gamma \text{类} \end{cases}$ 实现,其中 t_i

表示每次测量的细时间, α 类指的是在两个时钟周期内分别检测到两个待测脉冲信号; β 类指的是在两个时钟周期内检测到同一个待测脉冲信号,其差即为一个时钟周期; γ 类针对震荡周期 T_{osc} 来讲,连续测量出现0个待测脉冲信号;对于 β 和 γ 类,每一个测量周期在测量结果中补偿一个周期,对于 α 类,通过上式递归运算可以归一化到相对于第一次事件的细时间信息;将每次测量的细时间信息加和或取平均处理,即得到最终的细时间结果;

S05. 非线性修正逻辑用于修正最终的细时间结果;

S06. 粗计数器用采样时钟驱动的FPGA内部计数器软核,得到粗时间信息;

S07. 结合粗时间信息和修正后的细时间结果,在动态范围内完成时间测量。

[0012] 进一步的,所述步骤S04中,将每次测量的细时间信息取平均处理,所述取平均计

算式为: $t(m, 1) = t(m) + (m - 1) \times [n(m) \times T_{clk} - T_{osc}]$

$$t_{final} = \frac{1}{M} \sum_{m=1}^M t(m, 1),$$

其中,M为总的测量次数,t(m,1)为相对于第一次测量的细时间结果,t(m)是本次测量的细时间结果,n(M)为对于β和γ类型事件需要补偿的测量周期函数。

[0013] 进一步的,所述震荡周期T_{osc}由下式决定:

$$T_{osc} \sim 2 \times K \times \Delta_{tap} + 2 \times (\Delta_{INV} + \Delta_{MUX} + \Delta_{ROUT})$$

其中,Δ_{tap}为进位链抽头平均单元延迟,Δ_{MUX}为多路选择器延迟,Δ_{INV}为非门延迟,Δ_{ROUT}为走线延迟;所述各部分延迟的确定包括以下步骤:使用开发工具对非门和多路选择器在FPGA内部的位置进行固定,并对Δ_{ROUT}进行延迟时序约束和走线固定,最终根据工具布线后仿结果估算各部分的延迟。

[0014] 进一步的,所述步骤S03还包括以下步骤:利用温度计码各位与其临近高四位进行与非运算,只标记最高出现“01”跳变的位置,对于最高三位,分别与最低位进行与或运算,上述布尔运算公式如下:

$$O_i = \begin{cases} I_i \wedge (\sim I_{i+1}) \wedge (\sim I_{i+2}) \wedge (\sim I_{i+3}), 0 < i \leq N - 3 \\ I_{N-2} \wedge (\sim I_{N-1}) \wedge (\sim I_N) \wedge (\sim I_1), i = N - 2 \\ I_{N-1} \wedge (\sim I_N) \wedge (\sim I_1) \wedge (\sim I_2), i = N - 1 \\ I_N \wedge (\sim I_1) \wedge (\sim I_2) \wedge (\sim I_3), i = N \end{cases}.$$

[0015] 进一步的,所述步骤S05包括:非线性修正逻辑利用探测器本底噪声产生的随机脉冲信号,在系统开启时统计每个细时间出现的次数并计算延迟均匀度,利用bin-by-bin方法得到非线性修正参数,非线性修正参数作为查找表存放于FPGA内部的随机存储器RAM中,实际待测脉冲信号根据最终测得的细时间结果作为地址去读取查找表中的修正值,得到修正后的细时间值。

[0016] 本发明的优点在于:

1. 基于进位链型FPGA-TDC,引入Wave Union Launcher,实现多次时间测量,提高测量精度;

2. 实现了pipeline功能的树形编码器,能够准确、快速和稳定地将Wave-union产生的二进制码转换为时间编码;

3. 利用探测器本底噪声实现了在线非线性修正、时钟频率标定等功能;

4. 在Xilinx Kintex 7系列FPGA中例化并进行了电子学初步测试,测试结果表明,该FPGA-TDC测量精度好于15 ps RMS,死时间小于20 ns;另外,本发明还在实际的PET探测器上进行了测试,测试结果表明TOF测量时间分辨率好于320 ps FMHW,满足性能需求。

附图说明

- [0017] 图1 为实施例中该Wave-Union 型TDC装置的整体结构框图；
 图2 为实施例中Pipeline编码器的结构示意图；
 图3为实施例中不同CARRY4的抽头到临近D触发器的延迟后仿结果表；
 图4为实施例中 FPGA-TDC单通道周期测试结果；
 图5 为实施例中PET探测器符合时间分辨率测试结果。

具体实施方式

[0018] 以下结合实施例对本发明作进一步详细描述。

[0019] 本实施例提出一种PET的Wave-union型TDC装置,如图1所示,包括输入端D触发器、多路选择器、非门、进位链、Wave-union Launcher、DFF阵列、pipeline编码器、非线性修正逻辑、细时间计算逻辑、粗计数器以及数据缓存器。

[0020] 输入端D触发器用于输入、缓存和清空脉冲信号。

[0021] 进位链是FPGA内部CARRY4硬核串联形成,输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻。为了使细计数值覆盖完整的测量范围,进位链延迟 Δ_{chain} 应大于采样时钟周期(记作 T_{clk}),采样时钟用作去锁存进位链各个进位单元上的电平,如果其采样周期大于进位链长度的话,一些电平状态无法捕获,只有其周期小于信号在进位链上的延迟时间,才能获知输入信号在进位链上经过的延迟单元数量。本实施例中,为减少测量死时间,采样时钟周期设置为4ns。经过测试,一个CARRY4硬核延迟大概在40ps左右,因此本发明共例化110个CARRY4硬核,每个CARRY4中包括4个抽头,本实施例使用其中两个抽头作为标记,合计220个抽头电平。

[0022] DFF阵列由220个D触发器构成,用来锁存进位链抽头上的电平。为了保证进位链的均匀度,进位链抽头到DFF的延迟需要一致且尽量较小。使用Xilinx开发工具Vivado对一CARRY4硬核中的四个抽头到同一Slice的八个最邻近D触发器的延迟进行布线时序后仿真,结果如图3所示,其中延迟单位为ps。根据仿真结果,抽头0和抽头2分别连接DFF7和DFF3,能够获得较小且相近的延迟,达到提高进位链均匀度的目的(表中抽头1对应的DFF2也具有较小的延迟,但因为跨进位单元时延迟大,因此选择抽头0和2比选择抽头0和1或者1和2会使整体链更加均匀)。

[0023] Wave-union Launcher是利用进位链的其中一个抽头,通过非门反馈到多路选择器输入端。当脉冲信号传递到第k个抽头时,多路选择器选择1,进位链输入信号拉低。当低电平再次到达第k个抽头时,多路选择器选择0,进位链输入信号拉高,因此产生周期震荡脉冲。当产生指定数量的脉冲后,多路选择器置0处并清空输入端D触发器,等待下一个脉冲信号到来。为保证在一条进位链上只最多出现一个信号前沿,Wave-union Launcher的震荡周期 T_{osc} 应大于进位链延迟 Δ_{chain} 。 T_{osc} 大概由下式决定:

$$T_{osc} \sim 2 \times K \times \Delta_{tap} + 2 \times (\Delta_{INV} + \Delta_{MUX} + \Delta_{ROUT})$$

其中, Δ_{tap} 为进位链抽头平均单元延迟, Δ_{MUX} 为多路选择器延迟, Δ_{INV} 为非门延迟, Δ_{ROUT} 为走线延迟;对于FPGA芯片中 Δ_{tap} 、 Δ_{INV} 和 Δ_{MUX} 基本为定值,影响最大的是 Δ_{ROUT} 。为了保证 T_{osc} 满足设计要求,使用开发工具对反相器和多路选择器在FPGA内部的位

置进行固定,并对 Δ ROUT进行延迟时序约束和走线固定,最终根据工具布线后仿结果估算各部分的延迟。本发明中,K选择25。

[0024] Pipeline编码器由独热码编码器和二进制编码器两部分组成。所述独热码编码器是用于检测DFF阵列锁存产生的温度计码(如“00001111”)中“01”跳变位置的装置。温度计码的各位分别与其临近高位进行与非运算,只有在“01”跳变处符合与非运算条件,最终得到独热码(如“00001000”)符合与非运算条件,最终得到独热码(如“00001000”)。为了减小DFF锁存亚稳态带来的非正常跳变(如“00010111”),利用温度计码各位与其临近高四位进行与非运算,只标记最高出现“01”跳变的位置,对于最高三位,分别与最低位进行与或运算,上述布尔运算公式如下:

$$O_i = \begin{cases} I_i^{\wedge}(\sim I_{i+1})^{\wedge}(\sim I_{i+2})^{\wedge}(\sim I_{i+3}), 0 < i \leq N - 3 \\ I_{N-2}^{\wedge}(\sim I_{N-1})^{\wedge}(\sim I_N)^{\wedge}(\sim I_1), i = N - 2 \\ I_{N-1}^{\wedge}(\sim I_N)^{\wedge}(\sim I_1)^{\wedge}(\sim I_2), i = N - 1 \\ I_N^{\wedge}(\sim I_1)^{\wedge}(\sim I_2)^{\wedge}(\sim I_3), i = N \end{cases}。$$

[0025] 所述二进制编码器由两部分组成,一部分为基本树结构,另一部分为输出树结构。基本树结构利用或门搭建层树结构,而输出树结构把基本树结构的中间电平提取,最终将独热码转换为二进制编码;为了保证编码稳定性,基本树结构和输出树结构的在每一层门后都加入D触发器阵列,实现Pipeline结构。

[0026] 细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和或取平均得到最终的细时间结果,本实施例采用取平均处理的方式得到最终的细时间结果。

[0027] 非线性修正逻辑用于修正最终的细时间结果。

[0028] 粗时间计数器是用采样时钟驱动的FPGA内部计数器软核,用来得到粗时间信息(粗时间的最小时间测量间隔bin size为4 ns)。粗时间信息和最终细时间信息组合可以同时保证测量精度和测量动态范围。本实施例中,粗时间计数器为40位,测量动态范围超过3小时。

[0029] 数据缓存器是将得到的时间数据进行缓存处理,并和系统其他逻辑通讯。

[0030] 该PET的Wave-union型TDC装置的测量方法,包括以下步骤:

S01. 输入待测脉冲信号,待测脉冲信号经输入端D触发器、多路选择器后进入进位链,当脉冲信号传递到第k个抽头时,多路选择器选择1,进位链输入信号拉低;当低电平再次到达第k个抽头时,多路选择器选择0,进位链输入信号拉高,从而产生周期震荡脉冲,Wave-union Launcher的震荡周期Tosc大于进位链延迟 Δ chain;输入脉冲信号进入后在链内递加传递,利用链上不同抽头电平状态来标记脉冲到达时刻,进位链延迟 Δ chain大于采样时钟周期Tclk;

S02. DFF阵列锁存进位链抽头上的电平并产生温度计码;

S03. 独热码编码器通过检测温度计码,得到独热码,二进制编码器将独热码转换为二进制编码的细时间信息;

S04. 细时间计算逻辑是将多次震荡得到的细时间信息归一化,并求和取平均得到最终的细时间结果,如前所述,本实施例满足条件Tclk < Δ chain < T osc,因此每个时钟周期只能在进位链中检测到0个或1个前沿。所述归一化通过递归运算式

$$t_i - t_{i-1} = \begin{cases} T_{osc} - T_{clk}, & \alpha \text{类} \\ T_{clk}, & \beta \text{类} \\ 0, & \gamma \text{类} \end{cases} \quad \text{实现, 其中 } t_i \text{ 表示每次测量的细时间, } \alpha \text{类指的是在两个时}$$

钟周期内分别检测到两个待测脉冲信号; β 类指的是在两个时钟周期内检测到同一个待测脉冲信号, 其差即为一个时钟周期; γ 类针对震荡周期 T_{osc} 来讲, 连续测量出现 0 个待测脉冲信号; 根据上式, 判断每一次测量得到的细计数与前一个测量值进行对比, 判断属于哪一类, 对于 β 和 γ 类, 每一个测量周期在测量结果中补偿一个周期, 对于 α 类, 通过上式递归运算可以归一化到相对于第一次事件的细时间信息; 将每次测量的细时间信息取平均, 即得到最终的细时间结果, 所述取平均计算式为:

$$t(m, 1) = t(m) + (m - 1) \times [n(m) \times T_{clk} - T_{osc}]$$

$$t_{final} = \frac{1}{M} \sum_{m=1}^M t(m, 1),$$

其中, M 为总的测量次数, $t(m, 1)$ 为相对于第一次测量的细时间结果, $t(m)$ 是本次测量的细时间结果, $n(M)$ 为对于 β 和 γ 类型事件需要补偿的测量周期函数 (如果一个周期内测到一个震荡信号的前沿, 则 $n(M)$ 为 0, 不需要补偿, 如果没有测到震荡信号的前沿, 而是再等一个周期才测到, 则 $n(M)$ 为 1, 中间需要补偿一个周期);

S05. 非线性修正逻辑利用探测器本底噪声产生的随机脉冲信号, 在系统开启时统计每个细时间出现的次数并计算延迟均匀度, 利用 bin-by-bin 方法得到非线性修正参数, 非线性修正参数作为查找表存放于 FPGA 内部的随机存储器 RAM 中, 实际待测脉冲信号根据最终测得的细时间结果作为地址去读取查找表中的修正值, 得到修正后的细时间值; 非线性修正参数作为查找表 (Look-up-table, LUT) 存放于 FPGA 内部的随机存储器 RAM 中, 实际待测信号根据测得的细时间信息作为地址去读取 LUT 中的修正值得到修正后的细时间值, 根据码密度法, 通过测量大量随机脉冲信号就可以统计每个细时间值出现的个数, 个数的多少与抽头延迟值成正比;

例如 FPGA 中有两个随即存储器 RAM1 和 RAM2, 首先读取 RMA1 地址 i 的内容 w_i , 利用下式依次计算非线性修正系数 D_i :

$$D_i = \sum_{k=0}^{i-1} w_k + \frac{1}{2} w_i,$$

将计算得到的非线性修正系数作为内容写入 RMA2 中作为修正查找表 LUT, 实际待测脉冲信号输入到进位链进行细时间测量, 并把最终的细时间测量结果作为地址, 查询 RMA2 中的内容, 即可得到修正后的细时间值;

另外, 为了方便后端 DAQ 进行符合等计算, 本设计设置统计随机脉冲总数为 2 的 N 次方, 最终通过移位运算将细计数格式归一化;

S06. 粗计数器用采样时钟驱动的 FPGA 内部计数器软核, 得到粗时间信息;

S07. 结合粗时间信息和修正后的细时间结果, 在动态范围内完成时间测量。

[0031] 在 Xilinx K7 FPGA 上例化了该 TDC 并进行了初步验证测试。信号源产生一系列周期脉冲输入到 TDC 中。经过非线性修正和 Wave Union 3 次, 细时间被归一化为 10 位, 其 bin

size为3.9 ps,其分辨率大约为 14.9 ps RMS,如图4所示。

[0032] 另外还利用两根Lyso 晶体(晶体长度15 cm)进行了探测器符合测试,将Na22放射源置于小模块中间,采集系统测量的能量、位置和时间信息。为了筛选有效信号,设置筛选能量的能窗(425keV~650 keV),得到的时间分辨测试结果如图5所示。两个小模块在Na22点源情况下,符合时间分辨好于320 ps FWHM,满足TOF成像的需求。

[0033] 上述实施例仅用于解释说明本发明的构思,而非对本发明权利保护的限定,凡利用此构思对本发明进行非实质性的改动,均应落入本发明的保护范围。

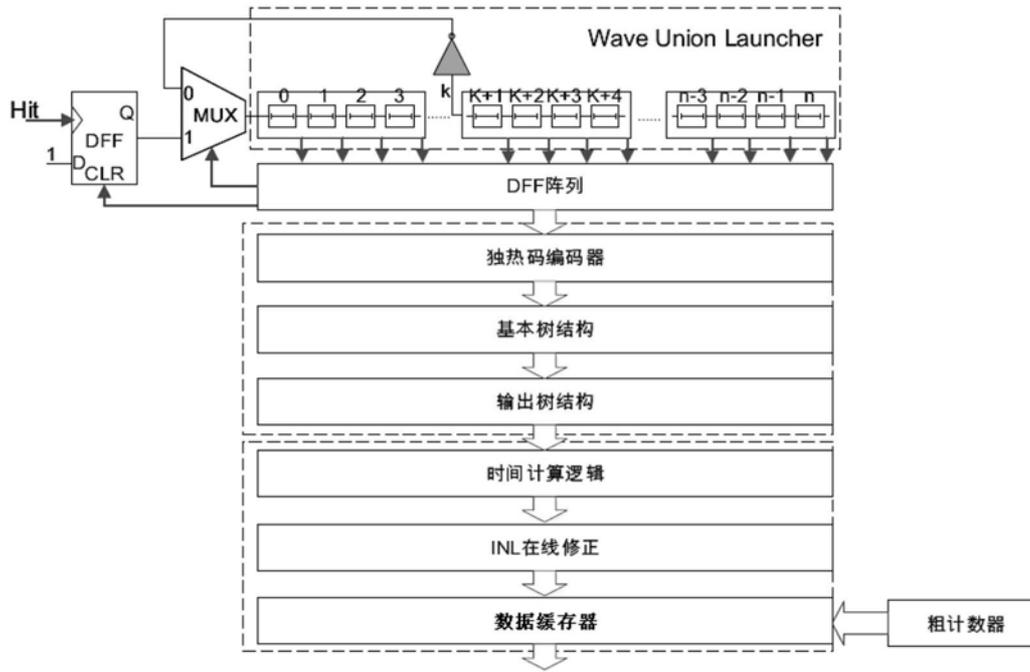


图1

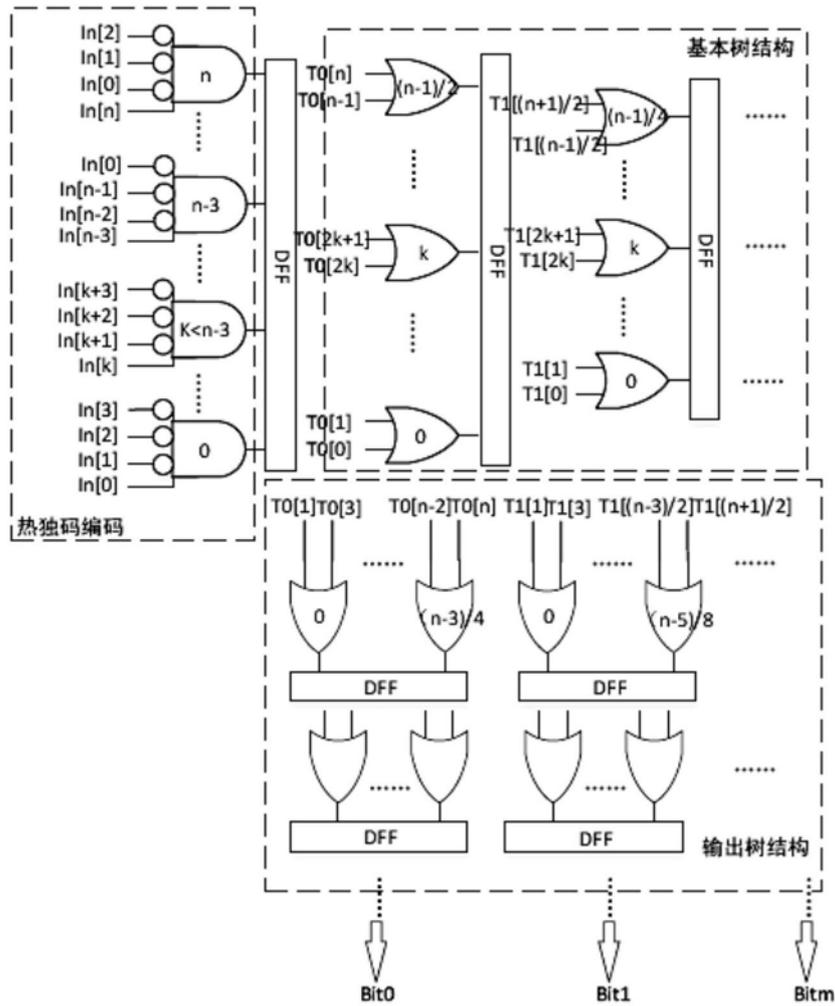


图2

序号	DFF0	DFF1	DFF2	DFF3	DFF4	DFF5	DFF6	DFF7
抽头 0	-	421	404	420	415	651	-	39
抽头 1	-	526	39	319	395	321	-	395
抽头 2	-	379	544	41	499	340	-	332
抽头 3	-	152	702	829	761	610	-	610

图3

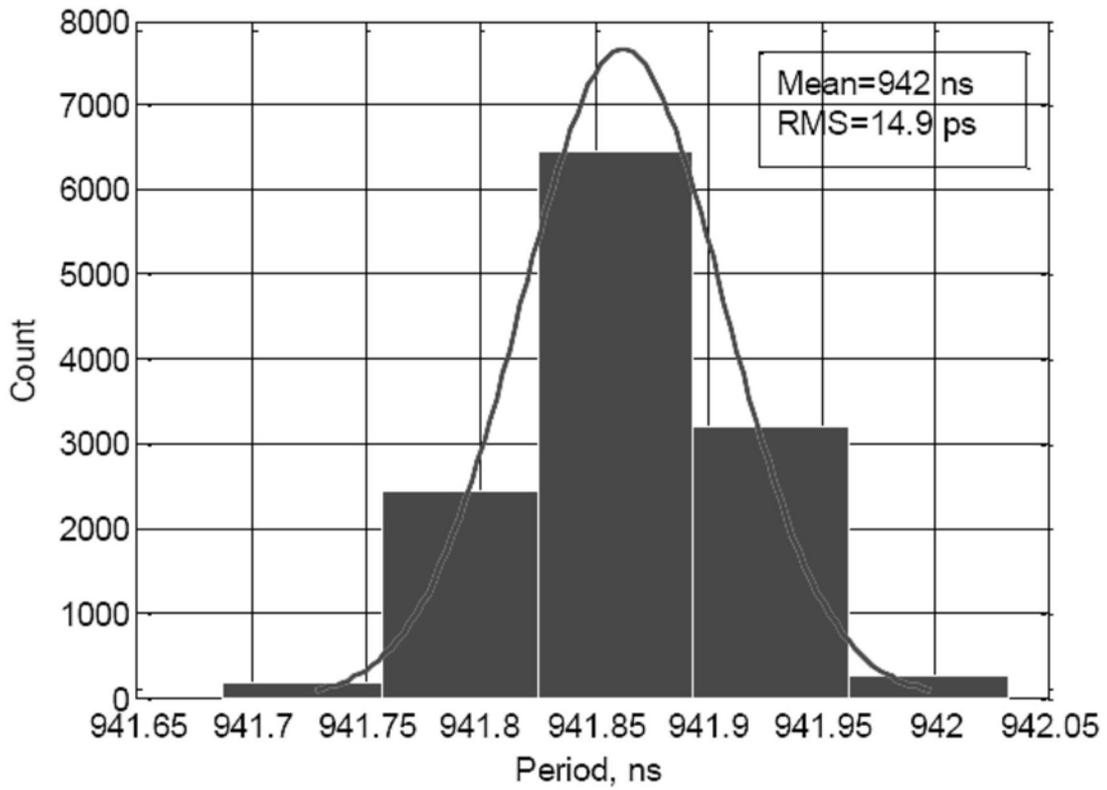


图4

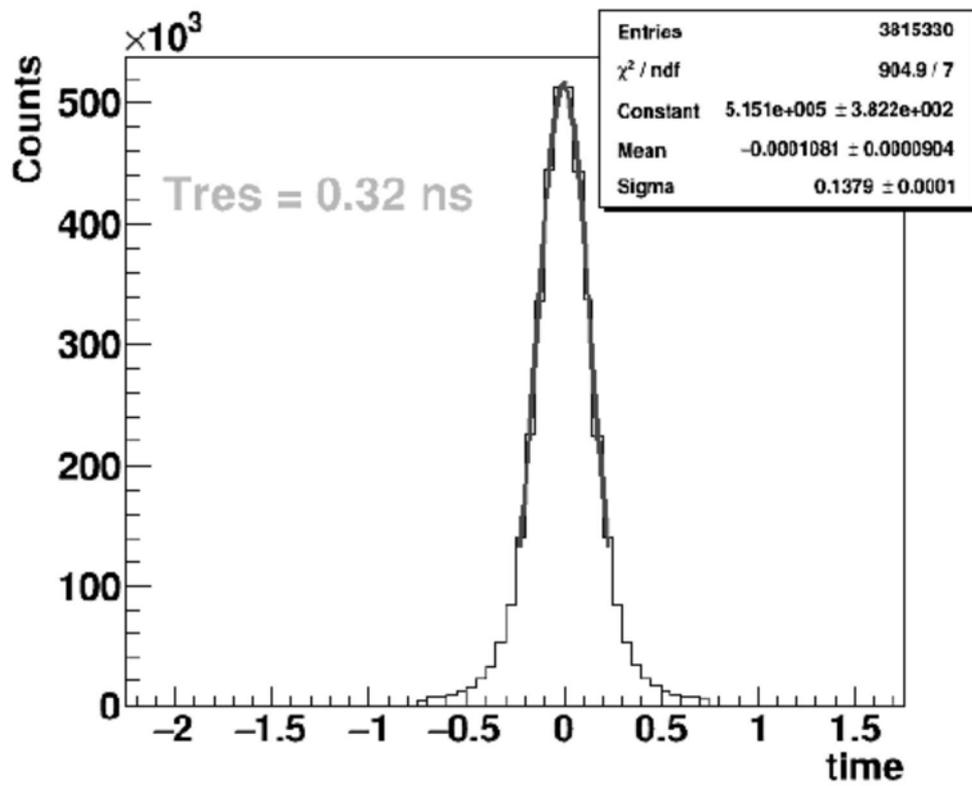


图5