

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5907739号  
(P5907739)

(45) 発行日 平成28年4月26日(2016.4.26)

(24) 登録日 平成28年4月1日(2016.4.1)

(51) Int.Cl.	F 1				
<b>G 0 6 F 12/02 (2006.01)</b>	G 0 6 F 12/02	5 7 0 A			
<b>G 0 6 F 12/00 (2006.01)</b>	G 0 6 F 12/00	5 9 7 U			
<b>G 0 6 F 12/06 (2006.01)</b>	G 0 6 F 12/06	5 2 2 C			
<b>G 0 6 F 12/16 (2006.01)</b>	G 0 6 F 12/16	3 1 0 A			
<b>G 0 6 F 12/08 (2016.01)</b>	G 0 6 F 12/08	5 5 7			
請求項の数 10 (全 35 頁) 最終頁に続く					

(21) 出願番号 特願2012-13937(P2012-13937)  
 (22) 出願日 平成24年1月26日(2012.1.26)  
 (65) 公開番号 特開2013-152676(P2013-152676A)  
 (43) 公開日 平成25年8月8日(2013.8.8)  
 審査請求日 平成26年6月6日(2014.6.6)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 黒土 健三  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所 中央研究所内  
 (72) 発明者 三浦 誓士  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所 中央研究所内  
 審査官 塩澤 如正

最終頁に続く

(54) 【発明の名称】 不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項1】

不揮発性の第1のメモリと、  
 前記第1のメモリより高速にアクセス可能な第2のメモリと、  
 前記第1のメモリおよび前記第2のメモリへのアクセスに対する制御を行う制御部とを  
 有し、

前記制御部は、  
 前記第1のメモリに、前記第1のメモリにアクセスするために与えられた論理アドレス  
 を物理アドレスに変換するアドレス変換テーブルを複数に分割して記憶し、

前記第2のメモリに、前記複数に分割された部分アドレス変換テーブルを複数記憶し、  
 さらに、前記制御部は、前記第2のメモリに記憶された前記複数の部分アドレス変換テ  
 ーブルをキャッシュ制御し、

前記キャッシュ制御の方法として、論理アドレスを基にして検索するエントリを限定し  
 、かつ、アクセス頻度を基にして破棄するキャッシュを決定し、

前記キャッシュ制御において更新された部分アドレス変換テーブルを前記第1のメモリ  
 に書き戻すときのデータサイズは、前記部分アドレス変換テーブルよりも大きく、かつ前  
 記第1のメモリに適する書き込みサイズであることを特徴とする不揮発性記憶装置。

【請求項2】

請求項1に記載の不揮発性記憶装置において、  
 前記第1のメモリは、相変化メモリであることを特徴とする不揮発性記憶装置。

## 【請求項 3】

請求項 1 に記載の不揮発性記憶装置において、  
1 つの半導体チップが前記第 1 のメモリと前記第 2 のメモリを有することを特徴とする不揮発性記憶装置。

## 【請求項 4】

請求項 1 に記載の不揮発性記憶装置において、  
前記第 2 のメモリは、相変化メモリであることを特徴とする不揮発性記憶装置。

## 【請求項 5】

請求項 1 に記載の不揮発性記憶装置において、  
前記制御部は、  
前記第 1 のメモリに、前記アドレス変換テーブルを記憶し、  
前記第 2 のメモリに、前記部分アドレス変換テーブルのキャッシュと、前記部分アドレス変換テーブルが前記第 1 のメモリのどこに記憶されているかを示す第 2 のテーブルとを記憶し、  
前記第 2 のテーブルに、前記部分アドレス変換テーブルの前記第 1 のメモリ内でのアドレスを複数記憶する、ことを特徴する不揮発性記憶装置。

10

## 【請求項 6】

請求項 5 に記載の不揮発性記憶装置において、  
前記第 2 のメモリは、DRAMであることを特徴とする不揮発性記憶装置。

## 【請求項 7】

請求項 5 に記載の不揮発性記憶装置において、  
前記制御部は、前記第 2 のテーブルを用いて前記アドレス変換テーブルのスタティックウェアレベリングを行うことを特徴とする不揮発性記憶装置。

20

## 【請求項 8】

請求項 1 に記載の不揮発性記憶装置において、  
前記制御部は、  
前記第 1 のメモリに、前記第 1 のメモリに記憶されたデータが消去可能か否かを示す消去テーブルを複数に分割して記憶し、  
前記第 2 のメモリに、前記複数に分割された部分消去テーブルを複数記憶する、ことを特徴とする不揮発性記憶装置。

30

## 【請求項 9】

請求項 8 に記載の不揮発性記憶装置において、  
前記制御部は、前記第 2 のメモリに記憶された前記複数の部分消去テーブルを同時に前記第 1 のメモリに記憶することを特徴とする不揮発性記憶装置。

## 【請求項 10】

請求項 8 に記載の不揮発性記憶装置において、  
前記第 2 のメモリに記憶される前記複数の部分消去テーブルには、前記第 1 のメモリの分割された領域がホスト機器からアクセスされる可能性があるか否かを検索可能な情報を含むことを特徴する不揮発性記憶装置。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、メモリ管理装置を含む不揮発性記憶装置に関する。より詳細には、書き込み可能な不揮発性メモリ、例えばフラッシュメモリもしくは相変化メモリを有する記憶装置に関し、書き込み又は読み出しを管理するメモリ管理装置を含む不揮発性記憶装置に適用して有効な技術に関する。

## 【背景技術】

## 【0002】

不揮発性メモリの一つであるフラッシュメモリを有する不揮発性記憶装置は、フラッシュメモリにアクセスするために与えられる論理アドレスを物理アドレスに変換することで

50

、データの書き込みや読み出しを行う。そして、このアドレス変換のためのアドレス管理情報を有している。

【0003】

本技術分野の背景技術として、特開2004-199605号公報(特許文献1)がある。この特許文献1には、不揮発性メモリのアドレス管理情報を不揮発性メモリ内に記憶し、そのアドレス管理情報のうちの必要部分のみを揮発性メモリに読み出して使用することや、データ更新時に発生するAT(アドレス管理テーブル)の更新の際に次ATを現在のATとは別の書き込み領域に書き込むことが記載されている。

【0004】

また、特開2002-73409号公報(特許文献2)がある。この特許文献2には、RAMにアドレス変換テーブルの一部を保持することや、論理アドレスに対応するアドレス変換情報がRAM内に存在しない場合、RAM内のアドレス変換テーブルの一部を不揮発性メモリにコピーし、不揮発性メモリ内の論理アドレスに対応するアドレス変換テーブルの一部をRAMにコピーすることが記載されている。

【0005】

また、特開2004-127185号公報(特許文献3)がある。この特許文献3には、メモリーカードは、消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリと、DRAM又はSRAM等からなるバッファメモリと、メモリ制御及び外部インタフェース制御を行うカードコントローラとを、実装基板に備えてなることや、フラッシュメモリは、そのメモリアレイの一部に消去テーブル及びアドレス変換テーブルを有することが記載されている。さらに、フラッシュメモリの記憶領域(メモリアレイ)は、消去テーブル、アドレス変換テーブル及びユーザーエリア、消去テーブルとアドレス変換テーブルを更新するときに必要な空きブロック領域に大別されることが記載されている。

【0006】

さらに、米国特許第5,900,016号明細書(特許文献4)がある。この特許文献4には、マイクロプロセッサ、キャッシュメモリ、メインメモリを含むコンピュータシステムに関して、ダーティビットを用いたキャッシュ制御ロジックが記載されている。

【0007】

また、非特許文献1がある。この非特許文献1には、相変化メモリを積層する半導体記憶装置が記載されている。また、前記の半導体記憶装置が大容量かつ高速にアクセス可能であることが記載されている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2004-199605号公報

【特許文献2】特開2002-73409号公報

【特許文献3】特開2004-127185号公報

【特許文献4】米国特許第5,900,016号明細書

【非特許文献】

【0009】

【非特許文献1】2011 Symposium on VLSI Technology Digest of Technical Papers 第96頁~第97頁

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、上述した特許文献1~4及び非特許文献1を含む従来技術において、DRAMにアドレス変換テーブルを有する場合には、不揮発性記憶装置の大容量化に比例して、アドレス変換テーブル及び消去テーブルのサイズが大きくなる。そのため、大容量のDRAMが必要になり、DRAMチップ数の増加やコストの増加を招くという課題があった。

10

20

30

40

50

## 【 0 0 1 1 】

また、フラッシュメモリや相変化メモリを含む不揮発性メモリにアドレス変換テーブル及び消去テーブルを有し、ホスト機器からのアクセス毎にアドレス変換テーブルにアクセスする場合には、D R A Mに比べて低速な不揮発性メモリからアドレス変換テーブル及び消去テーブルの情報を読み出し、書き込む必要がある。そのため、D R A Mにアドレス変換テーブル及び消去テーブルを有する場合に比べて、不揮発性記憶装置のアクセス速度が低下するという課題があった。

## 【 0 0 1 2 】

そこで、本発明は上述した従来技術の課題を解決するために成されたものであり、その代表的な目的は、製造コストを低減し、アクセス性能及び信頼性が高く、省スペースな不揮発性記憶装置を提供することにある。

10

## 【 0 0 1 3 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【課題を解決するための手段】

## 【 0 0 1 4 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次の通りである。

## 【 0 0 1 5 】

( 1 ) 代表的な不揮発性記憶装置は、不揮発性の第 1 のメモリと、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリと、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリにアクセスするために与えられた論理アドレスを物理アドレスに変換するアドレス変換テーブルを複数に分割して記憶し、さらに、前記第 2 のメモリに、前記複数に分割された部分アドレス変換テーブルを複数記憶する、ことを特徴する。

20

## 【 0 0 1 6 】

( 2 ) 代表的な別の不揮発性記憶装置は、不揮発性の第 1 のメモリと、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリと、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリのデータの論理アドレスを物理アドレスに変換を行う第 1 のテーブルを記憶し、さらに、前記第 2 のメモリに、前記第 1 のテーブルのキャッシュと、前記第 1 のテーブルが前記第 1 のメモリのどこに記憶されているかを示す第 2 のテーブルとを記憶し、さらに、前記第 2 のテーブルに、前記第 1 のテーブルの前記第 1 のメモリ内でのアドレスを複数記憶する、ことを特徴する。

30

## 【 0 0 1 7 】

( 3 ) 代表的な更に別の不揮発性記憶装置は、不揮発性の第 1 のメモリと、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリと、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリに記憶されたデータが消去可能か否かを示す消去テーブルを複数に分割して記憶し、さらに、前記第 2 のメモリに、前記複数に分割された部分消去テーブルを複数記憶する、ことを特徴とする。

40

## 【発明の効果】

## 【 0 0 1 8 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

## 【 0 0 1 9 】

すなわち、代表的な効果は、製造コストを低減し、アクセス性能及び信頼性が高く、省スペースな不揮発性記憶装置を製造することができる。

## 【図面の簡単な説明】

## 【 0 0 2 0 】

50

【図 1】本発明の実施の形態 1 である不揮発性記憶装置の構成の一例を示す図である。

【図 2】図 1 に示す不揮発性記憶装置において、アドレス変換テーブルの一例を示す図である。

【図 3】図 1 に示す不揮発性記憶装置において、容量 1 T B の管理情報の一例を示す図である。

【図 4】図 1 に示す不揮発性記憶装置に対する従来技術において、容量 1 T B の課題を説明するための構成の一例を示す図である。

【図 5】図 1 に示す不揮発性記憶装置において、容量 1 T B の課題を解決する方法を説明するための構成の一例を示す図である。

【図 6】図 1 に示す不揮発性記憶装置の制御方法において、読み出し動作を説明するフローチャートの一例を示す図である。

10

【図 7】図 1 に示す不揮発性記憶装置の制御方法において、アドレス変換テーブルキャッシュの更新動作を説明するフローチャートの一例を示す図である。

【図 8】図 1 に示す不揮発性記憶装置の制御方法において、書き換え動作を説明するフローチャートの一例を示す図である。

【図 9】図 1 に示す不揮発性記憶装置の制御方法において、消去テーブルキャッシュの更新動作を説明するフローチャートの一例を示す図である。

【図 10】図 1 に示す不揮発性記憶装置の制御方法において、データ領域のウェアレベリング動作を説明するフローチャートの一例を示す図である。

【図 11】図 1 に示す不揮発性記憶装置の制御方法において、アドレス変換テーブル（データ管理情報を格納する領域）のウェアレベリング動作を説明するフローチャートの一例を示す図である。

20

【図 12】図 1 に示す不揮発性記憶装置の制御方法において、稼働時間と最大ブロック消去回数との関係の一例を示す図である。

【図 13】図 1 に示す不揮発性記憶装置の制御方法において、R A M の構成の変形例を示す図である。

【図 14】図 1 に示す不揮発性記憶装置の制御方法において、エリアテーブルを説明するための図である。

【図 15】( a ) ~ ( c ) は図 1 に示す不揮発性記憶装置の制御方法において、論理アドレスと物理アドレスを説明するための図である。

30

【図 16】本発明の実施の形態 2 である不揮発性記憶装置の構成の一例を示す図である。

【図 17】図 16 に示す不揮発性記憶装置において、不揮発性記憶装置の構成の変形例を示す図である。

【図 18】本発明の実施の形態 4 である不揮発性記憶装置において、エリアテーブルを説明するための図である。

【発明を実施するための形態】

【0021】

以下の実施の形態においては、便宜上その必要があるときは、複数の実施の形態またはセクションに分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

40

【0022】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

50

## 【 0 0 2 3 】

## [ 実施の形態の概要 ]

まず、実施の形態の概要について説明する。本実施の形態の概要では、一例として、括弧内に各実施の形態の対応する構成要素および符号を付して説明する。

## 【 0 0 2 4 】

( 1 ) 実施の形態の代表的な不揮発性記憶装置 ( S S D 2 0 2 ) は、不揮発性の第 1 のメモリ ( N V M 2 0 5 ) と、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリ ( R A M 2 0 6 ) と、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部 ( 制御部 2 0 4 ) とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリにアクセスするために与えられた論理アドレスを物理アドレスに変換するアドレス変換テーブル ( アドレス変換テーブル L P T ) を複数に分割して記憶し、さらに、前記第 2 のメモリに、前記複数に分割された部分アドレス変換テーブル ( アドレス変換子テーブル L P T - S R ) を複数記憶する、ことを特徴する。

10

## 【 0 0 2 5 】

( 2 ) 実施の形態の代表的な別の不揮発性記憶装置 ( S S D 2 0 2 ) は、不揮発性の第 1 のメモリ ( N V M 2 0 5 ) と、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリ ( R A M 2 0 6 ) と、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部 ( 制御部 2 0 4 ) とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリのデータの論理アドレスを物理アドレスに変換を行う第 1 のテーブル ( アドレス変換テーブル L P T ) を記憶し、さらに、前記第 2 のメモリに、前記第 1 のテーブルのキャッシュ ( アドレス変換テーブルキャッシュ L P T - C ) と、前記第 1 のテーブルが前記第 1 のメモリのどこに記憶されているかを示す第 2 のテーブル ( エリアテーブル 2 0 7 ) とを記憶し、さらに、前記第 2 のテーブルに、前記第 1 のテーブルの前記第 1 のメモリ内でのアドレスを複数記憶する、ことを特徴する。

20

## 【 0 0 2 6 】

( 3 ) 実施の形態の代表的な更に別の不揮発性記憶装置 ( S S D 2 0 2 ) は、不揮発性の第 1 のメモリ ( N V M 2 0 5 ) と、前記第 1 のメモリより高速にアクセス可能な第 2 のメモリ ( R A M 2 0 6 ) と、前記第 1 のメモリおよび前記第 2 のメモリへのアクセスに対する制御を行う制御部 ( 制御部 2 0 4 ) とを有する。そして、前記制御部は、前記第 1 のメモリに、前記第 1 のメモリに記憶されたデータが消去可能か否かを示す消去テーブル ( 消去テーブル E T ) を複数に分割して記憶し、さらに、前記第 2 のメモリに、前記複数に分割された部分消去テーブル ( 消去子テーブル E T - S R ) を複数記憶する、ことを特徴とする。

30

## 【 0 0 2 7 】

以下、上述した実施の形態の概要に基づいた各実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 2 8 】

## [ 実施の形態 1 ]

実施の形態 1 の不揮発性記憶装置について、図 1 ~ 図 1 5 を用いて説明する。

40

## 【 0 0 2 9 】

本実施の形態では、不揮発性記憶装置 ( S S D : S o l i d S t a t e D r i v e ) の例を説明する。以下においては、この不揮発性記憶装置を S S D と記載する場合がある。また、この不揮発性記憶装置を構成する不揮発性メモリ ( N V M : N o n - V o l a t i l e M e m o r y ) を、N V M と記載する場合がある。更に他の構成要素についても、略称で記載する場合がある。

## 【 0 0 3 0 】

## &lt; 不揮発性記憶装置 ( S S D ) の構成 &gt;

図 1 を用いて、本実施の形態の不揮発性記憶装置 ( S S D ) の構成について説明する。併せて、S S D とホスト機器との接続についても述べる。図 1 は、この S S D の構成の一

50

例を示す図である。

【0031】

SSD202は、ホストインターフェース(I/F)203と、このホストI/F203にインターフェース230で接続された制御部204と、この制御部204に接続されたNVM205と、この制御部204に接続されたRAM206から構成される。

【0032】

このSSD202は、ホスト機器201とインターフェース230を用いて接続される。インターフェース230としては、SATA(Serial Advanced Technology Attachment)や、PCI express、FC-AL(Fibre Channel Arbitrated Loop)、SAS(Serial Attached SCSI)を用いることができる。また、ホスト機器201がタブレット型コンピュータやスマートフォンの場合は、プリント基板上に実装されたパラレル接続の内部バスを用いることもできる。インターフェース信号として、電気信号のほかに、光信号を用いることができることは言うまでもない。

【0033】

ホストI/F203は、PHY(物理層)を含むことができる。特に、インターフェース230がシリアル接続の場合、ホストI/F203はシリアル-パラレル変換回路やシリアル転送のクロック生成、インターフェース230の通信制御を行うのが望ましい。

【0034】

ホストI/F203と制御部204は、内部バス231で接続することができる。この内部バス231は、レイテンシの少ないパラレル接続が望ましい。

【0035】

制御部204は、データ書き込みバッファを備え、データの書き込み時にはデータにECC(Error Check and Correct memory)を付加し、データの読み出し時にはECCの検査、訂正を行うのが良い。また、NVM205上のアドレス変換テーブルLPT、消去テーブルETにもECCの付加、検査、訂正を行うのが良い。さらに、RAM(例えばDRAM)206上のアドレス変換テーブルキャッシュLPT-C、消去テーブルキャッシュET-CにもECCの付加、検査、訂正を行うことで、高信頼なSSD202を提供することもできる。このような高信頼のSSD202は、特にサーバーの記録装置として用いることができる。制御部204は、SSDコントローラのことを指す。

【0036】

制御部204は、ホスト機器201から送られるアクセス要求に対して、制御部204内のSRAMや、RAM206、NVM205に記憶されたデータを用いて、制御を行い、ホスト機器201に制御の結果に応じた応答を返すコントローラである。

【0037】

RAM206には、エリアテーブル207と、アドレス変換テーブルキャッシュLPT-C(Logical Physical translation Table-Cache)、消去テーブルキャッシュET-C(Erase Table-Cache)が記憶される。そのほかに、ブロック管理情報を設けることが可能であることは言うまでもない。

【0038】

さらに、アドレス変換テーブルキャッシュLPT-Cは、複数のアドレス変換子テーブルLPT-SR(Logical Physical Table-Sub on RAM)(LPT-SR#1、LPT-SR#2)を持つ。アドレス変換子テーブルLPT-SR毎に、バリッドフラグ214(214a、214b)、ダーティーフラグ215(215a、215b)、Tag216(216a、216b)を持つ。

【0039】

また、消去テーブルキャッシュET-Cは、複数の消去子テーブルET-SR(Erase Table-Sub on RAM)(ET-SR#1、ET-SR#2)を持つ

10

20

30

40

50

。消去子テーブル E T - S R 毎に、バリッドフラグ 2 1 8 ( 2 1 8 a、2 1 8 b ) と、ダーティーフラグ 2 1 9 ( 2 1 9 a、2 1 9 b )、T a g 2 2 0 ( 2 2 0 a、2 2 0 b ) を持つ。

【 0 0 4 0 】

さらに、キャッシュの管理に、バリッドフラグ、ダーティーフラグ、T a g を用いることができる。具体的な制御は、下記の通り行う。例えば、アドレス変換テーブルキャッシュ L P T - C にアドレス変換子テーブル L P T - S R がまだコピーされていない状態では、すべてのバリッドフラグは「偽」である。アドレス変換テーブルキャッシュ L P T - C にアドレス変換子テーブル L P T - S R の一つがコピーされると、そのアドレス変換子テーブル L P T - S R 部分のバリッドフラグを「真」にする。また、ダーティーフラグを「偽」にする。また、論理アドレスの少なくとも一部（例えば、アドレス 3 2 ビット中の上位 2 4 ビット、エントリアドレス）を T a g として保存する。

10

【 0 0 4 1 】

アドレス判定は、まず、論理アドレスの少なくとも一部（例えば、アドレス 3 2 ビット中の下位 8 ビット）を用いて、検索すべきアドレス変換テーブルキャッシュ L P T - C の検索範囲（エントリ）を限定し、次に、T a g を比較することでアドレス変換子テーブル L P T - S R を検索し（同一エントリ中のライン検索）、キャッシュのヒット判定を行う。

【 0 0 4 2 】

以上の説明では、キャッシュのデータ更新方式としてライトバック方式、データ格納構造としてセットアソシエイティブ ( S e t a s s o c i a t i v e ) 方式を例にしたが、そのほかのキャッシュ制御方式を用いることができることは言うまでもない。

20

【 0 0 4 3 】

アドレス変換テーブルキャッシュ L P T - C と同様の制御を、消去テーブルキャッシュ E T - C についても行うことができる。なお、消去テーブルのデータサイズはアドレス変換テーブルのデータサイズに比べて小さいため、アドレス変換テーブルについてのみ、キャッシュ制御を行うことができる。その場合、消去テーブルの制御が単純になるため、S S D コントローラの構成が単純になり、開発期間、開発コストを低減することができる。

【 0 0 4 4 】

アドレス書き換えにより、N V M 2 0 5 内のアドレス変換子テーブル L P T - S の情報と R A M 2 0 6 内のアドレス変換子テーブル L P T - S R の情報が異なるようになった場合、そのアドレス変換子テーブル L P T - S R に関するダーティーフラグを「真」にする。さらに、アドレス変換テーブルキャッシュ L P T - C 内のアドレス変換子テーブル L P T - S R を消去する場合は、そのアドレス変換子テーブル L P T - S R に関するダーティーフラグが「偽」であれば、単に消去を行い、「真」であれば、N V M 2 0 5 に書き戻す。なお、書き戻す先の物理アドレスは、必ずしもコピー元の物理アドレスと一致する必要はない。

30

【 0 0 4 5 】

次に、N V M 2 0 5 は、エリアテーブルバックアップ 2 0 8 と、アドレス変換テーブル L P T ( L o g i c a l P h y s i c a l t r a n s l a t i o n T a b l e )、消去テーブル E T ( E r a s e T a b l e )、データ領域 ( # 0 ~ # 3 ) を持つ。アドレス変換テーブル L P T は、複数のアドレス変換子テーブル L P T - S ( L o g i c a l P h y s i c a l T a b l e - S u b ) ( L P T - S # 0 ~ L P T - S # 3 ) からなる。また、消去テーブル E T は、複数の消去子テーブル E T - S ( E r a s e T a b l e - S u b ) ( E T - S # 0 ~ E T - S # 3 ) からなる。

40

【 0 0 4 6 】

なお、揮発性のメモリ、もしくは信頼性が N V M 2 0 5 よりも劣るメモリを R A M 2 0 6 として用いる場合には、エリアテーブルの内容をエリアテーブルバックアップ 2 0 8 にバックアップする。S S D 2 0 2 の電源が遮断されるときにバックアップを行う。また、一定量のライトアクセスがエリアテーブルに行われたときにバックアップを行うことでも

50



きる。特に、SSD 202へのホスト機器 201からのライト命令が一定時間ないときにバックアップを行うことができる。バックアップ頻度を高くするとエリアテーブルの情報喪失が生じにくくなるため、SSD 202の信頼性は向上するが、書き込みに伴うNVM 205へのデータライトサイズとライト時間の増大は、SSD 202の性能を低下させる。

#### 【0047】

<アドレス変換テーブルの構成>

図2を用いて、前述したアドレス変換テーブルLPTの構造を説明する。図2は、このアドレス変換テーブルLPTの一例を示す図である。

#### 【0048】

アドレス変換テーブルLPTは、ホスト機器 201から要求されるときに指定される論理アドレスをNVM 205の物理アドレスに変換するテーブルである。アドレス変換テーブルLPTは、複数のアドレス変換子テーブルLPT-Sに分割されて管理される。

#### 【0049】

アドレス変換子テーブルLPT-SのNVM 205内の物理アドレスはエリアテーブルにより管理されている。すなわち、エリアテーブルは、論理アドレス(LPN)をアドレス変換子テーブルLPT-Sの物理アドレス(PPN)に変換するテーブルである。

#### 【0050】

アドレス変換子テーブルLPT-Sの中では、論理アドレスは連続していることがテーブル管理を簡素化するために望ましい。管理方法が簡素であれば、回路及びソフトウェアの設計ミス(バグ)を低減し、高信頼で動作するSSD 202を短期間で提供することができる効果がある。

#### 【0051】

ここでは、NVM 205の最小書き込み単位である物理ページサイズを4KBとし、アドレス変換子テーブルLPT-Sのサイズを4KBとして説明する。アドレス変換子テーブルLPT-Sのデータサイズを物理ページサイズにNVM 205のプレーン数を掛け算したものにすることや、下記の(1)式にすることができる。

#### 【0052】

$NVMの物理ページサイズ \times NVMのプレーン数 \times NVMのch数 \dots (1)$

上記の(1)式のデータサイズにすることで、簡易な制御方法でNVM 205の全ch(チャンネル)を同時に動作させることが可能になるため、高性能なSSD 202を短期間で製造することができる。

#### 【0053】

NVM 205の物理アドレス(PPN)1個のデータサイズを4Bとした。SSD 202におけるデータ管理サイズは4KBとした。実際のデータ管理サイズは、ホスト機器 201のOS(オペレーティングシステム)や、使われ方(要求される信頼性と性能やホスト機器 201から要求されるデータパターン)に応じて定めるのが良い。OSのデータ管理単位は、4KBであることがある。例えば、Windows VISTA(登録商標)の場合、NTFS(NT File System)におけるデフォルトのクラスタサイズ(ファイルを保持するために割り当てることのできるディスク領域の最小単位)は、ボリュームサイズが7MB~16TBの場合、4KBである。

#### 【0054】

例えば、ホスト機器 201からデータサイズ4KBのデータ書き換え要求があった場合には、データ管理サイズが4KBであれば、ホスト機器 201から送られたデータをそのままNVM 205に書き込めば良いため、NVM 205へのデータ書き込みサイズは4KBになる。一方、データ管理サイズが32KBであれば、まず、NVM 205からデータサイズ28KBのデータを読み出し、ホスト機器 201から送られたデータ4KBと足し合わせて、32KBのデータにし、NVM 205に書き込むことになる。データ管理サイズが4KBと比較すると、データ書き込みサイズが8倍になる。

#### 【0055】

10

20

30

40

50

以上の通り、データ管理サイズを大きくすると、SSD 202の管理情報が少なくて済むが、SSD 202の転送性能や寿命が低下することがある。SSD 202の管理情報としては、アドレス変換テーブルLPTと消去テーブルET、ブロック毎の管理情報、SSDコントローラの制御に必要な情報（例えば、次に書き込むNVM 205のページ番号や全ブロックにおける消去回数の最低回数など）がある。

【0056】

アドレス変換子テーブルLPT-Sのサイズが4KBであり、物理アドレス（PPN）のサイズが4Bであるため、一つのアドレス変換子テーブルLPT-Sは1024個の論理アドレスから物理アドレスへの変換を行うことができる。例えば、番号0のアドレス変換子テーブルLPT-Sは、論理アドレスLPNと物理アドレスPPNの対応を1024

10

【0057】

番号0のアドレス変換子テーブルLPT-Sは、論理アドレスLPN0から1023までに対応する1024個分の物理アドレス（PPN）の情報を持つ。また、番号1のアドレス変換子テーブルLPT-Sは論理アドレスLPN1024から2047まで、番号2のアドレス変換子テーブルLPT-Sは論理アドレスLPN2048から3071まで、に対応する1024個分の物理アドレス（PPN）の情報を持つ。

【0058】

なお、ホスト機器201は、512B単位のLBA（Logical Block Addressing）により、データのアドレスとサイズを指定することができる。論理アドレスLPNは、LBAに512Bを掛け、さらにデータ管理サイズで割ることで求めることができる。

20

【0059】

図2に示される通り、連続するアドレス変換子テーブル番号に含まれる論理アドレス（LPN）は連続させても良い。アドレス変換子テーブルには、複数の論理アドレスと物理テーブルの対応が含まれるのが望ましい。また、アドレス変換子テーブル単位でウェアレベリングを行うことができる。アドレス変換子テーブルのデータサイズとSSD 202におけるデータ管理サイズは同一にすることができる。このようにすることで、データとSSD 202の管理情報を同様に扱うことができるため、信頼性の高いSSD 202を短期

30

【0060】

図2に示された論理アドレスLPN0は、論理アドレス空間0～3KBのサイズ4KBのアドレス空間に対応し、論理アドレスLPN1は4～7KBのサイズ4KBのアドレス空間に対応し、以降同様に、各論理アドレスLPNはそれぞれサイズ4KBのアドレス空間に対応する。

【0061】

<不揮発性記憶装置の管理情報>

図3を用いて、前述したSSD 202の管理情報について説明する。図3は、容量1TBの管理情報の一例を示す図である。すなわち、SSD 202の容量（ホスト機器201からアクセス可能な容量）を1TBとする。NVM 205に必要な容量は、SSD 202の容量に管理情報や予備領域を足した容量となる。

40

【0062】

データ管理サイズをWindows OS（登録商標）などに向く4KBとすると、アドレス変換テーブルLPTのサイズは1GBになる。なお、論理アドレス（LPN）から物理アドレス（PPN）の対応1個に要するデータサイズを4Bとしている。4B、すなわち32ビットで表すことのできる4KB単位のアドレス空間は下記の（2）式で表される通り、16TBになる。

【0063】

$$4KB \times 2^{32} = 16TB \quad \dots \quad (2)$$

50

アドレス変換子テーブルLPT-Sのデータサイズは4KBとする。このデータサイズは、NVM205に効率的に書き込めるデータサイズにするのが良い。例えば、NVM205のページサイズや上記ページサイズにNVM205のプレーン数を掛けたものや、さらにNVM205のチャンネル数を掛けたものにするのが良い。この場合、アドレス変換子テーブルLPT-Sの総数は262144個になる。同様に、消去テーブルETのサイズは256MB、消去子テーブルET-Sのサイズは4KB、消去子テーブルET-Sの総数は65536個とすることができる。データ管理サイズごとの消去情報は1B(バイト)で表すことができる。パリティ、非パリティの情報だけを格納することにし、1ビットで表すこともできる。この場合、消去テーブルETのサイズを小さくできるので、NVM205の容量を小さくすることができるメリットがある。

10

## 【0064】

エリアテーブルのデータサイズは1280KBにすることができる。エリアテーブルはアドレス変換子テーブルLPT-Sと消去子テーブルET-Sの物理アドレスが格納されている。アドレス変換子テーブルLPT-S内の物理アドレスは連続しているため、先頭の物理アドレスのみを格納すれば良い。

## 【0065】

エリアテーブルについて、さらに説明する。エリアテーブルにはアドレス変換子テーブルLPT-Sの物理アドレスと消去子テーブルET-Sの物理アドレスが格納されている。エリアテーブルを用いると、任意の論理アドレスに対応するアドレス変換子テーブルLPT-Sの物理アドレスを調べることができる。また、任意の物理アドレスに対応する消去子テーブルET-Sの物理アドレスを調べることができる。

20

## 【0066】

アドレス変換テーブルキャッシュLPT-Cと消去テーブルキャッシュET-Cのデータサイズは、それぞれ64MBと16MBにすることができる。このときに、アドレス変換子テーブルLPT-SRと消去子テーブルET-SRの数は、それぞれ16384個と4096個になる。ターゲットとなるOSやアプリケーションに応じて、キャッシュサイズを変えることが可能なことは言うまでもない。

## 【0067】

論理アドレス(LP N)から物理アドレス(PP N)に変換する方法について、さらに具体例を用いて説明する。

30

## 【0068】

ホスト機器201から、例えば、開始アドレス「2982648」、データサイズ「8」のデータリードリクエストがSSD202に対して送られたとする。ホスト機器201の使用アドレス指定方法は、512B単位でアドレス指定を行うLBAであるとする。

## 【0069】

制御部204、すなわちSSDコントローラは前述した方法により、LP N表記のスタートアドレスとデータサイズを得ることができる。すなわち、下記の(3)式と(4)式により、LP Nに変換したスタートアドレスとデータサイズを求めることができる。

## 【0070】

$$\begin{aligned} \text{スタートアドレス(LP N)} &= 2982648 \times 512\text{B} / 4\text{KB} \\ &= 372831 \dots \quad (3) \end{aligned}$$

$$\text{データサイズ(LP N)} = 8 \times 512\text{B} / 4\text{KB} = 1 \dots \quad (4)$$

次に、参照するアドレス変換子テーブルの番号を決定する。具体的には、1個のアドレス変換子テーブルが管理する論理アドレスから物理アドレスへの対応の数は、アドレス変換子テーブルのサイズ4KBを物理アドレス1個の大きさ、すなわち4Bで割ったものであるから、1024個になる。そのため、下記の(5)式により、参照すべきアドレス変換子テーブルの番号は「364」であることが分かる。なお、小数点以下は切り捨てている。

40

## 【0071】

50

アドレス変換子テーブルの番号 =  $372831 / 1024 = 364 \dots (5)$

次に、アドレス変換子テーブルのエントリを計算する。「364」は2進数で表すと「101101100」であり、この下位6ビットは「101100」である。これを10進数で表すと「44」になる。すなわち、アドレス変換子テーブル#364はエントリ44に所属することがわかる。なお、Tagは上位26ビットを用いて計算することができる。アドレス変換子テーブル#364のTagは「5」であることがわかる。

【0072】

そこで、RAM206内のアドレス変換テーブルキャッシュLPT-Cのエントリ44の検索を行う。各エントリには前述した通り、256個のアドレス変換子テーブルLPT-SRが存在する。LPT-SR毎にTagが存在する。最大256個のLPT-SRのTagを調べ、一致するものがあるかを調べる。一致するものがあれば、さらにバリッドフラグを調べ、有効なキャッシュであれば、キャッシュがヒットしたという判定を行う。

10

【0073】

まず、キャッシュヒットした場合について述べる。この場合、検索されたアドレス変換子テーブルを用いて、読み出すべきデータ、すなわち、論理アドレス(LP<sub>N</sub>)「372831」の物理アドレスを調べる。具体的には、論理アドレス(LP<sub>N</sub>)「372831」を、前述したアドレス変換子テーブルLPT-SR中の論理アドレスから物理アドレスへの対応の数「1024」で割り算し、剰余を求める。この場合、剰余は「95」となる。すなわち、検索されたアドレス変換子テーブルLPT-SRのRAM206における先頭アドレスから、さらに「95」に物理アドレス1個の大きさ、すなわち、4Bを掛けたアドレスである380B分だけオフセットしたアドレスから4Bを読み出せば、論理アドレス(LP<sub>N</sub>)「372831」の物理アドレスが得られる。

20

【0074】

この物理アドレスには、データが収められているチップの番号、ブロック番号、ページ番号、プレーン番号を含んでおり、この物理アドレスが指すNVM205のアドレスにアクセスすることで、ホスト機器201から要求されたデータを読み出すことができる。

【0075】

次に、キャッシュミスした場合について述べる。キャッシュミスした場合には、後述(図7)するアドレス変換テーブルキャッシュLPT-Cの更新処理を行い、アドレス変換テーブルLPTから一部のアドレス変換子テーブルLPT-SをRAM206にコピーする。具体的には、エリアテーブル207を読み出し、アドレス変換子テーブルLPT-Sの物理アドレスを調べる。次に、アドレス変換子テーブルLPT-SをRAM206にコピーする。

30

【0076】

エリアテーブル207のアクセス手順について、下記で述べる。前述した(5)式で計算した通り、今回の例では必要なアドレス変換子テーブルの番号は「364」である。エリアテーブルを用いると、論理アドレス(LP<sub>N</sub>)からアドレス変換子テーブルの物理アドレスを調べることが可能である。具体的には、エリアテーブルの先頭アドレスから、さらに「364」に物理アドレス1個の大きさ、すなわち、4Bを掛けたアドレスである1456B分だけオフセットしたアドレスから4Bを読み出せば、アドレス変換子テーブルLPT-S#364の物理アドレスが得られる。この物理アドレスを開始アドレスとし、データサイズ4KBをNVM205から読み出せば、アドレス変換子テーブルLPT-S#364が得られる。

40

【0077】

このアドレス変換子テーブルLPT-S#364をRAM206上の該当するエントリ、すなわち前述したエントリ44のインバリッドのキャッシュに上書きし、アドレス変換子テーブルLPT-SR#364とする。Tag216を前述した方法で計算し、アドレス変換テーブルキャッシュLPT-Cに保持する。また、バリッドフラグ214をバリッドにする。さらに、ダーティーフラグ215をクリアし、クリーンなキャッシュ(NVM205上のアドレス変換子テーブルLPT-SとRAM206上のアドレス変換子テーブ

50

ルLPT - SRが同一内容)であることを示す。

【0078】

L RU方式でキャッシュ制御を行う場合は、後述する図13に示すL RUフラグをゼロクリアし、最も最近にアクセスされたキャッシュであることを示す。さらに、エントリ44に所属するそのほかのキャッシュのL RUフラグをインクリメントする。

【0079】

<アドレス変換テーブルをRAM(特にDRAM)においた場合の課題>

図4を用いて、前述したアドレス変換テーブルLPTをRAM206、特にDRAMに置いた場合(本実施の形態に対する従来技術)の課題について、さらに詳細に説明する。図4は、容量1TBの課題を説明するための構成の一例を示す図である。

10

【0080】

容量1TBのSSDのアドレス変換テーブルLPTのデータサイズは1GBになる。また、消去テーブルETのデータサイズは256MBになる。DRAMのチップ当たりの容量を1Gbとすると、DRAMのチップ数は10個となる。NVMの容量は、データ領域及び、電源遮断時のアドレス変換テーブルのバックアップ領域と消去テーブルのバックアップ領域、予備領域(ここでは3%とした)が必要であるため、例えば、1チップ当たり133GBの容量となり、NVMのチップ数は8個となる。

【0081】

DRAMは、セル面積(1ビット当りに必要とされる面積)がNVMよりも大きいため、ビット当たりのコストがNVMよりも高い。また、1990年~2010年までのビット当たりのコストの変化や、ITRS(International Technology Roadmap for Semiconductors、国際半導体技術ロードマップ)の将来予測を見ると、将来的にもDRAM/NAND型フラッシュメモリのコスト比は拡大し続ける。そのため、管理情報をDRAMに置いた場合、NVMのチップ数に対するDRAMのチップ数の割合は増加を続ける。すなわち、DRAMのコスト増につながる。

20

【0082】

また、DRAMは揮発性のメモリであるため、電源遮断時には管理情報をNVMに書き込む必要があるが、DRAM上のデータサイズが大きいと不意の電源遮断時のデータ消失の可能性が高いため、信頼性が低下する。

30

【0083】

さらに、アドレス変換テーブルLPTをNVMに置き、アドレス変換テーブルキャッシュLPT - Cを用いない場合の課題について説明する。

【0084】

このときは、NVM上のデータにアクセスするため、NVM上のアドレス変換テーブルLPTにアクセスする必要がある。そのため、1回のSSDのデータアクセスに対して、少なくとも2回以上のNVMへのアクセスが発生する。

【0085】

また、アドレス変換テーブルLPTを複数のアドレス変換子テーブルLPT - Sに分割し、その1つだけをRAM206にバッファリングする方法の課題について説明する。

40

【0086】

メモリーカードのようなシーケンシャルアクセスが主な情報記憶装置の場合、アドレス変換子テーブルLPT - Sを1つだけRAM206に保持するだけでシーケンシャルアクセス性能が高いメモリーカードを提供することができる。しかし、我々がパソコンやワークステーション、エンタープライズ向けサーバーなどのホスト機器からのアクセス要求を分析した結果、ホスト機器からのアクセスが広範な論理アドレスに対して生じるため、アドレス変換子テーブルLPT - Sを1つだけRAM206にバッファリングする方法では、効率的にSSDを制御することはできないことがわかった。

【0087】

例えば、ファイルの移動であれば、FAT(ファイルアロケーションテーブル)やDC

50

T (ディレクトリ管理テーブル)、NTFS (NT File System) における MFT (マスタファイルテーブル) やフォルダインデックスなどの管理情報とデータ部分の 2 箇所以上へのアクセスが生じる。アドレス変換子テーブル LPT - S の 1 つだけをバッファリングする方法では、論理アドレスの離れたアドレスにアクセスするたびにアドレス変換子テーブル LPT - S が破棄されるため、アクセス効率が低下することがわかった。

【0088】

<アドレス変換テーブルキャッシュを用いる場合の長所>

図5を用いて、前述した図4に対して、アドレス変換テーブルキャッシュ LPT - C を用いる場合 (本実施の形態) の長所について、詳細に説明する。図5は、容量 1TB の課題を解決する方法を説明するための構成の一例を示す図である。

10

【0089】

DRAM のチップ当たりの容量は 1Gb である。NVM のチップ当たりの容量は 133GB であり、個数は 8 個である。アドレス変換テーブル LPT と消去テーブル ET は NVM 上に置かれる。アドレス変換テーブルキャッシュ LPT - C (データサイズ 64MB) と消去テーブルキャッシュ ET - C (データサイズ 16MB)、エリアテーブル (データサイズ 1280KB) が DRAM 上に置かれる。それらのデータサイズの合計は 1Gb、すなわち 128MB 以下であるため、DRAM のチップ数は 1 個にすることができる。そのため、DRAM 上にアドレス変換テーブル LPT を置く場合に比べて、コストを低減することができる。

20

【0090】

また、上述した通り、アドレス変換テーブルキャッシュ LPT - C にヒットした場合、ホスト機器からのアクセス要求に対して、NVM へのアクセス回数が 1 回のみの場合がある。そのため、アドレス変換テーブルキャッシュ LPT - C を用いない場合やアドレス変換子テーブルの 1 つだけを RAM 206 にバッファリングする方法に比べて、効率的に SSD のデータにアクセスすることが可能であり、高性能かつ高信頼な SSD を提供することができる。

【0091】

なお、アドレス変換テーブルキャッシュ LPT - C と同様に、消去テーブルキャッシュ ET - C を用いることにより、性能向上が得られることは言うまでもない。

30

【0092】

より詳細に、消去テーブルキャッシュ ET - C を用いた場合の性能について説明する。例として、NVM のチャンネル数が 4ch の場合について考える。NVM のチップの物理ページサイズを 4KB、プレーン数を 2 とする。テストパターンとしてランダムライト性能試験を考える。ホスト機器 201 から 4KB 単位のランダムライト命令が 8 個送信されるとする。合計のデータサイズは 32KB になる。

【0093】

まず、消去テーブルキャッシュを用いず、NVM 上に消去テーブル ET を設ける場合、ライト先のチャンネルは SSD コントローラが定めることができるため、1ch 当たり 8KB ずつのデータをライトすることができる。NVM がマルチプレーンアクセス機能を持つ場合、1ch 当たり NVM の 2 プレーン分のレジスタに 8KB のデータを転送した後に、1 度だけ NVM アレイへの書き込み時間を待つことで、1ch 当たり 8KB のデータを書き込むことができる。

40

【0094】

次に、消去テーブル ET の更新を行う。ランダムなアドレスに対するライト命令のため、消去テーブル ET の更新すべきアドレスは分散しており、多くの場合、8 箇所の消去テーブル ET の更新が必要になる。消去テーブル ET が 1 つの NVM チップにのみ存在する場合、そのチップに対して、8 回のライトアクセスを行う必要がある。マルチプレーン書き込みを利用しても、NVM アレイへの 1 プレーン当たりの書き込み回数は 4 回となるため、少なくとも NVM アレイへの書き込み時間の 4 倍の時間だけ、消去テーブル ET の

50

更新に時間が掛かる。消去テーブルE Tを複数のチップに分散して記録する場合においても、少なくとも1回のN V Mアレイへの書き込み時間を待つことが必要になる。

**【0095】**

それに対して、消去テーブルキャッシュE T - Cを用いる場合は、ランダムなデータ書き込みに対する消去テーブルの更新において、ランダムライトする領域の消去テーブルキャッシュE T - Cを設けた場合、4 K B単位のランダムライト命令が8個送信された場合でも、N V Mアレイへの書き込みを行う必要がないことがある。特に、ランダムライト試験を行う論理アドレス空間が狭く、消去テーブルキャッシュE T - C内に該当論理アドレス空間の消去情報がすべて入る場合に、N V Mアレイへの書き込み回数を低減することができる。

10

**【0096】**

アドレス変換テーブルL P Tへのアクセスについても、消去テーブルE Tへのアクセスと同様にアドレス変換テーブルキャッシュL P T - Cを用いることで、N V M上のアドレス変換テーブルL P Tの更新回数を低減することができるため、S S D 2 0 2のアクセス性能を高くすることができる。

**【0097】**

さらに、アドレス変換テーブルL P Tや消去テーブルE Tの更新の頻度を低減することができるため、N V M 2 0 5への書き込み回数と消去回数を減らすことができる。このため、S S D 2 0 2の信頼性を高め、特に寿命を伸ばすことができる。

**【0098】**

また、N V M 2 0 5へのアクセス回数の低減により、S S D 2 0 2の動作電力を低減することができる。これにより、S S D 2 0 2の冷却のための空冷ファンが不要になり、ファンの故障によるS S D 2 0 2の動作不良をなくすことができる。この結果、高信頼なS S D 2 0 2を提供することができる。さらに、部品点数の低減により省スペース化することができる。これにより、小型のP C、特にノートP CやO SとしてW i n d o w s P h o n e（登録商標）やi O S（登録商標）、A n d r o i d（登録商標）を用いたタブレット型コンピュータやスマートフォン向けのS S Dや高密度サーバー向けのS S Dを提供することができる。

20

**【0099】**

バッファリングと比較すると、本実施の形態で述べるキャッシュ制御は下記の特徴を備える。アドレス変換テーブルL P Tを対象としてキャッシュ制御を行う場合は、アドレス変換子テーブルL P T - Sを複数、R A M 2 0 6上にコピーする。バッファリングの場合、R A M 2 0 6上にコピーされるアドレス変換子テーブルL P T - Sの数は1個である。消去テーブルE Tを対象としてキャッシュ制御を行う場合は、消去子テーブルE T - Sを複数、R A M 2 0 6上にコピーする。バッファリングの場合、R A M 2 0 6上にコピーされる消去子テーブルE T - Sの数は1個である。

30

**【0100】**

また、バッファリングと比較すると、本実施の形態で述べるキャッシュ制御は下記の特徴を備えることができる。キャッシュの管理情報であるバリッドフラグ2 1 4、2 1 8、もしくはダーティフラグ2 1 5、2 1 9、もしくはL R Uフラグ3 0 1、3 0 2を有する。

40

**【0101】**

さらに、制御方法が異なる。バッファリングの場合、R A M 2 0 6上にコピーしたバッファ中にアクセス対象の論理アドレス（L P N）が含まれない場合は、バッファをすべて破棄し、N V M 2 0 5上のアドレス変換テーブルL P Tからアドレス変換子テーブルL P T - Sの1個をR A M 2 0 6上にコピーする。しかし、キャッシュ制御の場合、R A M 2 0 6上のアドレス変換テーブルキャッシュL P T - Cをすべて破棄する必要はない。アクセス頻度などを参考にし、キャッシュの一部のみを破棄することができる。

**【0102】**

上記では、アドレス変換テーブルL P Tの場所として、D R A M（R A M 2 0 6）を例

50

にして説明したが、NVM205より高速にアクセスができるメモリであればよく、例えば、FeRAM（強誘電体メモリ）、相変化メモリ、SLC NAND（シングルレベルセルのNAND型フラッシュメモリ）、NOR型フラッシュメモリを用いることができる。

#### 【0103】

<読み出し要求に対する動作>

図6を用いて、前述したSSD202において、ホスト機器201からの読み出し要求に対する動作について説明する。図6は、読み出し動作を説明するフローチャートの例である。このホスト機器201からの読み出し要求に対する動作は、SSD202内の制御部204であるSSDコントローラの制御により実行される。

10

#### 【0104】

アドレス変換テーブルLPTは、ホスト機器201から要求されるときに指定される論理アドレス（以下、論理アドレス）をNVM205の物理アドレスに変換するテーブルである。アドレス変換テーブルLPTは、複数のアドレス変換子テーブルLPT-Sに分割されて管理される。

#### 【0105】

まず、ホスト機器201から、論理アドレスでSSD202が有するNVM205に存在するデータ領域への読み出しアクセスの要求が行われると、当該論理アドレスに対するアドレス変換子テーブルLPT-SがRAM(DRAM)206に置かれたアドレス変換テーブルキャッシュLPT-Cに存在するか否か、すなわち、アドレス変換テーブルキャッシュLPT-Cがヒットしたかを判定する(S601)。

20

#### 【0106】

ヒット判定は、アドレス変換テーブルキャッシュLPT-Cに設けられたTag、パリティフラグなどのキャッシュ管理情報を用いて行う。詳細な判定方法については後述する。アドレス変換テーブルキャッシュLPT-Cは、キャッシュのヒット率が高くなるように、複数のアドレス変換子テーブルLPT-Sがコピーされる。ホスト機器201の例はパソコンやワークステーションである。または、タブレット型コンピュータやスマートフォンの制御装置である。

#### 【0107】

アドレス変換テーブルキャッシュLPT-Cがミスした場合(S601-N)には、後述(図7)するアドレス変換テーブルキャッシュLPT-Cの更新を行う(S602)。

30

#### 【0108】

アドレス変換テーブルキャッシュLPT-Cがヒットした場合(S601-Y)には、次に、アドレス変換テーブルキャッシュLPT-Cから、データの論理アドレスに対応するNVM205の物理アドレスを読み出す(S603)。さらに、NVM205から、その物理アドレスのデータを読み出し(S604)、そのデータをホスト機器201に送信する(S605)。

#### 【0109】

以上の方法を用いて、SSD202（具体的にはSSD202内の制御部204であるSSDコントローラ）は、ホスト機器201からの読み出し要求に対するデータ送信を行うことができる。

40

#### 【0110】

<アドレス変換テーブルキャッシュの更新要求に対する動作>

図7を用いて、前述(図6-S602)したアドレス変換テーブルキャッシュLPT-Cの更新要求(S602)があった場合の処理について説明する。図7は、アドレス変換テーブルキャッシュLPT-Cの更新動作を説明するフローチャートの一例を示す図である。

#### 【0111】

まず、論理アドレスから、読み出すべきアドレス変換子テーブルLPT-Sのテーブル番号を決める。次に、RAM(DRAM)206上のエリアテーブルから該当するテーブ

50



ル番号のアドレス変換子テーブルLPT-Sの物理アドレスを読み出す(S701)。エリアテーブルの詳細については後述(図14)する。さらに、NVM205から該当物理アドレスにあるアドレス変換子テーブルLPT-Sを読み出し、RAM206上にコピーする(S702)。すなわち、アドレス変換子テーブルLPT-Sの1つをアドレス変換テーブルキャッシュLPT-Cにコピーする。

#### 【0112】

次に、アドレス変換テーブルキャッシュLPT-Cの空き容量を調べる(S703)。すなわち、アドレス変換テーブルキャッシュLPT-Cの空きが少ないかを判定する。空き容量が閾値以上であれば(S703-N)、アドレス変換テーブルキャッシュLPT-Cの更新を終了する。

10

#### 【0113】

アドレス変換テーブルキャッシュLPT-Cには常に、空き容量があるように制御することができる。もし、ダーティーなキャッシュで、アドレス変換テーブルキャッシュLPT-Cがすべて埋まると、アドレス変換子テーブルLPT-SをRAM206にコピーする前にダーティーなキャッシュをNVM205に書き戻す必要があり、SSD202のアクセス性能が低下するためである。常に、アドレス変換テーブルキャッシュLPT-Cに空き容量が存在することで、簡易な制御で高いアクセス性能を持つSSD202を提供することができる。

#### 【0114】

もしくは、常にクリーンなキャッシュを一定量、アドレス変換テーブルキャッシュLPT-Cに有するように制御することもできる。この場合、アドレス変換テーブルキャッシュLPT-Cに空き容量がなくても、クリーンなキャッシュを破棄し、その領域にアドレス変換子テーブルLPT-Sをコピーすることができる。クリーンなキャッシュを破棄するときにはNVM205へのアクセスは生じないため、短時間でキャッシュを破棄することが可能である。そのため、高いキャッシュヒット率を持ち、かつ、高いアクセス性能を持つSSD202を提供することができる。

20

#### 【0115】

空き容量が閾値未満の場合(S703-Y)、アドレス変換テーブルキャッシュLPT-Cをすべて破棄することができる。このときに、書き込み命令によりテーブル内のアドレスが更新されたキャッシュ(ダーティーキャッシュ)はキャッシュを破棄するときにはNVM205に書き戻す(S704)。このときに、ダーティーキャッシュの総計データサイズが閾値以上になると、ダーティーキャッシュをすべてNVM205に書き戻す制御方法も可能である。この制御方法では、NVM205に書き戻すときの書き込み単位をNVM205にとって最適なデータアクセスサイズ(NVM205へのアクセス効率の良いデータサイズ)にすることが可能である。なお、NVM205へのアクセスは、ページサイズ×チャンネル数×1チップ当たりのプレーン数のデータサイズでアクセスすると、簡易なコントローラの設計で効率的にチップにアクセスすることができる。

30

#### 【0116】

もしくは、上記の空き容量が閾値未満の場合(S703-Y)に、キャッシュをすべて破棄するのではなく、一部のデータのみを破棄することができる。例えば、ライン入れ替え方式としてLRU(Least Recently Used)を用いる方法について、図13を用いて説明する。図13は、LRUを用いる方法のRAM206の構成の変形例を示す図である。LRUは、キャッシュメモリや仮想メモリの制御方法において用いられるアルゴリズムである。未使用の時間が最も長いキャッシュを破棄する方法である。

40

#### 【0117】

具体的には、アドレス変換テーブルキャッシュLPT-C内のアドレス変換子テーブルLPT-SR毎にLRUフラグ301a及び301bを設ける。アドレス変換子テーブルLPT-SRは、複数のエントリに分割されて管理される。例えば、アドレス変換子テーブルLPT-SRの数が16384個のときに、64個のエントリに分割する。1つのエントリには、 $16384 / 64 = 256$ 個のアドレス変換子テーブルLPT-SRが属す

50

る。

【0118】

キャッシュのヒット判定を行うときには、論理アドレス (LPN) の下位 6 ビットの情報を用いて、検索するエントリを決定することができる。例えば、下位 6 ビットが「00000」であれば、エントリ 0 を検索し、「000001」であれば、エントリ 1 を検索する。エントリ内の検索には Tag 216 を使用する。Tag 216 には論理アドレスの残り上位ビットを用いる。論理アドレス 1 個が 4 B (バイト)、すなわち 32 ビットで表すならば、下位 6 ビットを除いた上位 26 ビットが Tag 216 になる。

【0119】

検索するアドレスから計算される Tag とアドレス変換子テーブル LPT - SR 毎に保持されている Tag が一致していれば、キャッシュがヒットしたと判定する。すなわち、アドレス変換テーブルキャッシュ LPT - C を用いて、論理アドレス (LPN) から物理アドレス (PPN) へのアドレス変換を行う。アドレス変換子テーブル LPT - SR が使用されたときに、その LPT - SR の LRU フラグを 0 にし、さらに、その LPT - SR が属するエントリのすべての LPT - SR の LRU フラグをインクリメントする (LRU フラグの値を 1 だけ増加させる)。

10

【0120】

次に、キャッシュを破棄するかの判定時に LRU フラグの値を調べる。LRU フラグの値が大きければ、最後に使用されてから長時間使用されていないことがわかるため、そのキャッシュを破棄する。以上の方法により、精度よく使用頻度の少ないキャッシュを優先的に破棄し、効率的なキャッシュ制御を行うことができる。

20

【0121】

消去子テーブル ET - SR についても同様に、LRU フラグ 302 a 及び 302 b を用いて制御する。LRU を簡略化し、より高速にキャッシュ制御可能な擬似 LRU 命令キャッシュ入れ替えポリシー (quasi-LRU instruction cache eviction policy) を用いることもできる。

【0122】

さらに、書き込む際に新しいブロックが必要かを判定する (S705)。必要でない場合 (S705 - N) にはアドレス変換テーブルキャッシュ LPT - C の更新動作を終了し、必要な場合 (S705 - Y) は、後述 (図 11) するアドレス変換テーブル LPT のウェアレベリングを行う (S706)。

30

【0123】

以上の方法を用いて、前述 (図 6) した読み出し要求に対する動作においての、アドレス変換テーブルキャッシュ LPT - C の更新を行うことができる。

【0124】

<書き換え要求に対する動作>

次に、図 8 を用いて、ホスト機器 201 が書き換え要求を行ったときの制御方法について説明する。図 8 は、書き換え動作を説明するフローチャートの一例を示す図である。このホスト機器 201 からの書き換え要求に対する動作は、SSD 202 内の制御部 204 である SSD コントローラの制御により実行される。

40

【0125】

まず、NVM 205 への書き込みに当たり、新ブロックが必要かを判定する (S801)。本実施の形態では、NVM 205 の書き込み順に関して、ブロック内で連続したページ順に書き込む制約があるとする。この場合、ブロック内の最後のページに書き込んだ次の書き込みを行う場合は、新ブロックが必要であると判定できる。新ブロックが必要な場合 (S801 - Y) は、データ領域のウェアレベリングを行い、新ブロックを決定する (S802)。詳細な手順は後述 (図 10) する。

【0126】

次に、NVM 205 にデータを書き込む (S803)。さらに、ブロック管理情報を更新する。ブロック管理情報の詳細については前述 (図 3) した通りである。制御部 (SS

50

Dコントローラ) 204内のSRAM、もしくは、RAM(DRAM) 206上にライトバッファを設けて、NVM 205へのアクセス効率の良いデータサイズ単位でNVM 205に書き込むこともできる。物理アドレスは、新ブロックであればブロック内の先頭ページ、新ブロックでなければ前回書き込んだページの次のページに書き込む。なお、ブロック番号とページ番号をSSDコントローラ内のSRAM上で保持することで、RAM(DRAM) 206やNVM 205へのアクセスなしに物理アドレスを定めることが可能であり、高速に動作させることができる。

**【0127】**

次に、RAM(DRAM) 206上のアドレス変換テーブルキャッシュLPT-Cにヒットしたかを判定する(S804)。ヒットの判定は、キャッシュに含まれるTagの情報を用いて行うことができる。ヒットしない場合(S804-N)は、アドレス変換テーブルキャッシュLPT-Cの更新を行う(S805)。この詳細は前述(図7)した通りである。

10

**【0128】**

次に、アドレス変換テーブルキャッシュLPT-Cを更新する(S806)。論理アドレスに対応したアドレス変換テーブルキャッシュLPT-Cを選択し、該当論理アドレスに対応するアドレスに格納されている物理アドレスを更新する。

**【0129】**

次に、消去テーブルキャッシュET-Cのヒット判定を行う(S807)。すなわち、消去テーブルキャッシュET-Cにヒットしたかを判定する。消去テーブルETは、NVM 205のページ毎に、消去可能か、消去不可かの情報を格納する。SSDコントローラの動作検証と高信頼化のために、消去可否に加えてページが消去済みや良/不良ページ、信頼度などの情報を格納することもできる。既にSSD 202に書き込まれている論理アドレスに対して再度、書き込みがあった場合に、古い情報は不要となり、該当する物理アドレス(古い物理アドレス)は消去可能になる。

20

**【0130】**

消去可能になった物理ページは、後述(図10)するデータ領域のガーベージコレクションにより、一括して消去される。なお、新しく書き込まれた物理アドレスを新しい物理アドレスとする。消去テーブルETも、アドレス変換テーブルLPTと同様にキャッシュ制御される。キャッシュは、RAM(DRAM) 206上に設けられる。

30

**【0131】**

古い物理アドレスに対応する消去テーブルキャッシュET-Cがミスした場合(S807-N)は、後述(図9)する消去テーブルキャッシュET-Cの更新を行う(S808)。キャッシュ更新時には、消去予定の物理アドレス(消去先物理アドレス)を用いる。消去テーブルETは、少なくともNVM 205のページが消去可能か、消去不可かの情報を有していれば良く、例えば、物理アドレスから論理アドレスへの変換テーブルで消去情報を格納することもできる。

**【0132】**

例えば、ある物理アドレスに対応する論理アドレスが無効なアドレス(ホスト機器201からアクセスされないアドレス)であれば、その物理アドレスが消去可能であることがわかる。すなわち、消去テーブルETの代わりに物理アドレスから論理アドレスへの変換テーブルを用いることができる。この場合、後述(図10)するスタティックウェアレベルリングを高速に行うことが可能になり、アクセス性能の高いSSD 202を提供できる長所がある。

40

**【0133】**

さらに、消去テーブルキャッシュET-Cの更新を行う(S809)。具体的には、古い物理アドレスに対応する消去テーブルETを消去可能とマークする。また、ページ毎の消去済み情報を保持する場合には、新しい物理アドレスに対応する消去テーブルETを書き込み済みかつ消去不可とマークする。

**【0134】**

50

最後に、ホスト機器 201 に書き換え完了の応答を送信する。

【0135】

以上の方法を用いて、SSD 202（具体的にはSSD 202内の制御部204であるSSDコントローラ）は、ホスト機器201が書き換え要求を行ったときの制御を行うことができる。

【0136】

<消去テーブルキャッシュの更新要求に対する動作>

図9を用いて、前述（図8 - S808）した消去テーブルキャッシュET - Cの更新要求に対する制御方法を説明する。図9は、消去テーブルキャッシュET - Cの更新動作を説明するフローチャートの一例を示す図である。

【0137】

まず、RAM（DRAM）206上のエリアテーブルから消去先物理アドレスが含まれる消去子テーブルET - Sの物理アドレスを読み出す（S901）。次に、消去テーブルETの一部（消去子テーブルET - S）をNVM205の該当アドレスからRAM（DRAM）206上の消去テーブルキャッシュET - Cにコピーする（S902）。

【0138】

次に、消去テーブルキャッシュET - Cの空き容量を調べる（S903）。すなわち、消去テーブルキャッシュET - Cの空きが少ないかを判定する。空き容量が閾値以上あれば（S903 - N）、消去テーブルキャッシュET - Cの更新を終了する。

【0139】

空き容量が閾値未満の場合（S903 - Y）、使用頻度の低い消去テーブルキャッシュET - Cを破棄する。使用頻度の大小を判断する方法としては、LRUフラグを用いた前述（図13）した方法がある。書き込みにより消去子テーブルET - SR内の消去情報が更新されたダーティーキャッシュは、キャッシュを破棄するときにNVM205に書き戻す（S904）。このときに、ダーティーキャッシュの総計データサイズが閾値以上になるとダーティーキャッシュをすべてNVM205に書き戻す制御方法を取ることができるのは言うまでもない。

【0140】

さらに、書き込む際に新しいブロックが必要かを判定する（S905）。必要でない場合（S905 - N）には消去テーブルキャッシュET - Cの更新を終了し、必要な場合（S905 - Y）は、エリアテーブルの情報を用いて、後述（図11）するアドレス変換テーブルLPTのウェアレベリングを行い、新ブロックを決定する（S906）。

【0141】

以上の方法を用いて、前述（図8）した書き換え要求に対する動作においての、消去テーブルキャッシュET - Cの更新要求に対する制御を行うことができる。

【0142】

<データ領域のウェアレベリング要求に対する動作>

図10を用いて、前述（図8 - S802）したデータ領域のウェアレベリングについて説明する。図10は、データ領域のウェアレベリング動作を説明するフローチャートの一例を示す図である。

【0143】

まず、ダイナミックウェアレベリングを行う。ダイナミックウェアレベリングとは、新たにデータを書き込むブロックを決定するときに消去回数の少ないブロックを選択することで、消去回数を平準化する制御方法であり、ウェアレベリングの1つである。

【0144】

具体的には、RAM（DRAM）206、もしくは制御部（SSDコントローラ）204内のSRAM上のブロック管理情報を参照し、消去回数の少ない消去済みブロックを検索し、該当ブロックを次に書き込むブロックとする（S1001）。このときに、全ブロックにおける最小消去回数を保持し、その回数と等しいブロックを使用するか、もしくは、最小消去回数 + 閾値以下のブロックを使用する方法を用いることで、すべての消去済み

10

20

30

40

50

ブロックの情報を検索する必要がなくなるため、高速にウェアレベリングを行うことができる。

【0145】

次に、消去済みブロックのブロック総数が閾値以下か（消去済みブロック数が少ないか）を判定する（S1002）。閾値より大きければ（S1002 - N）、データ領域のウェアレベリングを終了する。

【0146】

閾値以下の場合（S1002 - Y）、まず、ガーベージコレクションを行う。ガーベージコレクションとは、インバリッドページが含まれるブロックに対して、バリッドページのみ他のブロックにコピーした後に該当ブロックを消去することで消去済みブロックを生み出す制御方法であり、ダイナミックウェアレベリングと組み合わせることでNVM205内の書き換え回数を平準化することができる。

【0147】

具体的には、ブロック管理情報を参照し、データ用の書き込みが完了したブロックの中でバリッドページ数が少ないブロックを検索する。最も少ないブロックを全ブロックから検索しても良いし、また、全ブロック中の一定の割合のブロックについて消去回数を検索し、消去回数が下位のブロックを消去対象のブロックとしても良い。必ずしも、最小となる消去回数のブロックを検索する必要はない。一部のブロックの消去回数を一定の精度で検索するに留めることで、高速に消去対象のブロックを列挙することができる。

【0148】

さらに、消去対象のブロック中に含まれるバリッドページの内容を現在、書き込み中のブロック内の新規ページにコピーし、書き込んだ後に消去する（S1003）。このときに、複数の消去対象のブロックを同時に検索し、消去することで効率的にガーベージコレクションを行うことができる。

【0149】

バリッドページとは、ホスト機器201から参照されるページである。バリッドページでないページ、すなわちインバリッドページは、ホスト機器201から参照されないページ、すなわち、対応する論理アドレスが存在しないページのことである。ホスト機器201から書き込みが行われたとき、書き込まれたページはバリッドページになり、消去テーブルETや消去テーブルキャッシュET - Cに該当する物理アドレスがバリッドページであることを記録する。次に、同じ論理アドレスにホスト機器201から書き込みが行われたとき、前記の物理アドレスは以降、参照されることはなくなる。そこで、消去テーブルETや消去テーブルキャッシュET - Cに該当する物理アドレスがインバリッドページであることを記録する。インバリッドページは不要な情報が書かれたページであり、消去可能であることを意味する。

【0150】

なお、ブロックは、書き込み中、書き込み完了、消去済みブロック（予備ブロック）、不良ブロックに分類される。さらに、書き込み中ブロックと書き込み完了ブロックは、データ領域用とアドレス変換テーブル用、消去テーブル用にそれぞれ区別される。さらに、消去済みブロックを、アドレス変換テーブル用と消去テーブル用、データ用とに分けて管理しても良い。管理情報用とデータ用ではアクセスパターンが異なるため、それぞれを分けて管理することでアクセスパターンに応じた制御が可能になり、SSD202を高信頼化できる効果がある。上記のブロックの分類は、ブロック管理情報により管理される。

【0151】

ブロック管理情報にはさらに、消去回数とバリッドページの数を記録することができる。ブロックごとの消去回数を記録することで、ダイナミックウェアレベリングを効率的に行うことができる。また、ブロックに含まれるバリッドページのページ数を記録することで、ガーベージコレクションの対象ブロックを高速に検索することができる。

【0152】

次に、アドレス変換テーブルキャッシュLPT - C、アドレス変換テーブルLPT、消

10

20

30

40

50

去テーブルキャッシュ E T - C、消去テーブル E T、ブロック管理情報を更新する ( S 1 0 0 4 )。テーブルキャッシュのヒット判定やミスした場合の処理については、ホスト機器 2 0 1 からのデータ書き換え要求において、上記で述べたのと同様の方法を用いることができる。

【 0 1 5 3 】

さらに、消去回数の多いブロックと消去回数の少ないブロックを入れ替えるスタティックウェアレベリングを行う。スタティックウェアレベリングの目的は、消去回数の少ないブロックと消去回数の多いブロックの消去回数差を減らし、全ブロックが均等に書き込まれるように制御することであり、ウェアレベリングの 1 つである。具体的な手順を以下で述べる。

10

【 0 1 5 4 】

まず、ブロック管理情報を参照し、消去回数の少ないブロックと消去回数の多いブロックの消去回数差が閾値以上か ( 消去回数差の大きなブロックがあるか ) を調べる ( S 1 0 0 5 )。このとき、すべてのブロックの消去回数を調べても良いし、一部のブロックを抜き出して消去回数を調べても良い。消去回数を調べるブロックを限定することにより、短時間でスタティックウェアレベリングを実行するかを判定することができる。

【 0 1 5 5 】

次に、消去回数差が閾値以上でない場合 ( S 1 0 0 5 - N ) はデータ領域のウェアレベリングを終了し、消去回数差が閾値以上の場合 ( S 1 0 0 5 - Y ) には、消去回数の少ないブロックのバリッドページに書かれたデータを書き込み中のブロックに書き込み、コピー元のブロック、すなわち消去回数の少ないブロックを消去する ( S 1 0 0 6 )。これは、消去回数の少ないブロックと消去回数の多いブロックのデータの入れ替えである。複数のブロックを同時並行的に消去候補にリストアップし、消去することもできる。この場合、簡易な制御方法で効率的にウェアレベリングが行える。

20

【 0 1 5 6 】

なお、ダイナミックウェアレベリングの後に、毎回、ガーベージコレクションの判定やスタティックウェアレベリングの判定を行う必要は必ずしもなく、一定回数ごとに 1 回、判定することもできる。

【 0 1 5 7 】

以上の方法を用いて、前述 ( 図 8 ) した書き換え要求に対する動作においての、データ領域のウェアレベリングを行うことができる。

30

【 0 1 5 8 】

< アドレス変換テーブルのウェアレベリング要求に対する動作 >

図 1 1 を用いて、前述 ( 図 7 - S 7 0 6 ) したアドレス変換テーブル L P T のウェアレベリング要求の処理手順を述べる。図 1 1 は、アドレス変換テーブル L P T ( データ管理情報を格納する領域 ) のウェアレベリング動作を説明するフローチャートの一例を示す図である。

【 0 1 5 9 】

まず、ブロック管理情報を参照し、消去済みブロックの群から消去回数の少ないブロックを検索し、書き込みブロックとする ( ダイナミックウェアレベリング、 S 1 1 0 1 )。

40

【 0 1 6 0 】

次に、ガーベージコレクションを実行するかを判定する ( S 1 1 0 2 )。具体的には、消去済みブロックの数が閾値以下か ( 消去済みブロック数が少ないか ) を調べる。閾値より大きければ ( S 1 1 0 2 - N )、アドレス変換テーブル L P T のウェアレベリングを終了する。

【 0 1 6 1 】

消去済みブロック数が閾値以下の場合 ( S 1 1 0 2 - Y )、まず、ガーベージコレクションを行う。具体的には、ブロック管理情報を参照し、アドレス変換テーブル用の書き込みが完了したブロックの中でバリッドページ数が少ないブロックを検索する。このときに、アドレス変換テーブル L P T に割り当てられたブロックだけを検索しても良いし、アド

50

レス変換テーブルLPTと消去テーブルETに割り当てられたブロックから検索しても良い。さらに、アドレス変換テーブルLPTと消去テーブルETとデータ領域に割り当てられたブロックから検索しても良い。

【0162】

バリッドページ数の少ないブロック中に含まれるバリッドページの内容を現在、書き込み中のブロック内の新規ページにコピーし、書き込んだ後に消去する(S1103)。このときに、複数の消去対象のブロックを同時に検索し、消去することで効率的にガーベージコレクションを行うことができる。

【0163】

次に、エリアテーブルとブロック管理情報を更新する(S1104)。さらに、消去回数が多いブロックと消去回数の少ないブロックを入れ替えるスタティックウェアレベリングを行う。具体的には、ブロック管理情報を参照し、消去回数の少ないブロックと消去回数が多いブロックの消去回数差が閾値以上か(消去回数差の大きなブロックがあるか)を調べる(S1105)。

10

【0164】

次に、消去回数差が閾値以上でない場合(S1105-N)はアドレス変換テーブルLPTのウェアレベリングを終了し、消去回数差が閾値以上の場合(S1105-Y)には、消去回数の少ないブロックのバリッドページに書かれたアドレス変換テーブル情報をテーブル書き込み中のブロックに書き込み、コピー元のブロック、すなわち消去回数の少ないブロックを消去する(S1106)。これは、消去回数の少ないブロックと消去回数

20

【0165】

以上の方法を用いて、前述(図7)したアドレス変換テーブルキャッシュLPT-Cの更新要求に対する動作においての、アドレス変換テーブルLPTのウェアレベリングを行うことができる。

【0166】

<SSDの稼働時間とNVMの最大ブロック消去回数の関係>

図12を用いて、SSD202の稼働時間とNVM205の最大ブロック消去回数の関係について説明する。図12は、稼働時間(横軸)と最大ブロック消去回数(縦軸)の関係の一例を示す図である。

30

【0167】

図12において、制御1~3で示した3種類のウェアレベリング、すなわち、ダイナミックウェアレベリング、ガーベージコレクション、スタティックウェアレベリングにより、SSD202中のNVM205の特定ブロックへの書き込みを抑え、全ブロックに均等に書き込みを生じさせることにより、SSD202への書き込み量の増大に伴うNVM205の最大ブロック消去回数の増加を抑える。さらに、制御4で示したエリアテーブルを用いたアドレス変換テーブルLPTと消去テーブルETのウェアレベリングにより、最大ブロック消去回数の増加を抑えることができる。なお、最大消去回数が規定値に達したブロックは消去不可能となり、不良ブロックになる。不良ブロックの増加により、ホスト機器201から見たSSD容量が規定値以下になったところがSSD202の寿命となる。

40

【0168】

アドレス変換テーブルキャッシュLPT-Cの格納場所として、RAM(DRAM)206を用いることができるが、そのほか、NVM205より高速にアクセスができるメモリであれば良く、例えば、FeRAM(強誘電体メモリ)、相変化メモリを用いることができる。さらに、そのほか、NVM205として、MLC NANDフラッシュメモリを用いる場合はSLC NAND(シングルレベルセルのNAND型フラッシュメモリ)を用いることができる。また、NVM205として、NANDフラッシュメモリを用いる場合は、NORフラッシュメモリを用いることができる。

【0169】

<エリアテーブルの詳細>

50

図14と図15を用いて、エリアテーブルに関してさらに詳細に説明する。図14は、エリアテーブルを説明するための図である。図15(a)~(c)は、論理アドレスと物理アドレスを説明するための図である。

【0170】

ホスト機器201から指定されたデータの物理アドレスを調べる方法を述べる。ホスト機器201から指定される論理アドレスLBAは上述した通り、512バイト単位でアドレッシングを行う。容量1TBのSSD202を考えると、下記の(6)式からアドレス幅が31ビットになることがわかる。

【0171】

$$1\text{TB} / 512\text{B} = 2^{31} \dots (6)$$

10

ホスト機器201から要求されたデータサイズとして、512バイトを例にして説明する。まず、LBA[30:13](すなわちLBAの上位18ビット、図15)がアドレス変換子テーブル番号になることを利用して、まずアドレス変換子テーブル番号を求める。図15に示すように、さらにアドレス変換テーブルキャッシュ(LPT-C)におけるTagとエントリを求める。TagはLBA[30:19](すなわち、LBAの上位12ビット)であり、エントリはLBA[18:13]である。得られたエントリのTagを比較することで、アドレス変換テーブルキャッシュLPT-Cのキャッシュヒット判定を行う。

【0172】

キャッシュミスした場合は、次に、エリアテーブル内に記録されるアドレス変換子テーブルの物理アドレスは4バイト単位であり、RAM206の先頭アドレスからアドレス変換子テーブル番号順に記録されていることを利用して、アドレス変換子テーブル番号を4倍にしたアドレスをRAM206から読み出す開始アドレスとし、データサイズ4バイトを読み出すことで、エリアテーブルからアドレス変換子テーブルの物理アドレスを得る。得られた物理アドレスをNVM205から読み出す開始アドレスとし、データサイズ4KBをRAM206にコピーする。

20

【0173】

RAM206のコピー先のアドレスから、さらにLBA[12:3]を4倍したアドレスを開始アドレスとし、4バイトを読み出すことでデータ領域の物理アドレスが得られる。データ管理サイズが4KBであるため、この物理アドレスが示すデータのサイズは4KBである。

30

【0174】

次に、この物理アドレスが示すデータ領域の先頭アドレスからLBA[2:0](すなわちLBAの下位3ビット)を512倍したものをオフセットしたアドレスを開始アドレスとし、データサイズ512バイトをNVM205から読み出す。最後に、ホスト機器201に読み出した512バイトのデータを送る。

【0175】

以上の過程を経ることにより、ホスト機器201から指定されたデータをSSD202から読み出すことができる。

【0176】

40

図14に記載されている通り、アドレス変換子テーブル1個はLBAの8Kセクタ領域のアドレス変換情報を持つ。また、図15に記載されている通り、論理アドレス(LPN)はLBAの上位28ビットである。

【0177】

次に、物理アドレスPPNの消去情報を調べる方法を述べる。データ管理サイズは上述した通り、4KB単位とする。容量1TBのSSD202を考えると、下記の(7)式からアドレス幅が28ビットになることがわかる。

【0178】

$$1\text{TB} / 4\text{KB} = 2^{28} \dots (7)$$

まず、PPN[27:12](すなわちLBAの上位16ビット、図15)が消去子テ

50



ール番号になる。消去子テーブルの物理アドレスが格納されている領域の先頭アドレス（この例では1024KB）から消去子テーブル番号を4倍にしたアドレスをオフセットしたアドレスを開始アドレスとし、データサイズ4バイトをRAM206から読み出すことにより、消去子テーブルの物理アドレスを得ることができる。得られた物理アドレスをNVM205から読み出す開始アドレスとし、データサイズ4KBをRAM206にコピーする。

【0179】

RAM206のコピー先のアドレスから、さらにLBA[11:0]をアドレスをオフセットしたアドレスを開始アドレスとし、1バイトを読み出すことでPPNの消去情報が得られる。

10

【0180】

消去情報を調べた結果、もし、消去不可であれば、最新のデータであり、今後、ホスト機器201から読み出される可能性がある。そのため、ガーベジコレクションにおいて、消去ができないデータである。もし、消去可能であれば、最新のデータでなく、すなわち、最新のデータがNVM205のそのほかの物理ページに存在し、今後、ホスト機器201から読み出されることのないデータである。そのため、ガーベジコレクションにおいて、消去しても良いデータであることがわかる。

【0181】

図14に記載されている通り、消去子テーブル1個はPPN4K個の消去情報を持つ。

【0182】

20

また、図15に記載されている通り、消去子テーブル番号の上位10ビット、すなわち、PPN[27:18]はTagとなり、PPN[17:12]はエントリとなる。また、LBA[30:0]、すなわち、LBAの上位28ビットは論理アドレス(LPN)になる。ここで、説明のために用いたビット幅はあくまでも説明を容易にするための例であり、実際にはキャッシュサイズやSSD202の容量に応じて変更されることは言うまでもない。

【0183】

<実施の形態1の効果>

以上に説明した本実施の形態1によれば、NVM205と、RAM206と、制御部204などを有することで、代表的には、製造コストを低減し、アクセス性能及び信頼性が高く、省スペースなSSD202を製造することができる。詳細には、以下のような効果を得ることができる。

30

【0184】

(1)制御部204は、NVM205に、NVM205にアクセスするために与えられた論理アドレスを物理アドレスに変換するアドレス変換テーブルLPTを複数に分割して記憶し、さらに、RAM206に、複数に分割されたアドレス変換子テーブルLPT-SRを複数記憶することができる。

【0185】

(2)制御部204は、RAM206に記憶されたアドレス変換子テーブルLPT-SRをキャッシュ制御することができる。このキャッシュ制御の方法として、論理アドレスを基にして検索するエントリを限定することができる。また、アクセス頻度を基にして破棄するキャッシュを決定することができる。さらに、キャッシュ制御において更新されたアドレス変換子テーブルLPT-SRをNVM205に書き戻すときのデータサイズは、アドレス変換子テーブルLPT-SRよりも大きくすることができる。

40

【0186】

(3)制御部204は、NVM205に、NVM205のデータの論理アドレスを物理アドレスに変換を行うアドレス変換テーブルLPTを記憶し、さらに、RAM206に、アドレス変換テーブルLPTのアドレス変換テーブルキャッシュLPT-Cと、アドレス変換テーブルLPTがNVM205のどこに記憶されているかを示すエリアテーブル207とを記憶し、さらに、エリアテーブル207に、アドレス変換テーブルLPTのNVM

50

205内でのアドレスを複数記憶することができる。

【0187】

(4)制御部204は、エリアテーブル207を用いてアドレス変換テーブルLPTのウェアレベリングを行うことができる。

【0188】

(5)制御部204は、NVM205に、NVM205に記憶されたデータが消去可能か否かを示す消去テーブルETを複数に分割して記憶し、さらに、RAM206に、複数に分割された消去子テーブルET-SRを複数記憶することができる。

【0189】

(6)制御部204は、RAM206に記憶された消去子テーブルET-SRを同時にNVM205に記憶することができる。

10

【0190】

[実施の形態2]

実施の形態2の不揮発性記憶装置について、図16～図17を用いて説明する。図16は、この不揮発性記憶装置(SSD)202の構成の一例を示す図である。図17は、SSD202の構成の変形例を示す図である。

【0191】

本実施の形態では、揮発性メモリの搭載コストを低減し、高いアクセス性能を持つだけでなく、上述した実施の形態1よりアクセス性能が高いSSD202の例を説明する。

【0192】

不揮発性メモリ(NVM)として、相変化メモリを用いる。特に、大容量である3次元積層相変化メモリ3D-PCM(3Dimension Phase Change Memory)を用いるのが望ましい。

20

【0193】

図16を用いて、本実施の形態2におけるSSD202の構成について説明する。図16に示すSSD202のうち、既に上述した実施の形態1で説明した図1に示された同一の符号を付された構成と、同一の機能を有する部分については、説明を省略する。

【0194】

本実施の形態のSSD202は、ホストI/F203と、内部バス231と、制御部(SSDコントローラ)204と、3次元積層相変化メモリ(3D-PCM)401と、RAM206から構成される。このSSD202は、ホストI/F203がホスト機器201とインターフェース230で接続される。後述する通り、RAM206と3D-PCM401を1チップ化する構成も可能である。

30

【0195】

相変化メモリは、記憶素子自体に流れる電流によるジュール熱に応じて、記憶素子の結晶状態が変化することにより記憶情報が書き込まれる。記憶素子の材料としては、カルコゲナイドが用いられる。カルコゲナイドとは、硫黄、セレン、テルルのうちの少なくとも1元素を含む材料のことである。

【0196】

相変化メモリの動作原理を簡単に説明する。相変化部をアモルファス化させる場合、相変化部をカルコゲナイド材料の融点以上に熱してから急冷するようリセットパルスを加する。融点は、例えば600である。急冷する時間は、例えば2nsecである。相変化部を結晶化させる場合、局部的に相変化部の温度を結晶化温度から融点で維持する。このときの温度は、例えば400である。結晶化に要する時間はカルコゲナイド材料の組成によって異なるが、例えば50nsecである。以後、相変化メモリの相変化部を結晶化させることをセット動作、アモルファス化させることをリセット動作と呼ぶ。

40

【0197】

相変化メモリの特徴は、相変化部の抵抗値が結晶状態に応じて2桁から3桁も変化し、この抵抗値を信号として用いるため、読み出し信号が大きく、センス動作が容易になるため、読み出しが高速であることである。

50

## 【 0 1 9 8 】

さらに、3D-PCM401は、平面方向だけでなく、高さ方向にもメモリ素子が積層されているため、大容量であり、SSD202の用途に適する。

## 【 0 1 9 9 】

3D-PCM401をNVMとして用いることで、アクセス速度が高く、大容量のSSD202を提供できる。

## 【 0 2 0 0 】

さらに、アクセス速度が高速であるという3D-PCM401の特徴を活かすため、アドレス変換テーブル及び消去テーブルのキャッシュ制御を行うだけでなく、さらに、NVM(本実施の形態では3D-PCM)に対するキャッシュのデータサイズの比を大きくすることで、キャッシュのヒット率を向上させることが望ましい。例えば、上述した実施の形態1では、SSD容量1TBに対して、アドレス変換テーブルキャッシュのデータサイズは64MBであったが、これを256MBにすることが可能である。同様に、消去テーブルキャッシュのサイズも大きくすることができる。

10

## 【 0 2 0 1 】

また、NVMとして相変化メモリを用いる本実施の形態の場合は、図17に示すような構成とすることも可能である。すなわち、図17に示すSSD202は、NVMの相変化メモリ(3D-PCM(1))401と異なる構成を持ち、より高速にアクセス可能な構成とした相変化メモリ(3D-PCM(2))402をアドレス変換テーブルキャッシュLPT-Cの格納場所として用いることができる。この場合、3D-PCM401と3D-PCM402を同じチップにすることもできる。この場合、SSDを構成するチップ数が少なくなるため、コストを低減することができる利点がある。なお、必要とする性能に応じて、3D-PCM401と3D-PCM402を有するチップを複数個、SSDに実装することが可能であることはいうまでもない。ここで、「チップ」とは回路素子が形成された1枚の半導体基板を小片に切り出したあとの小片1個のことを指す。

20

## 【 0 2 0 2 】

図17に示すように、相変化メモリは、高速にアクセス可能な領域と、この領域より低速にしかアクセスできないが、より大容量の領域との2つの領域を持つ。より高速にアクセス可能な領域(3D-PCM402)に本実施の形態のRAMに相当する情報(アドレス変換テーブルキャッシュLPT-C、消去テーブルキャッシュET-C、エリアテーブル)を書き込み、より大容量の領域(3D-PCM401)に本実施の形態のNVMに相当する情報(エリアテーブルバックアップ、アドレス変換テーブルLPT、消去テーブルET、データ)を書き込む。この場合、NVM及びRAMに要するメモリのチップを低減することができるため、コスト競争力の高いSSD202を提供することが可能になる。

30

## 【 0 2 0 3 】

以上に説明した本実施の形態2によれば、相変化メモリを用いることで、上述した実施の形態1の効果に加えて、よりアクセス性能が高く、大容量で、コスト競争力の高いSSD202を製造することができる。

## 【 0 2 0 4 】

## [実施の形態3]

実施の形態3の不揮発性記憶装置について、上述した実施の形態1で示した図1を参照して説明する。

40

## 【 0 2 0 5 】

本実施の形態では、揮発性メモリの搭載コストを低減し、高いアクセス性能を持つだけでなく、RAM206の容量をさらに低減し、信頼性の高いSSD202の例を説明する。

## 【 0 2 0 6 】

本実施の形態のSSD202は、図1を参照して説明すると、バリッドフラグ、ダーティフラグがRAM206上のアドレス変換テーブルキャッシュLPT-Cに存在しないことを特徴とする。

50

## 【0207】

簡易な制御方式で動作するため、制御部（SSDコントローラ）204の開発にあたって設計ミス（バグ）が混入するおそれが少なく、信頼性の高いSSD202を短時間で開発することができる。

## 【0208】

キャッシュ制御のアルゴリズムとしては、フルアソシエイティブ方式を用いることができる。エントリは1個であり、ヒット判定はすべてのアドレス変換子テーブルLPT-SRを対象にして行う。もちろん、Tagが等しいキャッシュが見つかり、ヒット判定となった場合には残りのアドレス変換子テーブルLPT-SRを検索する必要はない。

## 【0209】

SSD202の電源投入時に、あらかじめ、アドレス変換テーブルキャッシュLPT-Cにアドレス変換テーブルの一部をコピーする。アドレス変換テーブルの先頭部分のコピーすることができる。もしくは、電源遮断時のアドレス変換テーブルキャッシュLPT-Cの状態に復元しても良い。常にアドレス変換テーブルキャッシュLPT-C内の情報をバリッド（有効）に維持することで、バリッドフラグを必要としない制御方法を実現できる。

## 【0210】

ホスト機器201からの書き込み命令により更新されたアドレス変換子テーブルLPT-SRは、次のアドレス変換テーブルキャッシュLPT-Cへのアクセスが生じる前にNVM205のアドレス変換テーブルLPTに書き戻す。この動作により、常にアドレス変換テーブルLPTとアドレス変換テーブルキャッシュLPT-Cの情報が一致するように制御する。アドレス変換テーブルキャッシュLPT-Cの入れ替えの際には、入れ替え開始（NVM205からアドレス変換子テーブルLPT-SのRAM206へのデータコピーが開始するとき）から入れ替え終了（前記の動作が完了するとき）までの間、アドレス変換テーブルキャッシュLPT-Cへのアクセスを一時停止する。

## 【0211】

上記の制御方法により、アドレス変換テーブルキャッシュLPT-Cのバリッドフラグ及びダーティーフラグが不要なSSD202を実現することが可能になる。

## 【0212】

以上に説明した本実施の形態3によれば、RAM206上のアドレス変換テーブルキャッシュLPT-Cに、バリッドフラグ、ダーティーフラグが存在しないことで、上述した実施の形態1の効果に加えて、RAM206の容量をさらに低減し、信頼性の高いSSD202を製造することができる。

## 【0213】

## [実施の形態4]

実施の形態4の不揮発性記憶装置について、図18を用いて説明する。図18は、この不揮発性記憶装置（SSD）202のエリアテーブルを説明するための図である。

## 【0214】

本実施の形態では、エリアテーブルにより、アドレス変換テーブルLPTと消去テーブルETがウェアレベリングされていることを特徴とする。エリアテーブルにより、アドレス変換テーブルLPTと消去テーブルETのNVM205への書き込みが平準化されるため、高信頼なSSD202を実現できる。

## 【0215】

エリアテーブルと、アドレス変換テーブルLPT、消去テーブルET、データ領域との関係を図18に示す。エリアテーブルには、アドレス変換子テーブル（LPT-C）、消去子テーブル（ET-C）の物理アドレスが格納されている。LBAアドレスの一部アドレス（例えば、上位ビット）からアドレス変換子テーブル番号を決定することができる。また、物理アドレス（PPN）の一部アドレス（例えば、上位ビット）から、消去子テーブル番号を決定することができる。アドレス変換子テーブルに含まれる情報から、ホスト機器201から要求されたデータが、NVM205上のデータ領域のどこに書き込まれて

10

20

30

40

50

いるかを決定することができる。また、消去子テーブルに含まれる情報から、PPNに対応するデータ領域に書き込まれているデータが消去可能かを決定することができる。

【0216】

なお、必ずしも、アドレス変換テーブルLPTと消去テーブルETを同時にウェアレベリングする必要はなく、エリアテーブルを用いて消去テーブルETのみをウェアレベリングすることが可能であることは言うまでもない。

【0217】

さらに、キャッシュ上の消去子テーブルET-SRに関して、複数個のET-SRを同時にNVM205に書き戻すことができる。このようにすることで、NVM205への書き込み単位を大きくすることができるため、ページサイズの大きなNVM205を効率的に制御することができる。また、複数のNVMチップを巧みに並列制御する必要がなくなるため、簡素かつ堅牢な制御アルゴリズムで高性能なSSD202を実現することが可能になる。

10

【0218】

以上に説明した本実施の形態4によれば、エリアテーブルにより、アドレス変換テーブルLPTと消去テーブルETがウェアレベリングされていることで、上述した実施の形態1の効果に加えて、高信頼で、高性能なSSD202を製造することができる。

【0219】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

【産業上の利用可能性】

【0220】

本発明のSSDは、書き込み可能なNVM、例えばフラッシュメモリもしくは相変化メモリを有する記憶装置に関し、書き込み又は読み出しを管理するSSDコントローラを含むSSDに利用可能である。

【符号の説明】

【0221】

- 201 ホスト機器
- 202 SSD(不揮発性記憶装置)
- 203 ホストI/F
- 204 制御部
- 205 NVM(不揮発性メモリ)
- 206 RAM
- 207 エリアテーブル
- 208 エリアテーブルバックアップ
- 214 LPT-SRのバリッドフラグ
- 215 LPT-SRのダーティーフラグ
- 216 LPT-SRのTag
- 218 ET-SRのバリッドフラグ
- 219 ET-SRのダーティーフラグ
- 220 ET-SRのTag
- 230 インターフェース
- 231 内部バス
- 301 LPT-SRのLRUフラグ
- 302 ET-SRのLRUフラグ
- 401 3D-PCM(3次元積層相変化メモリ)
- 402 3D-PCM(3次元積層相変化メモリ)
- ET 消去テーブル
- ET-C 消去テーブルキャッシュ

30

40

50



【 図 3 】

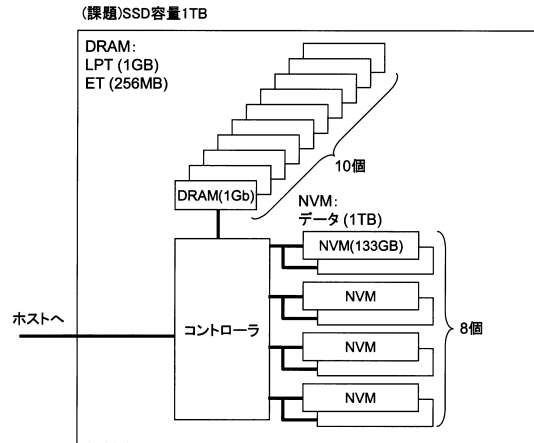
図 3

容量1TBのSSDの管理情報

データ管理サイズ	4KB
アドレス変換テーブルのサイズ	1TB / 4KB × 4B = 1GB
アドレス変換子テーブルのサイズ	4KB
アドレス変換子テーブルの総数	1GB / 4KB = 262144個
消去テーブルのサイズ	1TB / 4KB × 1B = 256MB
消去子テーブルのサイズ	4KB
消去子テーブルの総数	256MB / 4KB = 65536個
エリアテーブルのサイズ	(262144 + 65536) × 4B = 1280KB
アドレス変換テーブルキャッシュのサイズ	64MB
消去テーブルキャッシュのサイズ	16MB
アドレス変換テーブルキャッシュ内のアドレス変換子テーブルの数	64MB / 4KB = 16384個
消去テーブルキャッシュ内の消去子テーブルの数	16MB / 4KB = 4096個

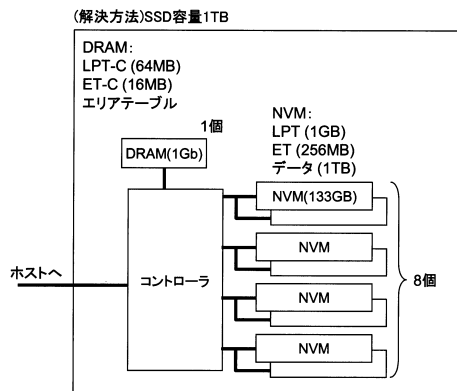
【 図 4 】

図 4



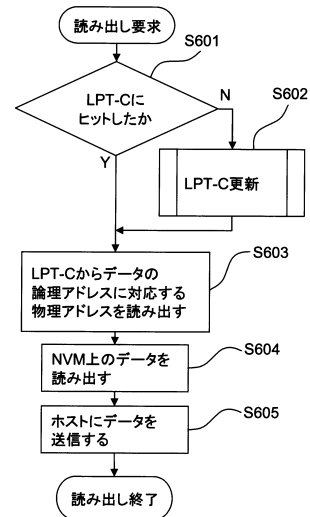
【 図 5 】

図 5

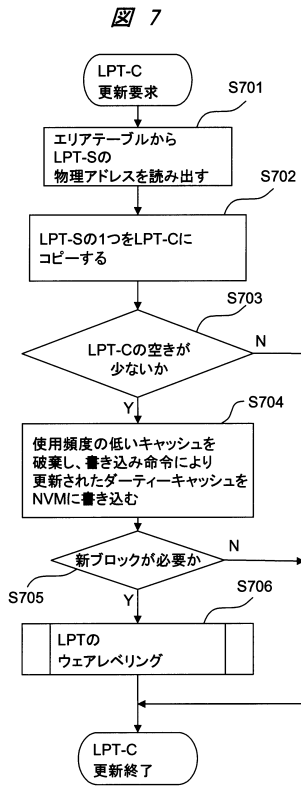


【 図 6 】

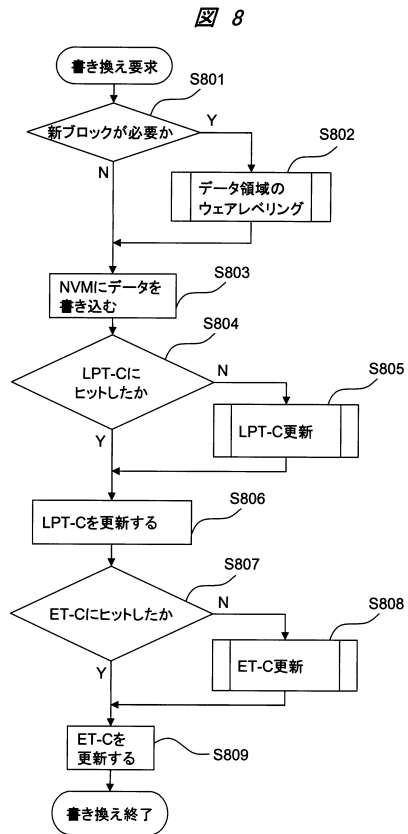
図 6



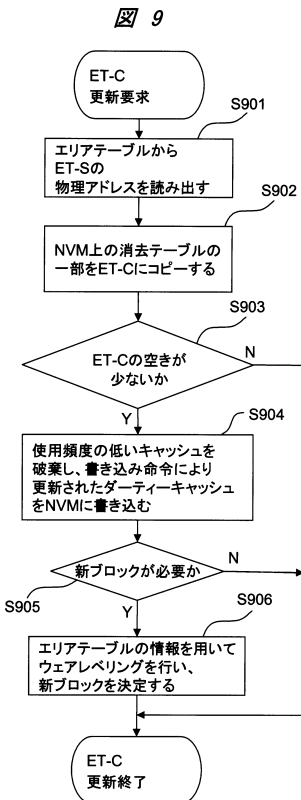
【 図 7 】



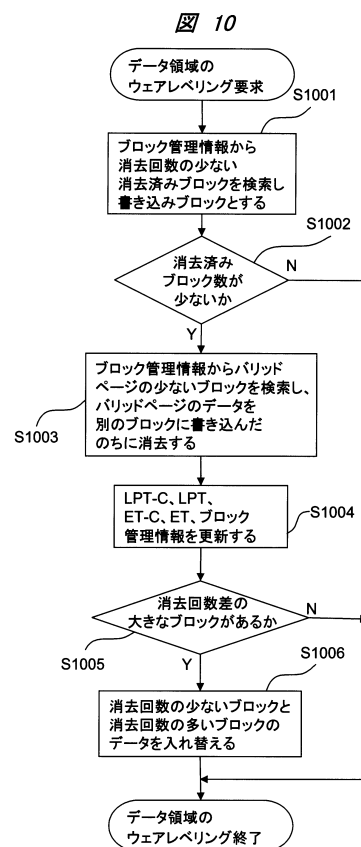
【 図 8 】



【 図 9 】

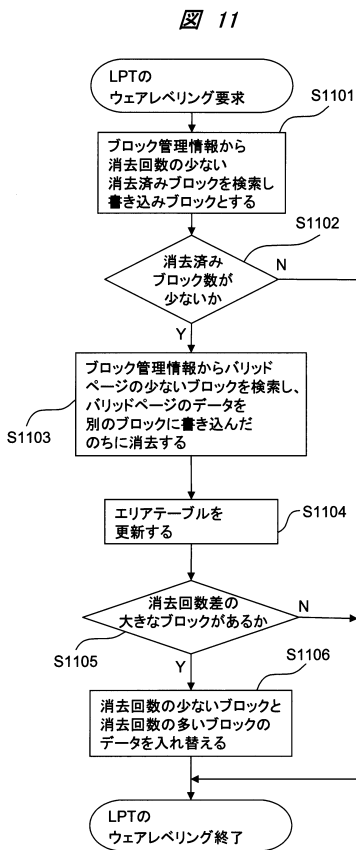


【 図 10 】

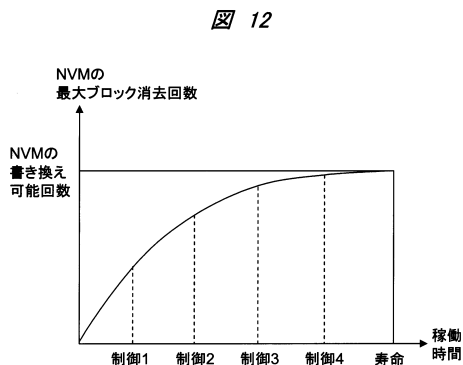




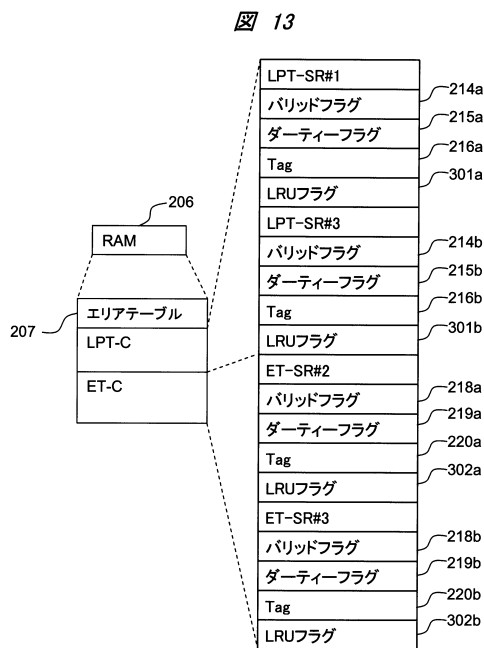
【図11】



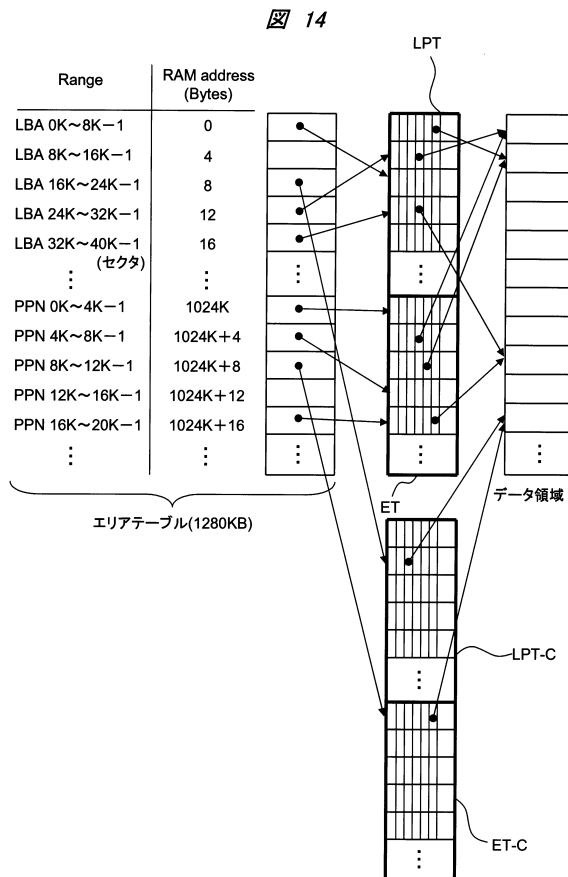
【図12】



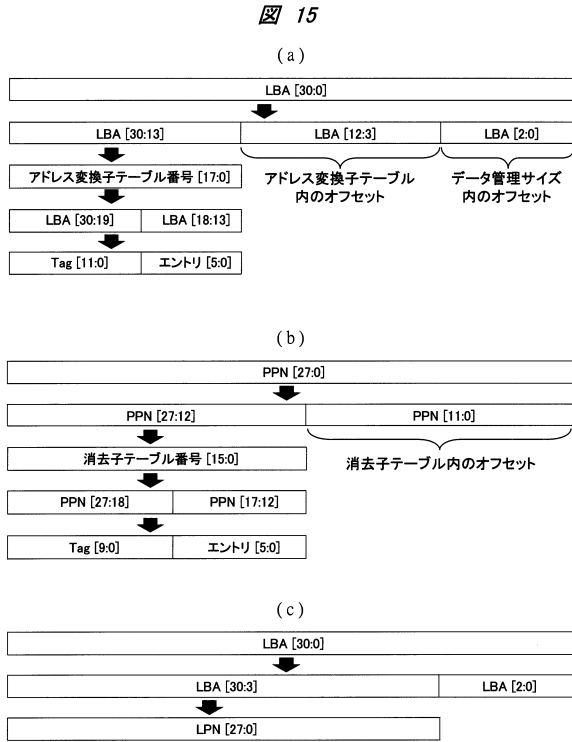
【図13】



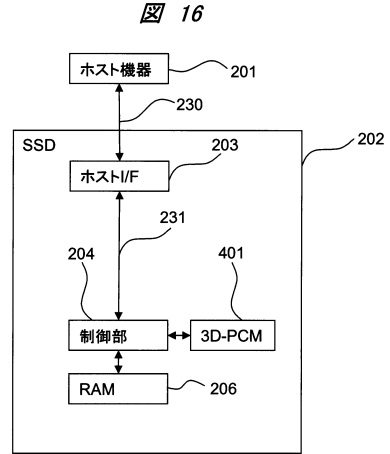
【図14】



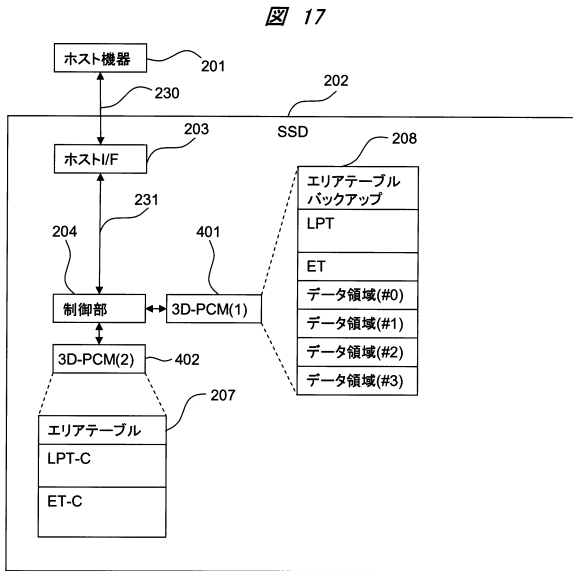
【 図 15 】



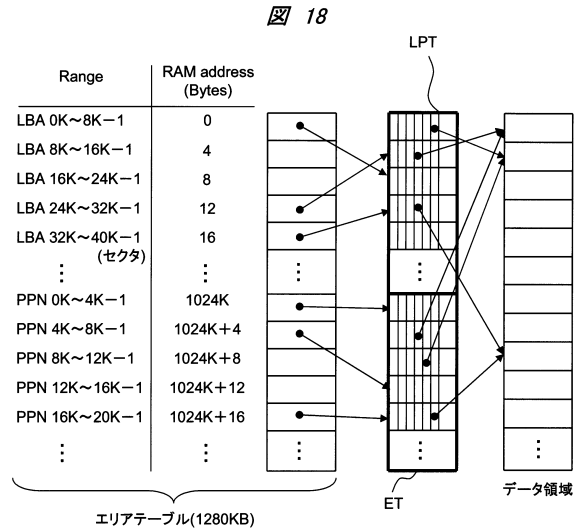
【 図 16 】



【 図 17 】



【 図 18 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 6 F 12/08 5 5 9 Z

(56)参考文献 米国特許出願公開第2010/0332730(US,A1)  
特開2007-034944(JP,A)  
特開2001-142774(JP,A)  
特開2007-199828(JP,A)  
特開2004-288150(JP,A)  
特開2007-280329(JP,A)  
特開2007-334852(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
G 0 6 F 1 2 / 0 0 - G 0 6 F 1 2 / 1 2  
G 0 6 F 1 2 / 1 6