

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-94921
(P2007-94921A)

(43) 公開日 平成19年4月12日(2007.4.12)

(51) Int. Cl.		F I		テーマコード (参考)
G06F 12/16	(2006.01)	G06F 12/16	310M	5B018
G06K 17/00	(2006.01)	G06K 17/00	E	5B058
		G06F 12/16	340Q	

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2005-285788 (P2005-285788)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年9月30日 (2005.9.30)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 メモリカードとその制御方法

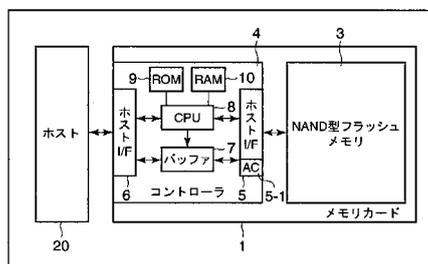
(57) 【要約】

【課題】 多値データを確実に書き込むことが困難であった。

【解決手段】 メモリセルは、第1ページのデータを書き込んだ後、第2ページのデータが書き込まれる。保持回路7は、第2ページのデータを書き込むとき、前記メモリセルから読み出された前記第1ページのデータを保持する。

【選択図】 図2

図2



【特許請求の範囲】

【請求項 1】

第 1 ページのデータを書き込んだ後、第 2 ページのデータが書き込まれるメモリセルと、
前記第 2 ページのデータを書き込むとき、前記メモリセルから読み出された前記第 1 ページのデータを保持する保持回路と
を具備することを特徴とするメモリカード。

【請求項 2】

前記保持回路は、電源投入直後に第 2 のページのデータを書き込むとき、前記メモリセルから読み出された前記第 1 ページのデータを保持することを特徴とする請求項 1 記載のメモリカード。

10

【請求項 3】

少なくとも第 1 ページ、第 2 ページのデータを 1 つのメモリセルに記憶するメモリカードの制御方法であって、
前記メモリセルに第 2 ページのデータを書き込むとき、前記メモリセルから前記第 1 ページのデータを読み出し保持することを特徴とするメモリカードの制御方法。

【請求項 4】

前記第 1 ページのアドレスと前記第 2 ページのアドレスは離れていることを特徴とする請求項 1 記載のメモリカード又は請求項 3 記載のメモリカードの制御方法。

【請求項 5】

前記メモリセルから前記第 1 ページのデータを読み出し保持することは、電源投入直後に前記第 2 ページのデータを書き込むときに行なわれることを特徴とする請求項 3 記載のメモリカードの制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば NAND 型フラッシュメモリを含むメモリカードに係り、特に、1 つのメモリセルに複数ビットのデータを記憶することが可能なメモリカードとその制御方法に関する。

【背景技術】

30

【0002】

メモリカード等に適用されている NAND 型フラッシュメモリは、例えば直列接続された複数の EEPROM セルと選択トランジスタにより構成され、書き込まれたデータを不揮発的に記憶する。この NAND 型フラッシュメモリにおいて、データの書き込みと読み出しは、複数のメモリセルが集合した「ページ」と呼ばれる単位で行われ、データの消去は、複数のページが集合した「ブロック」と呼ばれる単位で行われる。つまり、NAND 型フラッシュメモリは、「メモリセル」「ページ」「ブロック」と言う階層構造の集合体と見ることができる。

【0003】

また、NAND 型フラッシュメモリは、2 値メモリと、多値メモリとに区別することができる。2 値メモリは、1 つのメモリセルに、論理“0”と論理“1”の 2 つの値（1 ビット）しか記憶できないが、多値メモリは、3 つ以上の値（複数ビット）を記憶できる。

40

【0004】

現状の多値メモリは、1 つのメモリセルに、2 ビットの値を記憶するものを指している。この 2 ビットの値には、通常、2 つの異なるページアドレスが割り当てられている。下位ビットに割り当てられたページはロアページ（lower page）と呼ばれ、上位ビットに割り当てられたページはアッパーページ（upper page）と呼ばれる。1 つのメモリセルに 2 ビットのデータを書き込む場合、2 回の書き込みが行なわれる。すなわち、ロアページアドレスに相当する値の書き込みと、アッパーページアドレスに相当する値の書き込みが行なわれる。

50

【0005】

現在の多値メモリの書き込み規則によれば、ローページを書き込んだ後に、アッパーページを書き込むことは可能であるが、アッパーページを書き込んだ後に、ローページを書き込むことは禁止されている。この規則に従った場合、ローページの書き込み時に、何らかの異常事態が発生し、メモリセルの記憶状態を破壊した場合、そのローページの書き込み失敗で済む。しかし、アッパーページの書き込みに失敗し、メモリセルの記憶状態を破壊した場合、ローページのデータも一緒に破壊してしまう。つまり、あるページの書き込みの失敗が、他のページのデータも破壊する事になる。このように書き込みに失敗した場合、再書き込みを行ない破壊されたデータを修復する必要がある。

【0006】

従来、多値メモリではないが、データの書き込み時に電源断が発生した場合においてもデータの消失を防止したフラッシュメモリが開発されている（例えば特許文献1）。しかし、この特許文献1の技術を多値メモリに適用することは困難である。

【特許文献1】特開2001-154926号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、多値データを確実に書き込むことが可能なメモリカードとその制御方法を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明のメモリカードの態様は、第1ページのデータを書き込んだ後、第2ページのデータが書き込まれるメモリセルと、前記第2ページのデータを書き込むとき、前記メモリセルから読み出された前記第1ページのデータを保持する保持回路とを具備することを特徴とする。

【0009】

本発明のメモリカードの制御方法の態様は、少なくとも第1ページ、第2ページのデータを1つのメモリセルに記憶するメモリカードの制御方法であって、前記メモリセルに第2ページのデータを書き込むとき、前記メモリセルから前記第1ページのデータを読み出し保持することを特徴とする。

【発明の効果】

【0010】

本発明によれば、多値データを確実に書き込むことが可能なメモリカードとその制御方法を提供できる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について、図面を参照して説明する。

【0012】

（第1の実施形態）

図2は、ホストとメモリカードとを含む構成を示すブロック図である。

【0013】

ホスト機器（以下、ホストと称す）20は、接続されるメモリカードをアクセスするためのハードウェア及びソフトウェア（システム）を備えている。

【0014】

メモリカード1は、ホスト20に接続されたときに電源供給を受けて動作し、ホスト20からのアクセスに応じた処理を行う。このメモリカード1は、前述したようにNAND型フラッシュメモリ3及びコントローラ4を有している。このコントローラ4は、NAND型フラッシュメモリ3内部の物理状態（何処の物理ブロックアドレスに、何番目の論理セクタアドレスデータが含まれているか、或いは、何処のブロックが消去状態であるか）を管理する。

10

20

30

40

50

【 0 0 1 5 】

NAND型フラッシュメモリ3は、消去時のブロックサイズ（消去ブロックサイズ）が例えば256kByteに定められた不揮発性メモリであり、例えば2kByte単位でデータの書き込み・読み出しを行うようになっている。このNAND型フラッシュメモリ3は、例えば0.09 μ mプロセス技術を用いて製作される。即ち、NAND型フラッシュメモリ3のデザインルールは、0.1 μ m未満となっている。

【 0 0 1 6 】

コントローラ4は、前述したCPU8及びROM9のほかに、メモリインターフェース部5、ホストインタフェース部6、バッファ7、及びRAM(Random Access Memory)10を搭載している。

10

【 0 0 1 7 】

メモリインターフェース部5は、コントローラ4とNAND型フラッシュメモリ3との間のインタフェース処理を行う。ホストインタフェース部6は、コントローラ4とホスト20との間のインタフェース処理を行う。

【 0 0 1 8 】

バッファ7は、ホスト20から送られてくるデータをNAND型フラッシュメモリ3へ書き込む際に、一定量のデータ（例えば1ページ分）を一時的に記憶したり、NAND型フラッシュメモリ3から読み出されるデータをホスト20へ送り出す際に、一定量のデータを一時的に記憶したりする。

【 0 0 1 9 】

CPU8は、メモリカード1全体の動作を司るものである。このCPU8は、例えばメモリカード1が電源供給を受けた際に、ROM9の中に格納されているファームウェア（制御プログラム）をRAM10上にロードして所定の処理を実行する。すなわち、CPU8は、各種のテーブルをRAM10上に作成したり、ホスト20から書き込みコマンド、読み出しコマンド、消去コマンドを受けてNAND型フラッシュメモリ3上の該当領域をアクセスしたり、バッファ7を通じてデータ転送処理を制御したりする。

20

【 0 0 2 0 】

ROM9は、CPU8により使用される制御プログラムなどを格納するメモリである。RAM10は、CPU8の作業エリアとして使用され、制御プログラムや各種のテーブルを記憶する揮発性メモリである。

30

【 0 0 2 1 】

バッファ7は、例えば1ページ分のデータを記憶する容量を有しており、例えばデータの書き込み時、ロアページから読み出されたデータを保持する。

【 0 0 2 2 】

図3は、NAND型フラッシュメモリ3の概略構成を示している。NAND型フラッシュメモリ3は、複数のブロックが配列されたメモリセルアレイを有している。各ブロックはデータの消去単位であり、各ブロックには複数のメモリセルMCが行列状に配置されている。このNAND型フラッシュメモリ3のメモリセルMCは、多値データ例えば2ビットのデータを記憶する。図示せぬワード線に共通に接続された複数のメモリセルMCの集合は、複数のページを構成している。具体的には、1つのメモリセルMCに記憶された2ビットのデータのうち、下位ビットにロアページ(lower page)が割り当てられ、上位ビットにアッパーページ(upper page)割り当てられている。データの書き込みにおいて、まずロアページにデータが書き込まれ、その後、アッパーページにデータが書き込まれる。

40

【 0 0 2 3 】

ところで、近時、データの書き込み時において、隣接セル間のカップリング容量の影響により、メモリセルの閾値電圧が変動することが知られている。このため、隣接セルのカップリング容量の影響を軽減するため、ロアページアドレスとアッパーページアドレスを離れた書き込み方法が開発されている。

【 0 0 2 4 】

50

図4は、その一例を示している。例えばロアーページ“0”に対して、アッパーページ“4”が設定され、ロアーページ“1”に対して、アッパーページ“5”が設定されている。また、ロアーページ“2”に対して、アッパーページ“8”が設定され、ロアーページ“3”に対して、アッパーページ“9”が設定されている。このようにページアドレスが設定されたメモリセルの書き込み動作は次のようである。先ず、ロアーページ“0”“1”“2”“3”が書き込まれ、この後、アッパーページ“4”“5”が書き込まれる。次いで、ロアーページ“6”“7”が書き込まれ、この後、アッパーページ“8”“9”が書き込まれる。この書き込み動作は次のように定義される。すなわち、隣接するセル相互において、あるメモリセルのアッパーページを書き込む前に、このメモリセルと隣接するメモリセルのロアーページが書き込まれている。具体的には、例えばメモリセルのアッパーページ“4”を書き込む前に隣接するメモリセルのロアーページ“1”が書き込まれており、メモリセルのアッパーページ“5”を書き込む前に隣接するメモリセルのロアーページ“2”が書き込まれている。

10

【0025】

第1の実施形態は、あるメモリセルのアッパーページにデータを書き込むとき、そのメモリセルのロアーページのデータを読み出して保持することにより、ロアーページデータの破壊を防止する。このため、コントローラ1の内部の例えばROM9内に、同一のメモリセルに割り当てられたロアーページアドレスとアッパーページアドレスの対応テーブルを作成しておく。すなわち、メモリセルに対する書き込み順序を示す書き込みアドレスは、隣接セル容量を考慮して予め定められている。この予め定められたロアーページアドレスとアッパーページアドレスの対応テーブルをROM9に記憶しておく。

20

【0026】

図5は、前記テーブルTBの一例を示している。コントローラ1は、このテーブルTBに従い、アッパーページへの書き込みを行う直前に、対応するロアーページのデータをメモリセルから読み出し、バッファ7に記憶させる。このバッファ7に記憶されたデータは、アッパーページに対するデータの書き込みが完了まで保持される。

【0027】

図1は、コントローラ1の動作を示している。図1に示すように、コントローラは、書き込みアドレスがロアーページアドレスかどうかを判別する(S11)。この結果、ロアーページアドレスである場合、ロアーページのデータが書き込まれる(S12)。このロアーページの書き込みにおいて、エラーが発生したかどうかを判別され(S13)、エラーが発生した場合、エラー処理が行なわれる(S14)。すなわち、ロアーページのデータが再度書き込まれる。ロアーページのデータは、例えばNAND型フラッシュメモリ3に設けられた図示せぬデータキャッシュに保持されている。このため、ロアーページのデータを確実に再書き込みすることができる。

30

【0028】

一方、ステップS11において、書き込みアドレスがアッパーページアドレスであると判別された場合、図5に示すテーブルを参照して、このアッパーページアドレスに対応するロアーページアドレスにより、書き込み対象のメモリセルから既に書き込まれているロアーページのデータが読み出される。この読み出されたデータは、コントローラ1内のバッファ7に記憶される(S15)。この状態において、アッパーページのデータが書き込み対象のメモリセルに書き込まれる(S16)。このアッパーページの書き込みにおいて、エラーが発生したかどうかを判別される(S17)。書き込みエラーが発生しない場合、書き込みが正常終了される。

40

【0029】

一方、アッパーページの書き込みにおいてエラーが発生した場合、ロアーページのデータも破壊されている。このため、先ず、バッファ7に記憶されたロアーページのデータがメモリセルに書き込まれ(S18)、この後、アッパーページのデータがメモリセルに書き込まれる(S19)。アッパーページのデータは、例えばNAND型フラッシュメモリ3に設けられた図示せぬデータキャッシュに保持されている。このため、アッパーペー

50

ジのデータを確実に再書き込みすることができる。

【0030】

上記第1の実施形態によれば、アップページのデータを書き込む場合、先ず、このアップページに対応するロアページのデータを読み出してバッファ7にバックアップし、この後、アップページのデータを書き込んでいる。このため、アップページのデータを書き込む場合、ロアページデータの破壊を防止することができ、多値データを確実に書き込むことができる。

【0031】

また、バッファ7の記憶容量は、書き込み対象のメモリセルのロアページのデータを記憶できればよい。すなわち、ロアページアドレスとアップページアドレスが離れている場合においても、バッファ7は、1ページ分の記憶容量を有していればよい。したがって、チップに対するコントローラ1の占有面積を抑制することができる。

10

【0032】

第1の実施形態の場合、アップページの書き込み時間にロアページデータの読み出し、及び記憶時間が加算される。しかし、ロアページデータの読み出しに、例えば1ページのデータをクロック信号に同期して高速に読み出すことが可能なシンクロナス・バースト・リード (Synchronous Burst Read) を用いることにより、読み出し時間を短縮することができ、書き込み時間全体を短縮することができる。

【0033】

(第2の実施形態)

20

上記第1の実施形態は、アップページのデータを書き込む毎に、ロアページのデータを読み出し、バッファ7に記憶させていた。これに対して、第2の実施形態は、例えば電源投入後、最初の書き込み時に上記動作を実行する。

【0034】

例えばロアページのデータを書き込み、この書き込み動作が正常終了した後、電源が切られ、その後、電源を投入した際、前記ロアページのデータの書き込まれたメモリセルに引き続きアップページのデータを書き込むことがある。この場合、メモリセルに書き込まれたロアページのデータとアップページのデータは、殆ど関連性のないデータである。このような書き込み形態において、アップページの書き込みに失敗した場合、従来は、ロアページのデータを復旧することが困難であった。

30

【0035】

そこで、第2の実施形態は、電源投入直後にアップページにデータを書き込むとき、上記動作を実行する。

【0036】

図6は、第2の実施形態の動作を示している。例えばメモリカード1がホスト20に接続され、電源が投入されると、先ず、電源投入直後の書き込みか否かが判別される(S21)。この判別は、例えばフラグのデータに従って行なわれる。このフラグは、例えば電源投入時にセットされ、アップページが書き込まれた場合、リセットされるようにすればよい。最初の書き込みの場合、書き込みアドレスがロアページか否かが判別される(S11)。この結果、アップページアドレスである場合、第1の実施形態と同様にして、書き込み対象メモリセルからロアページのデータが読み出され、バッファ7に記憶される(S15)。この後、アップページのデータが書き込まれる(S16 - S19)。

40

【0037】

また、電源投入直後の書き込みであって、ロアページのデータを書き込む場合、制御がステップS11からS23に移行される。

【0038】

また、前記フラグがリセットされ、電源投入直後の書き込みではない場合、制御がステップS21からS22に移行される。この後、ロアページのデータ、又はアップページのデータがメモリセルに書き込まれる(S23 - S28)。この場合、アップページのデータを書き込む際、ロアページのデータを読み出さない。

50

【0039】

上記第2の実施形態によれば、ロアーページが書き込まれたメモリセルに対して、電源投入直後に、アップページデータを書き込む場合のみ、先ずロアーページのデータを読み出してバッファ7に記憶させ、その後、アップページのデータを書き込んでいる。このため、電源遮断前に書き込まれたロアーページのデータを確実に保護することができる。

【0040】

しかも、バッファ7は、1ページ分の記憶容量を有していればよいため、コントローラ1のチップ占有面積の増大を抑制することができる。

【0041】

さらに、電源投入直後にアップページのデータを書き込む場合のみ、ロアーページのデータを読み出し、その後、アップページのデータを書き込む場合はロアーページのデータを読み出さないため、書き込み動作を高速化することが可能である。

【0042】

(変形例1)

上記第1、第2の実施形態において、メモリセルから読み出されたロアーページのデータはバッファ7に記憶した。しかし、これに限定されるものではなく、図2に示すCPU8を介してRAM10に記憶させるようにしてもよい。

【0043】

(変形例2)

また、上記第1、第2の実施形態において、テーブルTBをROM9内に形成したが、これに限定されるものではない。例えば、ロアーページアドレス、アップページアドレスを算出するための計算式をROM9に記憶させ、この計算式を用いて計算したロアーページアドレス、アップページアドレスをRAM10に記憶させてもよい。

【0044】

(変形例3)

或いは、図2に示すように、メモリインターフェース5内に、例えばロアーページアドレスとアップページアドレスを変換する変換式に対応したアドレス変換回路(AC)5-1を配置し、このアドレス変換回路5-1によりアドレス算出するように構成してもよい。

【0045】

(変形例4)

さらに、上記第1、第2の実施形態において、ロアーページアドレスとアップページアドレスの関係は、図3乃至図5に示したが、これに限定されるものではない。

【0046】

例えば、図7に示すように、行及び列方向に隣接するメモリセルのカップリング容量をよるメモリセルの閾値電圧の変動を抑制するため、1つの行に配置されたメモリセルを1つおきに選択し、1つの行に2つのロアーページアドレスと、2つのアップページアドレスを設定した書き込み方式が開発されている。図7に示す例の場合、メモリセルMC00, MC02...がロアーページ“0”、アップページ“4”に設定され、メモリセルMC01, MC03...がロアーページ“1”、アップページ“5”に設定されている。以下図示のように、ページアドレスが設定されている。このようにページアドレスが設定されたメモリセルの書き込み動作は次のように行なわれる。すなわち、あるメモリセルのアップページを書き込む前に、このメモリセルと隣接するメモリセルのロアーページを書き込む。具体的には、例えばメモリセルMC00, MC02...のアップページ“4”を書き込む前に隣接するメモリセルMC10, MC12...のロアーページ“2”が書き込まれる。また、メモリセルMC01, MC03...のアップページ“5”を書き込む前に隣接するメモリセルMC11, MC13...のロアーページ“3”が書き込まれる。

【0047】

このようにページアドレスが設定されたメモリセルに対しても、第1、第2の実施形態

10

20

30

40

50

を適用することが可能である。すなわち、例えばメモリセルMC00, MC02...のアップページ“4”にデータを書き込む場合、メモリセルMC00, MC02...のロアページ“0”に書き込まれているデータを読み出しバッファ7に記憶される。

【0048】

この変形例によっても、第1、第2の実施形態と同様の効果を得ることができる。

【0049】

(変形例5)

また、上記第1、第2の実施形態は1つのメモリセルに2ビット、2ページのデータを記憶する場合について説明した。しかし、これに限定されるものではなく、1つのメモリセルに3ビット、3ページ以上のデータを記憶させることも可能である。この場合、バッファ7の記憶容量をページ数-1の記憶容量に設定すればよい。

10

【0050】

(変形例6)

さらに、上記第1、第2の実施形態は、アップページのデータを書き込む際、ロアページのデータを読み出したが、これに限定されるものではない。

【0051】

例えば多値メモリにおいて、アップページの書き込みに失敗した場合、ロアページの情報を復元するために、ロアページからアップページまでの、数ページ分のデータをバッファ7に保持してもよい。アップページの書き込みに失敗した場合、まず、バッファ7に記憶された書き込みに失敗したアップページ対応するロアページのデータを書き込み、この後、アップページのデータを書き込む。この方法によれば、アップページの書き込みの際にロアページのデータを読み出す必要がない。

20

【0052】

図4、図7に示すように、1つのメモリセルについて、ロアページアドレスとアップページアドレスとが連続せず離れている書き込み方式において、バッファ7の記憶容量を、例えばロアページアドレスからアップページアドレスの最大間隔内に含まれるロアページの数分のデータを記憶するための容量と、書き込むべきアップページのデータを保持するに必要な容量に設定する。

【0053】

具体的には、図4に示す例の場合、ロアページアドレス“2”とアップページアドレス“8”を含みこれら間に存在するロアページアドレスは“2”“3”“6”“7”“8”の5ページである。このため、バッファ7の記憶容量を5ページ分とする。このようにバッファ7の記憶容量を設定することにより、アップページアドレスに対応する書き込みが終了するまで、そのアップページアドレスに対応するメモリセルのロアページアドレスのデータをバッファ7に保持することができる。したがって、バッファ7の記憶容量を大幅に増加することなく、且つ、アップページの書き込み時にロアページのデータを読み出すことなく多値データを確実に、且つ、高速に書き込むことが可能である。

30

【0054】

(変形例7)

上記第1、第2の実施形態及び各変形例はNAND型フラッシュメモリについて説明したが、本発明はこれに限らず、多値データを記憶するNOR型フラッシュメモリ等に適用することも可能である。

40

【0055】

また、上記第1、第2の実施形態及び各変形例は、4値(2ビット)の場合について説明した。しかし、4値に限らず、8値(3ビット)以上のデータを記憶するNAND型フラッシュメモリに本発明を適用することも可能である。

【0056】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【図面の簡単な説明】

50

【 0 0 5 7 】

【 図 1 】 第 1 の実施形態の動作を示すフローチャート。

【 図 2 】 第 1 の実施形態が適用されるメモリカードの一例を示す図。

【 図 3 】 第 1 の実施形態が適用されるメモリカードの他の例を示す図。

【 図 4 】 第 1 の実施形態が適用されるメモリカードの他の例を示す図。

【 図 5 】 第 1 の実施形態が適用されるテーブルの一例を示す図。

【 図 6 】 第 2 の実施形態の動作を示すフローチャート。

【 図 7 】 メモリカードの変形例を示す図。

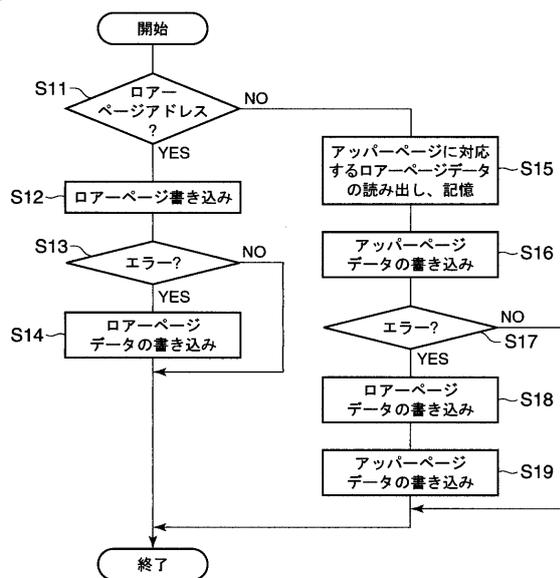
【 符号の説明 】

【 0 0 5 8 】

1 ... メモリカード、 3 ... N A N D 型フラッシュメモリ、 4 ... コントローラ、 7 ... バッファ、 8 ... C P U、 T B ... テーブル。

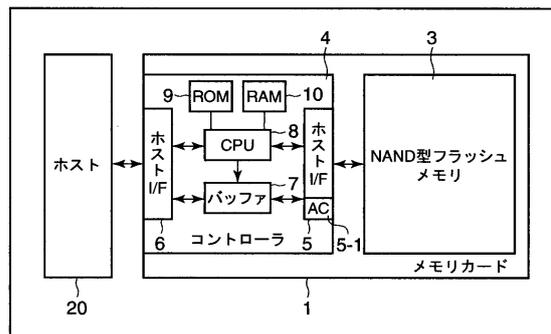
【 図 1 】

図 1



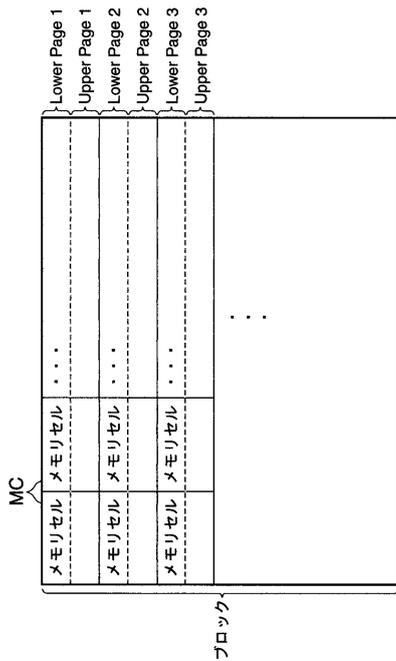
【 図 2 】

図 2



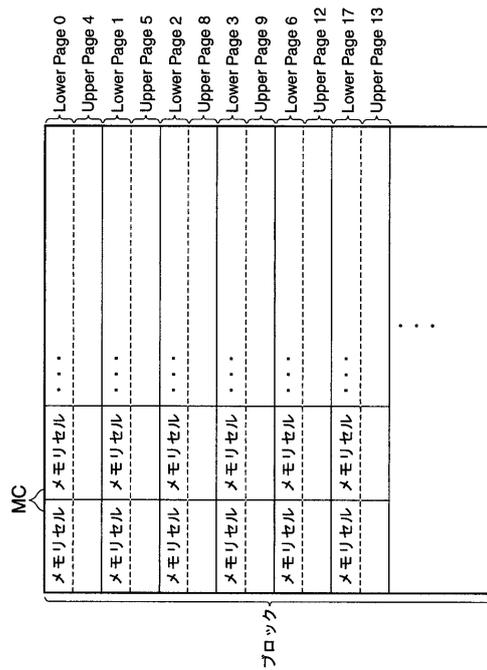
【 図 3 】

図 3



【 図 4 】

図 4



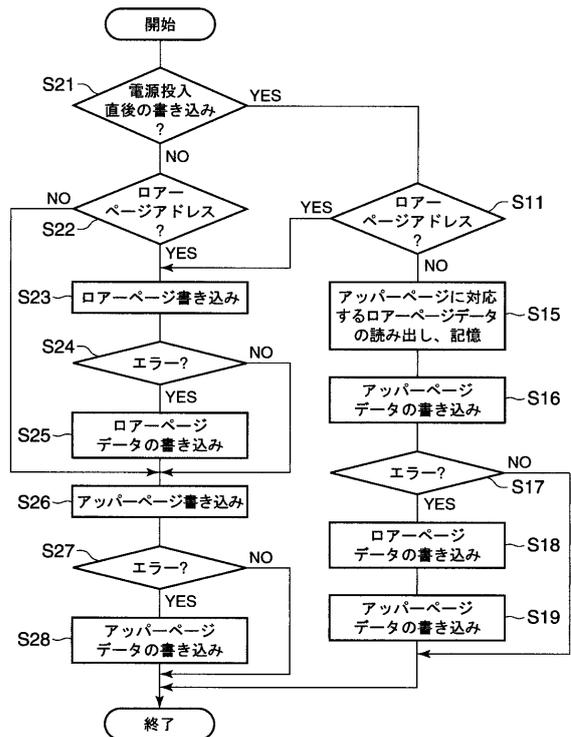
【 図 5 】

図 5

Lower Page 0
Upper Page 4
Lower Page 1
Upper Page 5
Lower Page 2
Upper Page 8
Lower Page 3
Upper Page 9
Lower Page 6
Upper Page 12
Lower Page 7
Upper Page 13

【 図 6 】

図 6



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 村上 哲也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5B018 GA04 HA04 MA24 NA06 QA05 QA15 RA11

5B058 CA01 CA28 KA08