

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : 本発明のセラミック基板の製造方法は、セラミック層を有する基板本体と、上記基板本体の一方主面に設けられた柱状の突起電極と、を備えるセラミック基板の製造方法であって、上記セラミック層となるべきセラミックグリーンシートを準備する工程と、上記突起電極を形成するための電極形成用シートを準備する工程と、上記電極形成用シートに貫通孔を形成し、第1導電性粉末を含有する第1導電性ペーストを上記貫通孔に充填する工程と、上記セラミックグリーンシートを積層するとともに、上記セラミックグリーンシートの積層体の一方主面に、上記第1導電性ペーストが上記貫通孔に充填された上記電極形成用シートを積層することにより、複合積層体を作製する工程と、上記セラミックグリーンシートが焼結する温度で、上記複合積層体を焼成する工程と、を備え、上記第1導電性粉末は、導電性金属と、上記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子の表面の少なくとも一部に上記焼結抑制セラミックが被覆されていることを特徴とする。

明 細 書

発明の名称：

セラミック基板の製造方法、セラミック基板、及び、モジュール

技術分野

[0001] 本発明は、セラミック基板の製造方法、セラミック基板、及び、モジュールに関する。

背景技術

[0002] 従来、セラミック基板等の基板と、上記基板の一方主面に設けられた樹脂層と、上記基板の一方主面に実装された電子部品と、先端が上記樹脂層の表面から露出する外部接続端子と、を備えるモジュールが知られている。

[0003] 外部接続端子は柱状の突起電極を含んでおり、例えば、導電性金属からなる金属ピンや、導電性金属の粒子の焼結体等が突起電極として用いられている。

[0004] 突起電極ではなく、積層セラミックコンデンサ等の電子部品の端子電極を形成する技術として、特許文献1には、低抵抗金属とガラス成分等が分散した端子電極用ペースト中に、ジルコニア、マグネシア及びアルミナのうちの少なくとも一種類を添加することが開示されている。特許文献1によれば、ジルコニア、マグネシア、アルミナ等の無機材料は低抵抗金属との反応性が低く、低抵抗金属の急激な焼結反応を抑えることができるため、焼結時の収縮が緩和され、緻密な端子電極が得られるとされている。

先行技術文献

特許文献

[0005] 特許文献1：特開平8－64029号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載の端子電極用ペーストを用いて突起電極を形成しようとした場合、端子電極と異なり、一定の高さを有する柱状の電極を形成する必要

があるため、焼結時の収縮を抑制するためにアルミナ等の添加量を増加せざるを得ない。しかし、アルミナ等の添加量が多くなるほど、突起電極の比抵抗が高くなってしまふ。一方、突起電極の比抵抗を低くするためにアルミナ等の添加量を少なくすると、焼結時の収縮を十分に抑制することができないため、クラック等の構造欠陥が突起電極に発生してしまふ。

[0007] 本発明は上記の問題を解決するためになされたものであり、クラック等の構造欠陥の発生が防止され、かつ、比抵抗が低い突起電極を有するセラミック基板の製造方法、及び、セラミック基板を提供することを目的とする。本発明はまた、上記セラミック基板を備えるモジュールを提供することを目的とする。

課題を解決するための手段

[0008] 本発明のセラミック基板の製造方法は、セラミック層を有する基板本体と、上記基板本体の一方主面に設けられた柱状の突起電極と、を備えるセラミック基板の製造方法であって、上記セラミック層となるべきセラミックグリーンシートを準備する工程と、上記突起電極を形成するための電極形成用シートを準備する工程と、上記電極形成用シートに貫通孔を形成し、第1導電性粉末を含有する第1導電性ペーストを上記貫通孔に充填する工程と、上記セラミックグリーンシートを積層するとともに、上記セラミックグリーンシートの積層体の一方主面に、上記第1導電性ペーストが上記貫通孔に充填された上記電極形成用シートを積層することにより、複合積層体を作製する工程と、上記セラミックグリーンシートが焼結する温度で、上記複合積層体を焼成する工程と、を備え、上記第1導電性粉末は、導電性金属と、上記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子の表面の少なくとも一部に上記焼結抑制セラミックが被覆されていることを特徴とする。

[0009] 本発明のセラミック基板の製造方法の一実施形態において、上記電極形成用シートは、上記セラミックグリーンシートが焼結する温度では実質的に焼結しない拘束シートである。この場合、上記セラミックグリーンシートが焼結

し、上記拘束シートが焼結しない温度で、上記複合積層体を焼成した後、残存する上記拘束シートを除去する。

[0010] 本発明のセラミック基板の製造方法の一実施形態において、上記電極形成用シートは、上記セラミックグリーンシートが焼結する温度以下で焼失する樹脂シートである。この場合、上記複合積層体を焼成する工程において、上記樹脂シートを焼失させる。

[0011] 本発明のセラミック基板の製造方法において、上記焼結抑制セラミックは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含むことが好ましい。

[0012] 本発明のセラミック基板の製造方法において、上記導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含むことが好ましい。

[0013] 本発明のセラミック基板の製造方法において、上記第1導電性ペースト中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましい。また、上記第1導電性ペースト中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して0.3重量%以上であることが好ましい。

[0014] 本発明のセラミック基板の製造方法は、上記第1導電性ペーストを上記貫通孔に充填する工程の後、第2導電性粉末を含有する第2導電性ペーストを上記貫通孔の表面に印刷する工程をさらに備え、上記第2導電性粉末は、上記導電性金属と、上記焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子の表面の少なくとも一部に上記焼結抑制セラミックが被覆されており、上記複合積層体を作製する工程では、上記第2導電性ペーストが上記貫通孔の表面に印刷された上記電極形成用シートを表面に積層することが好ましい。

[0015] 上記複合積層体を作製する工程では、上記第2導電性ペーストが上記貫通孔の表面に印刷された上記電極形成用シートを内部にも積層することが好ましい。

- [0016] 上記第2導電性ペースト中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましい。また、上記第2導電性ペースト中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して0.5重量%以上であることが好ましい。
- [0017] 本発明のセラミック基板は、セラミック層を有する基板本体と、上記基板本体の一方主面に設けられた柱状の突起電極と、を備えるセラミック基板であって、上記基板本体の上記一方主面は、上記突起電極が設けられていない領域に、電子部品を実装するための領域を有し、上記突起電極は、導電性金属と、上記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子がネッキングしたポーラスな構造を有することを特徴とする。
- [0018] 本発明のセラミック基板において、上記焼結抑制セラミックは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含むことが好ましい。
- [0019] 本発明のセラミック基板において、上記導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含むことが好ましい。
- [0020] 本発明のセラミック基板において、上記突起電極中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましい。また、上記突起電極中の上記焼結抑制セラミックの含有量は、上記導電性金属及び上記焼結抑制セラミックの合計重量に対して0.3重量%以上であることが好ましい。
- [0021] 本発明のセラミック基板においては、上記導電性金属の粒子の表面の少なくとも一部に上記焼結抑制セラミックが被覆されていてもよい。
- [0022] 本発明のセラミック基板において、上記突起電極は、他の部分よりも空隙率の低い緻密層を表面に有することが好ましい。
- [0023] 上記突起電極は、上記緻密層を内部にも有することが好ましい。
- [0024] 上記突起電極の緻密層は、緻密層以外の部分よりも幅が広いことが好ましい

。

[0025] 本発明のモジュールは、本発明のセラミック基板と、上記セラミック基板を構成する基板本体の一方主面に実装された電子部品と、上記基板本体の上記一方主面に設けられた樹脂層と、を備え、上記電子部品は、上記基板本体の上記一方主面のうち、突起電極が設けられていない領域に実装されるように上記樹脂層内に配置され、上記基板本体の上記一方主面には、上記突起電極を含む外部接続端子が設けられ、上記外部接続端子は、先端が上記樹脂層の表面から露出するように上記樹脂層内に配置されていることを特徴とする。

[0026] 本発明のモジュールにおいては、上記電子部品の表面の少なくとも一部が、上記樹脂層の表面から露出していることが好ましい。

[0027] 本発明のモジュールにおいて、上記外部接続端子は、上記突起電極の側面の少なくとも一部を被覆するめっき膜をさらに含むことが好ましい。また、上記外部接続端子は、上記突起電極の上面の少なくとも一部を被覆する被覆層をさらに含むことが好ましい。

発明の効果

[0028] 本発明によれば、クラック等の構造欠陥の発生が防止され、かつ、比抵抗が低い突起電極を有するセラミック基板を提供することができる。

図面の簡単な説明

[0029] [図1]図1は、本発明のセラミック基板の一例を模式的に示す断面図である。

[図2]図2は、突起電極の一例を模式的に示す断面図である。

[図3]図3 A及び図3 Bは、導電性金属の粒子が焼結する様子を説明する模式図である。

[図4]図4 A、図4 B及び図4 Cは、拘束シートを用いたセラミック基板の製造方法の一例を模式的に示す断面図である。

[図5]図5 A、図5 B及び図5 Cは、拘束シートを用いたセラミック基板の製造方法の別の一例を模式的に示す断面図である。

[図6]図6 A、図6 B及び図6 Cは、拘束シートを用いたセラミック基板の製造方法のさらに別の一例を模式的に示す断面図である。

[図7]図7A及び図7Bは、樹脂シートを用いたセラミック基板の製造方法の一例を模式的に示す断面図である。

[図8]図8(a)は、本発明のモジュールの一例を模式的に示す断面図であり、図8(b)は、図8(a)に示すモジュールの平面図である。

[図9]図9A、図9B、図9C、図9D及び図9Eは、図8(a)に示すモジュールの製造方法の一例を模式的に示す断面図である。

[図10]図10は、比抵抗評価に用いる測定試料を模式的に示す斜視図である。

発明を実施するための形態

[0030] 以下、本発明のセラミック基板の製造方法、セラミック基板、及び、モジュールについて説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。なお、以下において記載する本発明の個々の望ましい構成を2つ以上組み合わせたものもまた本発明である。

[0031] [セラミック基板]

まず、本発明のセラミック基板について説明する。

図1は、本発明のセラミック基板の一例を模式的に示す断面図である。

図1に示すセラミック基板1は、基板本体10と、基板本体10の一方主面に設けられた柱状の突起電極20と、を備える。図1に示すセラミック基板1では、基板本体10は、積層された複数のセラミック層11を有している。

[0032] 突起電極20は、基板本体10の配線導体（図示せず）と電気的に接続されている。図1には示されていないが、基板本体10は、セラミック層11間に設けられた内部導体、基板本体10の一方主面及び他方主面に設けられた外部導体、セラミック層11を厚み方向に貫通するビア導体等の配線導体を有しており、特定の配線導体が突起電極20と電気的に接続されている。例えば、突起電極20は、セラミック層11の表面に設けられた外部導体と接

続されていてもよいし、セラミック層 11 の表面に露出するビア導体と接続されていてもよい。

[0033] 図 1 に示すセラミック基板 1 を用いることにより、後述する図 8 (a) に示すモジュール 100 を作製することができる。そのため、基板本体 10 の一方主面は、突起電極 20 が設けられていない領域に、電子部品を実装するための領域 R_{40} を有している。

[0034] 本発明のセラミック基板において、基板本体を構成するセラミック層は、低温焼結セラミック材料を含有することが好ましい。低温焼結セラミック材料とは、セラミック材料のうち、 1000°C 以下の焼成温度で焼結可能であり、銅や銀等との同時焼成が可能である材料を意味する。

[0035] セラミック層に含有される低温焼結セラミック材料としては、例えば、クォーツやアルミナ、フォルステライト等のセラミック材料にホウ珪酸ガラスを混合してなるガラス複合系低温焼結セラミック材料、 $\text{ZnO}-\text{MgO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系の結晶化ガラスを用いた結晶化ガラス系低温焼結セラミック材料、 $\text{BaO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系セラミック材料や $\text{Al}_2\text{O}_3-\text{CaO}-\text{SiO}_2-\text{MgO}-\text{B}_2\text{O}_3$ 系セラミック材料等を用いた非ガラス系低温焼結セラミック材料等が挙げられる。

[0036] 本発明のセラミック基板において、突起電極は、モジュールとした際の外部接続端子として機能するものである。

[0037] 本発明のセラミック基板においては、突起電極が、導電性金属と、上記導電性金属の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子がネッキングしたポーラスな構造を有することを特徴としている。

[0038] 本明細書において、ポーラスな構造 (porous structure) とは、多数の空孔 (pore) を有する構造を意味する。なお、ここでいう空孔 (pore) は、クラックのような大きな空洞 (void) とは区別される。

[0039] 突起電極の空隙率は特に限定されないが、空隙率が高すぎると、突起電極自

体の物理的強度が劣化しやすくなる。そのため、突起電極の空隙率は、50%以下であることが好ましい。

[0040] 図2は、突起電極の一例を模式的に示す断面図である。

図2に示すように、基板本体10の一方主面に設けられた突起電極20は、多数の空孔20aを有するポーラスな構造を有している。具体的には、ネッキングした導電性金属31の界面間にポーラスな部分（空孔20a）が発生している。なお、図2では、焼結抑制セラミックは省略している。

[0041] 本発明のセラミック基板においては、図2に示すように、突起電極の全体がポーラスな構造を有している。

「突起電極の全体がポーラスな構造を有している」とは、図2に示すような突起電極の断面観察において、突起電極の断面を基板本体の表面に平行な線で3等分してできる3つの領域における空隙率を求めたとき、3つの領域における空隙率がほぼ同じ（好ましくは最大値と最小値の比が2以下）であることを意味する。なお、突起電極が緻密層を有する場合には、緻密層を除いた部分の空隙率を求め、3つの領域における空隙率が上記の関係にあればよい。

[0042] 突起電極の空隙率は、以下の方法により求められる。

突起電極に蛍光液を含浸し、蛍光液を硬化させた後、突起電極の断面を蛍光顕微鏡により観察する。このとき、蛍光液が含浸した部分（空隙部）の面積と、蛍光液が含浸していない部分（胴体部）の面積の比を空隙率とする。

[0043] 後述の図9に示すような方法でモジュールを製造する場合、めっきリフロー後に突起電極の内部に一部めっき液が残存することがある。かかる場合、はんだリフロー時に気化しためっき液が、突起電極からはんだ層に出る際の圧力で、はんだ爆ぜの不良が発生する。

しかしながら、突起電極の全体がポーラスな構造を有している場合には、突起電極がポーラスな構造を有していない場合や突起電極の一部がポーラスな構造を有している場合に比べて、圧力が軽減されるため、はんだ爆ぜの不良が少なくなる。

- [0044] 本発明のセラミック基板において、突起電極は、導電性金属の粒子の表面に焼結抑制セラミックが被覆された第1導電性粉末を含有する第1導電性ペーストを用いて形成されることが好ましい。この場合、後述するように、導電性金属の粒子が焼結する際、収縮が抑制された状態で導電性金属の粒子がネッキングする。その結果、得られる突起電極は、形状を維持することができる程度の強度を有するポーラスな構造となるため、クラック等の構造欠陥の発生が防止される。
- [0045] 本発明のセラミック基板において、突起電極は、基板本体との同時焼成によって形成されることが好ましい。例えば、後述するように、第1導電性ペーストが貫通孔に充填された電極形成用シートをセラミックグリーンシートの積層体の主面に積層した複合積層体を焼成し、電極形成用シートを除去することにより、突起電極を形成することが好ましい。
- この場合、電極形成用シートに形成する貫通孔の大きさや間隔を調整することによって、所望の突起電極を形成することができる。
- [0046] 突起電極に含まれる導電性金属の種類は特に限定されないが、例えば、銅、銀、ニッケル、パラジウム及びこれらの合金等の金属が挙げられる。導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含むことが好ましく、銅、銀及びニッケルからなる群より選ばれるいずれか1種を含むことがより好ましく、銅、銀及びニッケルからなる群より選ばれるいずれか1種であることがさらに好ましい。
- [0047] 導電性金属の粒子の焼結を抑制することができる限り、突起電極に含まれる焼結抑制セラミックの種類は特に限定されないが、例えば、アルミナ、ジルコニア、シリカ等の金属酸化物が挙げられる。焼結抑制セラミックは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含むことが好ましく、アルミナ、ジルコニア及びシリカからなる群より選ばれるいずれか1種を含むことがより好ましく、アルミナ、ジルコニア及びシリカからなる群より選ばれるいずれか1種であることがさらに好ましい。
- [0048] 突起電極中の焼結抑制セラミックの含有量は特に限定されないが、突起電極

の比抵抗を低くする観点から、導電性金属及び焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましい。また、構造欠陥の発生を防止する観点から、導電性金属及び焼結抑制セラミックの合計重量に対して0.3重量%以上であることが好ましい。

[0049] なお、突起電極が導電性金属及び焼結抑制セラミックを含むことは、突起電極の元素分析によって確認することができる。例えば、突起電極が導電性金属として銅、焼結抑制セラミックとしてアルミナを含む場合、Cu、Al及びOの各元素が検出される。

[0050] 本発明のセラミック基板を構成する突起電極においては、導電性金属の粒子の表面の一部に焼結抑制セラミックが被覆されていてもよいが、焼結抑制セラミックが被覆されていなくてもよい。

[0051] 本発明のセラミック基板において、突起電極は、導電性金属及び焼結抑制セラミック以外の成分を含んでもよいが、突起電極が緻密な構造となることを防止する観点からは、ガラス成分を実質的に含まないことが好ましい。

[0052] 本発明のセラミック基板において、突起電極の高さは特に限定されないが、本発明の製造方法により上記セラミック基板を製造する場合、少なくとも200 μ m程度の突起電極の高さを形成することが可能である。

[0053] 本発明のセラミック基板において、突起電極は、他の部分よりも空隙率の低い緻密層を表面に有することが好ましい。突起電極は、上記緻密層を内部にも有することが好ましい。

後述する方法により突起電極を形成する場合、拘束シートを除去する際に突起電極の表面に衝撃が加わる。そのため、突起電極の表面や内部に緻密層が設けられていると、突起電極に生じるクラック等を抑制することができる。

[0054] 本発明のセラミック基板において、突起電極の緻密層は、緻密層以外の部分と同じ幅であってもよいし、緻密層以外の部分よりも幅が狭くてもよいが、緻密層以外の部分よりも幅が広いことが好ましい。

[0055] [セラミック基板の製造方法]

本発明のセラミック基板は、好ましくは、以下のように製造される。このよ

うなセラミック基板の製造方法もまた、本発明の1つである。

[0056] まず、基板本体を構成するセラミック層となるべきセラミックグリーンシートを準備する。

セラミックグリーンシートは、未焼結のセラミック材料として、アルミナとホウケイ酸系ガラスとを混合したガラスセラミックや、焼成中にガラス成分を生成するBa-AI-Si-O系セラミックの原料となる粉末と、有機バインダと溶剤とを含有するセラミックスラリーを、ドクターブレード法等によってシート状に成形したものである。セラミックスラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。

[0057] 必要に応じて、特定のセラミックグリーンシート上に、例えば銀又は銅を含有する配線導体用ペーストを用いたスクリーン印刷等により、内部導体又は外部導体となるべきペースト膜を形成する。また、特定のセラミックグリーンシートに、レーザーやメカパンチにより貫通孔を形成し、該貫通孔に上記ペーストを充填することにより、ビア導体となるべきペースト体を形成する。

[0058] 別途、突起電極を形成するための電極形成用シートを準備する。電極形成用シートについては後述する。

[0059] 電極形成用シートに貫通孔を形成し、第1導電性粉末を含有する第1導電性ペーストを該貫通孔に充填する。これにより、突起電極となるべきペースト体を形成する。貫通孔は、例えば、レーザーやメカパンチにより形成することができる。また、第1導電性ペーストには、溶剤、有機バインダ等が含まれることが好ましい。

[0060] なお、第1導電性ペーストを電極形成用シートの貫通孔に充填した後、第2導電性粉末を含有する第2導電性ペーストを該貫通孔の表面に印刷することが好ましい。これにより、突起電極の表面や内部に緻密層となるべきペースト膜を形成することができる。第2導電性ペーストには、溶剤、有機バインダ等が含まれることが好ましい。

[0061] 続いて、セラミックグリーンシートを積層するとともに、上記セラミックグ

リーンシートの積層体の一方主面に、第1導電性ペーストが貫通孔に充填された電極形成用シートを積層することにより、複合積層体を作製する。この際、焼成後に得られる突起電極が基板本体の特定の配線導体と電氣的に接続されるように各シートを積層する。

[0062] 第2導電性ペーストを電極形成用シートの貫通孔の表面に印刷する場合、第2導電性ペーストが該貫通孔の表面に印刷された電極形成用シートを表面に積層することが好ましく、内部にも積層することがより好ましい。

[0063] セラミックグリーンシート及び電極形成用シートを積層する順序は特に限定されず、例えば、セラミックグリーンシートを積層することによりセラミックグリーンシートの積層体を作製した後に電極形成用シートを積層してもよいし、電極形成用シート及びセラミックグリーンシートを順次積層してもよい。

[0064] その後、セラミックグリーンシートが焼結する温度で、複合積層体を焼成する。複合積層体を焼成した後、又は、複合積層体を焼成する工程、あるいは両方の工程において、電極形成用シートを除去することにより、突起電極を有するセラミック基板を取り出すことができる。

[0065] 本発明のセラミック基板の製造方法においては、突起電極を形成するための第1導電性ペーストに含有される第1導電性粉末が、導電性金属と、上記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子の表面の少なくとも一部に上記焼結抑制セラミックが被覆されていることを特徴としている。

[0066] 本発明のセラミック基板の製造方法においては、導電性金属と、上記導電性金属の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子がネッキングしたポーラスな構造を有する突起電極を形成することができる。上記突起電極の全体がポーラスな構造を有している。

[0067] 図3A及び図3Bは、導電性金属の粒子が焼結する様子を説明する模式図である。

図3Aに示す第1導電性粉末30のように、導電性金属31の粒子の表面に

焼結抑制セラミック32が被覆されていると、焼成過程において、導電性金属31の粒子のネッキングが抑制される。ただし、焼成過程では、図3Bに示すように、焼結抑制セラミック32が導電性金属31の粒子の表面で凝集して導電性金属31が露出し、導電性金属31が露出した部分から、導電性金属31の粒子のネッキングが開始し、焼結すると考えられる。一方、焼結抑制セラミック32が被覆された部分では、導電性金属31の粒子が焼結しないため、結果として、導電性金属31の界面間にポーラスな部分が発生すると考えられる。

[0068] このように、本発明のセラミック基板の製造方法においては、焼結時の収縮が抑制されながら、導電性金属の粒子がネッキングしたポーラスな構造を有し、クラック等の構造欠陥の発生が防止された突起電極を形成することができる。

[0069] また、導電性金属の粒子の表面に焼結抑制セラミックが被覆された第1導電性粉末を含有する第1導電性ペーストを用いる場合、導電性金属の粉末に焼結抑制セラミックの粉末が添加された導電性粉末を含有する従来の導電性ペーストを用いた場合と比べて、焼結抑制セラミックの量を少なくすることができる。そのため、比抵抗を高くすることなく、クラック等の構造欠陥の発生が防止された突起電極を形成することができる。

[0070] 本発明のセラミック基板の製造方法において、第1導電性ペーストに含まれる導電性金属の種類は特に限定されないが、例えば、銅、銀、ニッケル、パラジウム及びこれらの合金等の金属が挙げられる。導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含むことが好ましく、銅、銀及びニッケルからなる群より選ばれるいずれか1種を含むことがより好ましく、銅、銀及びニッケルからなる群より選ばれるいずれか1種であることがさらに好ましい。

[0071] 導電性金属の粒子の焼結を抑制することができる限り、第1導電性ペーストに含まれる焼結抑制セラミックの種類は特に限定されないが、例えば、アルミナ、ジルコニア、シリカ等の金属酸化物が挙げられる。焼結抑制セラミッ

クは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含むことが好ましく、アルミナ、ジルコニア及びシリカからなる群より選ばれるいずれか1種を含むことがより好ましく、アルミナ、ジルコニア及びシリカからなる群より選ばれるいずれか1種であることがさらに好ましい。

[0072] 第1導電性ペースト中の焼結抑制セラミックの含有量は特に限定されないが、突起電極の比抵抗を低くする観点から、導電性金属及び焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましい。また、構造欠陥の発生を防止する観点から、導電性金属及び焼結抑制セラミックの合計重量に対して0.3重量%以上であることが好ましい。

[0073] 緻密層を形成するための第2導電性ペーストを電極形成用シートの貫通孔の表面に印刷する場合、第2導電性ペーストに含有される第2導電性粉末は、第1導電性粉末と同様、導電性金属と焼結抑制セラミックとを含み、かつ、導電性金属の粒子の表面の少なくとも一部に焼結抑制セラミックが被覆されていることが好ましい。

[0074] 第2導電性ペーストに含まれる導電性金属の種類は特に限定されないが、例えば、銅、銀、ニッケル、パラジウム及びこれらの合金等の金属が挙げられる。第2導電性ペーストに含まれる導電性金属は、第1導電性ペーストに含まれる導電性金属と異なってもよいが、第1導電性ペーストに含まれる導電性金属と同じであることが好ましい。

[0075] 第2導電性ペーストに含まれる焼結抑制セラミックの種類は特に限定されないが、例えば、アルミナ、ジルコニア、シリカ等の金属酸化物が挙げられる。第2導電性ペーストに含まれる焼結抑制セラミックは、第1導電性ペーストに含まれる焼結抑制セラミックと異なってもよいが、第1導電性ペーストに含まれる焼結抑制セラミックと同じであることが好ましい。

[0076] 第2導電性ペースト中の焼結抑制セラミックの含有量は特に限定されないが、突起電極を緻密化する観点から、導電性金属及び焼結抑制セラミックの合計重量に対して10重量%以下であることが好ましく、また、導電性金属及

び焼結抑制セラミックの合計重量に対して0.5重量%以上であることが好ましい。

[0077] 以下、電極形成用シートの具体例について説明する。

[0078] 電極形成用シートの一例として、セラミックグリーンシートが焼結する温度では実質的に焼結しない拘束シートが挙げられる。この場合、複合積層体を焼成した後、残存する拘束シートを除去することによって、突起電極を有するセラミック基板を取り出すことができる。

[0079] 拘束シートは、セラミックグリーンシートが焼結する温度では実質的に焼結しない無機材料を含む。具体的には、拘束シートは、上記無機材料として、例えばアルミナ粉末と、有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。

[0080] 図4A、図4B及び図4Cは、拘束シートを用いたセラミック基板の製造方法の一例を模式的に示す断面図である。

[0081] 図4Aに示すように、セラミックグリーンシート111の積層体の一方主面に、第1導電性ペースト120が貫通孔に充填された拘束シート121が積層された複合積層体200を作製する。

[0082] 図4Aに示す複合積層体200では、セラミックグリーンシート111の積層体の他方主面にも拘束シート121が積層されているが、他方主面には拘束シート121が積層されていなくてもよい。

[0083] セラミックグリーンシート111が焼結し、拘束シート121が焼結しない温度で、複合積層体200を焼成する。これにより、図4Bに示すように、セラミックグリーンシート111はセラミック層11となり、第1導電性ペースト120の充填体は突起電極20となる。

[0084] 一方、拘束シート121は、焼成時において実質的に焼結しないので収縮が生じず、セラミックグリーンシート111の積層体に対して主面方向での収縮を抑制するように作用する。その結果、セラミック基板の寸法精度を高めることができる。

- [0085] 複合積層体200を焼成した後、残存する拘束シート121を除去する。拘束シートを除去する方法としては、例えば、ウェットブラスト、サンドブラスト、ブラッシング等の方法を用いることができる。
- [0086] その結果、図4Cに示すように、セラミック層11を有する基板本体10と、基板本体10の一方主面に設けられた突起電極20と、を備えるセラミック基板1が得られる。
- [0087] 図5A、図5B及び図5Cは、拘束シートを用いたセラミック基板の製造方法の別の一例を模式的に示す断面図である。
- [0088] 図5Aでは、第2導電性ペースト123が貫通孔の表面に印刷された拘束シート121が表面に積層された複合積層体200Aを作製する。その他は、図4Aに示す複合積層体200と同様である。
- [0089] セラミックグリーンシート111が焼結し、拘束シート121が焼結しない温度で、複合積層体200Aを焼成する。これにより、図5Bに示すように、セラミックグリーンシート111はセラミック層11となり、第1導電性ペースト120の充填体及び第2導電性ペースト123の膜は突起電極20Aとなる。第2導電性ペースト123が印刷されていた部分は、第1導電性ペースト120が充填されていた部分よりも空隙率の低い緻密層23となる。
- [0090] 複合積層体200Aを焼成した後、残存する拘束シート121を除去する。その結果、図5Cに示すように、セラミック層11を有する基板本体10と、基板本体10の一方主面に設けられた突起電極20Aと、を備えるセラミック基板1Aが得られる。
- [0091] 図6A、図6B及び図6Cは、拘束シートを用いたセラミック基板の製造方法のさらに別の一例を模式的に示す断面図である。
- [0092] 図6Aでは、第2導電性ペースト123が貫通孔の表面に印刷された拘束シート121が表面及び内部に積層された複合積層体200Bを作製する。その他は、図5Aに示す複合積層体200Aと同様である。
- [0093] セラミックグリーンシート111が焼結し、拘束シート121が焼結しない

温度で、複合積層体200Bを焼成する。これにより、図6Bに示すように、セラミックグリーンシート111はセラミック層11となり、第1導電性ペースト120の充填体及び第2導電性ペースト123は突起電極20Bとなる。図5Bと同様、第2導電性ペースト123が印刷されていた部分は、第1導電性ペースト120が充填されていた部分よりも空隙率の低い緻密層23となる。

- [0094] 複合積層体200Bを焼成した後、残存する拘束シート121を除去する。その結果、図6Cに示すように、セラミック層11を有する基板本体10と、基板本体10の一方主面に設けられた突起電極20Bと、を備えるセラミック基板1Bが得られる。
- [0095] 例えばブラスト法により拘束シートを除去する場合、ブラストの圧力が低いと、突起電極にクラックは生じないものの、拘束シートの残渣が残るおそれがある。一方、ブラストの圧力が高いと、拘束シートの残渣は残らないものの、突起電極の表面にクラックが生じやすくなる。そこで、突起電極の表面や内部に緻密層を形成することにより、拘束シートの残渣をなくすためにブラストの圧力を高くした場合であっても、突起電極に生じるクラック等を抑制することができる。
- [0096] 電極形成用シートの別の一例として、セラミックグリーンシートが焼結する温度以下で焼失する樹脂シートが挙げられる。この場合、複合積層体を焼成する工程において、樹脂シートを焼失させることによって、突起電極を有するセラミック基板を取り出すことができる。
- [0097] 樹脂シートは、セラミックグリーンシートが焼結する温度以下で焼失する樹脂材料を含む。樹脂シートを構成する樹脂材料としては、例えば、アクリル樹脂、ポリプロピレン樹脂等が挙げられる。
- [0098] 図7A及び図7Bは、樹脂シートを用いたセラミック基板の製造方法の一例を模式的に示す断面図である。
- [0099] 図7Aに示すように、セラミックグリーンシート111の積層体の一方主面に、第1導電性ペースト120が貫通孔に充填された樹脂シート122が積

層された複合積層体 210 を作製する。

[0100] 図 7 A に示す複合積層体 210 では、セラミックグリーンシート 111 の積層体の他方主面にも樹脂シート 122 が積層されているが、他方主面には樹脂シート 122 が積層されていなくてもよい。セラミックグリーンシート 111 の積層体の他方主面には、樹脂シート 122 の代わりに拘束シート 121 が積層されていてもよい。また、セラミックグリーンシート 111 の積層体の一方主面又は他方主面において、樹脂シート 122 の外側に、さらに拘束シート 121 が積層されていてもよい。

[0101] セラミックグリーンシート 111 が焼結する温度で、複合積層体 210 を焼成する。これにより、図 7 B に示すように、セラミックグリーンシート 111 はセラミック層 11 となり、第 1 導電性ペースト 120 の充填体は突起電極 20 となる。

[0102] 一方、樹脂シート 122 は焼失する。その結果、セラミック層 11 を有する基板本体 10 と、基板本体 10 の一方主面に設けられた突起電極 20 と、を備えるセラミック基板 1 が得られる。

[0103] 電極形成用シートとして樹脂シートを用いる場合においても、拘束シートを用いる場合と同様、第 2 導電性ペーストが貫通孔の表面に印刷された樹脂シートが表面に積層された複合積層体を作製してもよいし、第 2 導電性ペーストが貫通孔の表面に印刷された樹脂シートが表面及び内部に積層された複合積層体を作製してもよい。

[0104] [モジュール]

本発明のセラミック基板は、ICチップ等の電子部品を基板本体の一方主面に実装し、さらに、樹脂層により封止することによって、モジュールとすることができる。このようなモジュールもまた、本発明の 1 つである。

[0105] 図 8 (a) は、本発明のモジュールの一例を模式的に示す断面図であり、図 8 (b) は、図 8 (a) に示すモジュールの平面図である。なお、図 8 (a) は、図 8 (b) に示すモジュールの A-A 線断面図である。

[0106] 図 8 (a) に示すモジュール 100 は、セラミック基板 1 と、セラミック基

板 1 を構成する基板本体 10 の一方主面に実装された電子部品 40 と、基板本体 10 の一方主面に設けられた樹脂層 50 と、を備える。セラミック基板 1 は、図 1 に示したように、基板本体 10 と、基板本体 10 の一方主面に設けられた柱状の突起電極 20 と、を備える。

[0107] 電子部品 40 は、基板本体 10 の一方主面のうち、突起電極 20 が設けられていない領域に実装されるように樹脂層 50 内に配置されている。

[0108] 基板本体 10 の一方主面には、突起電極 20 を含む外部接続端子 25 が設けられ、外部接続端子 25 は、先端が樹脂層 50 の表面から露出するように樹脂層 50 内に配置されている。外部接続端子 25 は、モジュール 100 を外部のマザー基板等に接続するためのものであり、外部接続端子 25 の先端には、はんだバンプ等の接続部材（図示せず）が設けられる。

[0109] 図 8（a）に示すモジュール 100 では、外部接続端子 25 は、突起電極 20 に加えて、突起電極 20 の側面を被覆するめっき膜 21 と、突起電極 20 の上面を被覆する被覆層 22 と、を含む。また、図 8（b）に示すように、電子部品 40 を囲むように、複数の外部接続端子 25 が設けられている。

[0110] 本発明のモジュールは、上述した本発明のセラミック基板を備える。すなわち、本発明のモジュールにおいて、セラミック基板は、セラミック層を有する基板本体と、上記基板本体の一方主面に設けられた柱状の突起電極と、を備え、上記突起電極が、導電性金属と、上記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、上記導電性金属の粒子がネッキングしたポーラスな構造を有することを特徴としている。突起電極を含むセラミック基板の具体的な構成については、[セラミック基板]において説明したとおりである。

[0111] 本発明のモジュールにおいて、基板本体の一方主面には、突起電極を含む外部接続端子が設けられ、外部接続端子は、先端が樹脂層の表面から露出するように樹脂層内に配置されている。外部接続端子の先端は、樹脂層の表面から突出していることが好ましい。

[0112] 本発明のモジュールにおいて、外部接続端子は、突起電極の側面の少なくとも

も一部を被覆するめっき膜をさらに含むことが好ましい。この場合、めっき膜の一端が、突起電極の一端と同一平面上にあることがより好ましい。

突起電極の側面にめっき膜が被覆されていると、外部接続端子と樹脂層との密着性が高くなるため、例えばモジュールが加熱された場合でも、外部接続端子と樹脂層との界面における剥離の発生が抑制される。

[0113] 本発明のモジュールにおいて、外部接続端子は、突起電極の上面の少なくとも一部を被覆する被覆層をさらに含むことが好ましい。この場合、突起電極が樹脂層の表面よりも窪んでおり、被覆層が樹脂層の表面から突出していることがより好ましい。被覆層は、例えば、めっき、スパッタ、蒸着等によって形成される。

突起電極の上面に被覆層が被覆されていると、はんだバンプ等の接続部材と外部接続端子との接続界面に働く応力が緩和されるため、マザー基板等の電子機器との接続信頼性が高くなる。

[0114] なお、突起電極の表面のうち、基板本体と対向する表面を「突起電極の底面」、突起電極の底面と反対側の表面を「突起電極の上面」という。

[0115] 本発明のモジュールにおいて、電子部品は、セラミック基板を構成する基板本体の一方主面のうち、突起電極が設けられていない領域に実装されるように樹脂層内に配置されている。電子部品としては、例えば、各種IC、及び、本発明のモジュールよりも小型の回路モジュールのような電子部品が挙げられる。

[0116] 本発明のモジュールにおいては、電子部品の表面の少なくとも一部が、樹脂層の表面から露出していることが好ましい。特に、電子部品の表面が、樹脂層の表面と面一であることが好ましい。

[0117] 本発明のモジュールにおいて、電子部品は、好ましくは、全体が樹脂層により包埋された後に、基板本体側の表面と反対の表面側から研磨加工される。このようにすることで、例えば電子部品がICである場合、取り扱いの難しい薄いICを用いることなく、モジュールの低背化が図られる。

[0118] 本発明のモジュールにおいて、樹脂層は、例えば、ガラス材料やシリカ等の

フィラーを分散させた樹脂材料を用いて形成される。ただし、樹脂層は、樹脂材料単体で形成されてもよい。

[0119] 本発明のモジュールは、好ましくは、以下のように製造される。

本発明のモジュールの製造方法は、本発明のセラミック基板の製造方法によりセラミック基板を作製する工程と、上記セラミック基板を構成する基板本体の一方主面に電子部品を実装する工程と、上記基板本体の上記一方主面に樹脂層を設ける工程と、を備える。上記電子部品は、上記基板本体の上記一方主面のうち、突起電極が設けられていない領域に実装される。上記基板本体の上記一方主面には、上記突起電極を含む外部接続端子が設けられる。上記樹脂層を設ける工程において、上記電子部品が上記樹脂層内に配置されるとともに、上記外部接続端子の先端が上記樹脂層の表面から露出するように上記外部接続端子が上記樹脂層内に配置される。

[0120] 本発明のモジュールの製造方法では、上記突起電極の側面の少なくとも一部を被覆するめっき膜を形成した後、上記樹脂層を設けることが好ましい。この場合、上記突起電極の側面及び上面を被覆するめっき膜を形成した後、上記樹脂層を設けることがより好ましい。

[0121] 本発明のモジュールの製造方法では、上記樹脂層の表面から露出した上記突起電極の上面の少なくとも一部を被覆する被覆層を形成することが好ましい。この場合、上記樹脂層の表面よりも窪んだ上記突起電極の上面の少なくとも一部を被覆する被覆層を形成することがより好ましい。

[0122] 本発明のモジュールの製造方法では、上記電子部品の全体が包埋されるように上記樹脂層を設けた後、上記電子部品及び上記樹脂層を、上記基板本体側の表面と反対の表面側から研磨加工することにより、上記電子部品の表面の少なくとも一部を、上記樹脂層の表面から露出させることが好ましい。

[0123] 図9A、図9B、図9C、図9D及び図9Eは、図8(a)に示すモジュールの製造方法の一例を模式的に示す断面図である。

[0124] 図9Aでは、セラミック基板1を構成する基板本体10の一方主面に電子部品40を実装する。

セラミック基板 1 は、[セラミック基板]において説明した方法によって作製される。図 9 A では、セラミック基板 1 を作製した後、突起電極 20 の外表面を被覆するめっき膜 21 が形成されている。めっき膜 21 は、無電解めっき法等により形成することができる。電子部品 40 は、基板本体 10 の一方主面のうち、めっき膜 21 が被覆された突起電極 20 が設けられていない領域に実装される。

[0125] 図 9 B では、電子部品 40、及び、めっき膜 21 が被覆された突起電極 20 の全体が包埋されるように、樹脂層 50 を基板本体 10 の一方主面に設ける。

例えば、樹脂層 50 を形成する樹脂材料を基板本体 10 の一方主面に塗工する方法等によって、電子部品 40、及び、めっき膜 21 が被覆された突起電極 20 を樹脂層 50 により包埋することができる。

[0126] 図 9 C では、電子部品 40 及び樹脂層 50 を、基板本体 10 側の表面と反対の表面側から研磨加工する。

その際、電子部品 40 の厚みが基板本体 10 に実装される前の状態から減少し、かつ、電子部品 40 の研磨断面と、樹脂層 50 の研磨断面と、めっき膜 21 が被覆された突起電極 20 の研磨断面とが面一となるようにすることが好ましい。研磨加工は、例えば、ラップ研磨等の方法によって行うことができる。

[0127] 図 9 D では、めっき膜 21 が被覆された突起電極 20 の露出した上面が樹脂層 50 の表面よりも窪むように、研磨断面をエッチングする。

[0128] 図 9 E では、めっき膜 21 が被覆された突起電極 20 の上面を被覆する被覆層 22 を形成する。これにより、外部接続端子 25 が形成される。被覆層 22 は、無電解めっき法等により形成することができる。

[0129] 以上により、図 8 (a) に示すモジュール 100 が得られる。

[0130] 本発明のセラミック基板、及び、モジュールは、上記実施形態に限定されるものではなく、例えば、セラミック基板の構成、製造条件等に関し、本発明の範囲内において、種々の応用、変形を加えることが可能である。

実施例

[0131] 以下、本発明のセラミック基板の製造方法をより具体的に開示した実施例を示す。なお、本発明は、これらの実施例のみに限定されるものではない。

[0132] (実施例 1～20 及び比較例 1～5)

[セラミック基板の作製]

(1) セラミックグリーンシートの作製

Ba、Al 及び Si を主たる成分とするセラミック材料を用意した。各材料を所定の組成になるよう調合し、800～1000℃で仮焼した。得られた仮焼粉末をジルコニアボールミルで12時間粉碎し、セラミック粉末を得た。

このセラミック粉末に、トルエン及びエキネンを含む有機溶剤を加え、これらを混合した後、さらに、有機バインダ及び可塑剤を加え、再びこれらを混合することにより、スラリーを得た。

得られたスラリーをドクターブレード法により成形し、厚さ50μmのセラミックグリーンシートを作製した。

[0133] (2) 拘束シートの作製

粒径0.5μm～5.0μmのアルミナ粉末とアクリル系有機バインダを混合することにより、スラリーを得た。得られたスラリーをドクターブレード法により成形し、厚さ100μmの拘束シートを作製した。

[0134] (3) 突起電極用の導電性ペーストの作製

表1に示す割合となるように、各種導電性粉末、有機バインダ、及び、必要に応じて添加物を混合し、3本ロールで分散させることにより、突起電極用の導電性ペーストL1～L25を作製した。

[0135] 表1に示す導電性粉末の平均粒径(D50)は、いずれも3μmである。また、表1において、例えば「0.2wt%アルミナコート銅」とは、銅の粒子の表面にアルミナが被覆されており、銅及びアルミナの合計重量に対するアルミナの含有量が0.2重量%である導電性粉末を意味する。

[0136]

[表1]

| ペースト名 | 導電性粉末 | | 添加物 | | 有機バインダ | |
|--------|-----------------|--------|--------|--------|-------------------------------|--------|
| | 種類 | (vol%) | 種類 | (vol%) | 種類 | (vol%) |
| L 1 | 0.2wt%アルミナコート銅 | 60 | 無し | - | エチルセルロース/ ターピネオール系 バインダ | 40 |
| L 2 | 0.2wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 3 | 0.2wt%アルミナコート銅 | 40 | 無し | - | | 60 |
| L 4 | 0.3wt%アルミナコート銅 | 60 | 無し | - | | 40 |
| L 5 | 0.3wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 6 | 0.3wt%アルミナコート銅 | 40 | 無し | - | | 60 |
| L 7 | 0.5wt%アルミナコート銅 | 60 | 無し | - | | 40 |
| L 8 | 0.5wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 9 | 0.5wt%アルミナコート銅 | 40 | 無し | - | | 60 |
| L 10 | 5wt%アルミナコート銅 | 60 | 無し | - | | 40 |
| L 11 | 5wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 12 | 5wt%アルミナコート銅 | 40 | 無し | - | | 60 |
| L 13 | 10wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 14 | 15wt%アルミナコート銅 | 50 | 無し | - | | 50 |
| L 15 | 0.3wt%ジルコニアコート銅 | 50 | 無し | - | | 50 |
| L 16 | 3wt%ジルコニアコート銅 | 50 | 無し | - | | 50 |
| L 17 | 10wt%ジルコニアコート銅 | 50 | 無し | - | | 50 |
| L 18 | 0.3wt%シリカコート銅 | 50 | 無し | - | | 50 |
| L 19 | 3wt%シリカコート銅 | 50 | 無し | - | | 50 |
| L 20 | 10wt%シリカコート銅 | 50 | 無し | - | | 50 |
| * L 21 | 銅 | 50 | アルミナ粉末 | 0.1 | 49.9 | |
| * L 22 | 銅 | 50 | アルミナ粉末 | 5 | 45 | |
| * L 23 | 銅 | 50 | アルミナ粉末 | 20 | 30 | |
| * L 24 | 銅 | 50 | アルミナ粉末 | 40 | 10 | |
| * L 25 | 銅 | 50 | アルミナ粉末 | 30 | 20 | |

[0137] 表1において、導電性ペーストL 21～L 25は、本発明の範囲外のものである。

[0138] (4) 貫通孔の形成と導電性ペーストの充填

それぞれの導電性ペーストに対して、上記拘束シートに、レーザー加工により直径200μmの貫通孔を形成した後、各導電性ペーストを貫通孔に充填した。

[0139] (5) 複合積層体の作製

上記セラミックグリーンシートを積層し、さらに、両主面に、各導電性ペーストが充填された拘束シートを2枚積層させて圧着することにより、図4Aに示すような複合積層体を得た。

[0140] (6) 複合積層体の焼成

得られた複合積層体を、980～1000℃の範囲にある適当な最高温度で

焼成することにより、図4Bに示すような焼成体を得た。

焼成にあたっては、銅が酸化しない酸素濃度となるように、焼成炉の雰囲気、 $N_2/H_2/H_2O$ を用いて制御を行った。

[0141] (7) 拘束シートの除去

アルミナ砥粒と水から構成された洗浄液を用いて、上記焼成体を洗浄することにより、拘束シートを除去した。

以上より、図4Cに示すような突起電極が形成されたセラミック基板を得た。

[0142] [特性評価]

得られたセラミック基板について、クラック発生評価を行った。また、突起電極を形成するための導電性ペーストについて、比抵抗評価を行った。

[0143] (1) クラック発生評価

各セラミック基板をエポキシ樹脂に埋め、硬化させた。硬化後、研磨によって、突起電極の断面を露出させて観察し、クラックの有無を確認した。表2の「クラック発生」に、クラックの有無を示す。表2中、「可能性あり」とは、アルミナコート銅のアルミナ含有量が非常に少ない場合、例えば0.2重量%以下の場合、クラック発生の可能性があることを意味する。

[0144] (2) 比抵抗評価

図10は、比抵抗評価に用いる測定試料を模式的に示す斜視図である。

図10に示すように、突起電極を形成するための導電性ペースト124をアルミナ基板125に印刷した。導電性ペーストが印刷されたアルミナ基板を、 $980\sim 1000^\circ C$ の範囲にある適当な最高温度で焼成した。焼成後のアルミナ基板上の焼成膜の膜厚と抵抗値を測定し、比抵抗を計算した。

[0145] 表2の「比抵抗」では、比抵抗が $3\mu\Omega\cdot cm$ 未満のものを◎(優)、比抵抗が $3\mu\Omega\cdot cm$ 以上 $5\mu\Omega\cdot cm$ 未満のものを○(良)、比抵抗が $5\mu\Omega\cdot cm$ 以上 $7\mu\Omega\cdot cm$ 未満のものを△(可)、比抵抗が $7\mu\Omega\cdot cm$ 以上のものを×(不良)と判定した。

[0146] (3) 総合評価

表2中、クラックの発生がなく、かつ比抵抗評価で「○」のものを、良好な突起電極と判定し、総合評価欄に「○」と表記し、また、クラックの発生がなく、かつ比抵抗評価で「◎」のものを、より良好な突起電極を判定し、総合評価欄に「◎」と表記した。一方、クラックの発生があるか、又は比抵抗評価で「×」のいずれか1つを満たすものを、不良な突起電極と判定し、総合評価欄に「×」と表記した。また、クラック発生の可能性があるか、又は比抵抗評価で「△」のいずれか1つを満たすものについては、総合評価欄に「△」と表記した。

[0147] [表2]

| | ペースト名 | クラック発生 | 比抵抗 | 総合評価 |
|--------|-------|--------|-----|------|
| 実施例 1 | L 1 | 可能性あり | ◎ | △ |
| 実施例 2 | L 2 | 可能性あり | ◎ | △ |
| 実施例 3 | L 3 | 可能性あり | ◎ | △ |
| 実施例 4 | L 4 | 無し | ◎ | ◎ |
| 実施例 5 | L 5 | 無し | ◎ | ◎ |
| 実施例 6 | L 6 | 無し | ◎ | ◎ |
| 実施例 7 | L 7 | 無し | ◎ | ◎ |
| 実施例 8 | L 8 | 無し | ◎ | ◎ |
| 実施例 9 | L 9 | 無し | ◎ | ◎ |
| 実施例 10 | L 10 | 無し | ◎ | ◎ |
| 実施例 11 | L 11 | 無し | ◎ | ◎ |
| 実施例 12 | L 12 | 無し | ◎ | ◎ |
| 実施例 13 | L 13 | 無し | ○ | ○ |
| 実施例 14 | L 14 | 無し | △ | △ |
| 実施例 15 | L 15 | 無し | ◎ | ◎ |
| 実施例 16 | L 16 | 無し | ◎ | ◎ |
| 実施例 17 | L 17 | 無し | ○ | ○ |
| 実施例 18 | L 18 | 無し | ◎ | ◎ |
| 実施例 19 | L 19 | 無し | ◎ | ◎ |
| 実施例 20 | L 20 | 無し | ○ | ○ |
| 比較例 1 | L 21 | 有り | ◎ | × |
| 比較例 2 | L 22 | 有り | ○ | × |
| 比較例 3 | L 23 | 無し | × | × |
| 比較例 4 | L 24 | 無し | × | × |
| 比較例 5 | L 25 | 無し | × | × |

[0148] 表1及び表2より、導電性金属である銅の粒子の表面に焼結抑制セラミックであるアルミナ、ジルコニア又はシリカが被覆された導電性粉末を含有する導電性ペーストL1～L20を用いた実施例1～20では、突起電極に発生

するクラックが防止されており、また、突起電極の比抵抗が低かった。

[0149] 特に、実施例 1～13 及び 15～20 の結果より、突起電極の比抵抗を低くする観点からは、導電性ペースト中の焼結抑制セラミックの含有量が、導電性金属及び焼結抑制セラミックの合計重量に対して 10 重量%以下であることが好ましいと考えられる。また、実施例 4～20 の結果より、クラックの発生を防止する観点からは、導電性ペースト中の焼結抑制セラミックの含有量が、導電性金属及び焼結抑制セラミックの合計重量に対して 0.3 重量%以上であることが好ましいと考えられる。

[0150] これに対し、導電性金属である銅の粉末に焼結抑制セラミックであるアルミナの粉末が添加された導電性粉末を含有する導電性ペースト L21～L25 を用いた比較例 1～5 のうち、導電性ペースト中の焼結抑制セラミックの含有量が少ない比較例 1 及び 2 では突起電極にクラックが発生し、導電性ペースト中の焼結抑制セラミックの含有量が多い比較例 3～5 では突起電極の比抵抗が高かった。

[0151] (実施例 21～29)

[セラミック基板の作製]

(1) セラミックグリーンシートの作製

上記と同様の方法により、厚さ 30 μm のセラミックグリーンシートを作製した。

[0152] (2) 拘束シートの作製

上記と同様の方法により、厚さ 100 μm の拘束シートを作製した。

[0153] (3) 突起電極用の導電性ペーストの作製

表 3 に示す割合となるように、各種導電性粉末、及び、有機バイндаを混合し、3 本ロールで分散させることにより、突起電極用の導電性ペースト S1～S3 を作製した。表 3 に示す導電性粉末の平均粒径 (D50) は、いずれも 3 μm である。

[0154]

[表3]

| ペースト名 | 導電性粉末 | | 有機バインダ | |
|-------|----------------|--------|-------------------------------|--------|
| | 種類 | (vol%) | 種類 | (vol%) |
| S 1 | 0.5wt%アルミナコート銅 | 40 | エチルセルロース/ ターピネオール系 バインダ | 60 |
| S 2 | 3wt%アルミナコート銅 | 50 | | 50 |
| S 3 | 10wt%アルミナコート銅 | 60 | | 40 |

[0155] (4) 貫通孔の形成と導電性ペーストの充填及び印刷

それぞれの導電性ペーストに対して、上記拘束シートに、レーザー加工により直径200 μ mの貫通孔を形成した。その後、表4に示すように、各導電性ペーストを貫通孔に充填した。必要に応じて、導電性ペーストが充填された貫通孔の表面に各導電性ペーストを印刷した。

[0156] (5) 複合積層体の作製

上記セラミックグリーンシートを積層し、さらに、両主面に、各導電性ペーストが充填された拘束シートを2枚積層させて圧着することにより、図4A（実施例21及び22）、図5A（実施例23～25及び実施例27～29）又は図6A（実施例26）に示すような複合積層体を得た。

[0157] (6) 複合積層体の焼成

得られた複合積層体を、980～1000 $^{\circ}$ Cの範囲にある適当な最高温度で焼成することにより、図4B、図5B又は図6Bに示すような焼成体を得た。

焼成にあたっては、銅が酸化しない酸素濃度となるように、焼成炉の雰囲気、 $N_2/H_2/H_2O$ を用いて制御を行った。

[0158] (7) 拘束シートの除去

アルミナ砥粒と水から構成された洗浄液を用いて、上記焼成体に湿式でブラスト照射することにより、拘束シートを除去した。ブラスト圧力を表4に示す。

以上より、図4C、図5C又は図6Cに示すような突起電極が形成されたセラミック基板を得た。

[0159] [特性評価]

得られたセラミック基板について、拘束シートの残渣評価、及び、突起電極

のクラック発生評価を行った。また、突起電極を形成するための導電性ペーストについて、比抵抗評価を行った。

[0160] (1) 拘束シートの残渣評価、及び、突起電極のクラック発生評価
 拘束シートの残渣、及び、突起電極のクラックの有無について、10倍の実体顕微鏡を用いて確認した。表4では、有りの場合を×、無しの場合を○とした。

[0161] (2) 比抵抗評価
 比抵抗の評価方法は、上記と同様である。
 表4の「比抵抗」では、比抵抗が7μΩ・cm未満のものを○(良)、比抵抗が7μΩ・cm以上のものを×(不良)と判定した。

[0162] (3) 総合評価
 表4中、全ての項目で「○」のものを総合評価欄に「○」と表記し、「×」の項目が1つのものを総合評価欄に「△」と表記し、「×」の項目が2つ以上のものを総合評価欄に「×」と表記した。

[0163] [表4]

| | 緻密層 (表面) | 緻密層 (内部) | 貫通孔 | ブラスト圧力 (MPa) | 拘束シート 残渣 | クラック 発生 | 比抵抗 | 総合評価 |
|-------|-------------|-------------|-----|-----------------|-------------|------------|-----|------|
| 実施例21 | — | — | S1 | 0.20 | × | ○ | ○ | △ |
| 実施例22 | — | — | S1 | 0.30 | ○ | × | ○ | △ |
| 実施例23 | S1 | — | S1 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例24 | S3 | — | S1 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例25 | S1 | — | S2 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例26 | S2 | S2 | S2 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例27 | S3 | — | S2 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例28 | S1 | — | S3 | 0.30 | ○ | ○ | ○ | ○ |
| 実施例29 | S3 | — | S3 | 0.30 | ○ | ○ | ○ | ○ |

[0164] 実施例21においては、突起電極にクラックは発生していないものの、ブラスト吐出圧力が低いため、拘束シートの残渣が基板上に残っていた。拘束シートの残渣は、めっき後の電極強度低下を招くおそれがある。

[0165] 実施例22においては、ブラスト吐出圧力が高いため、拘束シートの残渣は無いものの、突起電極にクラックが発生した。

[0166] 一方、実施例23～29においては、突起電極自体にクラックが発生せず、さらに、突起電極に緻密層が形成されているため、耐ブラスト性を有し、突

起電極にクラックが発生せず、比抵抗の上昇も発生しなかった。

符号の説明

- [0167] 1, 1 A, 1 B セラミック基板
- 1 0 基板本体
 - 1 1 セラミック層
 - 2 0, 2 0 A, 2 0 B 突起電極
 - 2 0 a 空孔
 - 2 1 めっき膜
 - 2 2 被覆層
 - 2 3 緻密層
 - 2 5 外部接続端子
 - 3 0 第1導電性粉末
 - 3 1 導電性金属
 - 3 2 焼結抑制セラミック
 - 4 0 電子部品
 - 5 0 樹脂層
 - 1 0 0 モジュール
 - 1 1 1 セラミックグリーンシート
 - 1 2 0 第1導電性ペースト
 - 1 2 1 拘束シート
 - 1 2 2 樹脂シート
 - 1 2 3 第2導電性ペースト
 - 1 2 4 導電性ペースト
 - 1 2 5 アルミナ基板
 - 2 0 0, 2 0 0 A, 2 0 0 B, 2 1 0 複合積層体
 - R₄₀ 電子部品を実装するための領域

請求の範囲

- [請求項1] セラミック層を有する基板本体と、前記基板本体の一方主面に設けられた柱状の突起電極と、を備えるセラミック基板の製造方法であって、
- 、
- 前記セラミック層となるべきセラミックグリーンシートを準備する工程と、
- 前記突起電極を形成するための電極形成用シートを準備する工程と、
- 前記電極形成用シートに貫通孔を形成し、第1導電性粉末を含有する第1導電性ペーストを前記貫通孔に充填する工程と、
- 前記セラミックグリーンシートを積層するとともに、前記セラミックグリーンシートの積層体の一方主面に、前記第1導電性ペーストが前記貫通孔に充填された前記電極形成用シートを積層することにより、複合積層体を作製する工程と、
- 前記セラミックグリーンシートが焼結する温度で、前記複合積層体を焼成する工程と、を備え、
- 前記第1導電性粉末は、導電性金属と、前記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、前記導電性金属の粒子の表面の少なくとも一部に前記焼結抑制セラミックが被覆されていることを特徴とするセラミック基板の製造方法。
- [請求項2] 前記電極形成用シートは、前記セラミックグリーンシートが焼結する温度では実質的に焼結しない拘束シートであり、
- 前記セラミックグリーンシートが焼結し、前記拘束シートが焼結しない温度で、前記複合積層体を焼成した後、残存する前記拘束シートを除去する請求項1に記載のセラミック基板の製造方法。
- [請求項3] 前記電極形成用シートは、前記セラミックグリーンシートが焼結する温度以下で焼失する樹脂シートであり、
- 前記複合積層体を焼成する工程において、前記樹脂シートを焼失させる請求項1に記載のセラミック基板の製造方法。

- [請求項4] 前記焼結抑制セラミックは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含む請求項1～3のいずれか1項に記載のセラミック基板の製造方法。
- [請求項5] 前記導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含む請求項1～4のいずれか1項に記載のセラミック基板の製造方法。
- [請求項6] 前記第1導電性ペースト中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して10重量%以下である請求項1～5のいずれか1項に記載のセラミック基板の製造方法。
- [請求項7] 前記第1導電性ペースト中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して0.3重量%以上である請求項6に記載のセラミック基板の製造方法。
- [請求項8] 前記第1導電性ペーストを前記貫通孔に充填する工程の後、第2導電性粉末を含有する第2導電性ペーストを前記貫通孔の表面に印刷する工程をさらに備え、
前記第2導電性粉末は、前記導電性金属と、前記焼結抑制セラミックと、を含み、かつ、前記導電性金属の粒子の表面の少なくとも一部に前記焼結抑制セラミックが被覆されており、
前記複合積層体を作製する工程では、前記第2導電性ペーストが前記貫通孔の表面に印刷された前記電極形成用シートを表面に積層する請求項1～7のいずれか1項に記載のセラミック基板の製造方法。
- [請求項9] 前記複合積層体を作製する工程では、前記第2導電性ペーストが前記貫通孔の表面に印刷された前記電極形成用シートを内部にも積層する請求項8に記載のセラミック基板の製造方法。
- [請求項10] 前記第2導電性ペースト中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して10重量%以下である請求項8又は9に記載のセラミック基板の製造方法。

- [請求項11] 前記第2導電性ペースト中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して0.5重量%以上である請求項10に記載のセラミック基板の製造方法。
- [請求項12] セラミック層を有する基板本体と、前記基板本体の一方主面に設けられた柱状の突起電極と、を備えるセラミック基板であって、前記基板本体の前記一方主面は、前記突起電極が設けられていない領域に、電子部品を実装するための領域を有し、前記突起電極は、導電性金属と、前記導電性金属の粒子の焼結を抑制する焼結抑制セラミックと、を含み、かつ、前記導電性金属の粒子がネッキングしたポーラスな構造を有することを特徴とするセラミック基板。
- [請求項13] 前記焼結抑制セラミックは、アルミナ、ジルコニア及びシリカからなる群より選ばれる少なくとも1種を含む請求項12に記載のセラミック基板。
- [請求項14] 前記導電性金属は、銅、銀及びニッケルからなる群より選ばれる少なくとも1種を含む請求項12又は13に記載のセラミック基板。
- [請求項15] 前記突起電極中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して10重量%以下である請求項12～14のいずれか1項に記載のセラミック基板。
- [請求項16] 前記突起電極中の前記焼結抑制セラミックの含有量は、前記導電性金属及び前記焼結抑制セラミックの合計重量に対して0.3重量%以上である請求項15に記載のセラミック基板。
- [請求項17] 前記導電性金属の粒子の表面の少なくとも一部に前記焼結抑制セラミックが被覆されている請求項12～16のいずれか1項に記載のセラミック基板。
- [請求項18] 前記突起電極は、他の部分よりも空隙率の低い緻密層を表面に有する請求項12～17のいずれか1項に記載のセラミック基板。
- [請求項19] 前記突起電極は、前記緻密層を内部にも有する請求項18に記載のセ

ラミック基板。

[請求項20] 前記突起電極の緻密層は、緻密層以外の部分よりも幅が広い請求項18又は19に記載のセラミック基板。

[請求項21] 請求項12～20のいずれか1項に記載のセラミック基板と、前記セラミック基板を構成する基板本体の一方主面に実装された電子部品と、前記基板本体の前記一方主面に設けられた樹脂層と、を備え、前記電子部品は、前記基板本体の前記一方主面のうち、突起電極が設けられていない領域に実装されるように前記樹脂層内に配置され、前記基板本体の前記一方主面には、前記突起電極を含む外部接続端子が設けられ、前記外部接続端子は、先端が前記樹脂層の表面から露出するように前記樹脂層内に配置されていることを特徴とするモジュール。

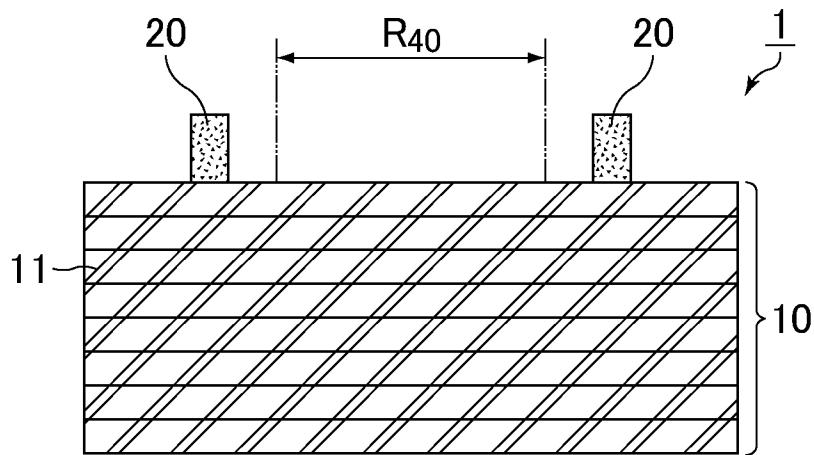
[請求項22] 前記電子部品の表面の少なくとも一部が、前記樹脂層の表面から露出している請求項21に記載のモジュール。

[請求項23] 前記外部接続端子は、前記突起電極の側面の少なくとも一部を被覆するめっき膜をさらに含む請求項21又は22に記載のモジュール。

[請求項24] 前記外部接続端子は、前記突起電極の上面の少なくとも一部を被覆する被覆層をさらに含む請求項21～23のいずれか1項に記載のモジュール。

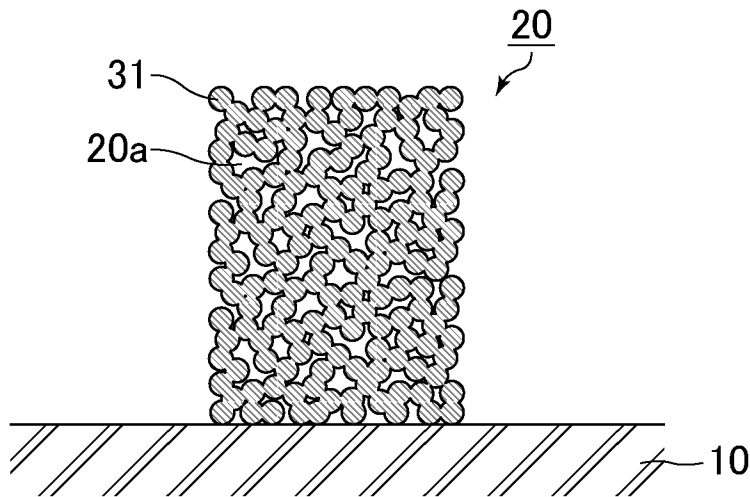
[図1]

図1



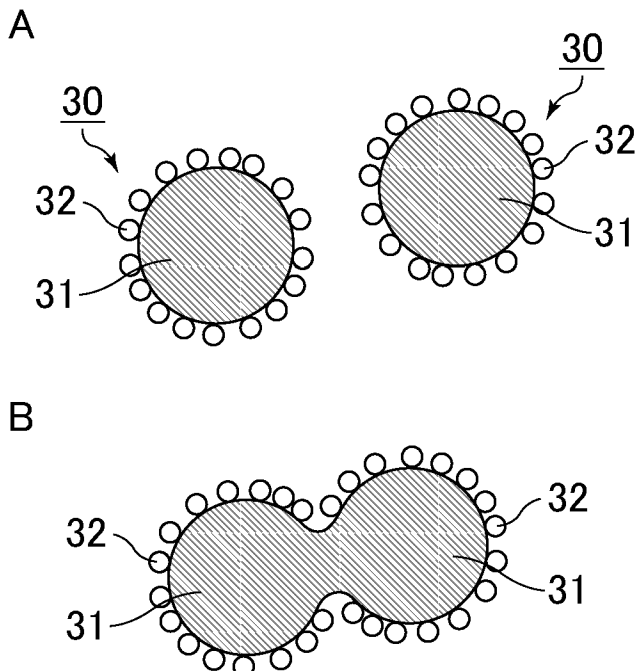
[図2]

図2



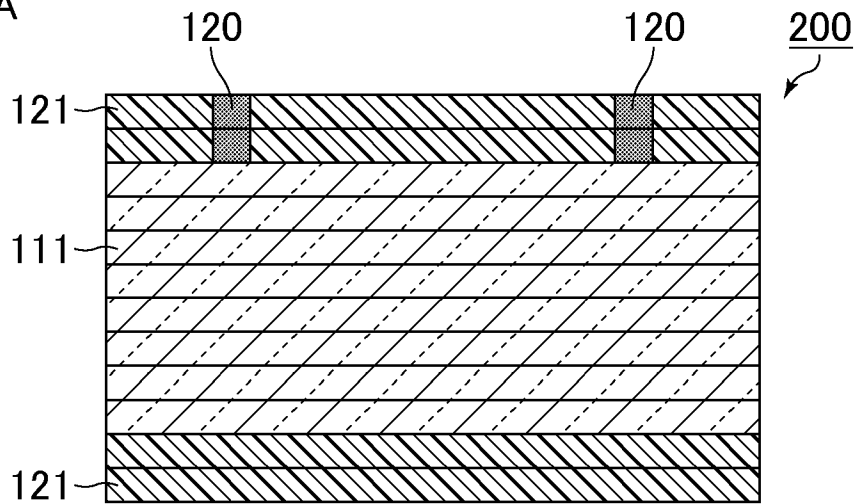
[図3]

図3

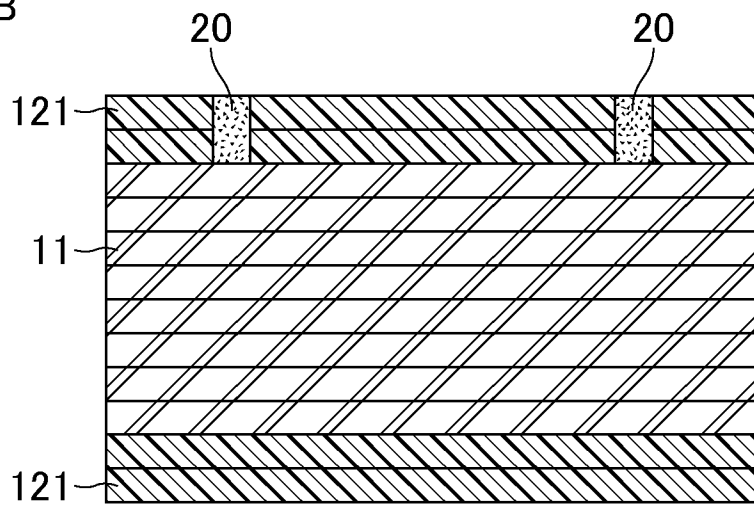


[]4[]4

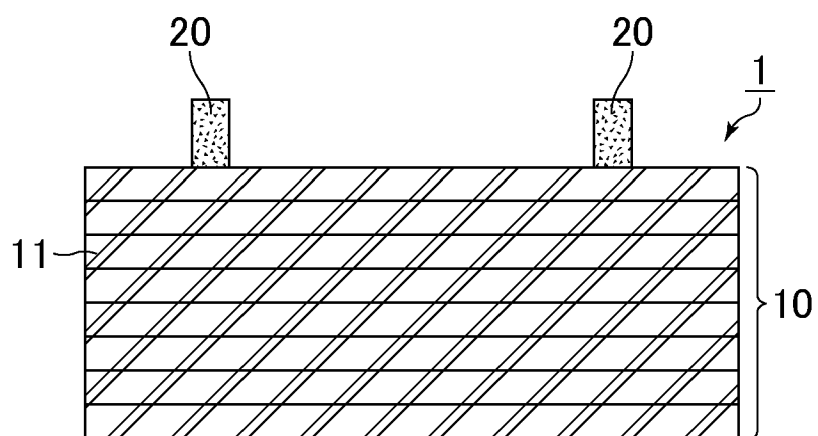
A



B



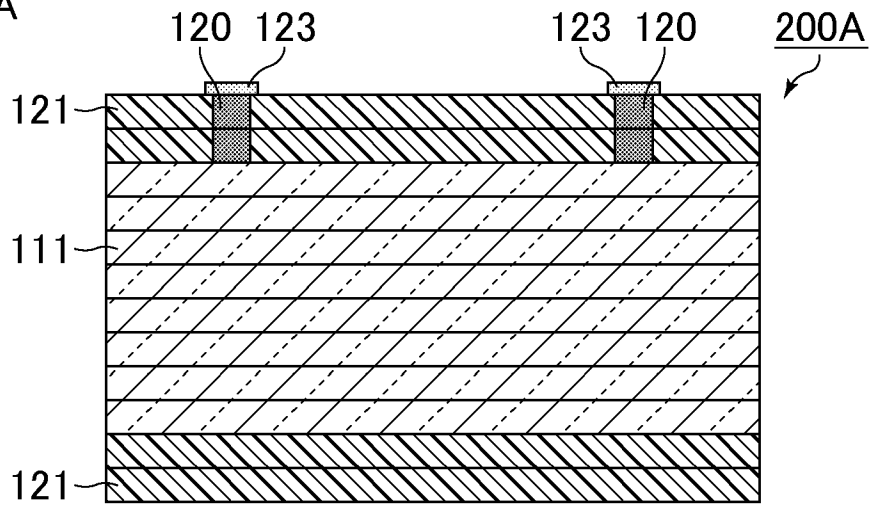
C



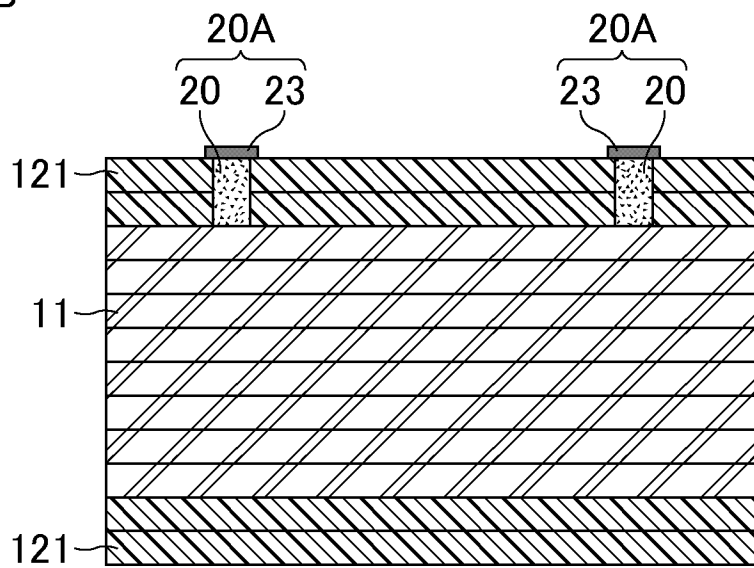
[5]

[5]

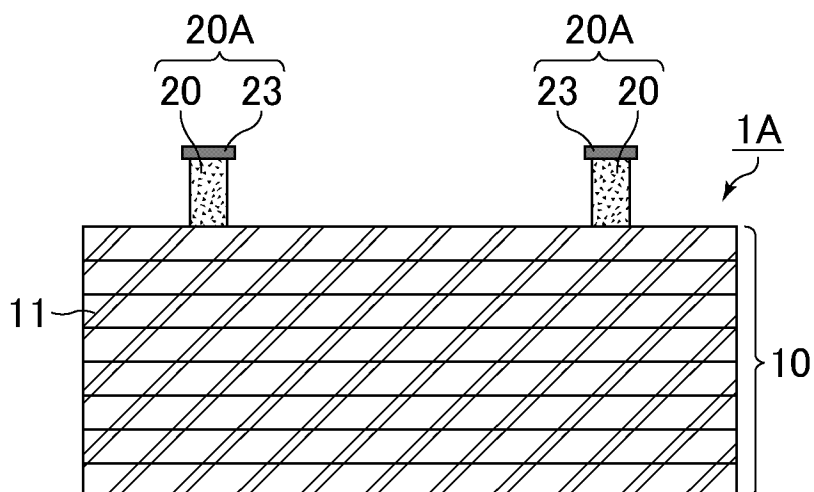
A



B



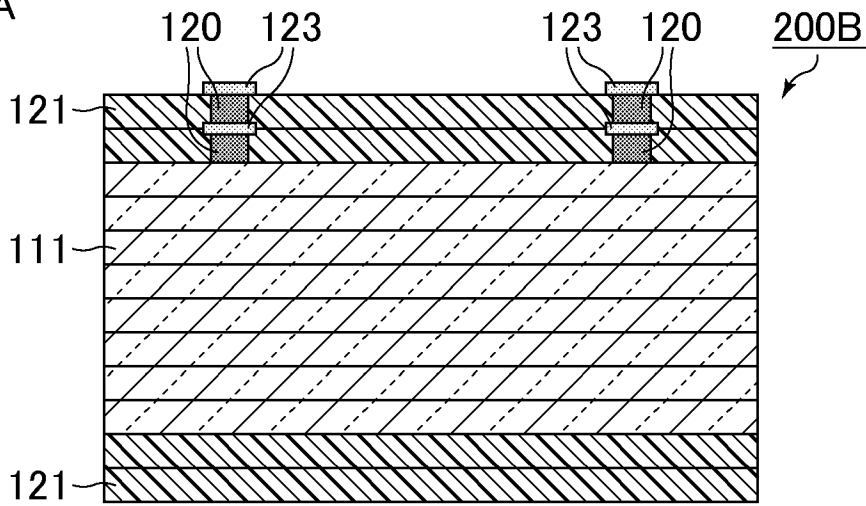
C



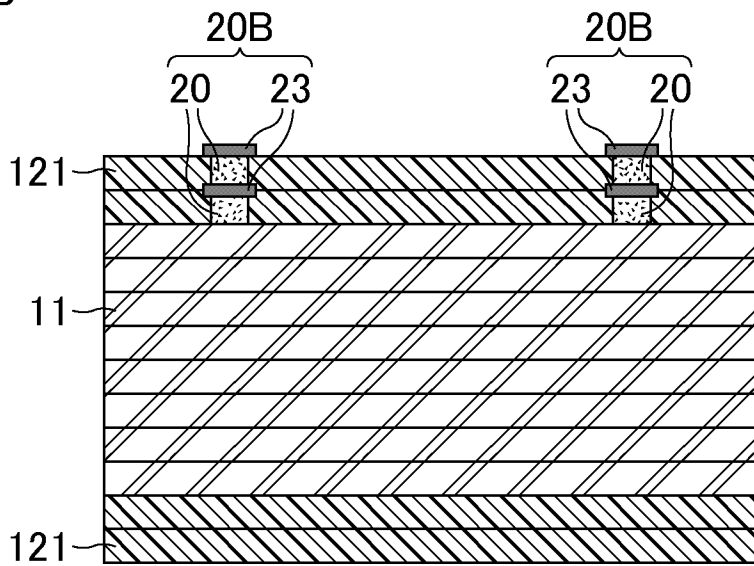
[圖6]

圖6

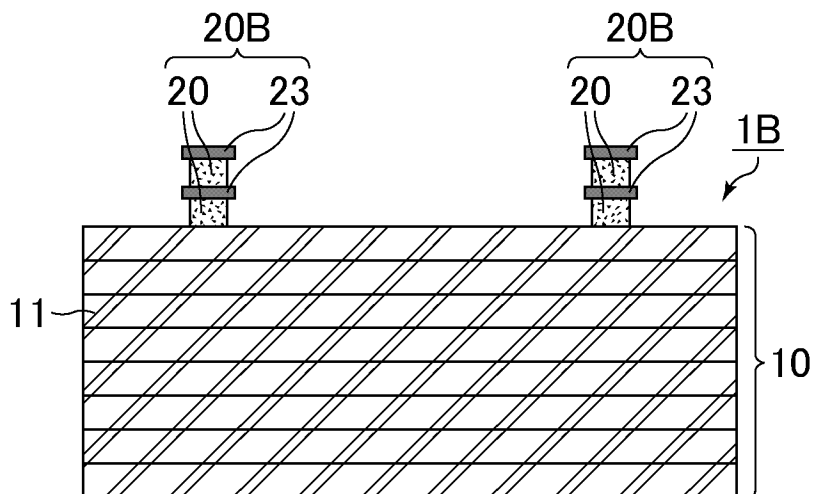
A



B

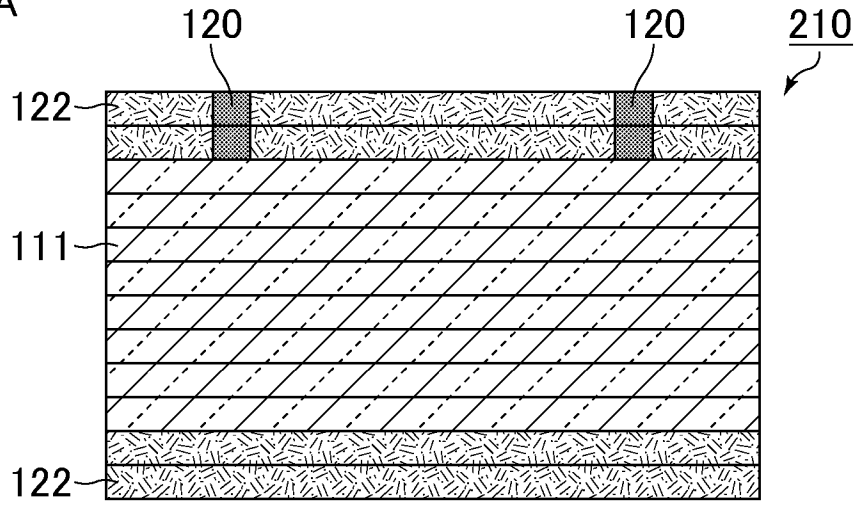


C

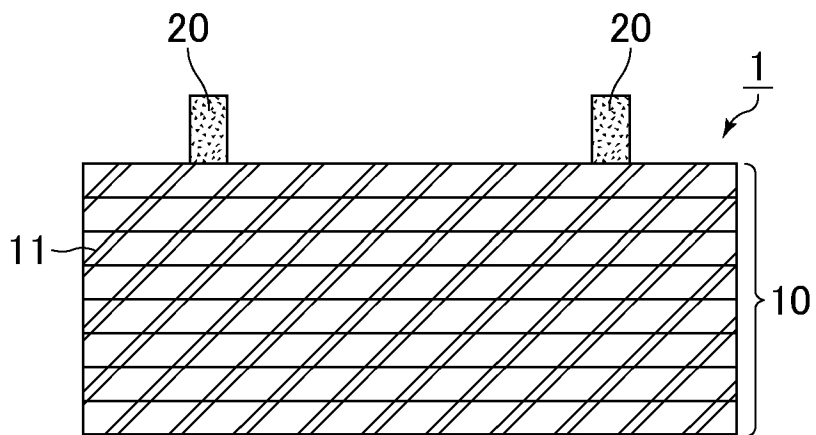


[]7[]7

A



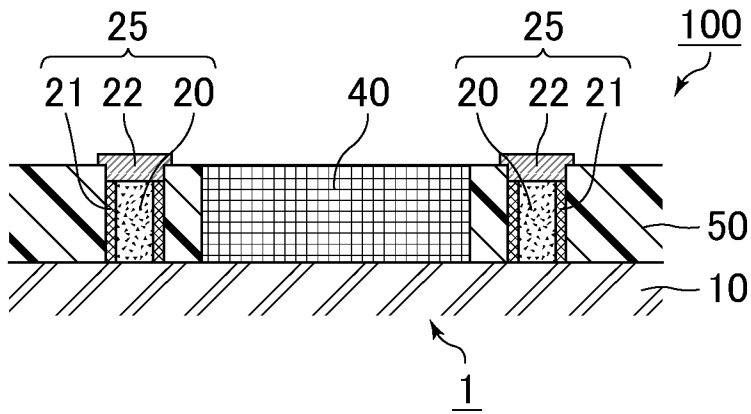
B



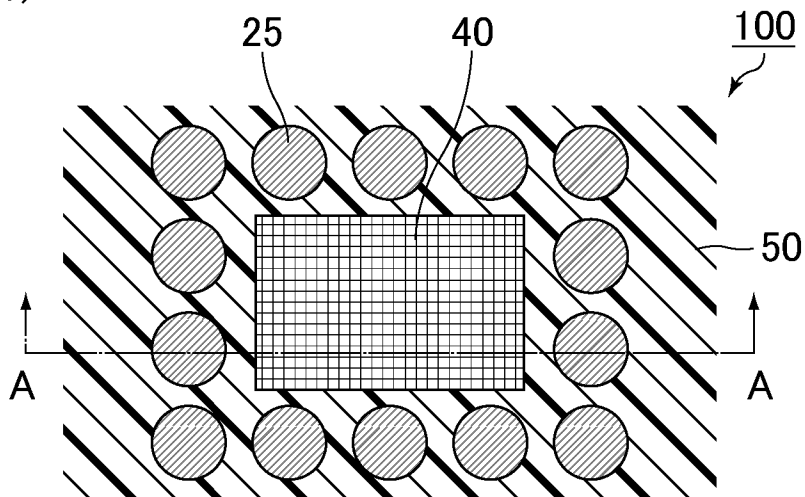
[8]

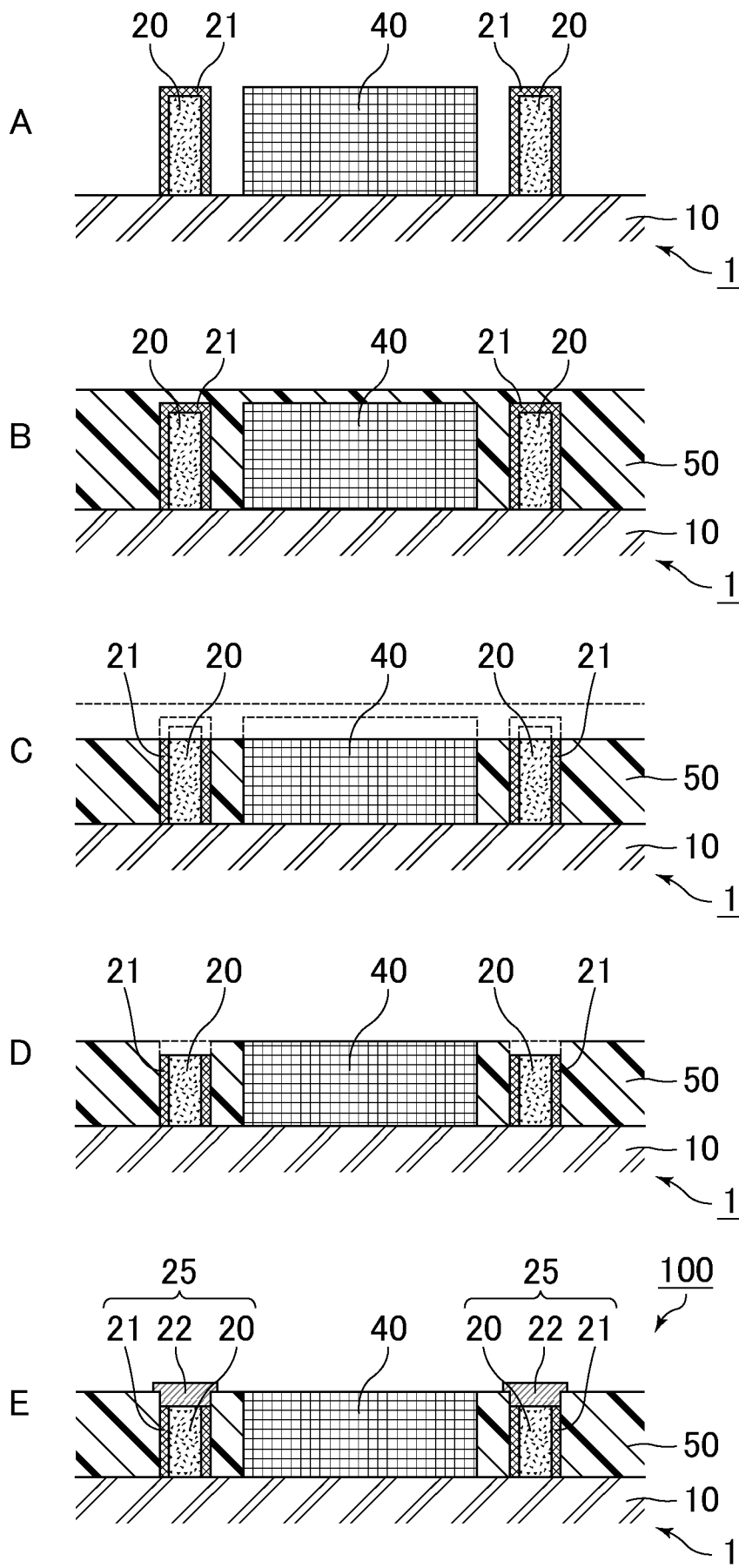
[8]

(a)



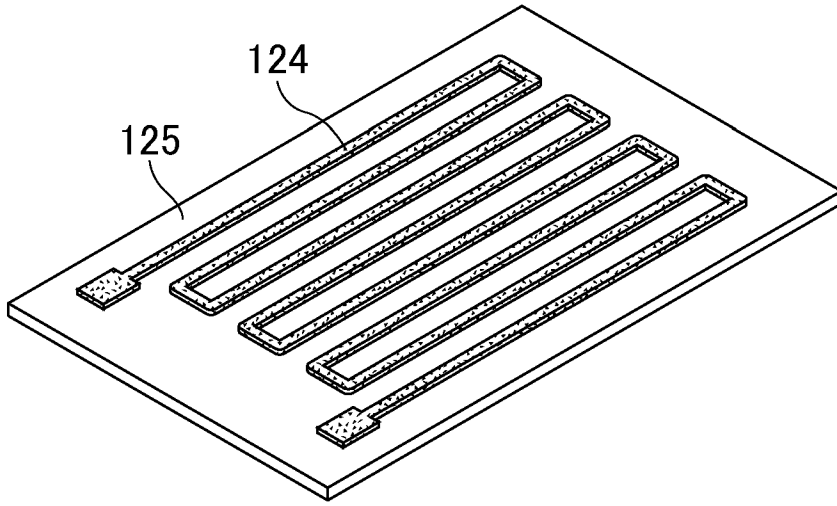
(b)



[]9[]9

[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/033380

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H05K3/46(2006.01) i, H05K3/40(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H05K3/46, H05K3/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|--|-----------|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2018 |
| Registered utility model specifications of Japan | 1996-2018 |
| Published registered utility model applications of Japan | 1994-2018 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------------|
| Y A | WO 2007/049458 A1 (MURATA MANUFACTURING CO., LTD.) 03 May 2007, paragraphs [0038]-[0065], fig. 1-3 & US 2007/0278670 A1, paragraphs [0051]-[0078], fig. 1-3 & EP 1843391 A1 & CN 101124675 A | 12-16, 21-24 1-11, 17-20 |
| Y A | JP 2012-49187 A (MURATA MANUFACTURING CO., LTD.) 08 March 2012, paragraphs [0027]-[0069] (Family: none) | 12-16, 21-24 1-11, 17-20 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 November 2018 (22.11.2018)

Date of mailing of the international search report
04 December 2018 (04.12.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/033380

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y A | JP 2002-343904 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29 November 2002, paragraph [0013], fig. 1 (Family: none) | 22, 23 1-11, 17-20 |
| Y A | WO 2014/188760 A1 (MURATA MANUFACTURING CO., LTD.) 27 November 2014, paragraph [0028], fig. 2 & US 2016/0073499 A1, paragraph [0038], fig. 2 & CN 105230135 A | 23 1-11, 17-20 |
| A | JP 2005-197663 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 21 July 2005, entire text & US 2005/0151303 A1, entire text & CN 1627884 A | 1-24 |
| A | JP 8-88470 A (TAIYO YUDEN CO., LTD.) 02 April 1996, entire text (Family: none) | 1-24 |

| | | |
|--|---|-----------------------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H05K3/46(2006.01)i, H05K3/40(2006.01)i | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H05K3/46, H05K3/40 | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年 | | |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y A | WO 2007/049458 A1（株式会社村田製作所）2007.05.03, 段落[0038]-[0065], 図1-3 & US 2007/0278670 A1, 段落[0051]-[0078], 図1-3 & EP 1843391 A1 & CN 101124675 A | 12-16, 21-24 1-11, 17-20 |
| Y A | JP 2012-49187 A（株式会社村田製作所）2012.03.08, 段落[0027]-[0069]（ファミリーなし） | 12-16, 21-24 1-11, 17-20 |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 | | |
| 国際調査を完了した日 22.11.2018 | 国際調査報告の発送日 04.12.2018 | |
| 国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員） 原田 貴志 電話番号 03-3581-1101 内線 3551 | 5D 4690 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|-----------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y A | JP 2002-343904 A (松下電器産業株式会社) 2002. 11. 29, 段落[0013], 図 1 (ファミリーなし) | 22, 23 1-11, 17-20 |
| Y A | WO 2014/188760 A1 (株式会社村田製作所) 2014. 11. 27, 段落[0028], 図 2 & US 2016/0073499 A1, 段落[0038], 図 2 & CN 105230135 A | 23 1-11, 17-20 |
| A | JP 2005-197663 A (松下電器産業株式会社) 2005. 07. 21, 全文 & US 2005/0151303 A1, 全文 & CN 1627884 A | 1-24 |
| A | JP 8-88470 A (太陽誘電株式会社) 1996. 04. 02, 全文 (ファミリーなし) | 1-24 |