



(12)发明专利

(10)授权公告号 CN 103956365 B

(45)授权公告日 2017.02.22

(21)申请号 201410183395.3

H01L 21/77(2017.01)

(22)申请日 2014.04.30

G02F 1/1362(2006.01)

(65)同一申请的已公布的文献号

G02F 1/1368(2006.01)

申请公布号 CN 103956365 A

G02F 1/1343(2006.01)

(43)申请公布日 2014.07.30

(56)对比文件

(73)专利权人 京东方科技集团股份有限公司

US 2002/0071086 A1,2002.06.13,

地址 100015 北京市朝阳区酒仙桥路10号

CN 1615452 A,2005.05.11,

专利权人 北京京东方显示技术有限公司

US 2008/0180627 A1,2008.07.31,

(72)发明人 刘晓伟 陈曦 蔡振飞 刘耀

审查员 李利哲

李梁梁 郭总杰

(74)专利代理机构 北京路浩知识产权代理有限公司

公司 11002

代理人 李迪

(51)Int.Cl.

H01L 27/12(2006.01)

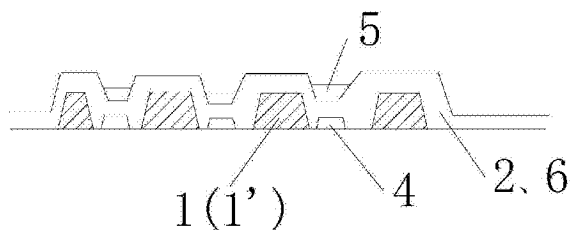
权利要求书2页 说明书6页 附图2页

(54)发明名称

阵列基板及其制备方法、显示装置

(57)摘要

本发明公开了一种阵列基板及其制备方法、显示装置,所述阵列基板中,在所述阵列基板的栅线PAD区域中,相邻的栅线之间设置与栅线绝缘的栅线配线;所述阵列基板的数据线PAD区域中,相邻的数据线之间设置与数据线绝缘的数据线配线;所述栅线配线和数据线配线均为可导电的配线段。本发明通过在PAD区域中形成栅线配线和数据线配线,不仅能够减小断差,提高此处的抗划伤性能,而且即使当金属线被划伤的时候,与之平行的配线可以作为修复线,通过打孔和沉积互联的方法实现对PAD区配线的修复,既可以牺牲产品显示性能又可以提高产品的抗划伤性能。



1. 一种阵列基板,其特征在于,所述阵列基板的栅线PAD区域中,相邻的栅线之间设置有与栅线平行且绝缘的栅线配线;所述阵列基板的数据线PAD区域中,相邻的数据线之间设置有与数据线平行且绝缘的数据线配线;所述栅线配线和数据线配线均为可导电的配线段;其中,所述PAD区域即为压接区域,是将信号线与外部的驱动电路板的引线压接的区域。

2. 如权利要求1所述的阵列基板,其特征在于,所述栅线配线包括设置在栅线上方绝缘层上的第二栅线配线段,第二栅线配线段间隔布置在相邻的栅线之间;所述数据线配线包括设置在数据线上方的第二数据线配线段,第二数据线配线段间隔布置在相邻的数据线之间;所述绝缘层覆盖所述栅线和数据线。

3. 如权利要求1所述的阵列基板,其特征在于,所述栅线上方设置绝缘层;所述绝缘层下方设置第二栅线配线段,第二栅线配线段与所述栅线同层同材质设置;

所述数据线上方的第二数据线配线段,所述第二数据线配线段与所述数据线同层同材质设置。

4. 如权利要求2所述的阵列基板,其特征在于,所述栅线配线还包括与栅线同层且位于第二栅线配线段正下方由所述绝缘层覆盖的第一栅线配线段;所述数据线配线还包括与数据线同层且位于第二数据线配线段正下方由所述绝缘层覆盖的第一数据线配线段。

5. 如权利要求2所述的阵列基板,其特征在于,所述阵列基板还包括像素电极,所述第二栅线配线段和第二数据线配线段分别与所述像素电极同层同材质设置。

6. 如权利要求4所述的阵列基板,其特征在于,所述阵列基板还包括公共电极和像素电极,所述第二栅线配线段和第二数据线配线段与所述像素电极同层同材质设置,所述第一栅线配线段和第一数据线配线段与所述公共电极同层同材质设置,所述像素电极位于所述公共电极上方;

或者,所述第二栅线配线段和第二数据线配线段与所述公共电极同层同材质设置,所述第一栅线配线段和第一数据线配线段与所述像素电极同层同材质设置,所述公共电极位于所述像素电极上方。

7. 如权利要求1所述的阵列基板,其特征在于,相邻栅线之间的间距为 $20\sim 30\mu\text{m}$,相邻数据线之间的间距为 $10\sim 20\mu\text{m}$ 。

8. 一种阵列基板的制备方法,其特征在于,

在阵列基板的栅线PAD区域由下至上依次形成栅线和绝缘层;

在绝缘层上方形成间隔的栅线配线,栅线配线位于相邻的栅线之间且与栅线平行;

在阵列基板的数据线PAD区域由下至上依次形成数据线和绝缘层;

在绝缘层上方形成间隔的数据线配线,数据线配线位于相邻的数据线之间且与数据线平行;

所述栅线配线和数据线配线均采用导电材料形成;

其中,所述PAD区域即为压接区域,是将信号线与外部的驱动电路板的引线压接的区域。

9. 如权利要求8所述的制备方法,其特征在于,

在所述栅线和数据线上方的第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成像素电极,所述第一栅线配线段间隔位于相邻的所述栅线之间,所述第一数据线配线段位于相邻

的所述数据线之间；

在以上形成的基板上,由下至上依次形成绝缘层和钝化层,在所述钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成公共电极,所述第二栅线配线段间隔位于相邻的所述栅线之间,所述第二数据线配线段位于相邻的所述数据线之间；

所述第一栅线配线段位于所述第二栅线配线段的正下方,所述第一数据线配线段位于所述第二数据线配线段的正下方。

10. 如权利要求8所述的制备方法,其特征在于,

在所述栅线和数据线上方沉积第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成公共电极,所述第一栅线配线段间隔位于相邻的所述栅线之间,所述第一数据线配线段位于相邻的所述数据线之间；

在以上形成的基板上,由下至上依次形成绝缘层和钝化层,在所述钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成像素电极,所述第二栅线配线段间隔位于相邻的所述栅线之间,所述第二数据线配线段位于相邻的所述数据线之间；

所述第一栅线配线段位于所述第二栅线配线段的正下方,所述第一数据线配线段位于所述第二数据线配线段的正下方。

11. 如权利要求8所述的制备方法,其特征在于,

在衬底上沉积第一金属薄膜,通过构图工艺,在显示区域形成栅线、以及在数据线PAD区域形成待形成的数据线之间的数据线配线；

在第一金属薄膜上方沉积绝缘层,在绝缘层上沉积第二金属薄膜,通过构图工艺,在显示区域形成数据线、以及在栅线PAD区域形成所述栅线之间的栅线配线；

所述数据线配线间隔位于相邻的所述栅线之间,所述栅线配线间隔位于相邻的所述数据线之间。

12. 一种显示装置,其特征在于,包括上述权利要求1-7中任一项所述的阵列基板。

阵列基板及其制备方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种阵列基板及其制备方法、显示装置。

背景技术

[0002] 在阵列基板与彩膜基板成盒后的切割工艺中,如图1和图2所示,阵列基板上PAD区域中,栅线1和数据线1'形成之后,其上方形成有绝缘层2。由于阵列基板表面与切割碎屑直接接触无法避免,且对于尺寸较小的屏,需要运输到客户处进行切割,屏的Pad区金属线划伤比例较大且无法修复,对产品良率影响很大。数据信号线有一定的厚度,在阵列基板表面形成较大的突起,这种突起造成的断差很容易因为碎屑划伤且无法修复,经过分析和实验验证发现,信号线导致的断差与划伤关系密切,断差越大,划伤风险越高,断差越小,划伤比例越少,且此不良无法修复,直接形成残次品,严重影响产品良率。

[0003] 此问题目前的对应方式主要是降低金属膜厚来减少断差,但金属膜厚降低会造成电阻电容延迟增加,从而加重残像等问题,对产品性能影响较大,因此保证产品显示性能与提高抗划伤性能之间形成了矛盾。

发明内容

[0004] (一)要解决的技术问题

[0005] 本发明要解决的技术问题是对于显示装置,如何让保证产品显示性能与提高抗划伤性能两者之间实现统一。

[0006] (二)技术方案

[0007] 为了解决上述技术问题,本发明提供一种阵列基板,所述阵列基板的栅线PAD区域中,相邻的栅线之间设置有与栅线平行且绝缘的栅线配线;所述阵列基板的数据线PAD区域中,相邻的数据线之间设置有与数据线平行且绝缘的数据线配线;所述栅线配线和数据线配线均为可导电的配线段。

[0008] 优选地,所述阵列基板中,所述栅线配线包括设置在栅线上方绝缘层上的第二栅线配线段,第二栅线配线段间隔布置在相邻的栅线之间;所述数据线配线包括设置在数据线上方绝缘层上的第二数据线配线段,第二数据线配线段间隔布置在相邻的数据线之间;所述绝缘层覆盖所述栅线和数据线。

[0009] 优选地,所述阵列基板中,所述第二栅线配线段与所述数据线同层同材质设置,所述第二数据线配线段与所述栅线同层同材质设置。

[0010] 优选地,所述阵列基板中,所述栅线配线还包括与栅线同层且位于第二栅线配线段正下方由所述绝缘层覆盖的第一栅线配线段;所述数据线配线还包括与数据线同层且位于第二数据线配线段正下方由所述绝缘层覆盖的第一数据线配线段。

[0011] 优选地,所述阵列基板还包括像素电极,所述第二栅线配线段和第二数据线配线段分别与所述像素电极同层同材质设置。

[0012] 优选地,所述阵列基板还包括公共电极和像素电极,所述第二栅线配线段和第二

数据线配线段与所述像素电极同层同材质设置,所述第一栅线配线段和第一数据线配线段与所述公共电极同层同材质设置,所述像素电极位于所述公共电极正上方;

[0013] 或者,所述第二栅线配线段和第二数据线配线段与所述公共电极同层同材质设置,所述第一栅线配线段和第一数据线配线段与所述像素电极同层同材质设置,所述公共电极位于所述像素电极正上方。

[0014] 优选地,所述阵列基板中,相邻栅线之间的间距为 $20\sim 30\mu\text{m}$,相邻数据线之间的间距为 $10\sim 20\mu\text{m}$ 。

[0015] 本发明还提供了一种阵列基板的制备方法,其中,

[0016] 在阵列基板的栅线PAD区域由下至上依次形成栅线和绝缘层;

[0017] 在绝缘层上方形成间隔的栅线配线,栅线配线位于相邻的栅线之间且与栅线平行;

[0018] 在阵列基板的数据线PAD区域由下至上依次形成数据线和绝缘层;

[0019] 在绝缘层上方形成间隔的数据线配线,数据线配线位于相邻的数据线之间且与数据线平行;

[0020] 所述栅线配线和数据线配线均采用导电材料形成。

[0021] 优选地,上述制备方法中,

[0022] 在所述栅线和数据线上方形沉积第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成像素电极,所述第一栅线配线段间隔位于相邻的所述栅线之间,所述第一数据线配线段位于相邻的所述数据线之间;

[0023] 在以上形成的基板上,由下至上依次形成绝缘层和钝化层,在所述钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成公共电极,所述第二栅线配线段间隔位于相邻的所述栅线之间,所述第二数据线配线段位于相邻的所述数据线之间;

[0024] 所述第一栅线配线段位于所述第二栅线配线段的正下方,所述第一数据线配线段位于所述第二数据线配线段的正下方。

[0025] 优选地,上述制备方法中,

[0026] 在所述栅线和数据线上方形沉积第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成公共电极,所述第一栅线配线段间隔位于相邻的所述栅线之间,所述第一数据线配线段位于相邻的所述数据线之间;

[0027] 在以上形成的基板上,由下至上依次形成绝缘层和钝化层,在所述钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成像素电极,所述第二栅线配线段间隔位于相邻的所述栅线之间,所述第二数据线配线段位于相邻的所述数据线之间;

[0028] 所述第一栅线配线段位于所述第二栅线配线段的正下方,所述第一数据线配线段位于所述第二数据线配线段的正下方。

[0029] 优选地,上述制备方法中,

[0030] 在衬底上沉积第一金属薄膜,通过构图工艺,在显示区域形成栅线、以及在数据线

PAD区域形成待形成的数据线之间的数据线配线；

[0031] 在第一金属薄膜上方沉积绝缘层，在绝缘层上沉积第二金属薄膜，通过构图工艺，在显示区域形成数据线、以及在栅线PAD区域形成所述栅线之间的栅线配线；

[0032] 所述数据线配线间隔位于相邻的所述栅线之间，所述栅线配线间隔位于相邻的所述数据线之间。

[0033] 进一步地，本发明还提供了一种显示装置，其包括上述任一项所述的阵列基板。

[0034] (三) 有益效果

[0035] 上述技术方案具有如下优点：通过在PAD区域中形成栅线配线和数据线配线，不仅能够减小断差，提高此处的抗划伤性能，而且即使当金属线被划伤的时候，与之平行的配线可以作为修复线，通过打孔和沉积互联的方法实现对PAD区配线的修复，既可以不牺牲产品显示性能又可以提高产品的抗划伤性能。

附图说明

[0036] 图1是现有技术中数据线或栅线PAD区的金属配线划伤的示意图；

[0037] 图2是现有技术中数据线或栅线PAD区的截面结构示意图；

[0038] 图3是本发明实施例1中数据线或栅线PAD区的截面结构示意图；

[0039] 图4是本发明实施例2中数据线或栅线PAD区的截面结构示意图；

[0040] 图5和图6是本发明实施例3中数据线和栅线PAD区的截面结构示意图。

[0041] 其中，1：栅线；1'：数据线；2：绝缘层；3：ITO配线；4：第一ITO；5：第二ITO；6：钝化层；7：栅线配线；8：数据线配线。

具体实施方式

[0042] 下面结合附图和实施例，对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明，但不用来限制本发明的范围。

[0043] 为了提高显示屏在切割时抗划伤的能力，以及在划伤之后能够进行修复，保证显示屏的品质，本发明提供一种改进的阵列基板，具体在所述阵列基板的栅线PAD区域中，相邻的栅线之间设置与栅线绝缘的栅线配线；所述阵列基板的数据线PAD区域中，相邻的数据线之间设置与数据线绝缘的数据线配线；所述栅线配线和数据线配线均为可导电的配线段。上述阵列基板，通过在PAD区域中形成栅线配线和数据线配线，不仅能够减小断差，提高此处的抗划伤性能，而且即使当金属线被划伤的时候，与之平行的配线可以作为修复线，通过打孔和沉积互联的方法实现对PAD区配线的修复，既可以不牺牲产品显示性能又可以提高产品的抗划伤性能。

[0044] 所谓PAD区域即为压接区域，是将栅线、数据线等信号线与外部的驱动电路板的引线压接的区域，包括栅线PAD区域，数据线PAD区域等，PAD区域位于阵列基板的四个边中的其中一个或相邻的两个边上，为了将引线和信号线电连接，PAD区域的信号线上方没有绝缘层覆盖，通常是在信号线上方刻蚀形成连接孔，将信号线暴露或将信号线与导电元件连接。

[0045] 液晶显示模式包括很多种，常用的有TN模式和ADS模式，TN(Twist Nematic)模式指扭曲向列型液晶，具体为将涂有透明导电层的两片玻璃基板间夹上一层正介电异向性液晶，液晶分子沿玻璃表面平行排列，排列方向在上下玻璃之间连续扭转90°，然后上下各加

一偏光片,底面加上反光片,基本就构成了TN型液晶显示模式。ADS (ADvanced Super Dimension Switch,简称ADS) 模式指高级超维场转换技术,就是利用处于同一平面内的电极产生的横向电场使液晶产生偏转来实现图像显示的模式。

[0046] 实施例1

[0047] 如图3所示,本实施例基于TN模式,提供了一种阵列基板,在阵列基板的PAD区域,栅线1和数据线1' 同层形成,栅线1和数据线1' 上方形成绝缘层2,具体与阵列基板上显示区域结构相一致,绝缘层2上实际还形成有钝化层6,在绝缘层2和钝化层6上方,分别形成栅线配线和数据线配线,在水平面上做投影,栅线配线位于相邻的栅线1之间,数据线配线位于相邻的数据线1' 之间。栅线PAD区域和数据线PAD区域对应的截面图示相同,所以仅通过图3来表示。

[0048] 为了简化阵列基板的制作工艺,减少掩模工艺的次數,本实施例优选将所述栅线配线和数据线配线分别由与像素电极同层同材质的透明导电薄膜形成,在形成像素电极时,沉积完透明导电薄膜之后,仅通过一次构图工艺即可将像素电极和栅线配线、数据线配线同时形成。像素电极通常由ITO(氧化铟锡)或IZO(氧化铟锌)形成,本实施例对应的图3中栅线配线及数据线配线由ITO配线3标示。

[0049] 本实施例中,相邻栅线之间的间距为 $20\sim 30\mu\text{m}$,相邻数据线之间的间距为 $10\sim 20\mu\text{m}$,考虑到工艺标准所规定的误差偏移量应该满足 $TP\leq 3\mu\text{m}$ 和关键尺寸误差满足 $0.3\mu\text{m}\pm 0.05\mu\text{m}$,因此相邻栅线之间的间距设置为 $20\sim 30\mu\text{m}$ 之间,有足够的间距可以形成ITO配线3,且ITO配线3形成的是线段,不会与栅线或数据线的信号形成串扰,而且即使发生有ITO残留使得ITO配线段和某一根金属线相连也无影响,即使发生ITO使得相邻两根栅线短接,在栅线标准测试工序中也可以有效的修复,所以,这种方案不会影响到阵列基板的良率和显示效果。

[0050] 实施例2

[0051] 参照图4所示,本实施例阵列基板基于ADS模式设置,在ADS模式中,像素电极与公共电极同时形成在阵列基板上,像素电极在下方,公共电极在上方,或者像素电极在上方,公共电极在下方。本实施例中,栅线和数据线均形成在衬底表面上,与阵列基板上显示区域的结构相对应,所述栅线配线包括形成在栅线1上方绝缘层(具体包括绝缘层2和钝化层6)上的第二栅线配线段,第二栅线配线段间隔布置在相邻的栅线1之间;所述数据线配线包括形成在数据线1' 上方绝缘层(具体包括绝缘层2和钝化层6)上的第二数据线配线段,第二数据线配线段间隔布置在相邻的数据线1' 之间;以及与栅线1同层且位于第二栅线配线段正下方由绝缘层覆盖的第一栅线配线段,即第一栅线配线段与栅线1同层同材质设置;所述数据线配线还包括与数据线1' 同层且位于第二数据线配线段正下方由绝缘层覆盖的第一数据线配线段,即第一数据线配线段与数据线1' 同层同材质设置。

[0052] 对应于ADS模式中像素电极在下方,公共电极在上方的显示区域结构,所述第一栅线配线段和第一数据线配线段由与像素电极同层同材质的第一透明导电薄膜形成,如图4中所标示的第一ITO配线段4;所述第二栅线配线段和第二数据线配线段由与公共电极同层同材质的第二透明导电薄膜形成,如图4中所标示的第二ITO配线段5;第二ITO配线段5位于第一ITO配线段4正上方,ITO配线也可以采用IZO配线;对应于ADS模式中像素电极在上方,公共电极在下方的显示区域结构,所述第一栅线配线段和第一数据线配线段由与公共电极

同层同材质的第一透明导电薄膜形成,如图4中所标示的第一ITO配线段4;所述第二栅线配线段和第二数据线配线段由与像素电极同层同材质的第二透明导电薄膜形成,如图4中所标示的第二ITO配线段5;第二ITO配线段5位于第一ITO配线段4正上方,ITO配线也可以采用IZO配线

[0053] 在PAD区域中,相邻栅线之间的间距和相邻数据线之间的间距设置与实施例1相同。该结构中,通过第一ITO配线段4和第二ITO配线段5,不仅能够减少断差,提高此处的抗划伤性能,还能够使用配线段对受损的栅线或数据线进行修复,保证显示装置的显示品质。

[0054] 实施例3

[0055] 本实施例适用于TN模式和ADS模式,针对PAD区域中栅线和数据线不同层的结构设置,通常情况下,栅线位于底层,数据线位于栅线上方,栅线配线由与数据线同层的金属薄膜形成,数据线配线由与栅线同层的金属薄膜形成。如图5和图6所示,在形成栅线1时,在形成栅线1的金属薄膜同时形成待形成数据线所需的数据线配线8,数据线配线8将位于数据线1'下方,栅线1和数据线配线8形成之后,在其上方形成绝缘层2,在绝缘层2上方形成数据线1'和栅线配线7,数据线1'间隔位于已形成的相邻数据线配线8之间,栅线配线7间隔位于已形成的相邻的栅线1之间,在栅线1旁边形成数据线配线8,或在数据线1'旁边形成栅线配线7,这样不会因为增加的线段(无电流)产生串扰,因为栅线和数据线之间间隔绝缘层,因此不会有短接的危险。本实施例的设计方式既简化了阵列基板的制备工艺,又减少了断差,提高此处的抗划伤性能,还能够使用配线段对受损的栅线或数据线进行修复,保证显示装置的显示品质。

[0056] 基于上述实施例1-3所提供的阵列基板,本发明还提供一种阵列基板的制备方法,具体为,在阵列基板的栅线PAD区域由下至上依次形成栅线和绝缘层;在绝缘层上方形成间隔的栅线配线,栅线配线位于相邻的栅线之间且与栅线平行;在阵列基板的数据线PAD区域由下至上依次形成数据线和绝缘层;在绝缘层上方形成间隔的数据线配线,数据线配线位于相邻的数据线之间且与数据线平行;所述栅线配线和数据线配线均采用导电材料形成。

[0057] 实施例4

[0058] 本实施例与实施例1相对应,制备实施例1中所涉及的阵列基板,具体制备方法与现有技术中阵列基板的制备方法相似,本实施例的着重点在于PAD区域的制备工艺改进,具体步骤为,在衬底上形成栅线和数据线,在栅线和数据线上由下至上依次形成绝缘层和钝化层,在钝化层上方沉积透明导电薄膜,通过构图工艺,在显示区域形成像素电极、在栅线PAD区域形成栅线配线、以及在数据线PAD区域形成数据线配线。其中,透明导电薄膜可以选用ITO或IZO等。

[0059] 借助于像素电极的形成来制备栅线配线和数据线配线,可以与像素电极形成使用同一构图工艺,简化工艺程序,降低成本,提高制备效率。

[0060] 实施例5

[0061] 本实施例与实施例2相对应,制备实施例2中所涉及的阵列基板,其中,对应于阵列基板的显示区域,像素电极位于公共电极下方时,PAD区域的形成工艺过程为:在衬底上形成栅线和数据线,在栅线和数据线上沉积第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成像素电极,其中,第一栅线配线段间隔位于相邻的栅线之间,第一数据线配线段位于相邻的

数据线之间;在以上形成的基板上,由下至上依次沉积绝缘层和钝化层,在钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成公共电极,第二栅线配线段间隔位于相邻的栅线之间,第二数据线配线段位于相邻的数据线之间;所述第一栅线配线段位于第二栅线配线段的正下方,所述第一数据线配线段位于第二数据线配线段的正下方。

[0062] 当像素电极位于公共电极的上方时,PAD区域的形成过程为:在衬底上形成栅线和数据线,在栅线和数据线上方沉积第一透明导电薄膜,通过构图工艺,在栅线PAD区域形成第一栅线配线段、在数据线PAD区域形成第一数据线配线段、以及在显示区域形成公共电极,第一栅线配线段间隔位于相邻的栅线之间,第一数据线配线段位于相邻的数据线之间;在以上形成的基板上,在钝化层上方沉积第二透明导电薄膜,通过构图工艺,在栅线PAD区域形成第二栅线配线段、在数据线PAD区域形成第二数据线配线段、以及在显示区域形成像素电极,第二栅线配线段间隔位于相邻的栅线之间,第二数据线配线段位于相邻的数据线之间;所述第一栅线配线段位于第二栅线配线段的正下方,所述第一数据线配线段位于第二数据线配线段的正下方。

[0063] 本实施例中,栅线配线段和数据线配线段可以由ITO或IZO等形成。

[0064] 实施例6

[0065] 本实施例与实施例3相对应,制备实施例3中所涉及的阵列基板,PAD区域的具体制备过程为:在衬底上沉积第一金属薄膜,通过一次构图工艺,在显示区域形成栅线、以及在数据线PAD区域形成待形成的数据线之间的数据线配线;在第一金属薄膜上方沉积绝缘层,在绝缘层上沉积第二金属薄膜,通过构图工艺,在显示区域形成数据线、以及在栅线PAD区域形成所述栅线之间的栅线配线;数据线配线间隔位于相邻的栅线之间,栅线配线间隔位于相邻的数据线之间。

[0066] 本实施例所制备的阵列基板适用于TN模式和ADS模式。

[0067] 基于以上实施例,本发明还提供了一种显示装置,该显示装置包括上述实施例1-3中任一项所述的阵列基板。本实施例显示装置可以为:液晶面板、电子纸、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0068] 由以上实施例可以看出,本发明通过在PAD区域中形成栅线配线和数据线配线,不仅能够减小断差,提高此处的抗划伤性能,而且即使当金属线被划伤的时候,与之平行的配线可以作为修复线,通过打孔和沉积互联的方法实现对PAD区域配线的修复,既可以不牺牲产品显示性能又可以提高产品的抗划伤性能。

[0069] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本发明的保护范围。

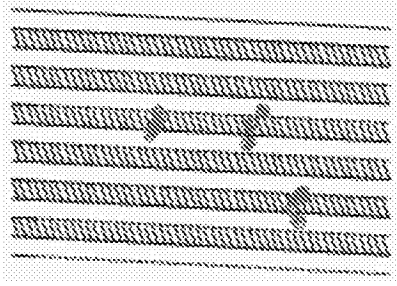


图1

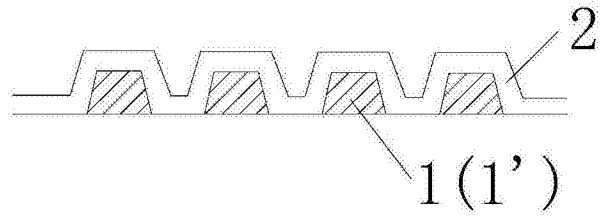


图2

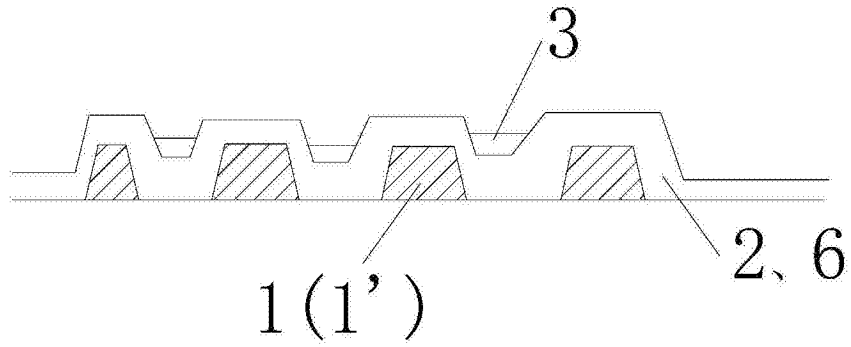


图3

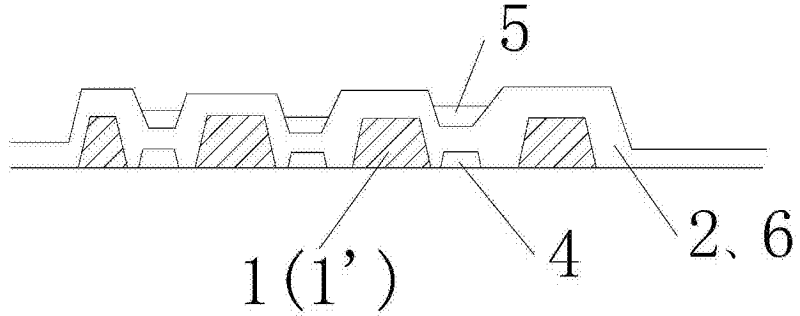


图4

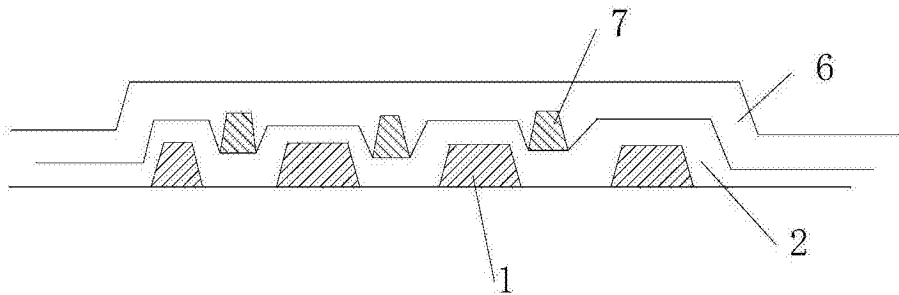


图5

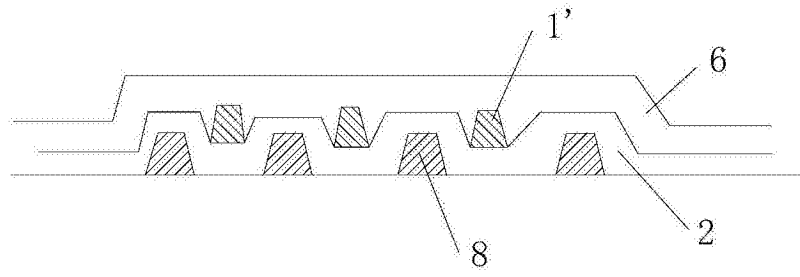


图6