

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94114040

※申請日期 94.4.29

※IPC分類：G06F9/45 (2006.01)

一、發明名稱：(中文/英文)

高階語言編譯方法及其裝置

Method and Corresponding Apparatus for Compiling High-Level Languages into Specific Processor Architectures

二、申請人：(共 1 人)

姓名或名稱 (中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人 (中文/英文)

史欽泰 / SHIH, CHIN TAY

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段195號

No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung, Hsinchu, Taiwan, R. O. C.

國籍：(中文/英文)

中華民國 / Taiwan, R. O. C.

三、發明人：(共 6 人)

姓名：(中文/英文)

林泰吉 / LIN, TAY JYI

趙至敏 / CHAO, CHIE MIN

劉志尉 / LIU, CHIH WEI

任建葳 / JEN, CHEIN WEI

廖宜道 / LIAO, I TAO

黃柏涵 / HUANG, PO HAN

國 籍：(中文/英文)

中華民國 / Taiwan, R. O. C.
中華民國 / Taiwan, R. O. C.
中華民國 / Taiwan, R. O. C.
中華民國 / Taiwan, R. O. C.
中華民國 / Taiwan, R. O. C.
中華民國 / Taiwan, R. O. C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種處理器之高階語言編譯系統，特別是一種適用於特定用途處理器之高階語言編譯方法及其裝置。

【先前技術】

大部分之多媒體及通訊系統多是以高階程式語言(如 C/C++)撰寫開發，於此開發廠商只需藉由編譯器 (compiler) 的自動化程式碼產生機制，即可將相同的程式碼移轉至不同的平台上，以大幅降低產品開發的時程。然而，隨著高效能、低功率的趨勢，系統內用以執行運算處理之數位訊號處理器需針對各種應用領域而加入許多特殊設計，例如：加入特別存取限制的專用暫存器組 (register file)、低負擔的程式流程之控制機制 (例如：硬體迴圈 (hardware looping) 與條件化執行 (conditional execution))，以及針對特別應用領域的加速指令等，因而致使編譯器設計困難度和複雜度大幅提升，進而使得平台移轉更為困難。

舉例來說，參照第 1 圖，係為具有封包式指令及叢集架構 (Packed Instructions & Clustered Architecture; PICA) 之數位訊號處理器的架構圖。此 PICA 數位訊號處理器 100 係為二指令槽 (2-way) (即，存取單元 120 和算數單元 122) 之超長指令集架構 (very long instruction set; VLIW)，於此，其暫存器組 (即，位址暫存器組 112 和累加器 114) 係為分散型架構 (distributed)，且採用特殊之乒乓 (ping-pong) 運作模式以利不同暫存器組之間

的資料交換（即，於資料處理和傳遞中使用一對乒乓暫存器組（ping and pong register files）110 的技術來保存輸入與輸出的資料），而於程式流程方面，則提供零負擔迴圈機制（zero-overhead looping）及條件化執行（conditional execution）。然而，由於以上種種功能而致使其所運用之編譯器在程式碼自動產生設計上變得相當複雜。

目前常見的解決方式如下。

參照第 2 圖，於此主要係藉由一虛擬機器 210（例如：Java 虛擬機器（java virtual machine；JVM））定義出一虛擬架構 220，也就是定義一虛擬的處理器架構與其相對應的指令集。接著利用編譯器 240 依據虛擬架構 220 將其應用程式 230 編譯成二進位中繼檔（bytecode）250，執行時再使用直譯器（interpreter）260 將中繼檔 250 翻譯成實體處理器 280 能執行的機器碼 270（即，二進位編碼）。於此，當底層的實體處理器 280 變更時，只要重新撰寫相對應之直譯器 260 即可，應用程式 230 無需重新編譯，並且同一份中繼檔 250 可重覆使用。然而，此架構在編譯高階語言應用程式時，編譯器無法對此實體處理器架構做最佳化，因此需多層翻譯架構，進而大大減低應用程式的效能。

參照第 3 圖，主要係提供與硬體無關之高階語言的抽象函式介面 310，藉以在應用程式 230 中可直接呼叫介面函式庫 320 中之函式來完成所需演算法，無需了解實體處理器 280 的真正行為及運算上限制。此外，針對不同的實體處理器 280 時，只需提供

不同的介面函式庫 320 以供編譯器 240 進行編譯時重新連結使用，無需再改寫原有以高階語言撰寫的應用程式 230。然而，此架構在第一次使用抽象函式介面 310 時，需改寫原有的應用程式 230 以符合其函式庫 320 定義的行為，因此相當費時，並且於實際運作上還需要作業系統 390 的協助，以溝通抽象函式介面 310 與實際處理器 280 上之操作行為。再者，此架構下所提供的函式庫 320 並不足以操作整個的實體處理器 280 所提供的功能。

另一架構則係將已編譯為不同處理器架構的應用程式之機器碼使用軟體以動態（即，於執行時）或靜態的方式重新編譯成實體處理器可執行的二進位編碼。然而，此架構於軟體重新編譯時由於無法了解大範圍指令間的關係，因此其最佳化的空間很小，並且由於處理器架構上的差異使得轉換後的程式碼無法充份使用實體處理器的運算能力，進而造成應用程式的效能低落。

由此可知，於目前的硬體架構技術下，開發全新之高效能處理器架構已非難事，而於開發環境中是否能具有高階語言編譯系統才是決定其市場接受度的關鍵所在；再者，為大幅縮短處理器發展及驗證之時程，替全新之處理器快速開發一堪用之編譯器已成為開發過程中不可或缺的項目之一。

【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種高階語言編譯方法及其裝置，適用於一特定用途處理器，藉以大體上解決先前技術所存在之問題。

本發明所揭露之高階語言編譯方法及其裝置，可降低開發編譯器的困難度。

本發明所揭露之高階語言編譯方法及其裝置，係於現有之特定用途處理器中加入少量之額外硬體，並配合簡單的軟體工具，藉以簡化其編譯器的開發。

因此，為達上述目的，本發明所揭露之高階語言編譯方法，適用於一特定用途處理器，包括下列步驟：提供一虛擬指令集架構；取得一應用程式；依據虛擬指令集架構將應用程式轉換為相應之組合語言，以得到一第一組合語言；定義第一組合語言中之關鍵指令區塊；以及利用一特定方式以相應之組合語言替換關鍵指令區塊，以得到一第二組合語言。

其中，關鍵指令區塊可包括使用到平行度較高的運算核心和實體處理區塊之特殊功能的指令部份，並且可利用一般的程式特徵分析及統計工具（profiling tool）來定義出此些關鍵指令區塊，進而利用人工方式以其他組合語言取代，亦或係連結至一函式庫以藉由函式庫內之函式來產生替換之組合語言。

其中，可於實體處理區塊外部架構一虛擬處理器介面（virtual processor interface），以提供一虛擬指令集架構。此外，於虛擬處理器介面中可不包括專屬的運算資源。

本發明更揭露一種高階語言編譯裝置，適用於一特定用途處理器，用以將一應用程式編譯成一組合語言，包括：一實體處理區塊、一虛擬處理器介面以及一編譯器。此虛擬處理器介面架構

於實體處理區塊外，以提供一虛擬指令集架構；而與虛擬處理器介面連結之編譯器可根據虛擬指令集架構將應用程式轉換為相應之組合語言。

再者，為能有效率地執行轉換後之程式，可自轉換得之組合語言中定義出關鍵指令區塊，並利用特定方式替換定義出之關鍵指令區塊。

其中，關鍵指令區塊可包括使用到平行度較高的運算核心和實體處理區塊之特殊功能的指令。於此，可利用一般的程式特徵分析及統計工具來定義出此些關鍵指令區塊，並利用人工方式以其他組合語言取代定義出之關鍵指令區塊，亦或係藉由連結一函式庫以利用函式庫中之函式來產生替換之組合語言。

於此，編譯器可採用可支援與虛擬處理器介面相當之處理器的編譯器。

此外，實體處理區塊可為一數位訊號處理器架構（DSP）等之特定用途處理器架構，且虛擬處理器介面可為一精簡指令集（RISC）處理器架構。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

【實施方式】

首先說明本發明之主要概念。本發明主要是提供一虛擬處理器介面（virtual processor interface）以降低編譯器在設計上之困難度。於實際硬體配置上，此虛擬處理器介面不需專屬的運算資源，

而是加入少量硬體將虛擬處理器介面的操作轉換成實體處理器之運算。其中，此虛擬處理器介面的架構原則係為建立一套單純的指令集（instruction set architecture; ISA），並具有一般化且無存取限制之暫存器組，此外對程式流程控制也加以簡化，以使編譯器易將高階語言轉換為組合語言。

以下舉出具體實施例以詳細說明本發明之內容，並以圖示作為輔助說明。說明中提及之符號係參照圖式符號。

參照第 4、5 圖，首先，於實體處理區塊 410 外部架構一虛擬處理器介面（virtual processor interface）420，以提供一虛擬指令集架構（步驟 510），接著取得一應用程式 430（步驟 520），然後編譯器 440 依虛擬處理器介面 420 將應用程式 430 轉換為相應之組合語言，以得到一第一組合語言 450（步驟 530）。其中，此編譯器可採用可支援與虛擬處理器介面相當之處理器的編譯器。

再者，為能有效率地執行轉換後之程式，可自第一組合語言中定義出關鍵指令區塊（步驟 540），以特定方式 480 替換關鍵指令區塊，以得到一第二組合語言 450（步驟 550），如第 6、7 圖所示。

於此，關鍵指令區塊可包括使用到平行度較高的運算核心和實體處理區塊之特殊功能的指令部份，且可利用一般的程式特徵分析及統計工具（profiling tool）定義出此些關鍵指令區塊，再利用人工方式以其他組合語言取代，亦或係連結至一函式庫以藉由函式庫內之函式來產生替換之組合語言。

於執行前，可利用一組譯器（assembler）460 將組合語言翻譯成對應之機器碼 470（步驟 560）。其中，此組譯器可為原實體處理區塊所對應之組譯器，如第 6、8 圖所示。

於此，於實體處理區塊 410 可為一數位訊號處理器（DSP）架構，且此虛擬處理器介面 420 可為一精簡指令集（RISC）架構。而此數位訊號處理器架構可包括多個指令槽（即，功能單元 412）、共用暫存器組 414、以及多個專屬暫存器組 416。而於精簡指令集（RISC）架構中包括一般暫存單元 422，其具有複數個暫存器組，於此，此虛擬處理器介面 420 共用實體處理區塊 410 之硬體資源（即，圖中灰色區塊的部分），如第 9 圖所示。其中，於虛擬處理器介面 420 中具有二資料暫存器組，此資料暫存器組可利用簡單之繞線機制而對應到實體處理區塊 410 的共用暫存器組 414。

其中，於指令實際執行時，實體處理區塊內會提供一額外之解碼機制，以進行指令取代（instruction morphing），使得虛擬指令在解碼時可代換成實體處理區塊上功能相同的實體指令，若無法代換成功能相同的指令則利用原有的硬體資源進行運算，於此所需要之暫存器組則利用別名（aliasing）機制直接共享原有之暫存器組。

舉例來說，參照第 10 圖，於此是於一二指令槽（如圖示之存取單元 612 和算數單元 613）的超長指令集架構之數位訊號處理器 610 增加可執行精簡指令集處理器之外部之一虛擬精簡指令集處理器介面 620。因此，原本之數位訊號處理器即可視同與一

精簡指令集處理器在指令層次上相容的處理器。於此實施例中，即係額外加入純量單元 (scalar unit) 622，其具有 32 個一般化暫存器，其中編號 8-15 及 16-23 之暫存器組 r8-r15、r16-r23 可使用簡單之繞線機制分別對應到數位訊號處理器 610 中乒乓暫存器組 614 (即，ping 與 pong 暫存器組)，而編號 0-7 與 24-31 之暫存器組 r0-r7、r24-r31 則添加額外的硬體資源加以支援 (圖中未顯示)。在指令實際執行時，數位訊號處理器內部會有額外的解碼機制，將精簡指令集處理器之虛擬指令轉換成功能相同之實體指令，如此即可共用原有之運算資源 (即，圖中灰色區塊的部分)。

在程式自動生成部分，改良後之數位訊號處理器 610 即可視為一精簡指令集處理器，只要選用可支援此精簡指令集處理器的編譯器 440，即可將所需應用程式 430 轉換為精簡指令集處理器之組合語言 450，無需重新設計或修改編譯器 440，而轉換後之組合語言 450 再使用原數位訊號處理器對應之組譯器 460 將其翻譯成機器碼 470 即可，如第 11 圖所示。如有使用外部函式庫 680 時，則可由連結器 (linker) 690 再行連結，如第 12 圖所示。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係為習知技術之數位訊號處理器架構的示意圖；

第 2 圖係為習知技術之高階語言編譯架構的示意圖；

第 3 圖係為習知技術之高階語言編譯架構的示意圖；

第 4 圖係為根據本發明一實施例之高階語言編譯架構的示意圖；

第 5 圖係為根據本發明一實施例之高階語言編譯方法的流程圖；

第 6 圖係為根據本發明另一實施例之高階語言編譯架構的示意圖；

第 7 圖係為根據本發明另一實施例之高階語言編譯方法的流程圖；

第 8 圖係為根據本發明再一實施例之高階語言編譯方法的流程圖；

第 9 圖係為第 4 圖和第 6 圖中之實體處理區塊與虛擬處理器介面之整合架構之一實施例的概要方塊圖；

第 10 圖係為實體處理區塊與虛擬處理器介面之整合架構之另一實施例的概要方塊圖；

第 11 圖係為於第 10 圖中之整合架構所應用之高階語言編譯架構之一實施例的示意圖；以及

第 12 圖係為於第 10 圖中之整合架構所應用之高階語言編譯架構之另一實施例的示意圖。

【主要元件符號說明】

100 數位訊號處理器

110	乒乓暫存器組
112	位址暫存器組
114	累加器
120	存取單元
122	算數單元
210	虛擬機器
220	虛擬架構
230	應用程式
240	編譯器
250	中繼檔
260	直譯器
270	機器碼
280	處理器
310	抽象函式介面
320	介面函式庫
390	作業系統
410	實體處理區塊
412	功能單元
414	共用暫存器組
416	專屬暫存器組
420	虛擬處理器介面
422	一般暫存單元

- 430 應用程式
- 440 編譯器
- 450 組合語言
- 460 組譯器
- 470 機器碼
- 480 特定方式
- 610 數位訊號處理器
- 612 存取單元
- 613 算數單元
- 614 乒乓暫存器組
- 620 虛擬精簡指令集處理器介面
- 622 純量單元
- 680 函式庫
- 690 連結器
- r0-r7 暫存器
- r8-r15..... 暫存器
- r16-r23..... 暫存器
- r24-r31..... 暫存器
- 步驟 510 提供一虛擬指令集架構
- 步驟 520 取得一應用程式
- 步驟 530 依據虛擬指令集架構將應用程式轉換為
相應之組合語言

- 步驟 540 定義關鍵指令區塊
- 步驟 550 以特定方式將關鍵指令區塊替換為相應
之組合語言
- 步驟 560 翻譯成對應之機器碼

五、中文發明摘要：

一種高階語言編譯方法及其裝置，適用於特定用途處理器，主要是於實體處理器外部建構一虛擬處理器介面，以提供一套單純的指令集，而編譯器即可依據此指令集將應用程式轉換成對應之組合語言，進而降低編譯器在設計上之困難度。

六、英文發明摘要：

A method and corresponding apparatus for compiling high-level languages into specific processor architectures are provided. In this embodiment, the specific processor is encapsulated in a virtual processor interface with simple instruction set architecture, and a compiler translates application programs into corresponding assembly codes. Further, the difficulty of the compiler design is reduced.

十、申請專利範圍：

1. 一種高階語言編譯方法，適用於一特定用途處理器，包括下列步驟：

提供一虛擬指令集架構；

取得一以高階語言撰寫的應用程式；

依據該虛擬指令集架構將該以高階語言撰寫的應用程式轉換為相應之組合語言，以得到一第一組合語言；

自該第一組合語言中定義出一個以上之關鍵指令區塊，其中每一該關鍵指令區塊係為使用到平行運算核心的指令和使用到特殊功能的指令中至少一個；以及

以相應之替換的組合語言取代定義出的該關鍵指令區塊，以得到一第二組合語言。

2. 如申請專利範圍第 1 項所述之高階語言編譯方法，其中該取代步驟包括下列步驟：

連結一函式庫，其中於該函式庫中包括複數個函式；

呼叫該函式，以產生相應之該替換的組合語言；以及

以相應之該替換的組合語言取代該關鍵指令區塊。

3. 如申請專利範圍第 1 項所述之高階語言編譯方法，其中該取代步驟包括下列步驟：

產生相應之該替換的組合語言；以及

以產生的該替換的組合語言取代該關鍵指令區塊。

4. 如申請專利範圍第 1 項所述之高階語言編譯方法，其中該定義

步驟係為利用一程式特徵分析及統計工具定義出該關鍵指令區塊。

5. 如申請專利範圍第 1 項所述之高階語言編譯方法，更包括下列步驟：

於得到該第二組合語言後，將該該第二組合語言翻譯成一機器碼，以供該特定用途處理器執行。

6. 一種高階語言編譯方法，適用於一特定用途處理器，包括下列步驟：

於一實體處理區塊外架構一虛擬處理器介面；

取得一以高階語言撰寫的應用程式；

依據該虛擬處理器介面將該以高階語言撰寫的應用程式轉換為相應之組合語言，以得到一第一組合語言；

自該第一組合語言中定義出一個以上之關鍵指令區塊，其中每一該關鍵指令區塊係為使用到平行運算核心的指令和使用到該實體處理區塊的特殊功能的指令中至少一個；以及

以相應之替換的組合語言取代該關鍵指令區塊，以得到一第二組合語言。

7. 如申請專利範圍第 6 項所述之高階語言編譯方法，其中該取代步驟包括下列步驟：

連結一函式庫，其中於該函式庫中包括複數個函式；

呼叫該函式，以產生相應之該替換的組合語言；以及

以該相應之該替換的組合語言取代該關鍵指令區塊。

8. 如申請專利範圍第 6 項所述之高階語言編譯方法，其中該取代步驟包括下列步驟：

產生相應之該替換的組合語言；以及

以產生的該替換的組合語言取代該關鍵指令區塊。

9. 如申請專利範圍第 6 項所述之高階語言編譯方法，更包括下列步驟：

於得到該第二組合語言後，將該第二組合語言翻譯成一機器碼，以供該特定用途處理器執行。

10. 如申請專利範圍第 9 項所述之高階語言編譯方法，其中該翻譯步驟係為利用相應該實體處理區塊之一組譯器將該第二組合語言翻譯成該機器碼。

11. 如申請專利範圍第 6 項所述之高階語言編譯方法，其中該轉換步驟係為利用支援該虛擬處理器介面之一編譯器將該以高階語言撰寫的應用程式轉換為該相應之組合語言。

12. 一種高階語言編譯裝置，適用於一特定用途處理器，用以將一以高階語言撰寫的應用程式編譯成一組合語言，包括：

一實體處理區塊；

一虛擬處理器介面，架構於該實體處理區塊上，以提供一虛擬指令集架構；以及

一編譯器，連結該虛擬處理器介面，用以根據該虛擬指令集架構將該以高階語言撰寫的應用程式轉換為相應之組合語言，以得到轉換後之該組合語言，並以相應之替換的組合語言

取代轉換後之該組合語言中一個以上之關鍵指令區塊，其中每一該關鍵指令區塊係為使用到平行運算核心的指令和使用到該實體處理區塊的特殊功能的指令中至少一個。

13. 如申請專利範圍第 12 項所述之高階語言編譯裝置，更包括：

一程式特徵分析及統計工具，用以自轉換後之該組合語言中定義出該一個以上之關鍵指令區塊。

14. 如申請專利範圍第 12 項所述之高階語言編譯裝置，更包括：

一函式庫，具有複數個函式且連結至該編譯器；

其中，該編譯器呼叫該函式以產生轉換後之該組合語言中該一個以上之關鍵指令區塊所相應之替換的組合語言，並以相應之該替換的組合語言取代該關鍵指令區塊。

15. 如申請專利範圍第 12 項所述之高階語言編譯裝置，其中該實體處理區塊係為一數位訊號處理器架構，且該虛擬處理器介面係為一精簡指令集架構。

16. 如申請專利範圍第 15 項所述之高階語言編譯裝置，其中該編譯器係為支援該精簡指令集架構之一編譯器。

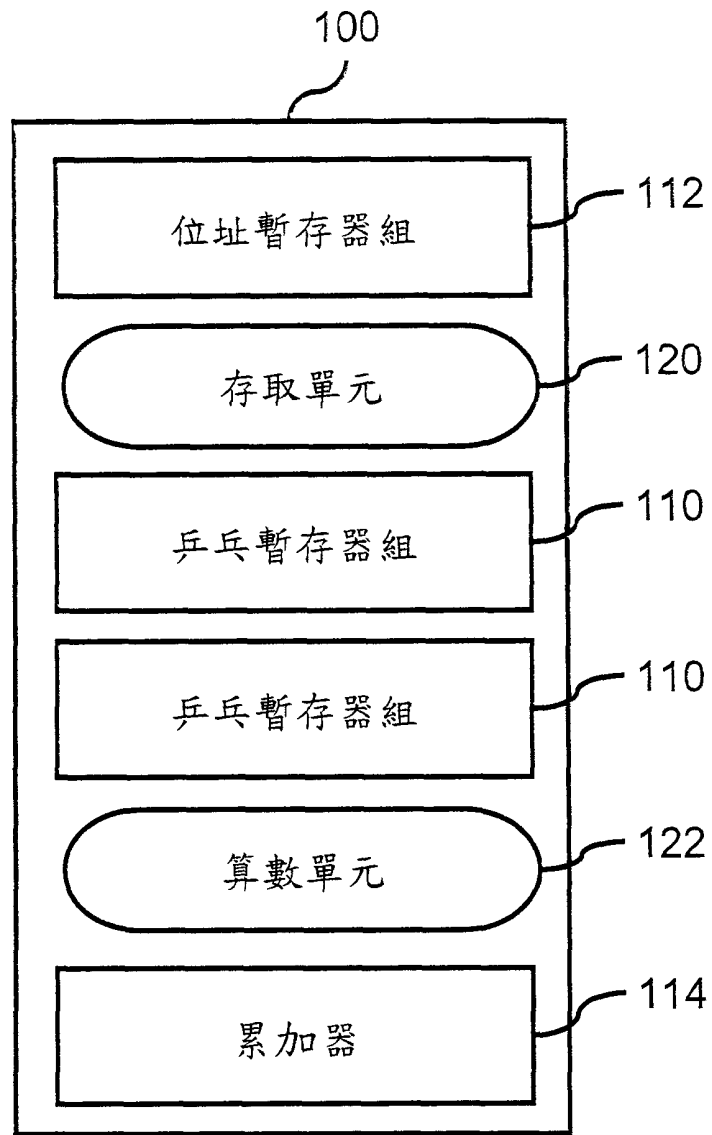
17. 如申請專利範圍第 12 項所述之高階語言編譯裝置，更包括：

一組譯器，連結該編譯器和該虛擬處理器介面，用以將轉換後之該組合語言翻譯成對應之機器碼，以供該特定用途處理器執行。

18. 如申請專利範圍第 17 項所述之高階語言編譯裝置，其中該組譯器係為該實體處理區塊所對應之一組譯器。

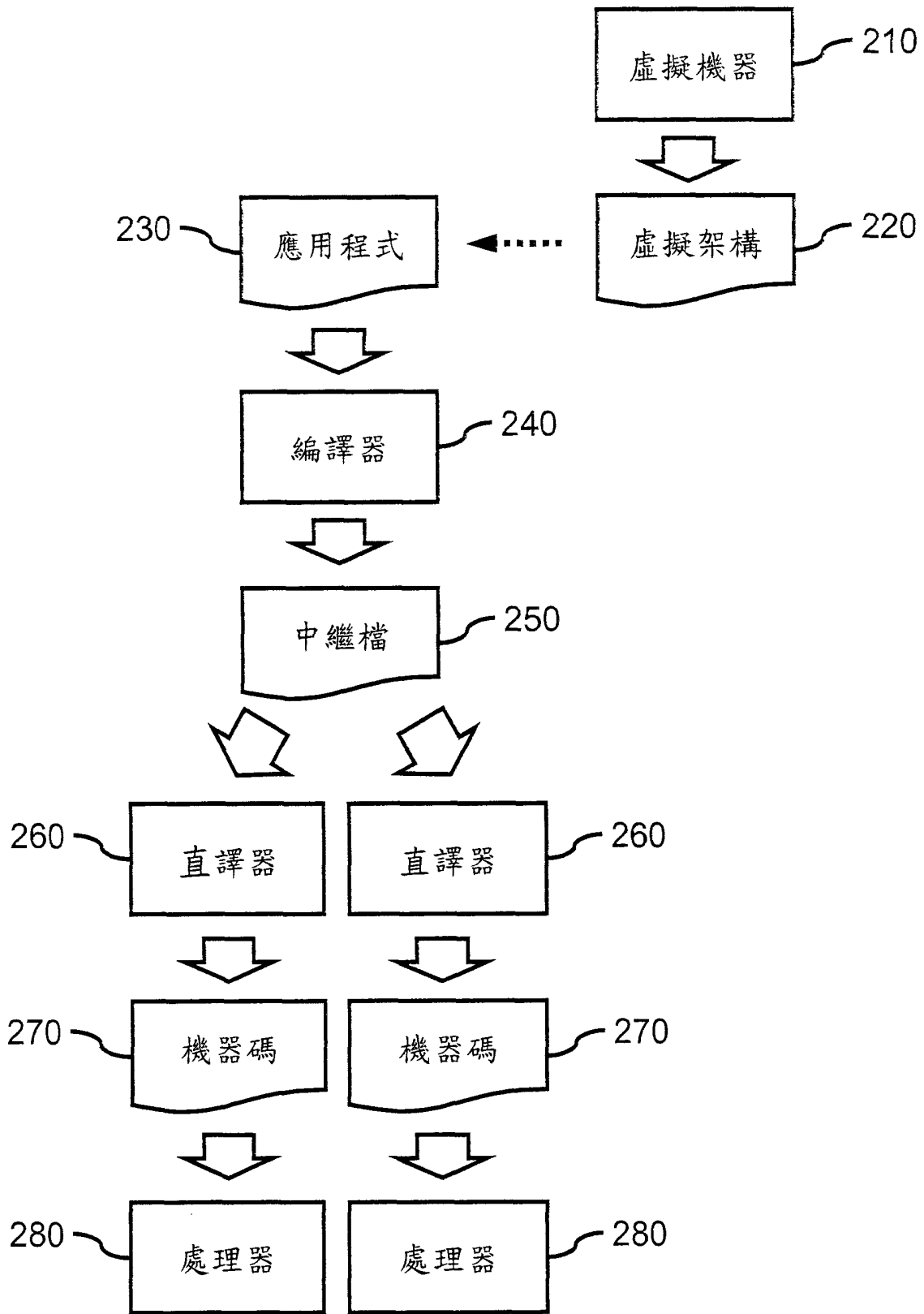
19. 如申請專利範圍第 12 項所述之高階語言編譯裝置，其中該虛擬處理器介面具有複數個暫存器組。
20. 如申請專利範圍第 12 項所述之高階語言編譯裝置，其中該實體處理區塊與該虛擬處理器介面具有複數個共用暫存器組。
21. 如申請專利範圍第 20 項所述之高階語言編譯裝置，其中該虛擬處理器介面具有複數個資料暫存器組，且該複數個資料暫存器組對應於該複數個共用暫存器組。
22. 如申請專利範圍第 12 項所述之高階語言編譯裝置，其中該實體處理區塊具有複數個指令槽和複數個共用暫存器組，且該虛擬處理器介面共用該實體處理區塊的該複數個指令槽和該複數個共用暫存器組。
23. 一種高階語言編譯方法，適用於一特定用途處理器，包括下列步驟：
 - 提供一虛擬指令集架構；
 - 依據該虛擬指令集架構將一以高階語言撰寫的應用程式轉換為相應之虛擬組合語言；以及
 - 利用該特定用途處理器之一解碼機制執行轉換得的該虛擬組合語言。
24. 如申請專利範圍第 23 項所述之高階語言編譯方法，其中該虛擬指令集架構於該特定用途處理器中具有複數個一般化暫存器組。

圖式



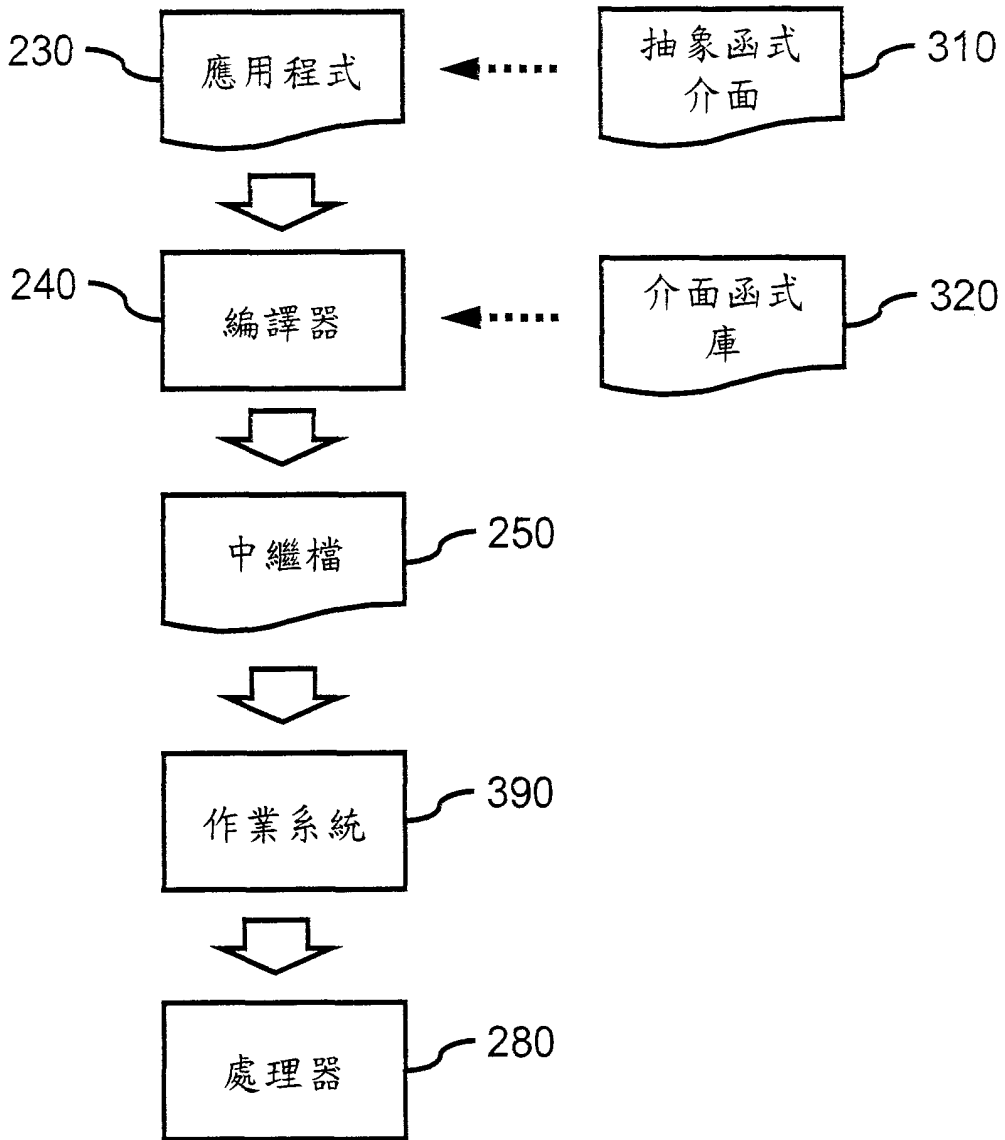
第1圖 (習知技術)

圖式



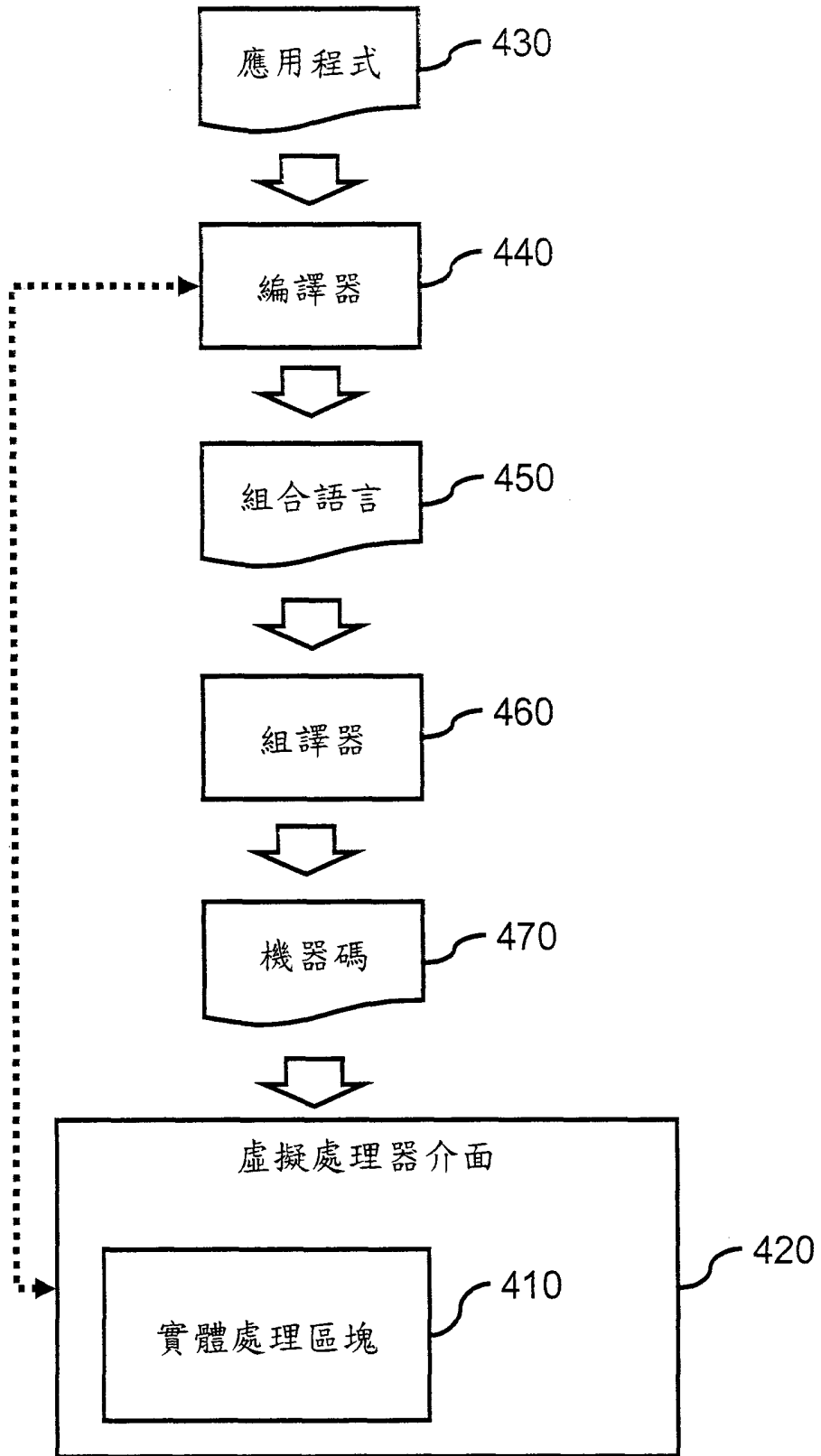
第2圖 (習知技術)

圖式



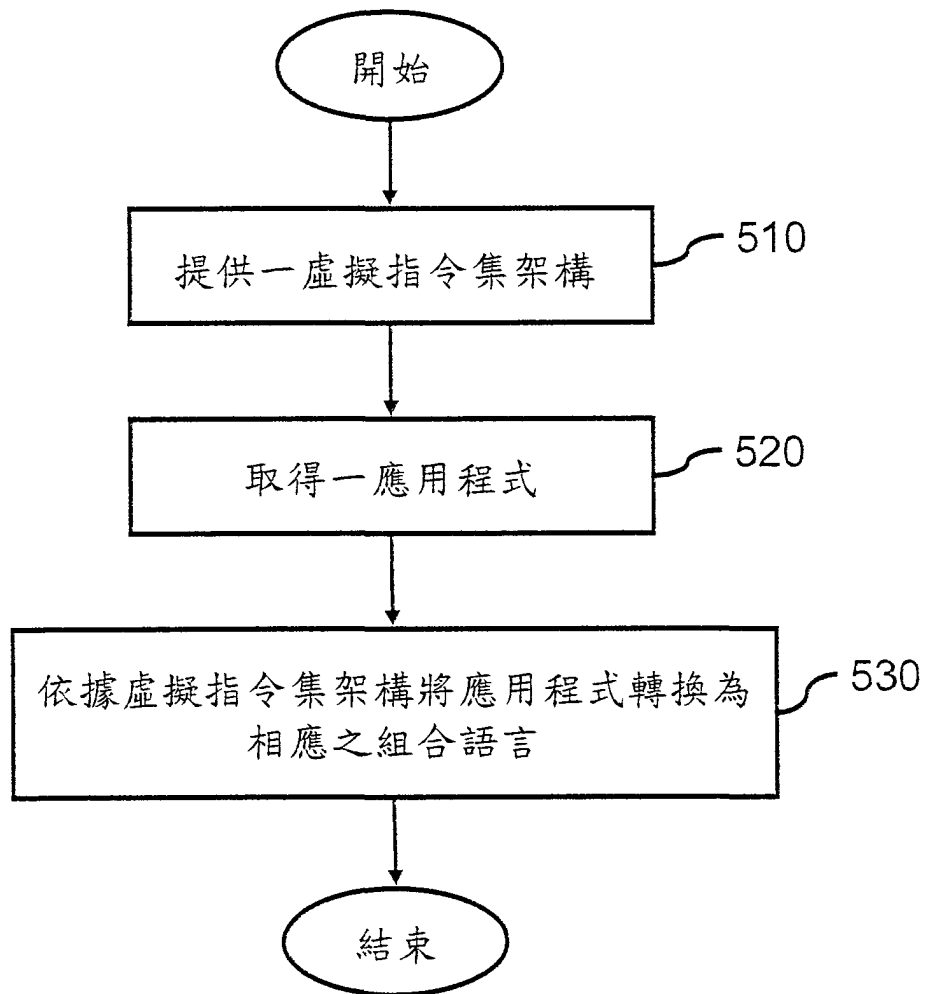
第3圖 (習知技術)

圖式



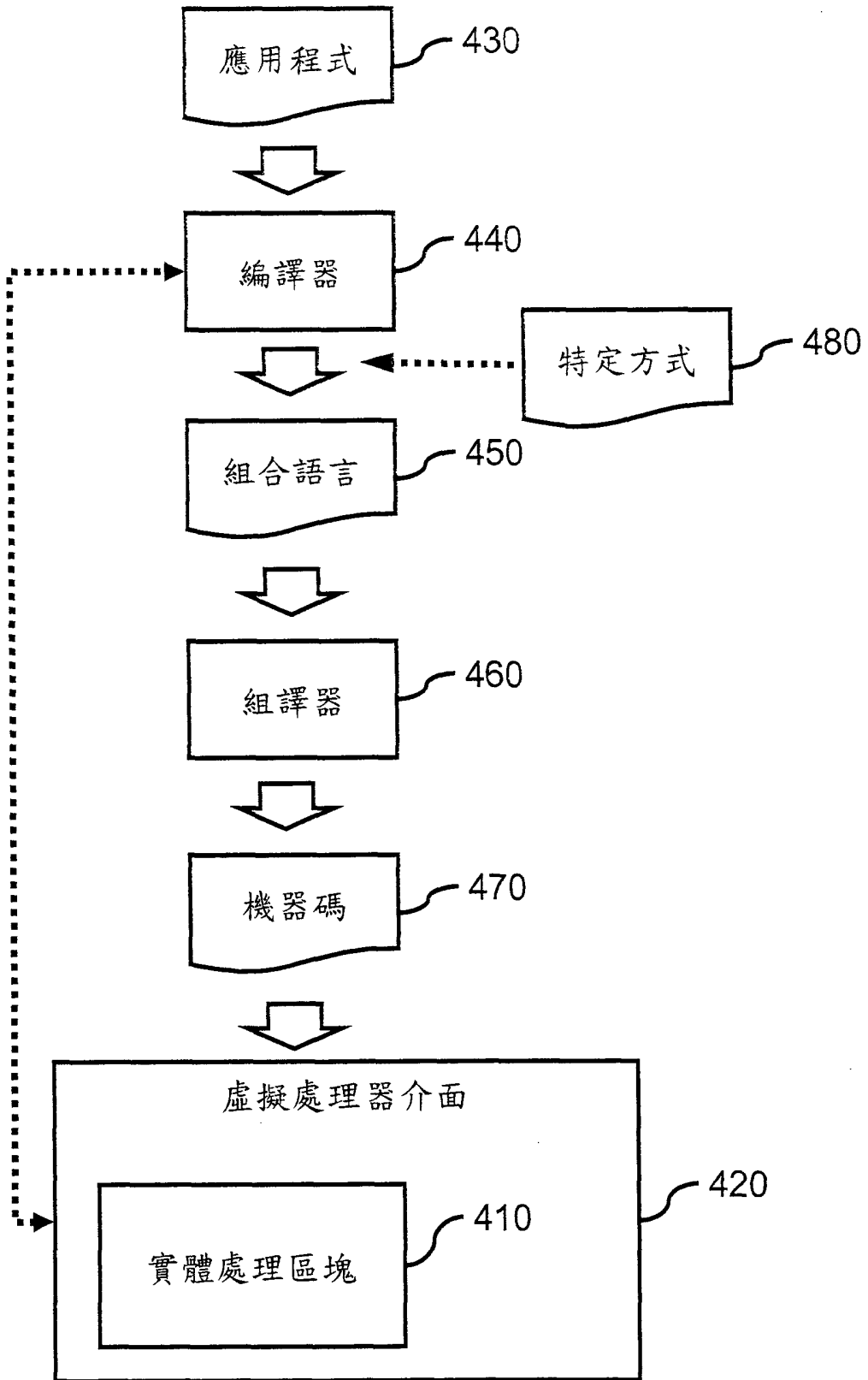
第4圖

圖式



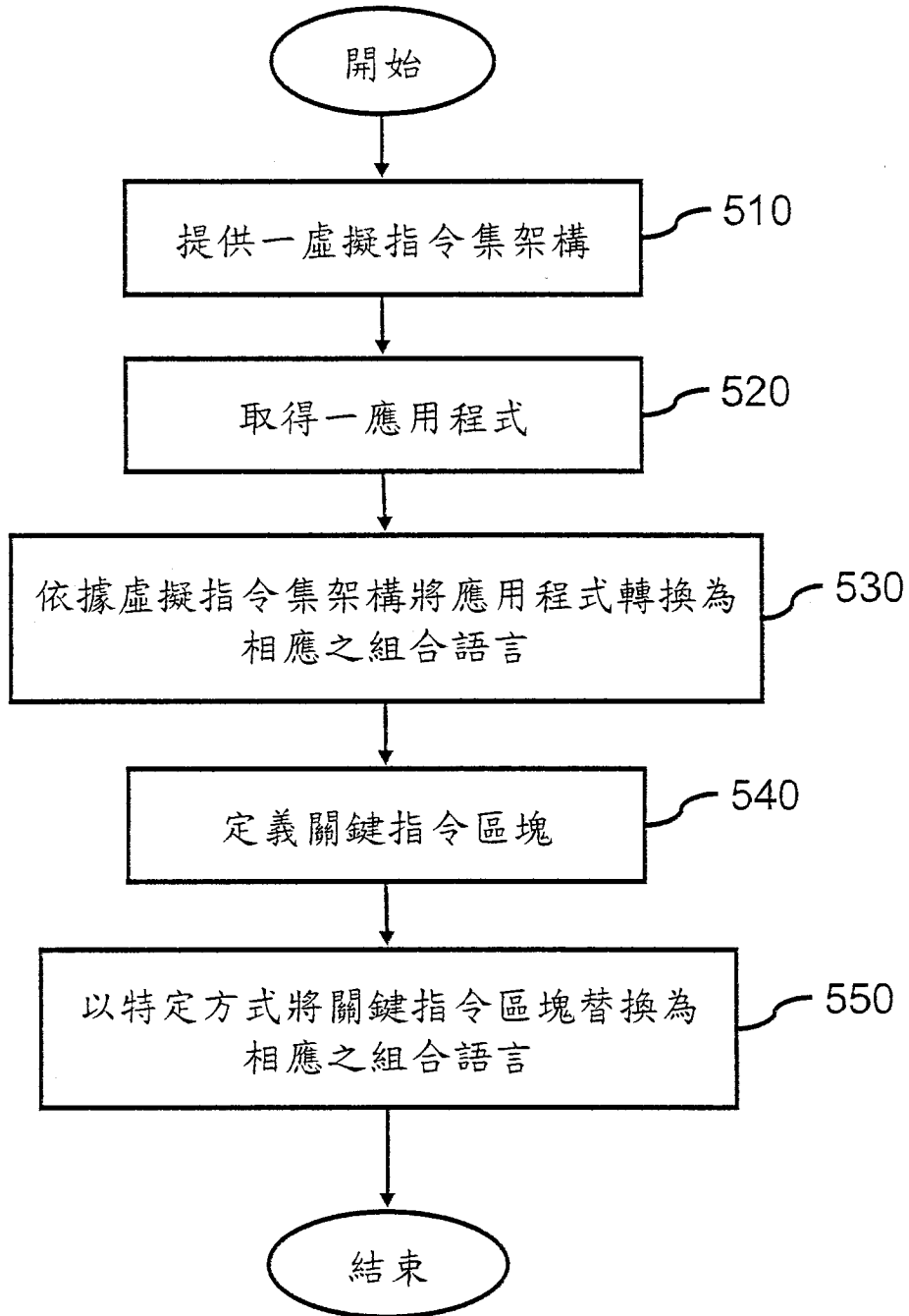
第5圖

圖式



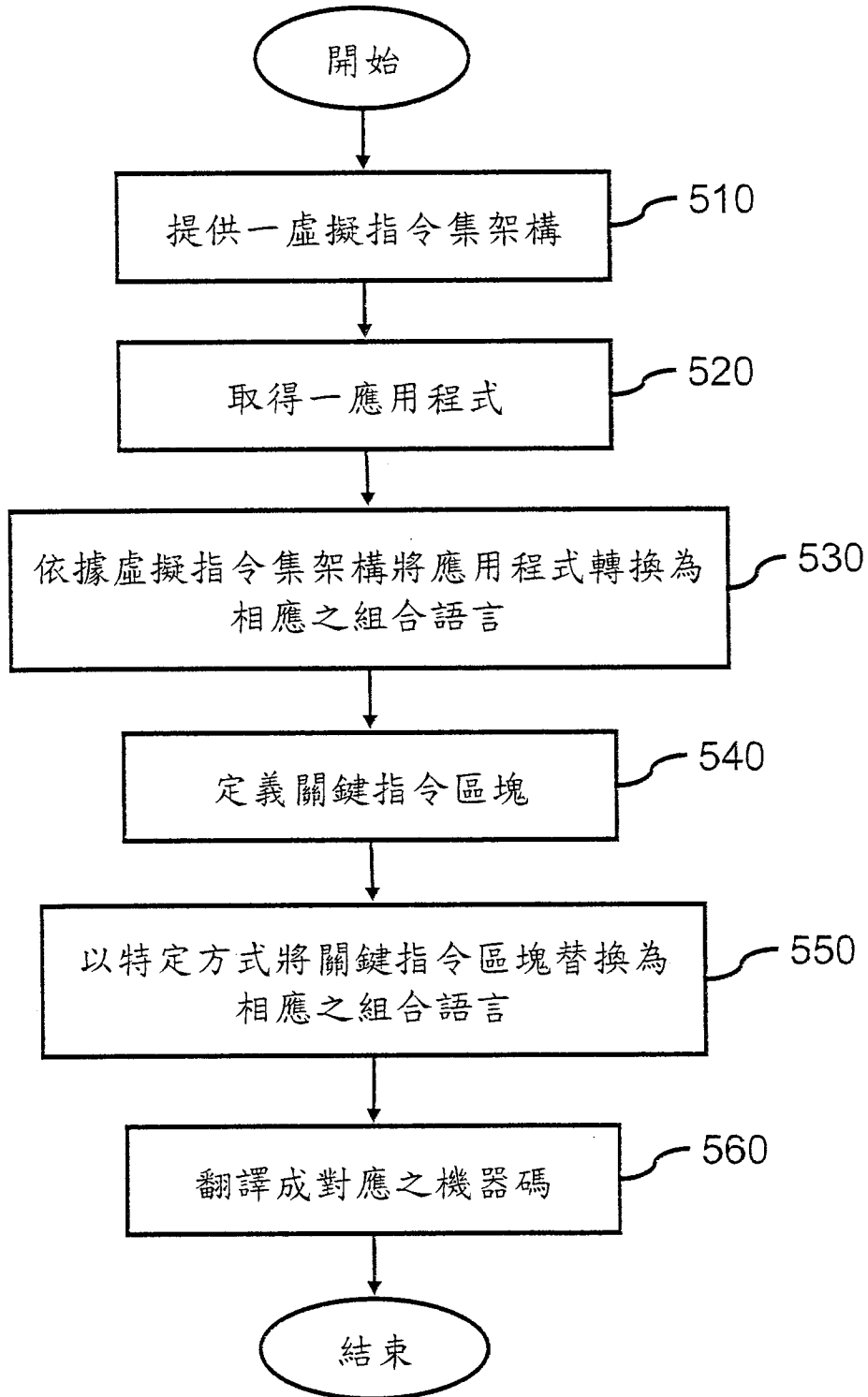
第6圖

圖式



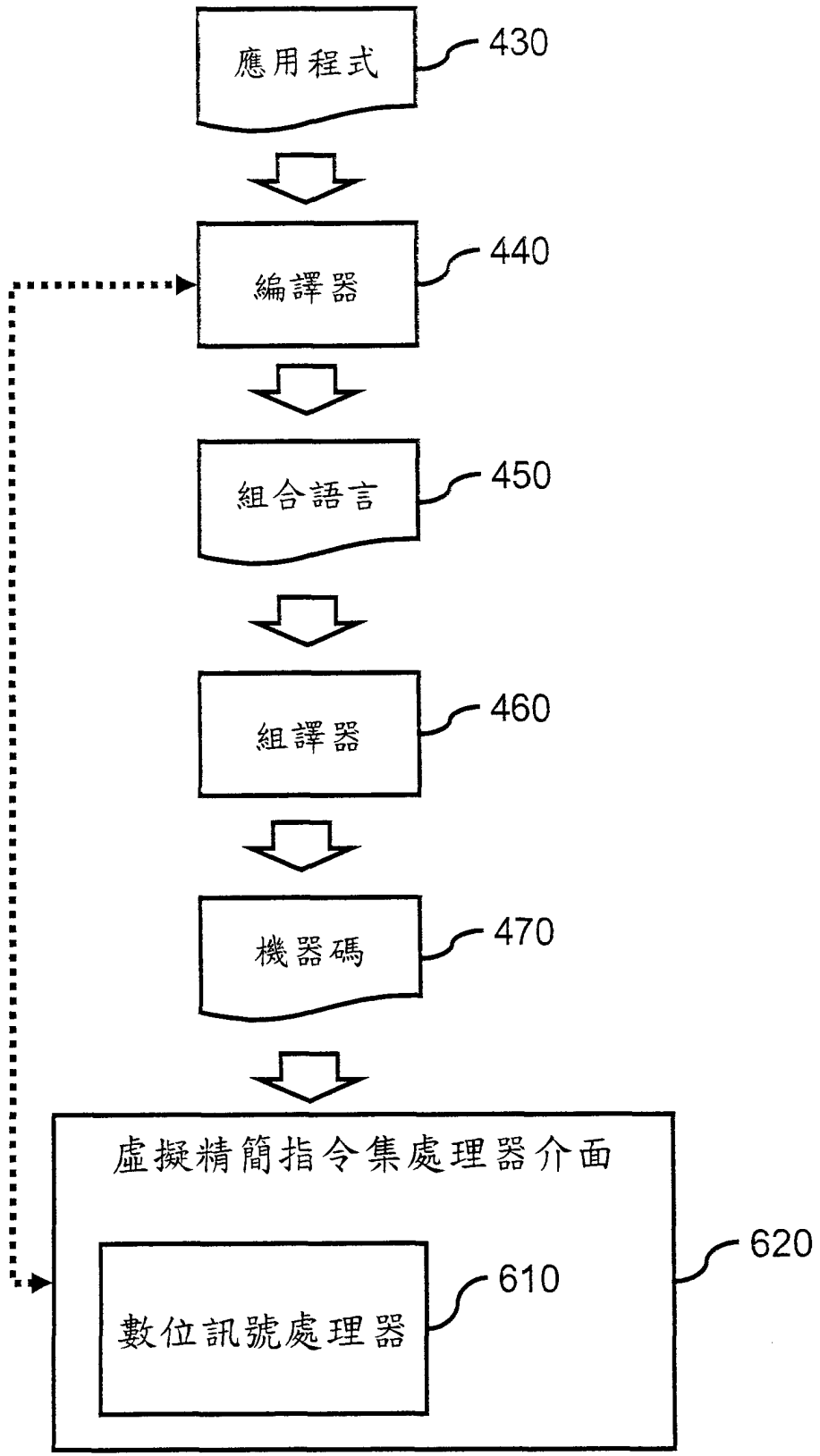
第7圖

圖式



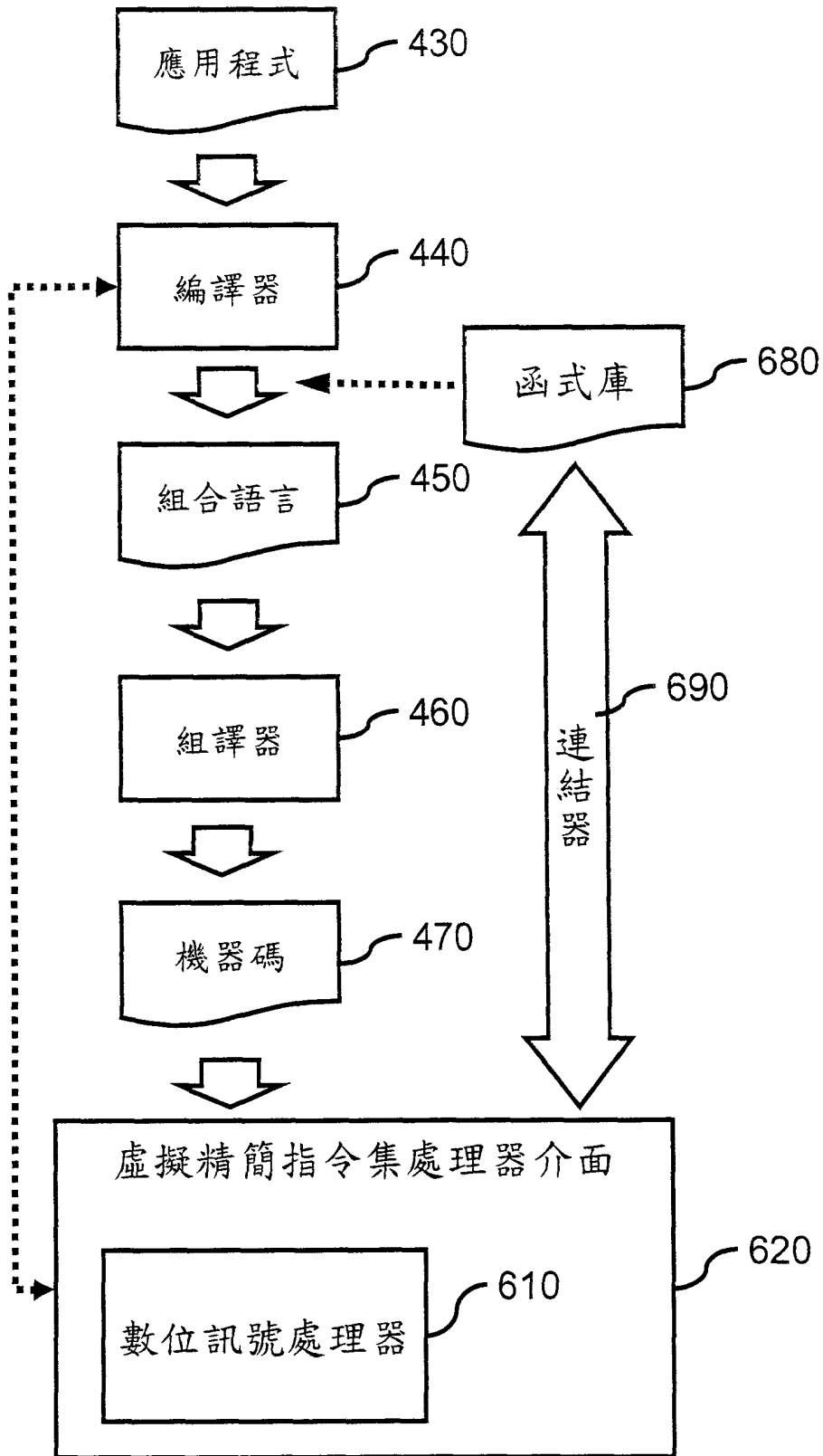
第8圖

圖式



第11圖

圖式



第12圖

七、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件符號簡單說明：

步驟 510提供一虛擬指令集架構

步驟 520取得一應用程式

步驟 530依據虛擬指令集架構將應用程式轉換為
相應之組合語言

步驟 540定義關鍵指令區塊

步驟 550以特定方式將關鍵指令區塊替換為相應
之組合語言

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無