

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---|-------------------------------------|--|
| (51) 。 Int. Cl. <i>H01L 29/786</i> (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년09월20일 10-0626009 2006년09월13일 |
|---|-------------------------------------|--|

| | | | |
|------------------------|--------------------------------|------------------------|--------------------------------|
| (21) 출원번호 (22) 출원일자 | 10-2004-0050444 2004년06월30일 | (65) 공개번호 (43) 공개일자 | 10-2006-0001343 2006년01월06일 |
|------------------------|--------------------------------|------------------------|--------------------------------|

| | | | |
|---------------|---|---------------------|--|
| (73) 특허권자 | 삼성에스디아이 주식회사 경기 수원시 영통구 신동 575 | | |
| (72) 발명자 | 김은아 경기도 수원시 팔달구 영통동 황골마을풍림아파트 601동 1501호 | | |
| (74) 대리인 | 리엔목특허법인 이해영 | | |
| (56) 선행기술조사문헌 | JP2001007333 A | JP2001044438 A * | |
| | JP2004004723 A | KR1020000022518 A * | |
| | * 심사관에 의하여 인용된 문헌 | | |

심사관 : 임동우

(54) 박막 트랜지스터 구조체 및 이를 구비하는 평판디스플레이 장치

요약

본 발명은, 층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하는 박막 트랜지스터 구조체에 있어서, 상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되, 상기 폭 변동부는 인접 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 박막 트랜지스터 구조체를 제공한다.

또한, 본 발명은, 기판의 일면 상에 형성되는 박막 트랜지스터 층과;

상기 박막 트랜지스터 층의 상부에 형성되는 하나 이상의 절연층과;

상기 절연층에 형성된 비아홀을 통하여 상기 박막 트랜지스터 층과 전기적 소통을 이루는 하나 이상의 화소를 구비하는 화소층;을 포함하고,

상기 박막 트랜지스터 층은, 층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하고, 상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되,

상기 폭 변동부는 인접 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 평판 디스플레이 장치를 제공한다.

대표도

도 2c

명세서

도면의 간단한 설명

도 1a는 종래 기술에 따른 유기 전계 발광 디스플레이 장치의 디스플레이 영역을 도시하는 선도,

도 1b는 도 1a의 도면 부호 "A"에 대한 부분 확대도,

도 1c는 도 1a의 도면 부호 "B"에 대한 부분 확대도,

도 1d는 도 1c의 도면 부호 "B"에 대한 부분 모식도,

도 1e는 도 1의 도면 부호 "B"에 대한 부분 단면도,

도 2a는 본 발명의 일실시예에 따른 유기 전계 발광 디스플레이 장치의 개략적인 평면도,

도 2b는 도 2a의 도면 부호 "C"에 대한 개략적인 회로도,

도 2c는 도 2a의 도면 부호 "C"의 일부에 대한 부분 단면도,

도 2d는 본 발명의 일실시예에 따른 유기 전계 발광 디스플레이 장치의 일화소에 대한 부분 확대도.

<도면의 주요부분에 대한 부호의 간단한 설명>

110...기관 120...버퍼층

130...제 1 반도체 활성층 140...게이트 절연층

150...제 1 게이트 전극 160...중간층

170...제 1 소스/드레인 전극 180...보호층

230...제 5 반도체 활성층 240...제 1 스캔 라인

250...제 5 게이트 전극/제 2 스캔 라인 270...제 5 소스/드레인 전극

281...비아홀 290...제 1 전극층

292...유기 전계 발광부 294...화소 개구부

300...구동 전원 공급 라인 310...구동 전원 라인

400...제 2 전극층 410...전극 전원 공급 라인

500...수직 구동 회로부 600...수평 구동 회로부

800...밀봉부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 구조체 및 이를 구비하는 평판 디스플레이 장치에 관한 것으로, 정전기로 인한 정전 파괴를 방지 내지 저감시킬 수 있는 구조의 박막 트랜지스터 구조체 및 이를 구비하는 평판 디스플레이 장치에 관한 것이다.

화상을 표시하는데 있어, 수많은 종류의 디스플레이 장치가 사용되는데, 근래에는 종래의 브라운관, 즉 CRT(cathode ray tube, 음극선관)를 대체하는 다양한 평판 디스플레이 장치가 사용된다. 이러한 평판 디스플레이 장치는 발광 형태에 따라 자발광형(emissive)과 비자발광형(non-emissive)으로 분류할 수 있다. 자발광형 디스플레이 장치에는 평면 브라운관, 플라즈마 디스플레이 장치(plasma display panel device), 진공 형광 표시 장치(vacuum fluorescent display device), 전계 방출 디스플레이 장치(field emission display device), 무기/유기 전계 발광 디스플레이 소자(electro-luminescent display device) 등이 있고, 비자발광형 디스플레이 장치에는 액정 디스플레이 장치(liquid crystal display device)가 있다. 그 중에서도, 유기 전계 발광 소자는 백라이트와 같은 별도의 발광 장치 필요없는 자발광형 소자로서, 저전력 및 고효율 작동이 가능하고, 청색 발광이 가능하여 근래에 각광을 받고 있는 평면 디스플레이 소자이다.

유기 전계 발광 디스플레이 소자는 유기물 박막에 음극과 양극을 통하여 주입된 전자와 정공(hole)이 재결합하여 여기자(exiton)를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용하는 자발광형 디스플레이 장치이다. 유기 전계 발광 디스플레이 장치는 저전압으로 구동이 가능하고, 경량의 박형이고, 시야각이 넓은 뿐만 아니라, 응답 속도 또한 빠르다는 장점을 구비한다.

이러한 유기 전계 발광 디스플레이 소자의 유기 전계 발광부는 기판 상에 적층식으로 형성되는 양극으로서의 제 1 전극, 유기 발광부, 및 음극으로서의 제 2 전극으로 구성된다. 유기 발광부는 유기 발광층(EML, emitting layer)을 구비하는데, 이 유기 발광층에서 정공과 전자가 재결합하여 여기자를 형성하고 빛이 발생한다. 발광 효율을 보다 높이기 위해서는 정공과 전자를 유기 발광층으로 보다 원활하게 수송하여야 하고, 이를 위해 음극과 유기 발광층 사이에는 전자 수송층(ETL, electron transport layer)이 배치될 수 있고 양극과 유기 발광층 사이에는 정공 수송층(HTL, hole transport layer)이 배치될 수 있으며, 또한 양극과 정공 수송층 사이에 정공 주입층(HIL, hole injection layer)이 배치될 수도 있고, 음극과 전자 수송층 사이에 전자 주입층(EIL, electron injection layer)이 배치될 수도 있다.

한편, 유기 전계 발광 디스플레이 소자는 구동 방식에 따라, 수동 구동방식의 패시브 매트릭스(Passive Matrix: PM)형과, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형으로 구분된다. 상기 패시브 매트릭스형은 단순히 양극과 음극이 각각 컬럼(column)과 로우(row)로 배열되어 음극에는 로우 구동회로로부터 스캐닝 신호가 공급되고, 이 때, 복수의 로우 중 하나의 로우만이 선택된다. 또한, 컬럼 구동회로에는 각 화소로 데이터 신호가 입력된다. 한편, 상기 액티브 매트릭스형은 박막 트랜지스터(Thin Film Transistor, TFT)를 이용해 각 화소 당 입력되는 신호를 제어하는 것으로 방대한 양의 신호를 처리하기에 적합하여 동영상 구현을 위한 디스플레이 장치로서 많이 사용되고 있다.

이러한 종래 기술에 따른 액티브 매트릭스형 유기 전계 발광 디스플레이 장치는 제조시 발생하는 정전기로 인하여 디스플레이 영역 내 불량 화소를 포함할 수 있다.

도 1a는 명점으로 표시된 불량 화소를 구비하는 유기 전계 발광 디스플레이 장치를 도시하고, 도 1b는 도 1a의 디스플레이 영역 중 도면 부호 "A"로 표시되는 정상 화소에 대한 부분 확대도이고, 도 1c는 도 1a의 디스플레이 영역 중 도면 부호 "B"로 표시되는 불량 화소에 대한 부분 확대도인데, 도 1a 및 도 1b는 기관측으로부터 투시된 도면이다.

각각의 화소(1a, 1b)에는 전계 발광부가 포함되는데, 구동 박막 트랜지스터(미도시)로부터의 전기적 신호를 전달하는 발광 박막 트랜지스터(Ma, Mb)를 구비한다. 발광 박막 트랜지스터(Ma, Mb)의 소스 전극은 도전층(5)을 통하여 구동 박막 트랜지스터(미도시)와 전기적으로 소통된다.

도 1d에는 도 1c의 도면 부호 "B"에 대한 부분 확대도가 도시되어 있다. 도전층(5)은 여타 도전층과 교차될 수 있다. 도전층(5)은, 예를 들어 다른 박막 트랜지스터에 전기적 신호를 인가하기 위한, 스캔 라인 및/또는 스캔 라인 연장부로서의 게이트 라인(3a, 3b)과 적어도 일부에서 교차하게 된다. 이러한 게이트 라인(3a, 3b)은 설계 사양에 맞도록 길이 방향을 따라 폭이 변동하는 폭 변동부(Aw)를 구비하게 되는데, 게이트 라인(3a, 3b)은 도전층(5)과 교차부(Ac)를 형성하도록 배치된다.

하지만, 도전층들을 형성하는 과정시, 폭 변동부(Aw)와 같은 각진 부분에서는 정전기 방전(electrostatic discharge, ESD)이 쉽게 유발된다. 즉, 도 1d 및 도 1e에 도시된 바와 같이 폭 변동부(Aw)를 구비하는 도전층으로서의 게이트 라인(3a, 3b)이 인근 도전층과의 교차부(Ac)에 배치되는 경우 정전기가 집중되어 방전이 용이하게 유발됨으로써 이들 도전층들 사이에 개재되는 절연층을 파손시켜 도전층 간 쇼트가 발생할 가능성이 증대된다. 따라서, 도 1a 및 도 1c에 도시된 바와 같이, 도 1b에 도시된 화소와 도 1c에 도시된 화소에는 동일한 전기적 신호가 입력되었음에도 불구하고, 도 1c의 경우 다른 도전층(3a, 3b)과의 쇼트로 인하여 입력된 전기적 신호에 대한 원하는 전기적 신호와는 다른 전기적 신호가 박막 트랜지스터(Mb)에 인가됨으로써, 화소(1b)는 정상적인 화소(1a)보다 큰 발광 휘도를 갖는 명점으로 작동하게 된다.

이와 같이, 박막 트랜지스터에 구비되는 도전층 간의 정전기에 의한 절연 파괴로 인한 도전층 간의 쇼트는 구성 요소의 오작동을 유발하는데, 이는 특히 디스플레이 영역 전체에 있어 고도의 균일성을 요구하는 평판 디스플레이 장치에 치명적인 화면 품질 저하 문제를 야기한다.

발명이 이루고자 하는 기술적 과제

본 발명은, 도전층 간의 정전 파괴로 인한 불량 발생을 저감 내지 방지할 수 있는 구조의 박막 트랜지스터 구조체 및 이를 구비하는 평판 디스플레이 장치를 제공함을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면,

층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하는 박막 트랜지스터 구조체에 있어서,

상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되, 상기 폭 변동부는 인근 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 박막 트랜지스터 구조체를 제공한다.

상기 본 발명의 박막 트랜지스터 구조체에 따르면, 상기 폭 변동부를 구비하는 층은 게이트 전극과 동일층일 수도 있다.

상기 본 발명의 박막 트랜지스터 구조체에 따르면, 상기 폭 변동부를 구비하는 층은 소스/드레인 전극과 동일층일 수도 있다.

본 발명의 다른 일면에 따르면,

기판의 일면 상에 형성되는 박막 트랜지스터 층과;

상기 박막 트랜지스터 층의 상부에 형성되는 하나 이상의 절연층과;

상기 절연층에 형성된 비아홀을 통하여 상기 박막 트랜지스터 층과 전기적 소통을 이루는 하나 이상의 화소를 구비하는 화소층;을 포함하고,

상기 박막 트랜지스터 층은, 층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하고, 상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되,

상기 폭 변동부는 인근 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 평판 디스플레이 장치를 제공한다.

상기 본 발명의 평판 디스플레이 장치에 따르면, 상기 폭 변동부를 구비하는 층은 게이트 전극과 동일층일 수도 있다.

상기 본 발명의 평판 디스플레이 장치에 따르면, 상기 폭 변동부를 구비하는 층은 소스/드레인 전극과 동일층일 수도 있다.

상기 본 발명의 평판 디스플레이 장치에 따르면, 상기 화소층은 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부로 구성될 수도 있다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a에는 본 발명의 일실시예에 따른 평판 디스플레이 장치의 일예인 유기 전계 발광 디스플레이 장치의 평면도가 개략적으로 도시되어 있다.

기관(110)의 일면 상에는 유기 전계 발광 디스플레이 소자와 같은 발광 소자가 배치된 디스플레이 영역(200), 디스플레이 영역(200)의 외측을 따라 도포되어 기관(110)과 밀봉 부재로서의 밀봉 기관(미도시)을 밀봉시키는 밀봉부(800), 각종 단자들이 배치된 단자 영역(700)을 구비하는데, 이는 본 발명을 설명하기 위한 일례로서, 본 발명이 이에 한정되지 않고 밀봉 부재로서의 밀봉층이 구비될 수도 있는 등 다양한 변형이 가능하다.

디스플레이 영역(200)과 밀봉부(800)의 사이에는 디스플레이 영역(200)에 구동 전원을 공급하기 위한 구동 전원 공급 라인(300)이 배치된다. 도 2a는 본 발명의 일례로 구동 전원 공급 라인의 배치가 이에 한정되는 것은 아니나, 디스플레이 영역 전체에 걸쳐 균일한 구동 전원을 공급함으로써 휘도 불균일을 개선시킬 수 있다는 점에서, 구동 전원 공급 라인(300)은 디스플레이 영역을 둘러싸도록 형성되는 것이 바람직하다.

구동 전원 공급 라인(300)은 구동 전원 라인(310)과 연결되는데, 구동 전원 라인(310)은 디스플레이 영역(200)을 가로질러 배치되고 보호층(180, 도 2c 참조) 하부에 배치된 소스 전극(170a, 도 2c 참조)과 전기적으로 소통된다.

또한, 디스플레이 영역(200) 외측에는 수직/수평 구동 회로부(500, 600)가 배치된다. 수직 구동 회로부(500)는 디스플레이 영역(200)에 스캔 신호를 인가하는 스캔 구동 회로부가 될 수도 있고, 수평 구동 회로부(600)는 디스플레이 영역(200)에 데이터 신호를 인가하는 데이터 구동 회로부가 될 수도 있으며, 이들은 경우에 따라서 외장 IC나 COG 형태로 밀봉 영역 외부에 배치될 수도 있다.

한편, 디스플레이 영역(200)의 외측에는, 디스플레이 영역(200)에 전극 전원을 공급하는 전극 전원 공급 라인(410)이 배치되는데, 이는 디스플레이 영역(200) 상부에 형성된, 예를 들어 전면 형성된 제 2 전극층과 이들 사이에 형성된 절연층 등의 비아홀(430)등을 통하여 전기적 소통을 이룬다.

구동 전원 공급 라인(300), 전극 전원 공급 라인(410), 수평/수직 구동 회로부(500, 600) 등은 배선 등을 통하여, 이들 각각 구성 요소에 대한 단자들(320, 420, 520, 620)로 구성되며, 밀봉 영역 외측에 배치되는 단자부(700)와 전기적 소통을 이룬다.

디스플레이 영역(200)을 구성하는 일화소는, 도 2b 및 도 2c를 참조하여 설명한다. 도 2b에는 도 2a의 도면 부호 "C"로 나타나는, 박막 트랜지스터 층(박막 트랜지스터 구조체)과 화소층을 구비하며 디스플레이 영역의 일화소(n행 m열)에 대한 회로도 개략적으로 도시되어 있다. 본 발명의 일실시예에 따른 유기 전계 발광 소자는, 박막 트랜지스터 층에 다섯 개의 트랜지스터와 두 개의 커패시터를 구비하며, 각각의 박막 트랜지스터는 PMOS형 박막 트랜지스터로 도시되었으나, 이는 본 발명을 설명하기 위한 일례로 본 발명이 이에 한정되지는 않는다.

디스플레이 영역(200, 도 2a 참조)에는 수직 구동 회로부(500)로부터 복수 개의 제 1 스캔 라인을 통하여 제 1 스캔 신호가, 그리고 복수 개의 제 2 스캔 라인을 통하여 제 2 스캔 신호가 입력된다. 도면 부호 "C"로 표시된 n행 m열 화소에는, 제 1 스캔 라인 및 제 2 스캔 라인을 통하여 제 1 스캔 신호(S[n], S[n-1]) 및 제 2 스캔 신호(E[n])가 입력되고, 데이터 라인을 통하여 데이터 신호로서의 데이터 전압(Vdata[m])이 입력된다.

제 1 박막 트랜지스터(M1)는 제 2 박막 트랜지스터(M2)를 통하여 인가되는 데이터 전압에 대응하여 유기 전계 발광 소자에 전기적 신호로서 전류를 인가한다.

제 2 박막 트랜지스터(M2)는 제 1 스캔 라인에 인가되는 n번째 선택 신호(S[n])에 응답하여 데이터 라인에 인가되는 데이터 전압(Vdata)을 스위칭한다.

제 3 박막 트랜지스터(M3)는 제 1 스캔 라인에 인가되는 n-1번째 선택 신호(S[n-1])에 응답하여 제 1 박막 트랜지스터(M1)를 다이오드 커패시터로 연결시킨다.

제 4 박막 트랜지스터(M4)는 제 1 스캔 라인에 인가되는 n-1번째 선택 신호(S[n-1])에 응답하여 제 1 커패시터(C1)의 일측 단자에 일정한 전압을 인가한다.

제 5 박막 트랜지스터(M5)는 제 2 스캔 라인에 인가되는 발광 신호(E[n])에 응답하여 제 1 박막 트랜지스터(M1)로부터 공급되는 전류를 유기 전계 발광 소자의 전계 발광부에 전달한다.

제 1 커패시터(C1)는 제 1 박막 트랜지스터의 게이트와 소스 사이 전압의 적어도 일부를 설정된 프레임 시간동안 유지하고, 제 2 커패시터(C2)는 문턱 전압이 보상된 형태의 데이터 전압을 제 1 박막 트랜지스터(M1)의 게이트에 인가한다.

이러한 박막 트랜지스터 층과 화소층을 구비하는 유기 전계 발광 소자는 다음과 같이 작동한다. n-1번째 선택 신호(S[n-1])에 의해 제 3 박막 트랜지스터(M3)가 온 상태로 되어 구동 박막 트랜지스터로서의 제 1 박막 트랜지스터(M1)는 다이오드 커백션 상태로 되고, 제 5 박막 트랜지스터(M5)가 오프 상태로 되어 제 1 박막 트랜지스터(M1)의 문턱 전압이 커패시터(C2)에 저장된다.

n-1번째 선택 신호(S[n-1])를 통하여 제 3 박막 트랜지스터(M3)가 오프되고, n번째 선택 신호(S[n])를 통하여 제 1 박막 트랜지스터(M1)가 온 상태로 된 후 데이터 전압을 인가하면, 문턱 전압이 보상된 형태의 데이터 전압이 제 1 박막 트랜지스터(M1)의 게이트로 인가된다.

이 때, n번째 발광 신호(E[n])를 통하여 제 5 박막 트랜지스터(M5)가 온 상태로 되면, 제 1 박막 트랜지스터(M1)의 게이트로 인가되는 전압에 의하여 조정된 전류 신호가 제 5 박막 트랜지스터(M5)를 통하여 유기 전계 발광 소자로 전달됨으로써 발광이 이루어지게 된다.

한편, 본 발명에 따른 화소층(R_p)과 박막 트랜지스터 층(R_T), 즉 구동 박막 트랜지스터로서의 제 1 박막 트랜지스터(M1)와, 유기 전계 발광부를 포함하는 화소층과, 이에 전기적 신호를 인가하기 위한 스위칭 박막 트랜지스터로서의 제 5 박막 트랜지스터(M5)를 포함하는 유기 전계 발광 디스플레이 장치의 부분 단면도가 도 2c에 도시되어 있다.

제 1 박막 트랜지스터(M1)와 같은 박막 트랜지스터 층은 기판(110)의 일면 상에 형성되어 있다. 기판(110)의 일면 상에 형성된 버퍼층(120)의 상부에 제 1 박막 트랜지스터(M1)의 반도체 활성층(130)이 형성된다. 반도체 활성층(130)은 비정질 실리콘 층으로 구성되거나, 다결정 실리콘 층으로 구성될 수도 있다. 도면에서 자세히 도시되지는 않았으나, 반도체 활성층(130)은 N+ 형 또는 P+ 형의 도펀트 들로 도핑되는 소스 및 드레인 영역과, 채널 영역으로 구성되는데, 반도체 활성층(130)을 포함한 박막 트랜지스터는 유기 반도체로 이루어질 수 있는 등, 다양한 구성이 가능하다.

반도체 활성층(130)의 상부에는 제 1 박막 트랜지스터의 게이트 전극(150)이 배치되는데, 게이트 전극(150)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예를 들어 MoW, Al계 등과 같은 물질로 형성되는 것이 바람직하나 이에 한정되는 것은 아니다.

게이트 전극(150)과 반도체 활성층(130)의 사이에는 이들을 절연시키기 위한 게이트 절연층(140)이 위치한다. 게이트 전극(150) 및 게이트 절연층(140)의 상부에는 절연층으로서의 중간층(interlayer, 160)이 단일층 및/또는 복수층으로서 형성되고, 그 상부에는 제 1 박막 트랜지스터(M1)의 소스/드레인 전극(170a,b)이 형성되는데, 소스/드레인 전극(170a,b)은 MoW 등과 같은 금속으로 형성될 수 있으며, 반도체 활성층(130)과의 보다 원활한 오믹-컨택(ohmic contact)을 이루기 위하여 추후 열처리될 수 있다.

소스/드레인 전극(170a,b)의 상부에는 하부 층에 대한 보호 및/또는 평탄화시키기 위한 페시베이션 층 및/또는 평탄화 층으로 구성될 수 있는 절연층으로서의 보호층(180)이 형성된다. 본 발명의 일실시예에 따른 보호층(180)은, 도 2c에 도시된 바와 같이, SiN_x 등과 같은 무기물을 사용한 단일층으로 형성할 수도 있고, BCB(benzocyclobutene) 또는 아크릴 등과 같은 유기물 층으로 구성할 수도 있으며, 경우에 따라서는 복수의 층으로 형성할 수도 있는 등 다양한 구성이 가능하다.

제 1 박막 트랜지스터(M1)는, 드레인 전극(170b)의 연장부(170c)를 통하여 스위칭 박막 트랜지스터로서의 제 5 박막 트랜지스터(M5)와 전기적 소통을 이룬다. 제 5 박막 트랜지스터(M5)의 제 5 반도체 활성층(230)은 버퍼층(120)이 형성된 기판(110)의 일면 상에 형성된다. 제 5 반도체 활성층(230)은 게이트 절연층(140)을 통하여 상부에 형성되는 제 2 스캔 라인 및/또는 제 5 게이트 전극(250)과 절연된다. 제 5 게이트 전극(250)의 일면 상에는 절연층으로서의 중간층(160)과, 제 5 소스/드레인 전극(270a,b)이 형성되는데, 제 5 소스/드레인 전극(270a,b)과 제 5 반도체 활성층(230)은 중간층(160) 및 게이트 절연층(140)에 형성된 콘택홀을 통하여 전기적 소통을 이룬다. 제 5 소스/드레인 전극(270a,b)의 상부에는 절연층으로서의 하나 이상의 보호층(180)이 형성되고, 보호층(180)의 상부에는 제 1 전극층(290), 제 2 전극층(400) 및 이들 사이에 배치되는 전계 발광부(292)를 포함하는 화소층이 형성되는데, 화소층의 형성 과정은 다음과 같다.

먼저, 제 1 전극층(290)이 형성된 후, 화소 개구부(294)를 제외한 영역으로, 보호층(280b)의 상부에는 화소 정의층(291)이 형성된다. 화소 개구부(294)로 제 1 전극층(290)의 일면 상에는 발광층을 포함하는 유기 전계 발광부(292)가 배치되고, 그 상부에는 제 2 전극층(400)이 전면 형성될 수 있다.

유기 전계 발광부(292)는 저분자 또는 고분자 유기막으로 구성될 수 있는데, 저분자 유기막을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 재료를 적용할 수 있다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

고분자 유기막의 경우에는 대개 홀 수송층(HTL) 및 유기 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수도 있는 등 다양한 구성이 가능하다.

유기 전계 발광부(292)의 일면 상부에는 캐소드 전극으로서의 제 2 전극층(400)이 전면 증착되는데, 제 2 전극층(400)은 이러한 전면 증착 형태에 한정되는 것은 아니고, 또한 유형에 따라 Al/Ca, ITO, Mg-Ag 등과 같은 재료로 형성될 수도 있고, 단일층이 아닌 복수의 층으로 형성될 수도 있으며, LiF 등과 같은 알칼리 또는 알칼리 토금속 플루오라이드 층이 더 구비될 수도 있는 등, 다양한 유형으로 구성될 수 있다.

한편, 제 1 박막 트랜지스터(M1)와 제 5 박막 트랜지스터(M5) 사이로 제 1 스캔 라인 및/또는 스캔 라인 연장부(240)가 형성되는데, 제 1 스캔 라인(240)은 제 1 박막 트랜지스터(M1)의 드레인 전극(170b) 연장부(170c)와 층을 달리하며 교차되도록 형성된다. 제 1 스캔 라인(240)은 n-1번째 선택 신호(S[n-1])가 전달되는 도전층으로서, 도 2b에 도시된 바와 같이 제 3 및 제 4 박막 트랜지스터(M3, M4)에 n-1번째 주사 신호(S[n-1])를 전달하는데, 각각의 박막 트랜지스터의 설계 사양이 상이하므로, 제 1 스캔 라인(240)은 길이 방향을 따라 폭을 달리하는 폭 변동부(Aw)를 구비한다. 즉, 도 2c에 부분 평면도로 도시된 바와 같이, 드레인 전극(170b)으로부터 연장된 연장부(170c)의 하부에는 층을 달리하되 적어도 일부에서 연장부(170c)와 교차하는 교차부(Ac)를 구비하는 도전층으로서의 제 1 스캔 라인(240)이 배선되는데, 제 1 스캔 라인(240)은 제 1 너비(Wc)에서 제 2 너비(Ww) 또는 제 2 너비(Ww)에서 제 1 너비(Wc)로 폭이 변동하는 폭 변동부(Aw)를 구비한다. 폭 변동부(Aw)는 교차부(Ac)와 교차되지 않도록 인근 도전층인 드레인 전극(170b) 연장부(170c)와의 비교차 영역에 형성된다. 이러한 유기 전계 발광부의 부분 레이아웃은 도 2d에 도시되어 있는데, 이와 같이 어느 일 도전층의 폭 변동부를 인근 도전층과의 비-교차부에 배치함으로써, 박막 트랜지스터 층의 정전기로 인한 손상을 용이하게 받게 되는 도전층의 폭 변동부와 같이 각진 부분에서 급격한 병목 현상으로 인하여 발생 가능한 정전 파괴를 방지하고, 이로 인한 인근 도전층 간의 쇼트를 방지하여 불량 화소 발생을 저감 내지 방지할 수 있다.

상기한 실시예들은 본 발명을 설명하기 위한 일례들로서, 본 발명이 이에 한정되지는 않는다. 즉, 상기 실시예들은 드레인 전극의 연장부와 스캔 라인 사이에 대하여 기술되었으나, 이에 국한되지 않고 여타 도전층들 간에도 적용 가능하다. 또한, 상기 실시예들은 톱 게이트형 5 트랜지스터 2 커패시터를 갖는 박막 트랜지스터 및 이를 구비하는 유기 전계 발광 디스플레이 장치에 대하여 기술되었으나, 어느 도전층의 폭변동부는 도전층이 인근 도전층과 비교차에 배치된다는 범위에서, 구비되는 트랜지스터 및 커패시터의 개수, 그리고 트랜지스터의 유형에 무관하게 무기 전계 발광 디스플레이 장치 및/또는 액정 디스플레이 장치에도 충분히 적용될 수 있는 등, 본 발명의 구성을 포함하는 범위에서 다양한 변형을 고려할 수 있다.

발명의 효과

상기한 바와 같은 본 발명은 다음과 같은 효과를 수반한다.

첫째, 하나 이상의 박막 트랜지스터에 구비되는 어느 도전층의 폭 변동부를 인근 도전층과의 비-교차부에 배치함으로써, 제조 및/또는 작동 과정에서 발생 가능한 정전기로 인한 도전층 사이의 절연층 손상을 방지 및/또는 저감시킴으로써, 정전 파괴로 인한 제품 불량을 방지할 수 있다.

둘째, 박막 트랜지스터 층을 구비하는 유기 전계 발광 디스플레이 장치와 같은 평판 디스플레이 장치에 있어서, 박막 트랜지스터 층은 둘 이상의 도전층을 구비하고, 어느 도전층에 구비되는 폭 변동부는 인근 도전층과의 비-교차부에 배치됨으로써 정전 파괴로 인한 불량 화소 발생을 방지함으로써, 화면 품질을 증대시킬 수 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하는 박막 트랜지스터 구조체에 있어서,

상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되, 상기 폭 변동부는 인근 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 2.

제 1 항에 있어서,

상기 폭 변동부를 구비하는 층은 게이트 전극과 동일층인 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 3.

제 2 항에 있어서,

상기 폭 변동부를 구비하는 층은 소스/드레인 전극과 동일층인 것을 특징으로 박막 트랜지스터 구조체.

청구항 4.

기판의 일면 상에 형성되는 박막 트랜지스터 층과;

상기 박막 트랜지스터 층의 상부에 형성되는 하나 이상의 절연층과;

상기 절연층에 형성된 비아홀을 통하여 상기 박막 트랜지스터 층과 전기적 소통을 이루는 하나 이상의 화소를 구비하는 화소층;을 포함하고,

상기 박막 트랜지스터 층은, 층을 달리하며 서로 교차되는 둘 이상의 도전층을 포함하고, 상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되,

상기 폭 변동부는 인근 도전층과의 비-교차부에 형성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 5.

제 4 항에 있어서,

상기 폭 변동부를 구비하는 층은 게이트 전극과 동일층인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 6.

제 4항에 있어서,

상기 폭 변동부를 구비하는 층은 소스/드레인 전극과 동일층인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 7.

제 4항에 있어서,

상기 화소층은 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부로 구성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 8.

제 1항에 있어서,

상기 폭 변동부를 구비하는 도전층과 그 인근 도전층은 절연된 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 9.

제 4항에 있어서,

상기 폭 변동부를 구비하는 도전층과 그 인근 도전층은 절연된 것을 특징으로 하는 평판 디스플레이 장치.

청구항 10.

소스 전극, 드레인 전극 및 게이트 전극을 구비하는 박막 트랜지스터;

상기 박막 트랜지스터의 소스 전극, 드레인 전극 및 게이트 전극 중 어느 한 전극으로부터 연장된 연장부; 및

상기 연장부와 층을 달리하여 교차하는 도전층;을 구비하고,

상기 연장부와 상기 도전층 중 적어도 어느 하나는 길이를 따라 폭을 달리하는 폭 변동부를 구비하되, 상기 폭 변동부는 상기 연장부와 상기 도전층의 비-교차부에 형성되는 박막 트랜지스터 구조체.

청구항 11.

제 10 항에 있어서,

상기 박막 트랜지스터의 소스 전극 및 드레인 전극은 게이트 전극과 층을 달리하여 구비되고, 상기 연장부는 상기 박막 트랜지스터의 소스 전극 또는 드레인 전극으로부터 연장된 연장부이며, 상기 도전층은 상기 박막 트랜지스터의 게이트 전극과 동일한 층에 구비되는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 12.

제 11 항에 있어서,

상기 연장부와 상기 도전층 중 상기 도전층이 상기 폭 변동부를 구비하는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 13.

제 11 항에 있어서,

상기 연장부와 상기 도전층 중 상기 연장부가 상기 폭 변동부를 구비하는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 14.

제 10 항에 있어서,

상기 박막 트랜지스터의 소스 전극 및 드레인 전극은 게이트 전극과 층을 달리하여 구비되고, 상기 연장부는 상기 박막 트랜지스터의 게이트 전극으로부터 연장된 연장부이며, 상기 도전층은 상기 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 층에 구비되는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 15.

제 14 항에 있어서,

상기 연장부와 상기 도전층 중 상기 도전층이 상기 폭 변동부를 구비하는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 16.

제 14 항에 있어서,

상기 연장부와 상기 도전층 중 상기 연장부가 상기 폭 변동부를 구비하는 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 17.

제 10 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 연장부와 상기 도전층은 절연된 것을 특징으로 하는 박막 트랜지스터 구조체.

청구항 18.

제 10 항 내지 제 16 항 중 어느 한 항의 박막 트랜지스터 구조체; 및

상기 박막 트랜지스터 구조체의 박막 트랜지스터에 전기적으로 연결된 화소층;을 구비하는 평판 디스플레이 장치.

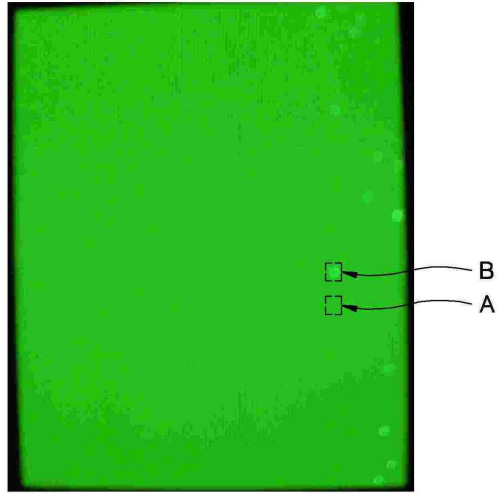
청구항 19.

제 18 항에 있어서,

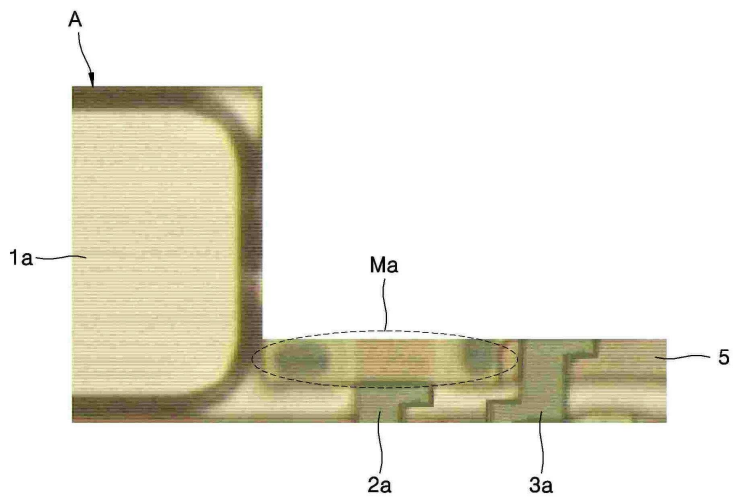
상기 화소층은 제 1 전극층, 제 2 전극층 및 이들 사이에 개재되는 전계 발광부로 구성되는 것을 특징으로 하는 평판 디스플레이 장치.

도면

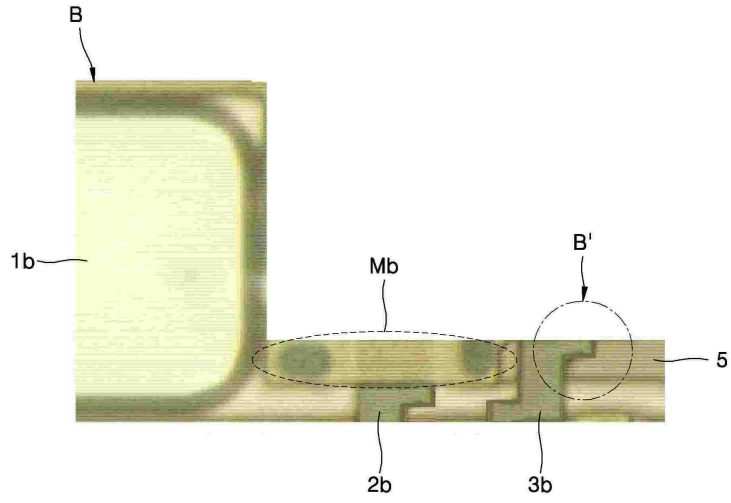
도면1a



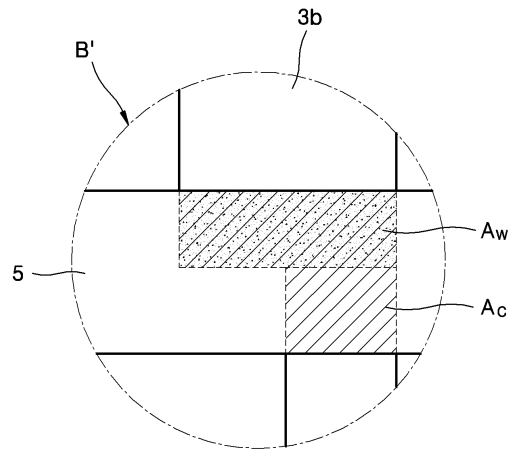
도면1b



도면1c



도면1d



도면1e

