

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-114681

(P2006-114681A)

(43) 公開日 平成18年4月27日(2006.4.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 P	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 21/28 3 O 1 S	5 F 0 4 8
HO 1 L 21/28 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F 1 4 0
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 F	
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 3 O 1 G	

審査請求 未請求 請求項の数 18 O L (全 15 頁)

(21) 出願番号 特願2004-300192 (P2004-300192)  
 (22) 出願日 平成16年10月14日 (2004.10.14)

(71) 出願人 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100080816  
 弁理士 加藤 朝道  
 (72) 発明者 益岡 有里  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 Fターム(参考) 4M104 AA01 BB01 BB19 BB20 BB21  
 BB22 BB23 BB39 CC01 CC05  
 DD02 DD04 DD22 DD26 DD28  
 DD71 DD79 DD84 EE09 EE16  
 FF27 GG08 GG10 HH05

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】

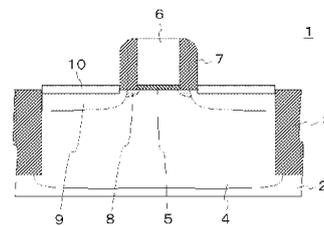
ソース/ドレイン層での金属シリサイド膜の突き抜けやリーク電流の発生を抑えること。

【解決手段】

金属シリサイドのみからなるゲート6と、ソース/ドレイン層9上に形成されるとともに、ゲート6の膜厚よりも薄く、かつ、シリコン基板2のシリサイド化を抑制するシリサイド化抑制成分を含む金属シリサイド膜10と、を備えることを特徴とする。

【選択図】

図1



## 【特許請求の範囲】

## 【請求項 1】

金属シリサイドのみからなるゲートと、  
ソース/ドレイン層上に形成されるとともに、前記ゲートの膜厚よりも薄く、かつ、シリコン基板のシリサイド化を抑制するシリサイド化抑制成分を含む金属シリサイド膜と、  
を備えることを特徴とする半導体装置。

## 【請求項 2】

シリコン基板と、  
前記シリコン基板のチャネル領域を隔てて形成されたソース/ドレイン層と、  
前記チャネル領域上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成された金属シリサイドのみからなるゲートと、  
前記ソース/ドレイン層上に形成されるとともに、前記ゲートの膜厚よりも薄く、かつ、前記シリコン基板のシリサイド化を抑制するシリサイド化抑制成分を含む金属シリサイド膜と、  
を備えることを特徴とする半導体装置。

10

## 【請求項 3】

前記シリサイド化抑制成分は、ゲルマニウムであることを特徴とする請求項 1 又は 2 記載の半導体装置。

## 【請求項 4】

前記金属シリサイド膜の膜厚は、前記ソース/ドレイン層の接合深さより薄いことを特徴とする請求項 1 乃至 3 のいずれか一に記載の半導体装置。

20

## 【請求項 5】

前記ゲートは、ポリシリコン又はアモルファスシリコンを所定の金属でシリサイド化した金属シリサイドからなることを特徴とする請求項 1 乃至 4 のいずれか一に記載の半導体装置。

## 【請求項 6】

前記ゲートは、P 型又は N 型の不純物を導入したポリシリコン又はアモルファスシリコンを所定の金属でシリサイド化した金属シリサイドからなることを特徴とする請求項 1 乃至 4 のいずれか一に記載の半導体装置。

## 【請求項 7】

前記ゲートの金属シリサイド、及び前記金属シリサイド層は、Ni、Co、Pt、Pd 及び Rh のいずれかの成分を含むことを特徴とする請求項 1 乃至 6 のいずれか一に記載の半導体装置。

30

## 【請求項 8】

前記シリコン基板上の第 1 の素子形成領域に配された前記ゲートは、前記シリコン基板上の前記第 1 の素子形成領域と異なる第 2 の素子形成領域に配された前記ゲートと異なるシリサイド構造であることを特徴とする請求項 1 乃至 7 のいずれか一に記載の半導体装置。

## 【請求項 9】

前記シリコン基板上の第 1 の素子形成領域に配された前記ゲートは、前記シリコン基板上の前記第 1 の素子形成領域と異なる第 2 の素子形成領域に配された前記ゲートと異なる不純物成分又は不純物濃度を有することを特徴とする請求項 1 乃至 8 のいずれか一に記載の半導体装置。

40

## 【請求項 10】

シリサイド化を抑制するシリサイド化抑制成分を、ソース/ドレイン層に選択的に導入する工程と、  
少なくとも、ポリシリコン又はアモルファスシリコンよりなるゲート及び、前記ソース/ドレイン層を、少なくとも前記ゲートの全てがシリサイド化することができる厚さの金属で覆う工程と、  
熱処理により、前記ゲートの全体を金属シリサイド化すると同時に、少なくとも前記ソ

50

ソース/ドレイン層の前記シリサイド化抑制成分が導入された領域を金属シリサイド化する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 1】

ソース/ドレイン層上にシリサイド化を抑制するシリサイド化抑制成分、及びシリコン成分よりなるシリサイド化調整膜を選択的に形成する工程と、

少なくとも、ポリシリコン又はアモルファスシリコンよりなるゲート及び、前記シリサイド化調整膜を、前記ゲートの全てをシリサイド化することができる厚さの金属で覆う工程と、

熱処理により、前記ゲートの全体を金属シリサイド化させると同時に、少なくとも前記シリサイド化調整膜を金属シリサイド化する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】

シリコン基板中に素子分離層を形成する工程と、

前記シリコン基板のチャンネル領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にポリシリコン又はアモルファスシリコンよりなるゲートを形成する工程と、

前記ゲート上に前記素子分離層とエッチングレートが異なる材料よりなるハードマスクを形成する工程と、

前記ゲートの両側の前記シリコン基板中にソース/ドレイン層を選択的に形成する工程と、

シリサイド化を抑制するシリサイド化抑制成分を、前記ソース/ドレイン層に選択的に導入する工程と、

前記ハードマスクを除去する工程と、

少なくとも前記ゲート及び前記ソース/ドレイン層を、少なくとも前記ゲートの全てがシリサイド化することができる厚さの金属で覆う工程と、

熱処理により、前記ゲートの全体を金属シリサイド化すると同時に、少なくとも前記ソース/ドレイン層の前記シリサイド化抑制成分が導入された領域を金属シリサイド化する工程と、

前記金属のうち未反応な成分を選択的に除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】

シリコン基板中に素子分離層を形成する工程と、

前記シリコン基板のチャンネル領域上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にポリシリコン又はアモルファスシリコンよりなるゲートを形成する工程と、

前記ゲート上に前記素子分離層とエッチングレートが異なる材料よりなるハードマスクを形成する工程と、

前記ゲートの両側の前記シリコン基板中にソース/ドレイン層を選択的に形成する工程と、

前記ソース/ドレイン層上に、前記シリコン基板のシリサイド化を抑制するシリサイド化抑制成分、及びシリコン成分よりなるシリサイド化調整膜を選択的に形成する工程と、

前記ハードマスクを除去する工程と、

少なくとも前記ゲート及び前記シリサイド化調整膜を、前記ゲートの全てがシリサイド化することができる厚さの金属で覆う工程と、

熱処理により、前記ゲートの全体を金属シリサイド化するとともに、少なくとも前記シリサイド化調整膜を金属シリサイド化する工程と、

前記金属のうち未反応な成分を選択的に除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】

前記ソース/ドレイン層を形成する工程の後であって前記シリサイド化調整膜を形成する工程の前に、少なくとも前記ソース/ドレイン層を前記シリサイド化調整膜の厚さ以下の深さまでエッチバックする工程を含むことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】

前記ゲートを形成する工程の後であって前記ハードマスクを形成する工程の前に、前記ゲートに係る前記ポリシリコン又はアモルファスシリコンの全体又は一部の領域に P 型又は N 型の不純物を導入する工程を含むことを特徴とする請求項 1 2 乃至 1 4 のいずれか一に記載の半導体装置の製造方法。

【請求項 1 6】

前記ゲートに不純物を導入する工程において、前記シリコン基板上の第 1 の素子形成領域に配された前記ゲートに第 1 の不純物を選択的に導入し、その後、前記シリコン基板上の前記第 1 の素子形成領域と異なる第 2 の素子形成領域に配された前記ゲートに前記第 1 の不純物の成分と異なる第 2 の不純物を選択的に導入することを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】

前記ゲートに不純物を導入する工程において、前記シリコン基板上の第 1 の素子形成領域に配された前記ゲートに、第 1 の不純物濃度となるように不純物を選択的に導入し、その後、前記シリコン基板上の前記第 1 の素子形成領域と異なる第 2 の素子形成領域に配された前記ゲートに、前記第 1 の不純物濃度と異なる第 2 の不純物濃度となるように前記不純物と同一成分の不純物を選択的に導入することを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 8】

前記シリサイド化調整膜は、SiGe よりなることを特徴とする請求項 1 1、1 3 乃至 1 7 のいずれか一に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリサイドゲートを用いた半導体装置及びその製造方法に関し、特に、ソース/ドレイン層での金属シリサイド膜の突き抜けやリーク電流の発生を抑えることができる半導体装置及びその製造方法に関する。

【背景技術】

【0002】

MISFET (MOSFET を含む) では、高速化のため微細化が進むことによって、ゲート空乏化現象を極力抑えることが重要であることから、ポリシリコンゲート (ポリサイドゲートやサリサイドゲート、その一部がシリサイド化されたゲート (特許文献 1 参照) も含む) の代わりに、メタルゲートを用いることが理想的である。しかしながら、メタルゲートは、微細化に伴う製造技術的な問題の克服、高い信頼性の確保等、課題が多く、実現可能性は低い。そこで、ゲート空乏化現象を解消するとともに、製造技術的に容易で、精度、信頼性の高い、コスト的にも負担とならないようにすべく、ゲート材料に金属シリサイドのみを用いたシリサイドゲートが用いられるようになった。シリサイドゲートを用いた従来例として、半導体基板と、前記基板表面のチャネル領域を隔てて形成されたソース/ドレイン部と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属シリサイド膜のみからなるゲート電極とを具備した MIS 型半導体装置がある (特許文献 2 参照)。

【0003】

【特許文献 1】特開平 1 1 - 1 1 1 9 8 0 号公報

【特許文献 2】特開 2 0 0 0 - 2 5 2 4 6 2 号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【0004】

しかしながら、特許文献2では、ゲートとなるポリシリコンを金属シリサイドに置換すると同時に、ソース/ドレイン部の深い接合部においても、その表面からある程度の深さまで金属シリサイドに置換しているため、微細構造では、ゲートの全てが金属シリサイドに置換されるまでシリサイド化を行うと、ソース/ドレイン部の（ウェルやチャンネル領域との）接合面を突き抜けて金属シリサイド膜が形成されてしまうおそれがある。また、金属シリサイド膜がソース/ドレイン部の接合面を突き抜けずに抑えられたとしても、金属シリサイド膜からウェルやチャンネル領域に向かって電流がリーク（接合リーク）が生じてしまい、装置の動作不良や消費電力が高くなってしまふといった問題がある。

## 【0005】

本発明の課題は、ソース/ドレイン層での金属シリサイド膜の突き抜けやリーク電流の発生を抑えることである。

## 【課題を解決するための手段】

## 【0006】

本発明の第1の視点においては、半導体装置において、金属シリサイドのみからなるゲートと、ソース/ドレイン層上に形成されるとともに、前記ゲートの膜厚よりも薄く、かつ、シリコン基板のシリサイド化を抑制するシリサイド化抑制成分を含む金属シリサイド膜と、を備えることを特徴とする。

## 【0007】

本発明の第2の視点においては、半導体装置において、シリコン基板と、前記シリコン基板のチャンネル領域を隔てて形成されたソース/ドレイン層と、前記チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属シリサイドのみからなるゲートと、前記ソース/ドレイン層上に形成されるとともに、前記ゲートの膜厚よりも薄く、かつ、前記シリコン基板のシリサイド化を抑制するシリサイド化抑制成分を含む金属シリサイド膜と、を備えることを特徴とする。

## 【0008】

本発明の第3の視点においては、半導体装置の製造方法において、シリサイド化を抑制するシリサイド化抑制成分を、ソース/ドレイン層に選択的に導入する工程と、少なくとも、ポリシリコン又はアモルファスシリコンよりなるゲート及び、前記ソース/ドレイン層を、少なくとも前記ゲートの全てがシリサイド化することができる厚さの金属で覆う工程と、熱処理により、前記ゲートの全体を金属シリサイド化すると同時に、少なくとも前記ソース/ドレイン層の前記シリサイド化抑制成分が導入された領域を金属シリサイド化する工程と、を含むことを特徴とする。

## 【0009】

本発明の第4の視点においては、半導体装置の製造方法において、ソース/ドレイン層上にシリサイド化を抑制するシリサイド化抑制成分、及びシリコン成分よりなるシリサイド化調整膜を選択的に形成する工程と、少なくとも、ポリシリコン又はアモルファスシリコンよりなるゲート及び、前記シリサイド化調整膜を、前記ゲートの全てをシリサイド化することができる厚さの金属で覆う工程と、熱処理により、前記ゲートの全体を金属シリサイド化させると同時に、少なくとも前記シリサイド化調整膜を金属シリサイド化する工程と、を含むことを特徴とする。

## 【0010】

本発明の第5の視点においては、半導体装置の製造方法において、シリコン基板中に素子分離層を形成する工程と、前記シリコン基板のチャンネル領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン又はアモルファスシリコンよりなるゲートを形成する工程と、前記ゲート上に前記素子分離層とエッチングレートが異なる材料よりなるハードマスクを形成する工程と、前記ゲートの両側の前記シリコン基板中にソース/ドレイン層を選択的に形成する工程と、シリサイド化を抑制するシリサイド化抑制成分を、前記ソース/ドレイン層に選択的に導入する工程と、前記ハードマスクを除去する工程と、少なくとも前記ゲート及び前記ソース/ドレイン層を、少なくとも前記ゲートの全て

10

20

30

40

50

がシリサイド化することができる厚さの金属で覆う工程と、熱処理により、前記ゲートの全体を金属シリサイド化すると同時に、少なくとも前記ソース/ドレイン層の前記シリサイド化抑制成分が導入された領域を金属シリサイド化する工程と、前記金属のうち未反応な成分を選択的に除去する工程と、を含むことを特徴とする。

【0011】

本発明の第6の視点においては、半導体装置の製造方法において、シリコン基板中に素子分離層を形成する工程と、前記シリコン基板のチャンネル領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にポリシリコン又はアモルファスシリコンよりなるゲートを形成する工程と、前記ゲート上に前記素子分離層とエッチングレートが異なる材料よりなるハードマスクを形成する工程と、前記ゲートの両側の前記シリコン基板中にソース/ドレイン層を選択的に形成する工程と、前記ソース/ドレイン層上に、前記シリコン基板のシリサイド化を抑制するシリサイド化抑制成分、及びシリコン成分よりなるシリサイド化調整膜を選択的に形成する工程と、前記ハードマスクを除去する工程と、少なくとも前記ゲート及び前記シリサイド化調整膜を、前記ゲートの全てがシリサイド化することができる厚さの金属で覆う工程と、熱処理により、前記ゲートの全体を金属シリサイド化するとともに、少なくとも前記シリサイド化調整膜を金属シリサイド化する工程と、前記金属のうち未反応な成分を選択的に除去する工程と、を含むことを特徴とする。

10

【発明の効果】

【0012】

本発明（請求項1-18）によれば、ゲートをフルシリサイド化しつつ、ソース・ドレインのシリサイド膜厚が薄い構造を、簡便な方法で、実現することができる。つまり、従来のCMOS形成フローを用いて、ゲートのフルシリサイド化を可能とする。

20

【0013】

本発明（請求項10、12）によれば、シリサイド化抑制成分を導入した領域の膜厚、シリサイド化抑制成分の濃度の設定により、ソース/ドレイン層上の金属シリサイド膜の膜厚を自由に設定できるため、接合リークを防止することができる。

【0014】

本発明（請求項11、13）によれば、従来のCMOS形成フローにシリサイド化調整膜を形成する工程を追加するのみでゲートのフルシリサイド化とソース/ドレイン層上のシリサイド化調整膜のシリサイド化を同時に行うことができる。これにより、ソース/ドレイン層上の金属シリサイド膜を形成するためのPRやエッチングといった作業が不要となり、工程数を大幅に削減できる。また、シリサイド化調整膜中のシリサイド化抑制成分による反応レート差を利用するため、ソース/ドレイン層上の金属シリサイド膜とゲート（フルシリサイドゲート）の作り分けをする必要がない。

30

【0015】

本発明（請求項11、13）によれば、シリサイド化調整膜の膜厚の設定により、ソース/ドレイン層上の金属シリサイド膜の膜厚を自由に設定できるため、接合リークを防止することができる。

【0016】

本発明（請求項6、15）によれば、ゲートに不純物を所定濃度で導入して金属シリサイド化することにより、シリコン基板中（チャンネル領域）の不純物濃度を一定にしながら、閾値電圧や、ゲートの仕事関数を調整することができる。また、チャンネル領域の不純物濃度を下げることができる。

40

【0017】

本発明（請求項8、9、16、17）によれば、素子形成領域ごとにゲート中の不純物濃度又は不純物成分を変えることで、素子形成領域ごとに適した閾値電圧や、ゲートの仕事関数に設定することができる。

【発明を実施するための最良の形態】

【0018】

（実施形態1）

50

本発明の実施形態 1 について図面を用いて説明する。図 1 は、本発明の実施形態 1 に係る半導体装置の構成を模式的に示した部分断面図である。

【0019】

この半導体装置 1 では、シリコン基板 2 上にはシリコン酸化膜からなる素子分離領域 3 が形成され、この素子分離領域 3 間の素子形成領域には不純物が拡散したウェル 4 が形成されている。素子形成領域におけるチャンネル領域上には、ゲート絶縁膜 5 が形成されている。ゲート絶縁膜 5 上には、金属シリサイドのみからなるゲート 6 が形成されている。ゲート 6 の両側の側壁には、サイドウォール 7 が形成されている。サイドウォール 7 の下のウェル 4 内には、低濃度の不純物が拡散した浅い L D D (Lightly Doped Drain) 層 8 が形成され、さらに L D D 層 8 の両外側には高濃度の不純物が拡散した深いソース/ドレイン層 9 が形成されている。さらに、ソース/ドレイン層 9 の上部には、金属シリサイドからなる金属シリサイド膜 10 が形成されている。

10

【0020】

シリコン基板 2 は、N 型シリコン基板又は P 型シリコン基板である。素子分離領域 3 は、シリコン基板 2 上に形成される複数のデバイス活性領域 (素子) を電氣的に分離する領域である。素子分離領域 3 は、絶縁物 (例えば、シリコン酸化膜) よりなり、デバイス活性領域を取り囲む位置に所定の深さで配設される。ウェル 4 は、デバイス活性領域ごとにシリコン基板 2 中に所定の深さまで P 型又は N 型の不純物 (例えば、P 型不純物としてボロンイオン) が拡散した領域である。ゲート絶縁膜 5 には、例えば、シリコン酸化膜、シリコン窒化膜、窒化酸化膜、高誘電率膜などの絶縁膜が用いられる。ゲート絶縁膜 5 の膜厚は、例えば、0.5 ~ 10 nm 程度である。

20

【0021】

ゲート 6 には、例えば、ニッケル (Ni)、コバルト (Co)、白金 (Pt)、パラジウム (Pd)、ロジウム (Rh) など、その他の高融点金属のケイ化物である金属シリサイドが用いられる。ゲート長は例えば 0.1  $\mu$ m 以下であり、ゲート厚は例えば 150 nm 以下である。また、ゲート 6 には、P 型又は N 型の不純物を所定の濃度で導入したものであってもよい。これにより、チャンネル領域の不純物濃度を下げることができ、ゲート 6 の不純物濃度調整のみで仕事関数や閾値電圧を調整することができる。例えば、不純物に Ge を用いればシリサイド化が抑制され金属成分の少ない (仕事関数の小さい) シリサイド構造 (例えば、NiSi<sub>2</sub>) にすることができ、不純物に As を用いればシリサイド化が促進され金属成分の多い (仕事関数大きい) シリサイド構造 (例えば、NiSi) にすることができ、また、例えば、P を注入した場合は、ゲートのフェルミレベルが伝導体側へよるので、NMOS の閾値は低くなり、何も注入しない場合は、フェルミレベルが伝導体と価電子帯の中央付近にくるので、NMOS の閾値は上昇する。また、PMOS では B を注入するとフェルミレベルが価電子帯よりになるので、PMOS の閾値電圧は低くなる。

30

【0022】

サイドウォール 7 は、例えば、シリコン酸化膜よりなり、ソース/ドレイン層 9 を形成する際にチャンネル領域の近傍の L D D 層 8 に不純物が拡散しないようにするためのマスクとなる。L D D 層 8 は、ソース/ドレイン層 9 と同電位型の不純物 (例えば、N 型であればリンイオン) が拡散した低濃度拡散層であり、L D D 層 8 の代わりにエクステンション層であってもよい。ソース/ドレイン層 9 は、L D D 層 8 と同電位型の不純物 (例えば、N 型であればヒ素イオン) が拡散した高濃度拡散層である。ソース/ドレイン層 9 の厚さは、リーク電流の発生を抑えることを考慮すると、金属シリサイド膜 10 の下面から 5 nm 以上であることが好ましい。

40

【0023】

金属シリサイド膜 10 には、ゲート 6 と同様に、例えば、ニッケル (Ni)、コバルト (Co)、白金 (Pt)、パラジウム (Pd)、ロジウム (Rh) など、その他の高融点金属のケイ化物である金属シリサイドが用いられる。金属シリサイド膜 10 には、シリコン基板 2 (ソース/ドレイン層 9 を含む) のシリサイド化を抑制するシリサイド化抑制成

50

分（例えば、Ge、As等）が導入されている。金属シリサイド膜10の膜厚は、ゲート6の膜厚よりも薄い。また、金属シリサイド膜10の膜厚は、ソース/ドレイン層9の接合深さよりも薄く、例えば、3nm以上であればよい。

#### 【0024】

次に、実施形態1に係る半導体装置の製造方法について説明する。図2～4は、本発明の実施形態1に係る半導体装置の製造方法を模式的に示した部分工程断面図である。

#### 【0025】

まず、シリコン基板2を用意し、シリコン基板2の所定の位置に素子分離領域3を形成し、シリコン基板2の第1の素子形成領域（NMO形成領域）にPウェル4aを選択的に形成し、シリコン基板2の第2の素子形成領域（PMOS形成領域）にNウェル4bを形成する（ステップA1；図2（a）参照）。ここで、シリコン基板2には、例えば、 $15 \cdot \text{cm}$ の抵抗率をもつP型シリコン基板を用いる。また、素子分離領域3は、シリコン酸化膜よりなり、LOCOS（Local Oxidation of Silicon）法あるいはSTI（Shallow Trench Isolation）法によって形成することができる。素子分離領域3の深さは、 $0.1 \sim 5 \mu\text{m}$ 程度である。Pウェル4aは、例えば、ボロン（B）イオンを注入することによって形成される。Nウェル4bは、例えば、リン（P）イオンを注入することによって形成される。

10

#### 【0026】

次に、ウェル4a、4b上にゲート絶縁膜5を形成し、ゲート絶縁膜5上にゲート用のシリコン層21を形成する（ステップA2；図2（b）参照）。ここで、ゲート絶縁膜5は、例えば、熱酸化法あるいはLPADV法によるシリコン酸化膜とし、膜厚を $2.5 \sim 3 \text{nm}$ とする。シリコン層21は、例えば、LPADV法によるポリシリコン又はアモルファスシリコンよりなり、ゲート絶縁膜5の全面に膜厚 $150 \text{nm}$ 以下に成長させる。なお、ゲートの仕事関数や閾値電圧を調整するために、シリコン層21を形成した後に、シリコン層21の不純物をドーピング・アニールしてもよい。例えば、（1）シリコン層21の一部の領域（シリコン層21b）に不純物をドーピングしたり（図5（a）参照）、（2）シリコン層21の全領域（シリコン層21a、21b）に不純物をドーピングしたり（図5（b）参照）、（3）素子形成領域ごとに種類の異なる不純物を選択的にドーピングしたり（図5（c）参照）、（4）素子形成領域ごとに種類の同じ不純物を異なる濃度で選択的にドーピングしたりしてもよい。もちろん、必要がなければ、シリコン層21に不純物をドーピングしなくてもよい。

20

30

#### 【0027】

次に、シリコン層21上にハードマスク11を形成し、ハードマスク11上にゲート形成用のフォトレジスト12を形成する（ステップA3；図2（c）参照）。ここで、ハードマスク11は、素子分離領域3とエッチングレートが異なる材料が用いられ、例えば、シリコン窒化膜であり、膜厚を $100 \text{nm}$ 以下とする。フォトレジスト12は、フォトレジスト材を塗布し、光リソグラフィ法等によりフォトレジスト材をパターンニングすることにより形成される。

#### 【0028】

次に、フォトレジスト（図2（c）の12）から露出した領域のハードマスク11をエッチングにより除去し、フォトレジストを除去した後、ハードマスク11をエッチングマスクとして、シリコン層（図2（c）の21）、及びゲート絶縁膜5を、シリコン基板2（のウェル4a、4b）が表れるまでエッチングにより除去する（ステップA4；図3（a）参照）。残ったシリコン層21a、21bはゲートとなる。

40

#### 【0029】

次に、ウェル4a、4b内の所定の領域にLDD層8a、8bを形成する（ステップA5；図3（b）参照）。ここで、LDD層8aは、イオン注入法により低濃度のN型不純物（例えば、ヒ素（As）イオン）をPウェル4a中に浅く拡散させることにより形成される。LDD層8bは、イオン注入法により低濃度のP型不純物（例えば、ボロン（B）イオン）をNウェル4b中に浅く拡散させることにより形成される。なお、ステップA5

50

においてハードマスク 11 は、シリコン層 21 a、21 b 上に残されたままである。

#### 【0030】

次に、各シリコン層 21 a、21 b の側端部の周りにサイドウォール 7 を形成し、ウェル 4 a、4 b にソース/ドレイン層 9 a、9 b を形成する（ステップ A 6；図 3（c）参照）。ここで、サイドウォール 7 には、例えば、シリコン酸化膜を用い、厚さを 150 nm とする。サイドウォール 7 は、例えば、基板表面にシリコン酸化膜を堆積させた後、ハードマスク 11 及び LDD 層 8 a、8 b の表面が出てくるまでエッチバックすることにより形成することができる。ソース/ドレイン層 9 a は、イオン注入法により高濃度の N 型不純物（例えば、ヒ素（As）イオン）を P ウェル 4 a 中に深く拡散させることにより形成される。ソース/ドレイン層 9 b は、イオン注入法により高濃度の P 型不純物（例えば、ボロン（B）イオン）を N ウェル 4 b 中に深く拡散させることにより形成される。なお、ステップ A 6 においてハードマスク 11 は、シリコン層 21 a、21 b 上に残されたままである。

10

#### 【0031】

次に、ソース/ドレイン層 9 a、9 b にシリサイド化抑制成分を注入してシリサイド化抑制成分拡散層 13 を形成する（ステップ A 7；図 4（a）参照）。ここで、シリサイド化抑制成分拡散層 13 は、例えば、イオン注入法によりシリサイド化抑制成分（例えば、Ge イオン）をソース/ドレイン層 9 a、9 b に注入することにより形成することができる。なお、ステップ A 7 においてハードマスク 11 は、シリコン層 21 a、21 b 上に残されたままであるので、シリコン層 21 a、21 b 中には Ge イオンは注入されない。

20

#### 【0032】

次に、ハードマスク（図 4（a）の 11）を選択的に除去し、その後、シリコン層 21 a、21 b 及びシリサイド化抑制成分拡散層 13 を含むシリコン基板 2 上に金属 14 を堆積する（ステップ A 8；図 4（b）参照）。ここで、ハードマスク 11 は、ウェットエッチング法により選択的に除去することができる。金属 14 は、例えば、スパッタリング法により堆積した金属 Ni である。金属 14 の膜厚は、少なくともシリコン層 21 a、21 b の全てがシリサイド化することができる厚さであり、例えば、シリコン層 21 a、21 b の厚さの 3 分の 1 以上の膜厚である。

#### 【0033】

次に、金属（図 4（b）の 14）を含むシリコン基板 2 を熱処理し、その後、未反応金属を選択的に除去する（ステップ A 9；図 4（c）参照）。これにより、シリコン層（図 4（b）の 21 a、21 b）の全体が金属シリサイド化されたゲート 6 a、6 b が形成され、同時に、少なくともシリサイド化抑制成分拡散層（図 4（b）の 13）が金属シリサイド化された金属シリサイド膜 10 が形成される。また、金属シリサイド膜 10 は、シリサイド化抑制成分（例えば、Ge）を含んでいるため、金属シリサイド化する速度が遅くなり、ゲート 6 a、6 b の膜厚より薄く形成される。また、ステップ A 2 において、シリコン層（図 2（b）の 21）に素子形成領域ごとに異なる種類又は濃度の不純物を導入しておいたならば、素子形成領域ごとにシリコン層（図 4（b）の 21 a、21 b）の金属シリサイド化の反応レートが異なり、その結果、異なったシリサイド構造（NiSi、NiSi<sub>2</sub> など）のゲート 6 a、6 b を製造することができる。ここで、熱処理条件は、例えば、ランプアニール法により 400 でアニールする。

30

40

#### 【0034】

実施形態 1 によれば、ソース/ドレイン層 9 a、9 b での金属シリサイド膜 10 の突き抜けやリーク電流の発生を抑えることができる。また、ゲート 6 a、6 b をフルシリサイド化しつつ、ソース/ドレイン層 9 a、9 b 上の金属シリサイド膜 10 の膜厚が薄い構造を、簡便な方法で、実現することができる。つまり、従来の CMOS 形成フローを用いて、ゲート 6 a、6 b のフルシリサイド化を可能とする。また、シリサイド化抑制成分拡散層 13 中のシリサイド化抑制成分による反応レート差を利用するため、ソース/ドレイン層 9 a、9 b 上の金属シリサイド膜 10 とゲート 6 a、6 b（フルシリサイドゲート）の作り分けをする必要がない。また、シリサイド化抑制成分拡散層 13 の膜厚、シリサイド

50

化抑制成分の濃度の設定により、ソース/ドレイン層 9 a、9 b 上の金属シリサイド膜 10 の膜厚を自由に設定できる。

【0035】

(実施形態 2)

本発明の実施形態 2 について図面を用いて説明する。図 6 は、本発明の実施形態 2 に係る半導体装置の構成を模式的に示した部分断面図である。

【0036】

実施形態 2 に係る半導体装置では、金属シリサイド膜 10 は、少なくともシリサイド化を抑制するシリサイド化抑制成分（例えば、Ge、As 等）、及びシリコン成分よりなるシリサイド化調整膜が金属シリサイド化したものである。金属シリサイド膜 10 は、実施形態 1 と同様に、例えば、ニッケル（Ni）、コバルト（Co）、白金（Pt）、パラジウム（Pd）、ロジウム（Rh）など、その他の高融点金属のケイ化物である金属シリサイドが用いられる。金属シリサイド膜 10 の膜厚は、ゲート 6 の膜厚よりも薄い。また、金属シリサイド膜 10 の膜厚は、ソース/ドレイン層 9 の接合深さよりも薄く、3 nm 以上であればよい。なお、実施形態 2 に係る半導体装置のその他の構成については、実施形態 1 に係る半導体装置の構成と同様である。

10

【0037】

次に、実施形態 2 に係る半導体装置の製造方法について説明する。図 7 は、本発明の実施形態 2 に係る半導体装置の製造方法を模式的に示した部分工程断面図である。

【0038】

まず、シリコン基板 2 の所定の位置に素子分離領域 3、P ウェル 4 a、N ウェル 4 b を形成し（ステップ B 1；図 2（a）参照）、ゲート絶縁膜 5、シリコン層 2 1 を形成し（ステップ B 2；図 2（b）参照）、ハードマスク 1 1、フォトレジスト 1 2 を形成し（ステップ B 3；図 2（c）参照）、フォトレジスト 1 2 から露出した領域のハードマスク 1 1、シリコン層 2 1、及びゲート絶縁膜 5 をシリコン基板 2（のウェル 4 a、4 b）が表れるまでエッチング除去し、その後、フォトレジストを除去し（ステップ B 4；図 3（a）参照）、LDD 層 8 a、8 b を形成し（ステップ B 5；図 3（b）参照）、サイドウォール 7、ソース/ドレイン層 9 a、9 b を形成する（ステップ B 6；図 3（c）参照）。ステップ B 1～B 6 は、実施形態 1 のステップ A 1～A 6（図 2（a）～図 3（c））と同様である。

20

30

【0039】

次に、ソース/ドレイン層 9 a、9 b を選択的に所定深さまでエッチバックし、その後、ソース/ドレイン層 9 a、9 b 上にシリサイド化調整膜 1 5 を選択的に形成する（ステップ B 7；図 7（a）参照）。ここで、エッチバックでは、例えば、シリサイド化調整膜 1 5 の膜厚以下、例えば、5 nm 程度の深さまでソース/ドレイン層 9 a、9 b を除去する。エッチバックを行うのは、シリサイド化調整膜 1 5 を形成する際、サイドウォール 7 端は薄くなるのを抑制し、サイドウォール 7 端でのリークを抑制するためである。また、シリサイド化調整膜 1 5 は、シリサイド化を抑制するシリサイド化抑制成分、及びシリコン成分よりなり、例えば、SiGe である。シリサイド化調整膜 1 5 は、例えば、エピタキシャル法によってソース/ドレイン層 9 a、9 b 上に SiGe を選択的に成長させることができ、膜厚は 5 nm とする。

40

【0040】

次に、ハードマスク（図 7（a）の 1 1）を選択的に除去し、その後、シリコン層 2 1 a、2 1 b 及びシリサイド化調整膜 1 5 を含むシリコン基板 2 上に金属 1 4 を堆積する（ステップ B 8；図 7（b）参照）。ここで、金属 1 4 は、例えば、スパッタリング法により堆積した金属 Ni である。ステップ B 8 は、実施形態 1 のステップ A 8 と同様である。

【0041】

次に、金属（図 7（b）の 1 4）を含むシリコン基板 2 を熱処理し、その後、未反応金属を選択的に除去する（ステップ B 9；図 7（c）参照）。これにより、シリコン層（図 7（b）の 2 1 a、2 1 b）の全体が金属シリサイド化されたゲート 6 a、6 b が形成さ

50

れ、同時に、少なくともシリサイド化調整膜 15 が金属シリサイド化された金属シリサイド膜 10 が形成される。また、金属シリサイド膜 10 は、シリサイド化抑制成分（例えば、Ge）を含んでいるため、金属シリサイド化する速度が遅くなり、ゲート 6a、6b の膜厚より薄く形成される。ステップ B9 は、実施形態 1 のステップ A9 と同様である。

【0042】

実施形態 2 によれば、実施形態 1 と同様の効果を奏する。また、従来の CMOS 形成フローにシリサイド化調整膜 15 を形成する工程を追加するのみでゲート 6a、6b のフルシリサイド化とソース/ドレイン層 9a、9b 上のシリサイド化調整膜 15 のシリサイド化を同時に行うことができる。これにより、ソース/ドレイン層上の金属シリサイド膜を形成するための PR やエッチングといった作業が不要となり、工程数を大幅に削減できる。シリサイド化調整膜 15 をソース/ドレイン層 9a、9b 上に形成することにより、シリサイド化抑制成分の注入欠陥という問題がなくなり、ソース/ドレイン層 9a、9b 中の金属シリサイド化を確実に抑えることができる。その結果、接合リーク等のリーク電流の発生をより効果的に防止することができ、デバイスの消費電力を下げることもできる。また、シリサイド化調整膜 15 の膜厚の設定により、ソース/ドレイン層 9a、9b 上の金属シリサイド膜 10 の膜厚を自由に設定することができる。

【図面の簡単な説明】

【0043】

【図 1】本発明の実施形態 1 に係る半導体装置の構成を模式的に示した部分断面図である。

【図 2】本発明の実施形態 1 に係る半導体装置の製造方法の第 1 の段階を模式的に示した部分工程断面図である。

【図 3】本発明の実施形態 1 に係る半導体装置の製造方法の第 2 の段階を模式的に示した部分工程断面図である。

【図 4】本発明の実施形態 1 に係る半導体装置の製造方法の第 3 の段階を模式的に示した部分工程断面図である。

【図 5】本発明の実施形態 1 に係る半導体装置の製造方法のステップ A2 における変形パターンを模式的に示した部分断面図である。

【図 6】本発明の実施形態 2 に係る半導体装置の構成を模式的に示した部分断面図である。

【図 7】本発明の実施形態 2 に係る半導体装置の製造方法を模式的に示した部分工程断面図である。

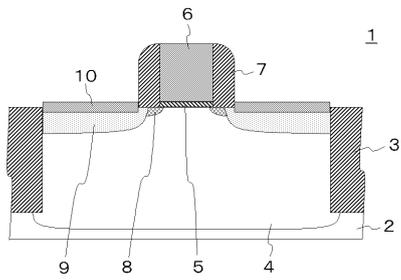
【符号の説明】

【0044】

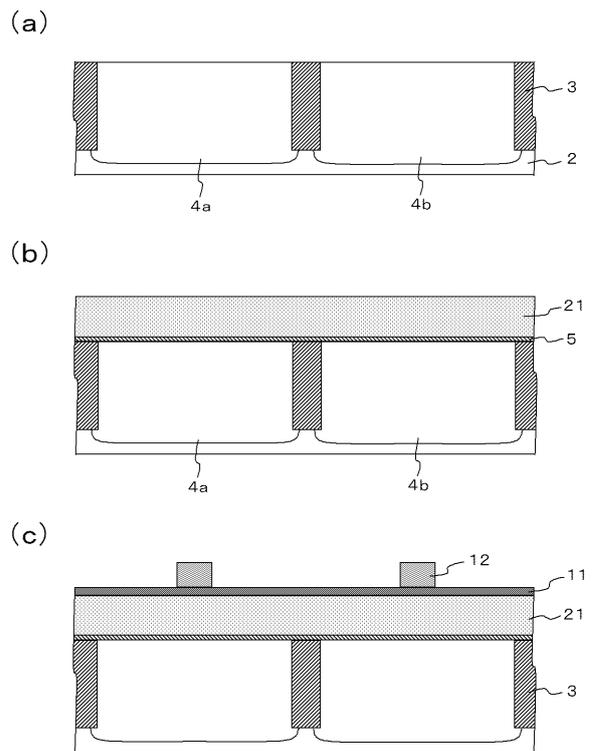
- 1 半導体装置
- 2 シリコン基板
- 3 素子分離領域
- 4 ウェル
- 4a Pウェル
- 4b Nウェル
- 5 ゲート絶縁膜
- 6、6a、6b ゲート
- 7 サイドウォール
- 8 LDD層
- 8a LDD層（N<sup>-</sup>型）
- 8b LDD層（P<sup>-</sup>型）
- 9 ソース/ドレイン層
- 9a ソース/ドレイン層（N<sup>+</sup>型）
- 9b ソース/ドレイン層（P<sup>+</sup>型）
- 10 金属シリサイド膜

- 1 1 ハードマスク
- 1 2 フォトレジスト (ゲート形成用)
- 1 3 シリサイド化抑制成分拡散層
- 1 4 金属
- 1 5 シリサイド化調整膜
- 2 1、2 1 a、2 1 b シリコン層 (ゲート用)

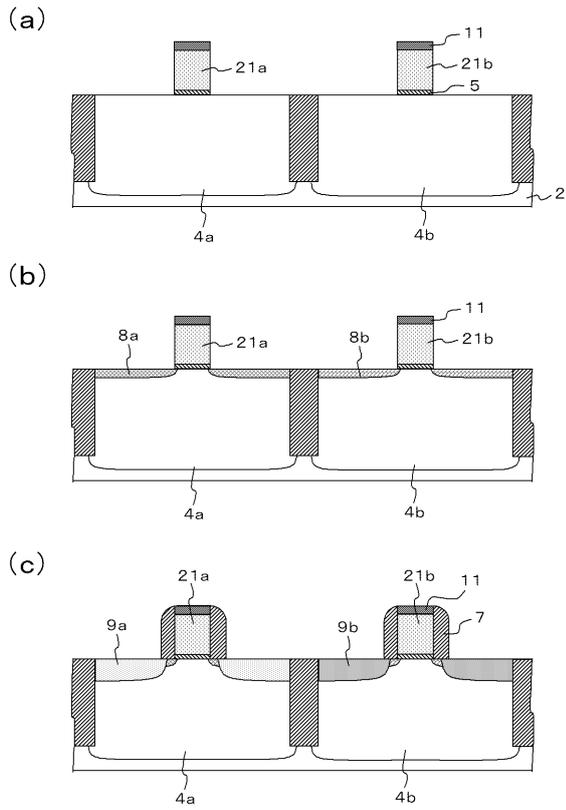
【図 1】



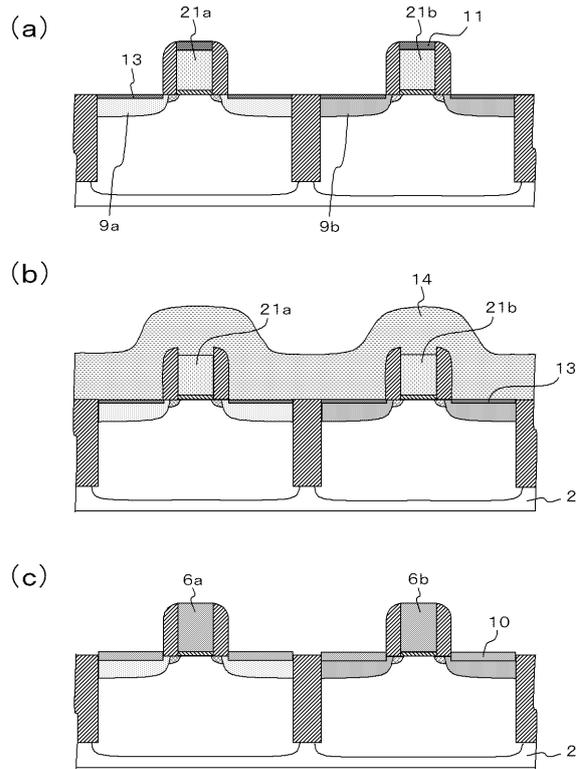
【図 2】



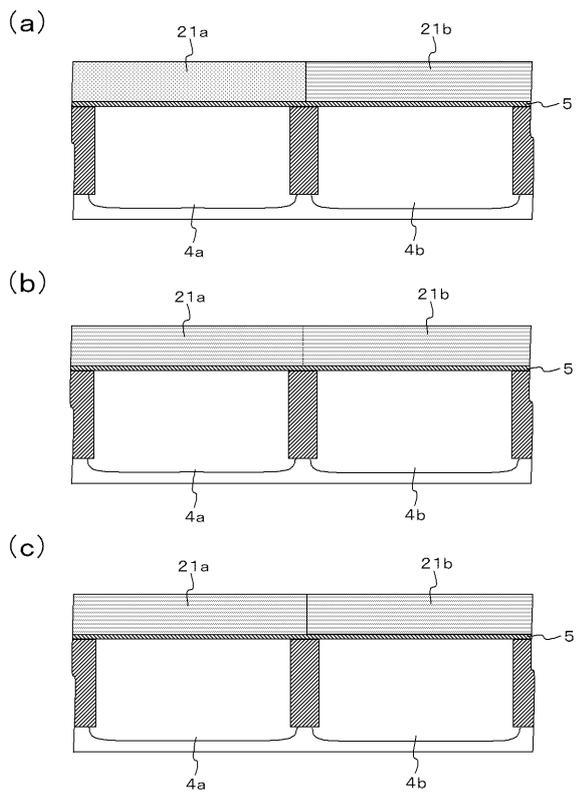
【図 3】



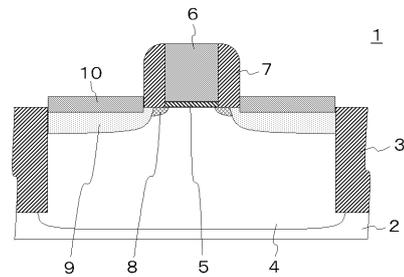
【図 4】



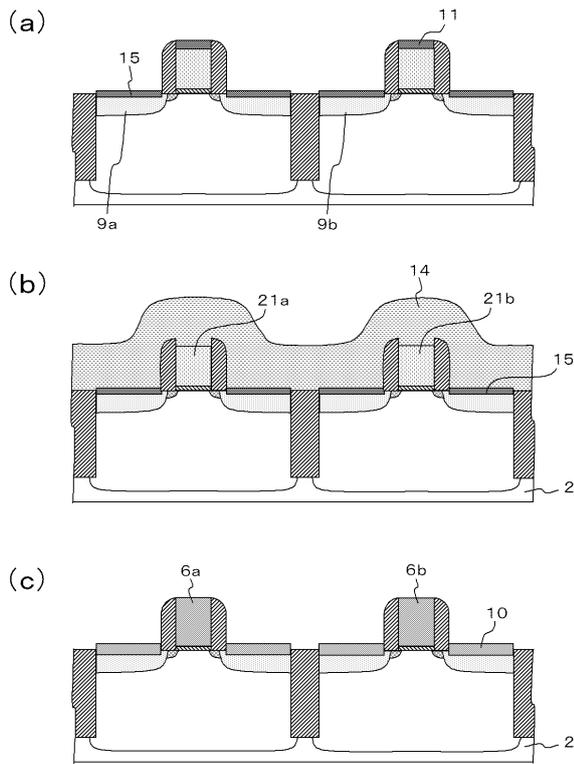
【図 5】



【図 6】



【 図 7 】



---

フロントページの続き

F ターム(参考) 5F048 AA07 AC03 BA01 BB06 BB07 BB08 BB10 BB11 BB15 BB18  
BC05 BC06 BC15 BC18 BE03 BF01 BF06 BG12 BG13 DA09  
DA19 DA25  
5F140 AA24 AB03 BD05 BD07 BD09 BE07 BF01 BF04 BF08 BF38  
BG08 BG12 BG22 BG28 BG30 BG34 BG37 BG39 BG45 BG51  
BG53 BH06 BH07 BH14 BH15 BH22 BJ01 BJ08 BJ21 BK02  
BK10 BK13 BK24 BK26 BK29 BK34 BK39 CB01 CB04 CB08  
CF04