



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I617008 B

(45) 公告日：中華民國 107 (2018) 年 03 月 01 日

(21) 申請案號：106110793

(22) 申請日：中華民國 106 (2017) 年 03 月 30 日

(51) Int. Cl. : H01L27/112 (2006.01)

H01L21/8246(2006.01)

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：賴二琨 LAI, ERH-KUN (TW)；龍翔瀾 LUNG, HSIANG-LAN (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

TW 201630114A

TW 201635608A

TW 201640614A

TW 201701793A

US 2017/0084696A1

審查人員：湯欽全

申請專利範圍項數：9 項 圖式數：19 共 50 頁

(54) 名稱

記憶結構、其操作方法、和其製造方法

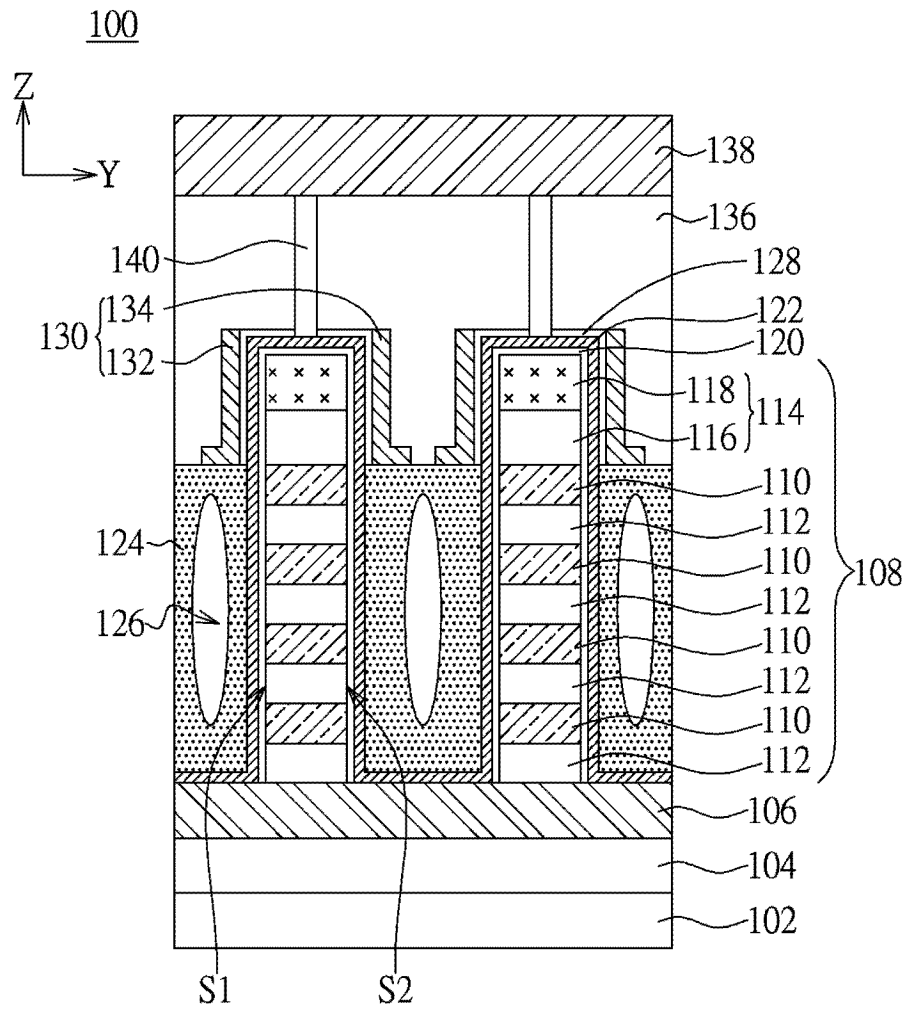
MEMORY STRUCTURE, METHOD OF OPERATING THE SAME, AND METHOD OF MANUFACTURING THE SAME

(57) 摘要

一種記憶結構，包括複數個堆疊、複數個記憶層、複數個通道層、複數個介電層、和複數個第一導線。該些堆疊各包括一組彼此交替的導電條和絕緣條。記憶層共形地設置在堆疊上。通道層共形地設置在記憶層上。介電層至少設置在通道層位在該些堆疊的第一側的部分和通道層位在該些堆疊的第二側的複數個部分上。第一導線沿著堆疊的側壁設置。第一導線由介電層與通道層隔絕。設置在一堆疊的第一側的一第一導線，與設置在相同堆疊的第二側的一第一導線隔絕，並與設置在一相鄰堆疊的第二側的一第一導線隔絕。

A memory structure includes stacks, memory layers, channel layers, dielectric layers, and first conductive lines. Each stack includes a group of alternating conductive strips and insulating strips. The memory layers are conformally disposed on the stacks. The channel layers are conformally disposed on the memory layers. The dielectric layers are disposed on portions of the channel layers at first sides of the stacks and portions of the channel layers at second sides of the stacks. The first conductive lines are disposed along sidewalls of the stacks. The first conductive lines are isolated from the channel layers by the dielectric layers. One first conductive line disposed at the first side of one stack is isolated from one first conductive line disposed at the second side of the same stack and isolated from one first conductive line disposed at the second side of an adjacent stack.

指定代表圖：

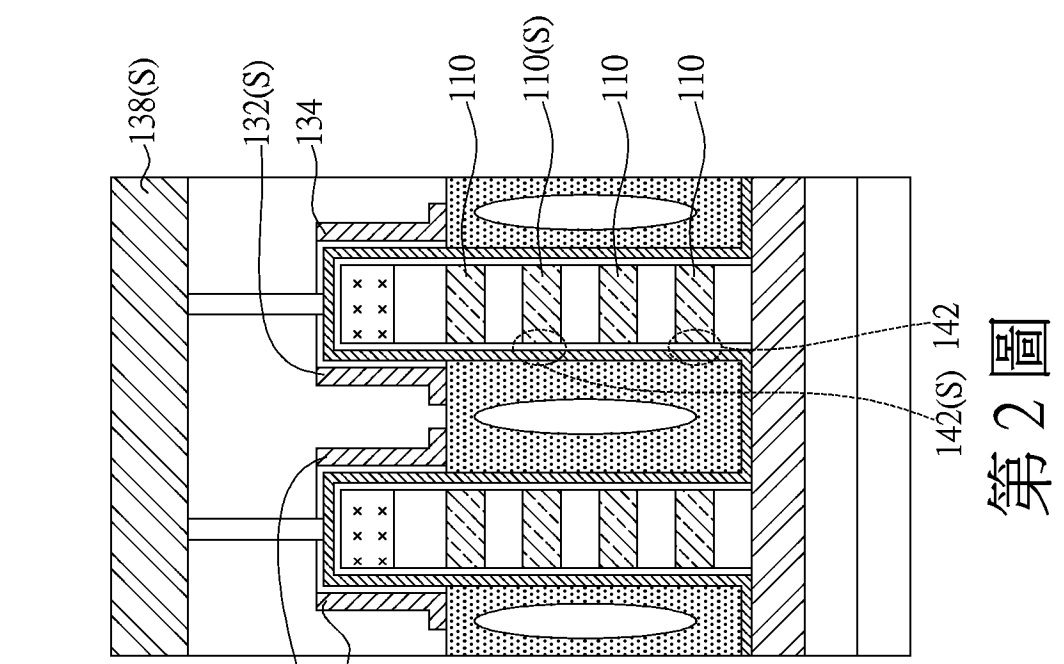


第 1 圖

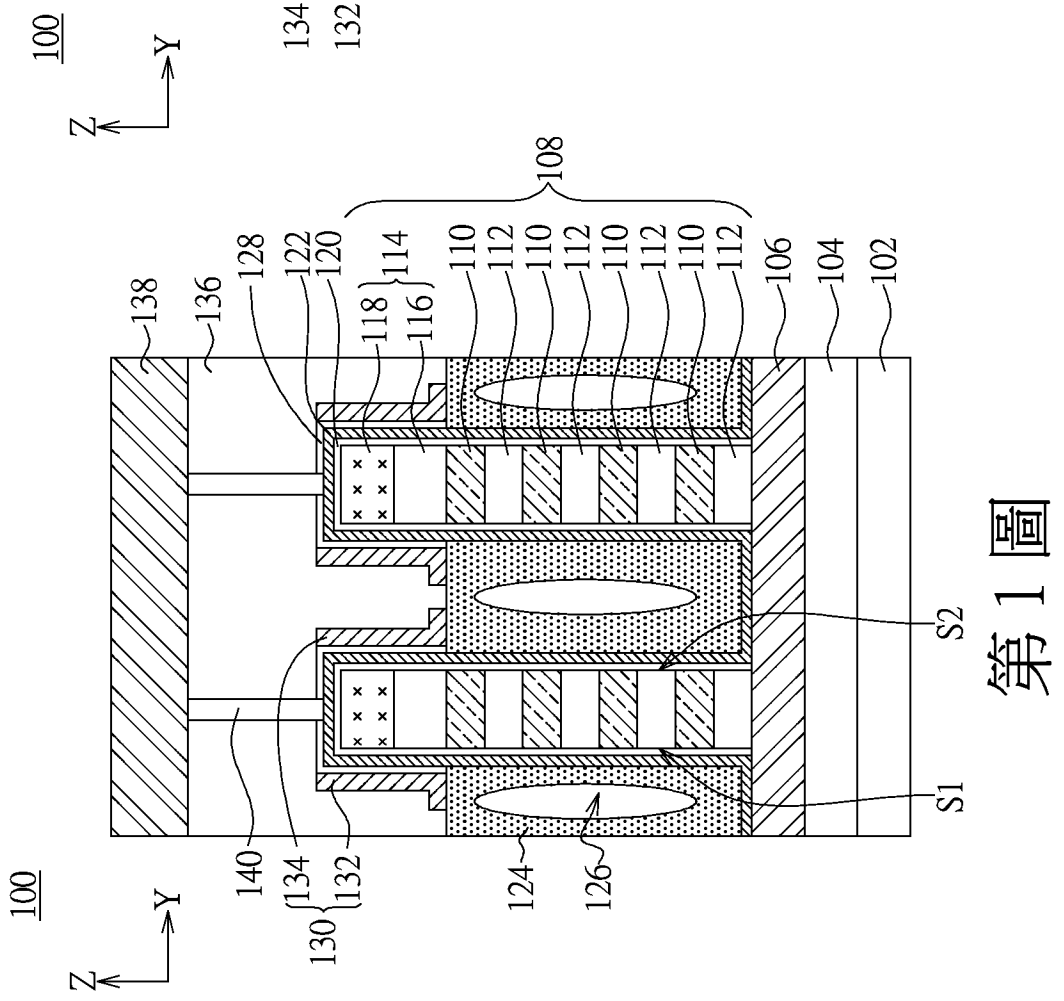
符號簡單說明：

- 100 . . . 記憶結構
- 102 . . . 基板
- 104 . . . 埋層
- 106 . . . 源極線
- 108 . . . 堆疊
- 110 . . . 導電條
- 112 . . . 絕緣條
- 114 . . . 上部結構
- 116 . . . 第一絕緣層
- 118 . . . 第二絕緣層
- 120 . . . 記憶層
- 122 . . . 通道層
- 124 . . . 絕緣材料
- 126 . . . 氣隙
- 128 . . . 介電層
- 130 . . . 第一導線
- 132 . . . 第一導線
- 134 . . . 第一導線
- 136 . . . 層間介電材料
- 138 . . . 第二導線
- 140 . . . 接觸元件
- S1 . . . 第一側
- S2 . . . 第二側

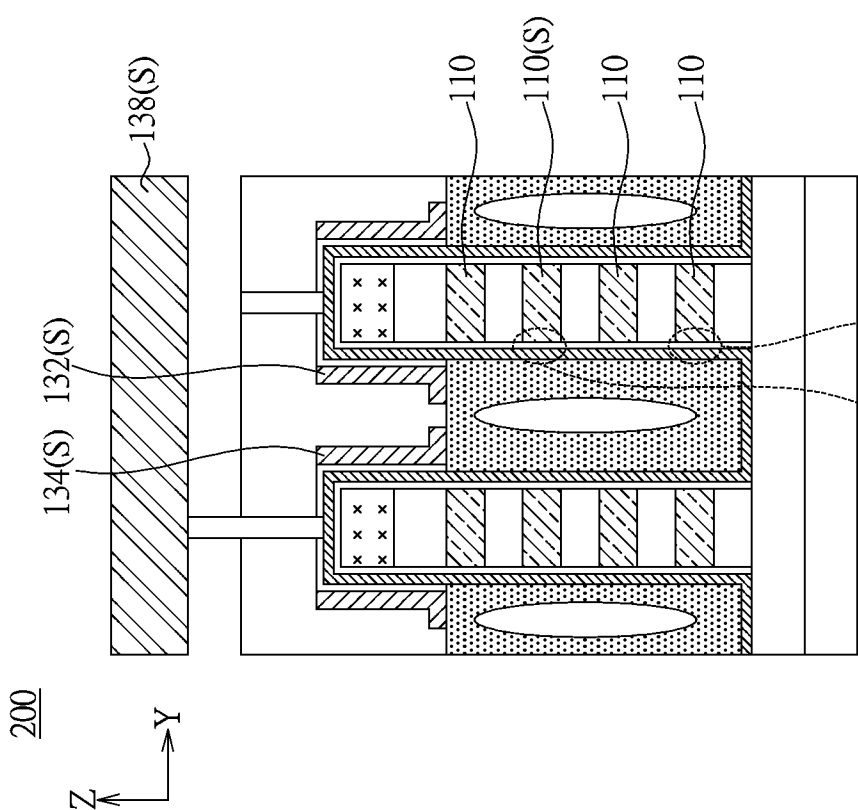
【發明圖式】



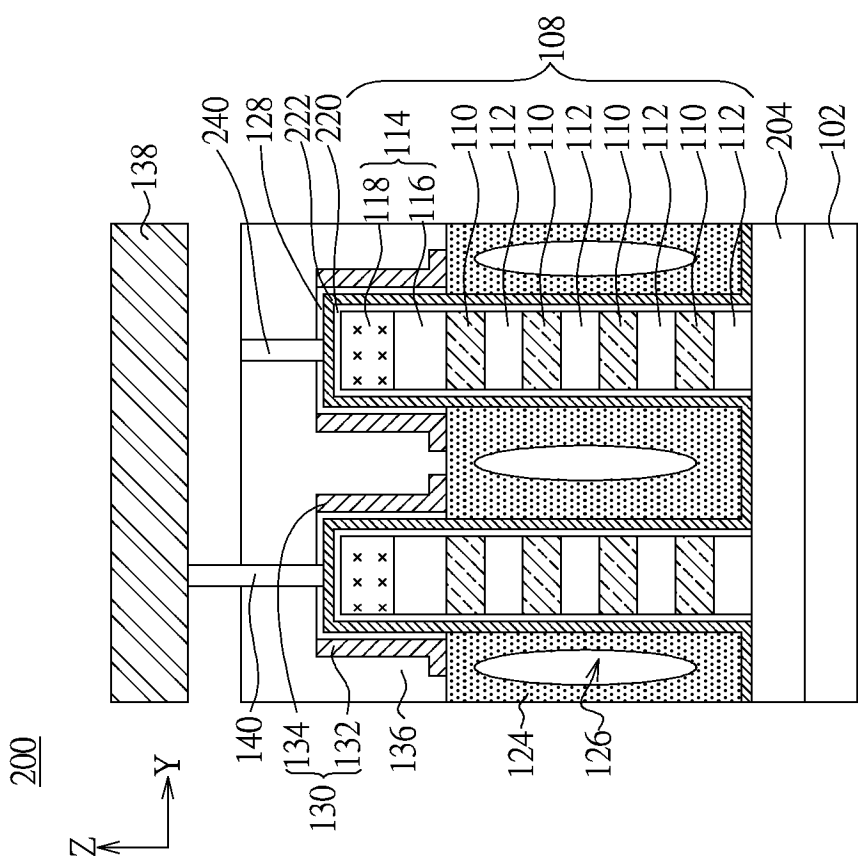
第1圖



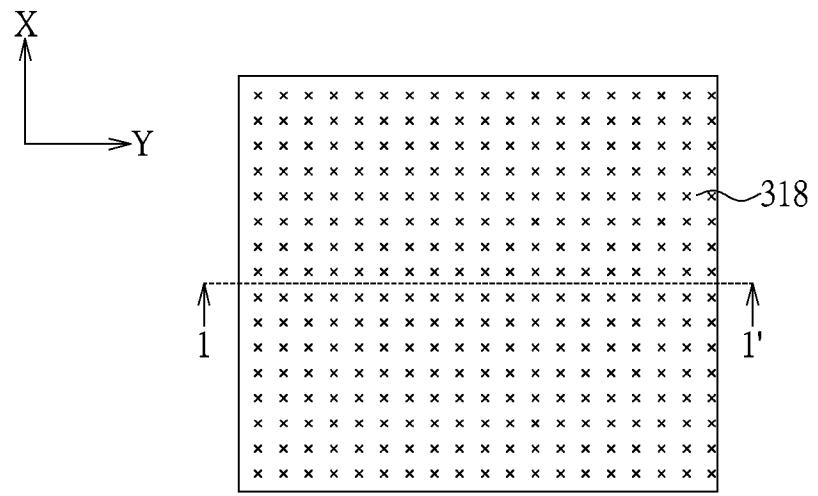
第2圖



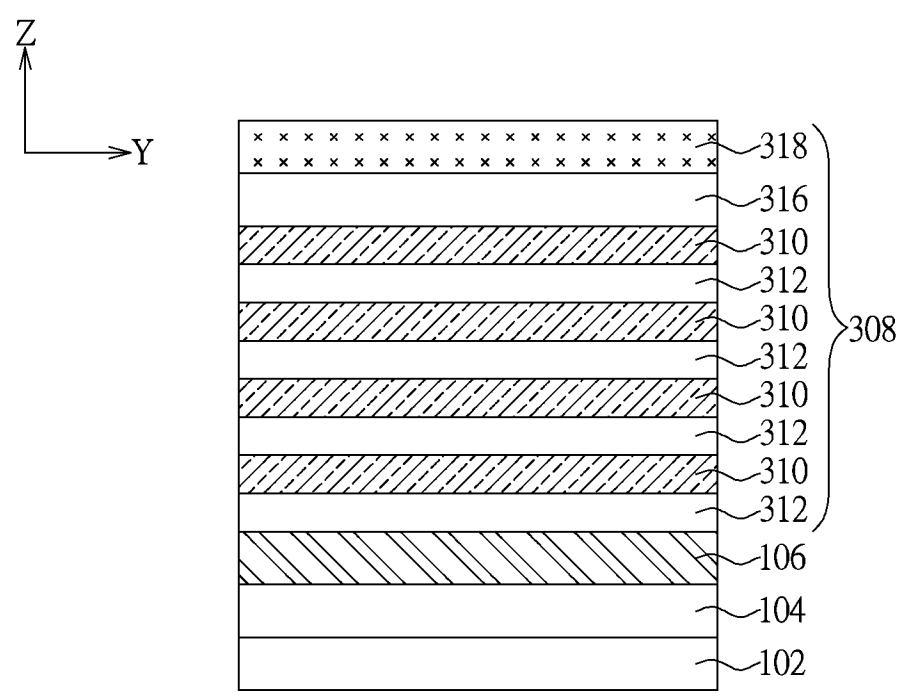
第3圖



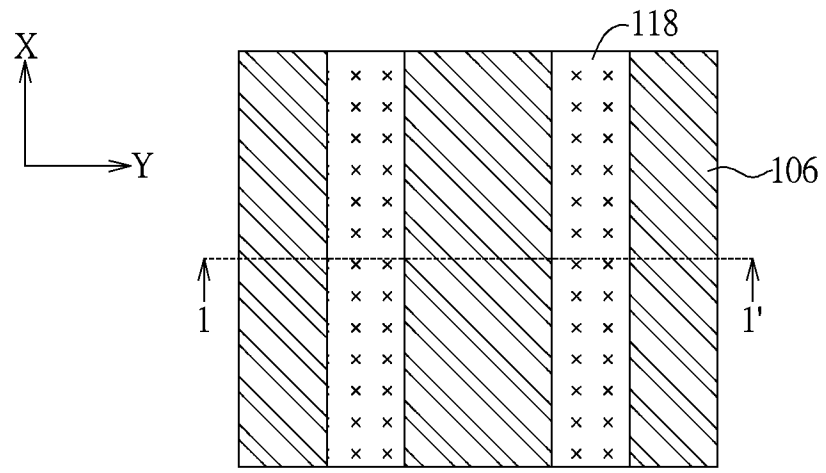
第4圖



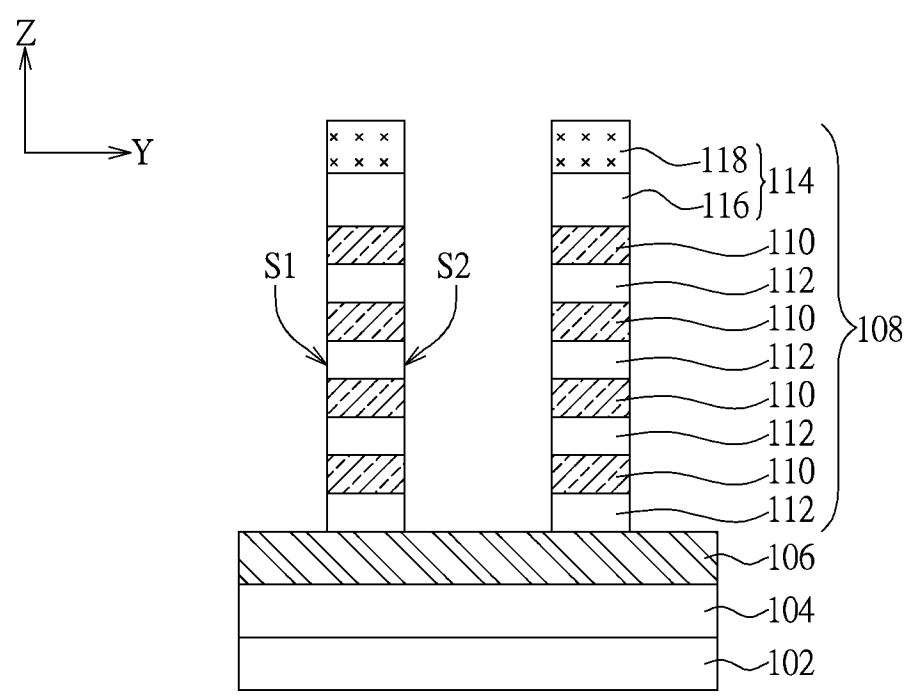
第 5A 圖



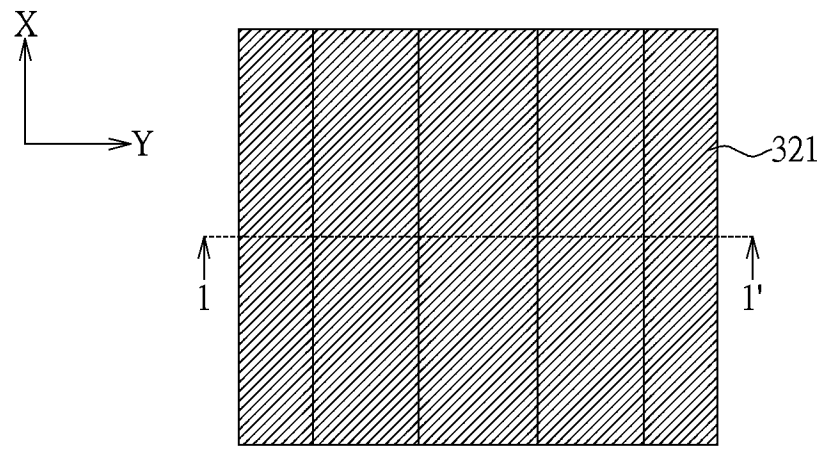
第 5B 圖



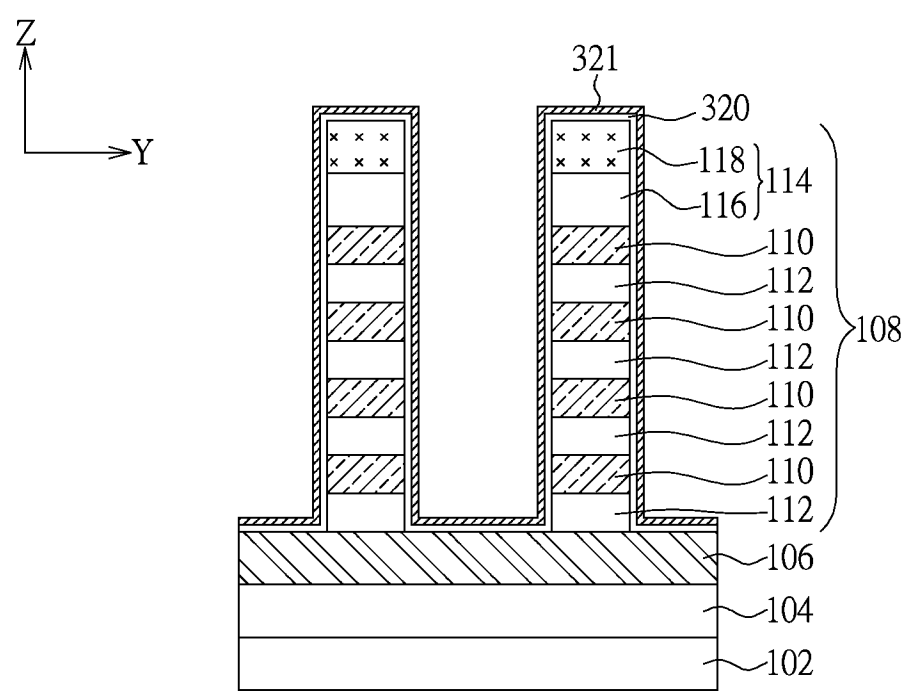
第 6A 圖



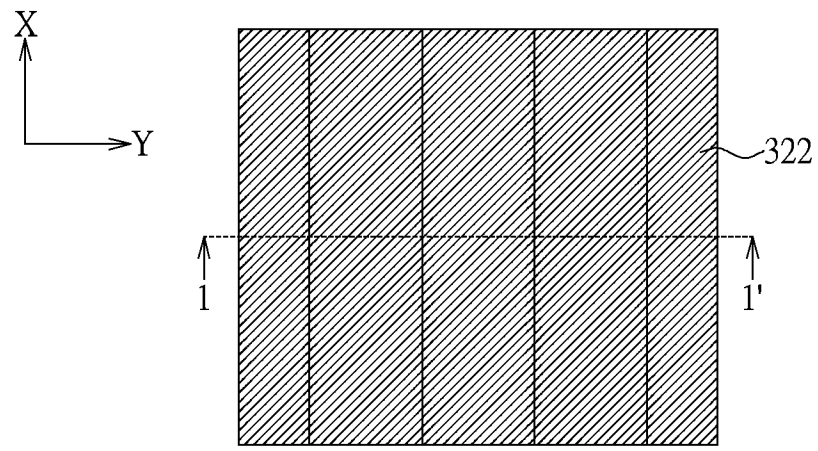
第 6B 圖



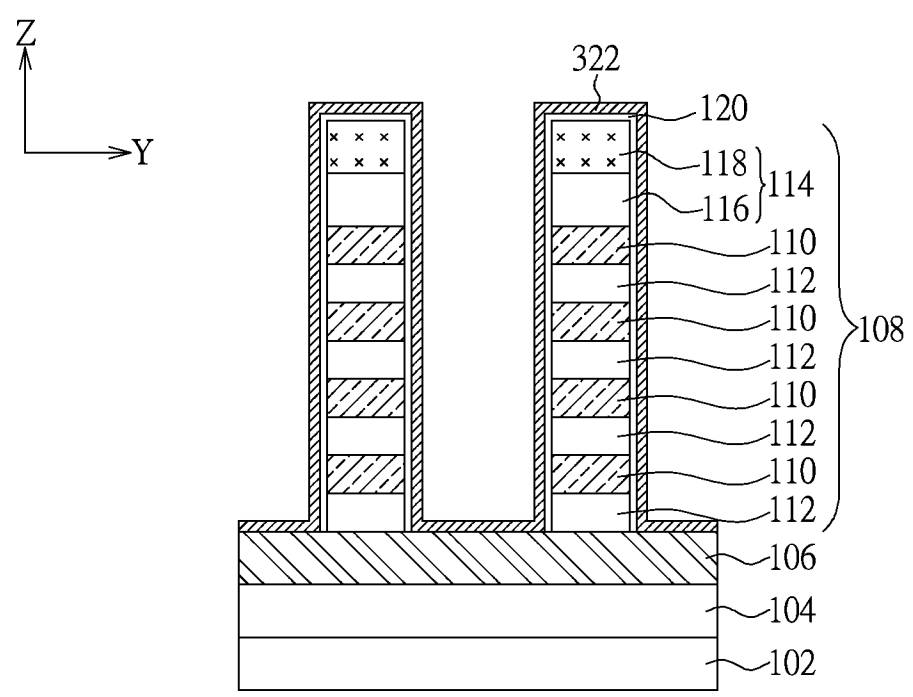
第 7A 圖



第 7B 圖

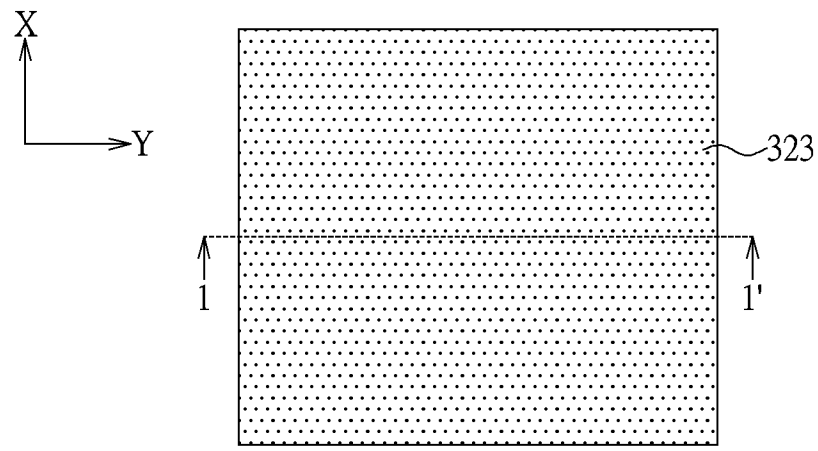


第 8A 圖

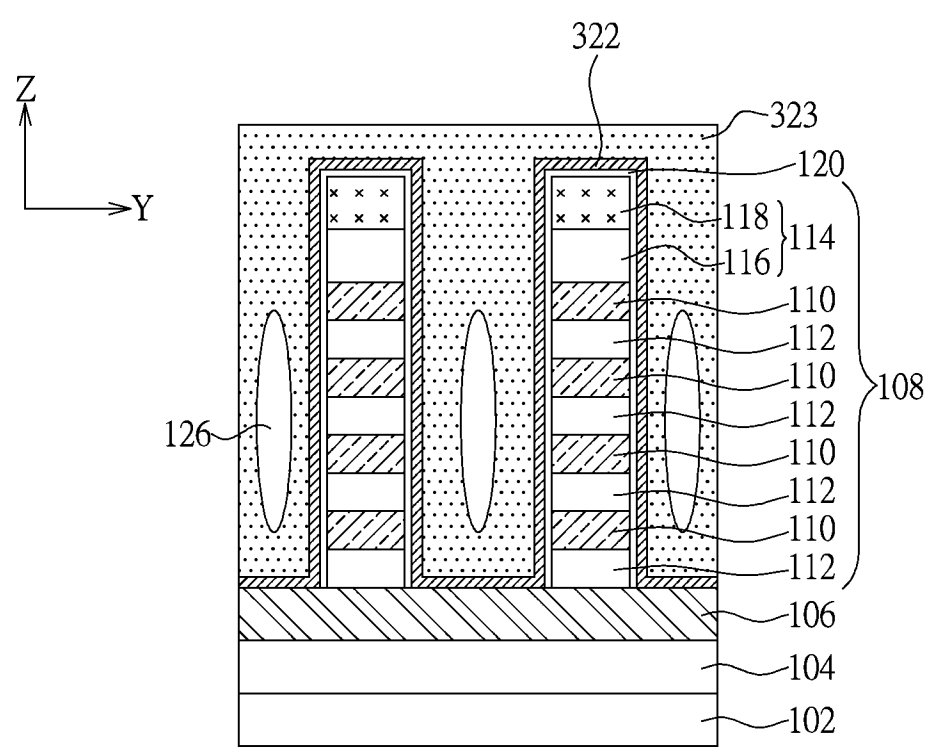


第 8B 圖

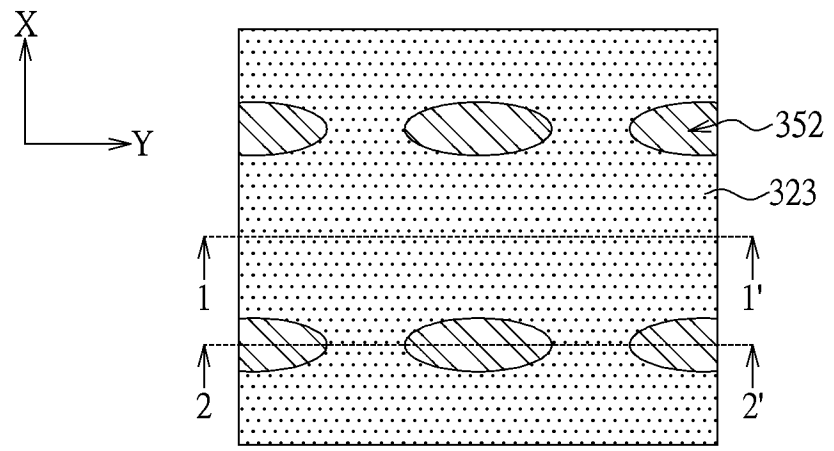




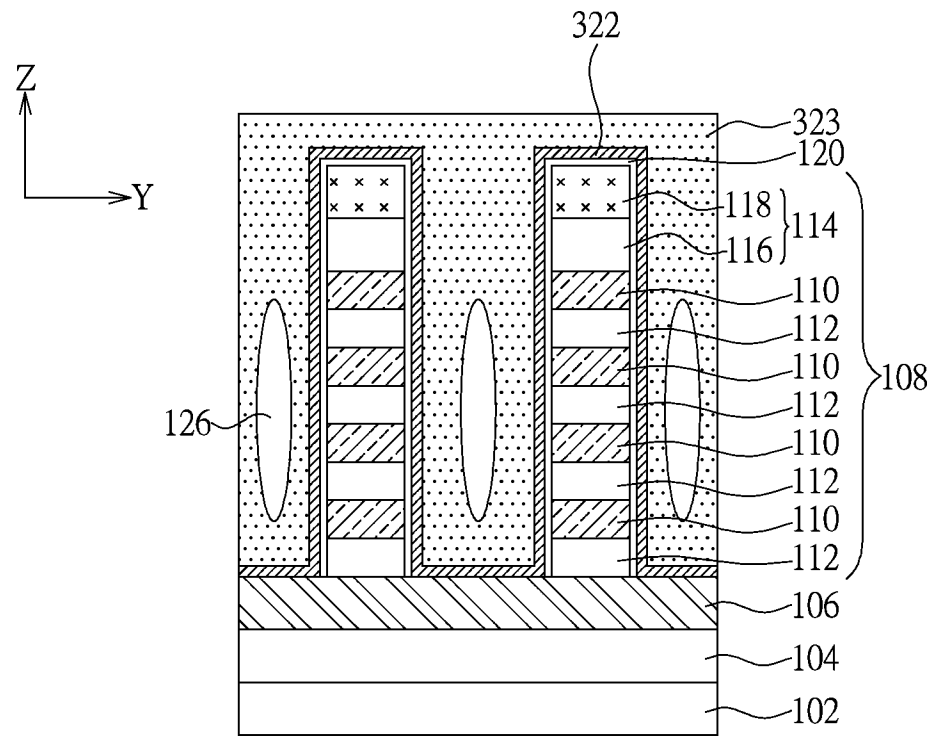
第 9A 圖



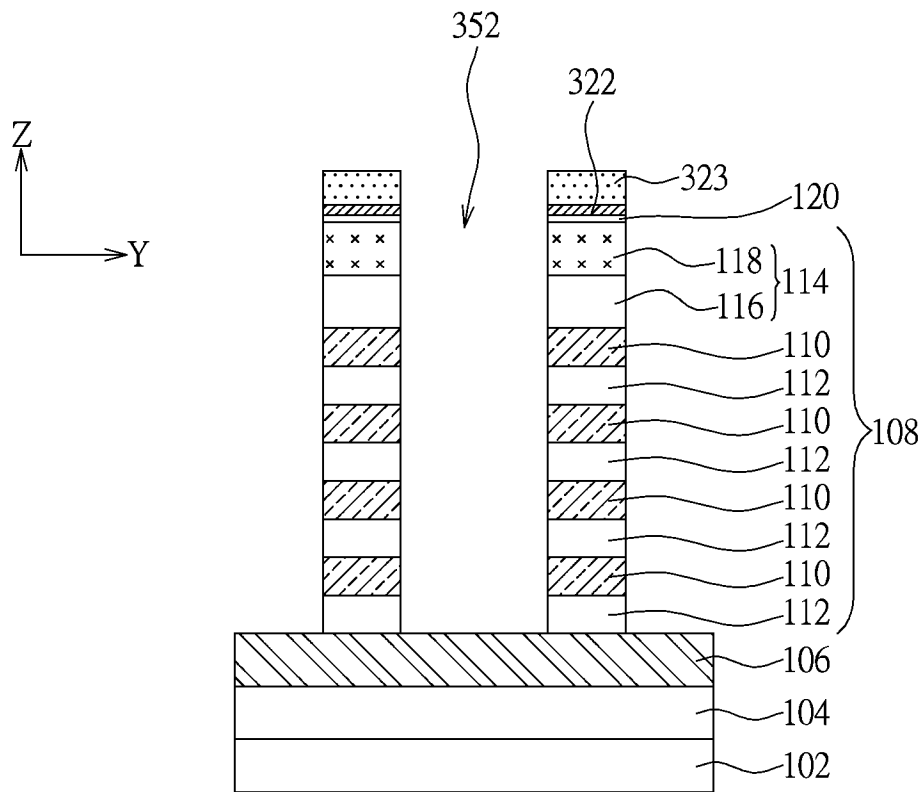
第 9B 圖



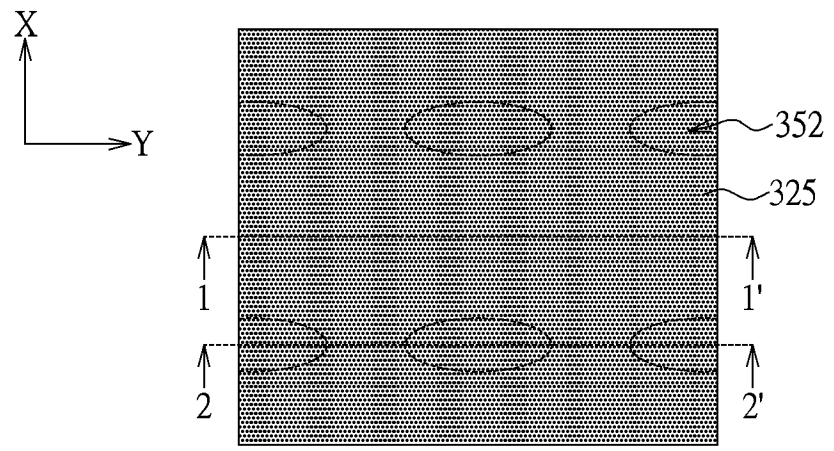
第 10A 圖



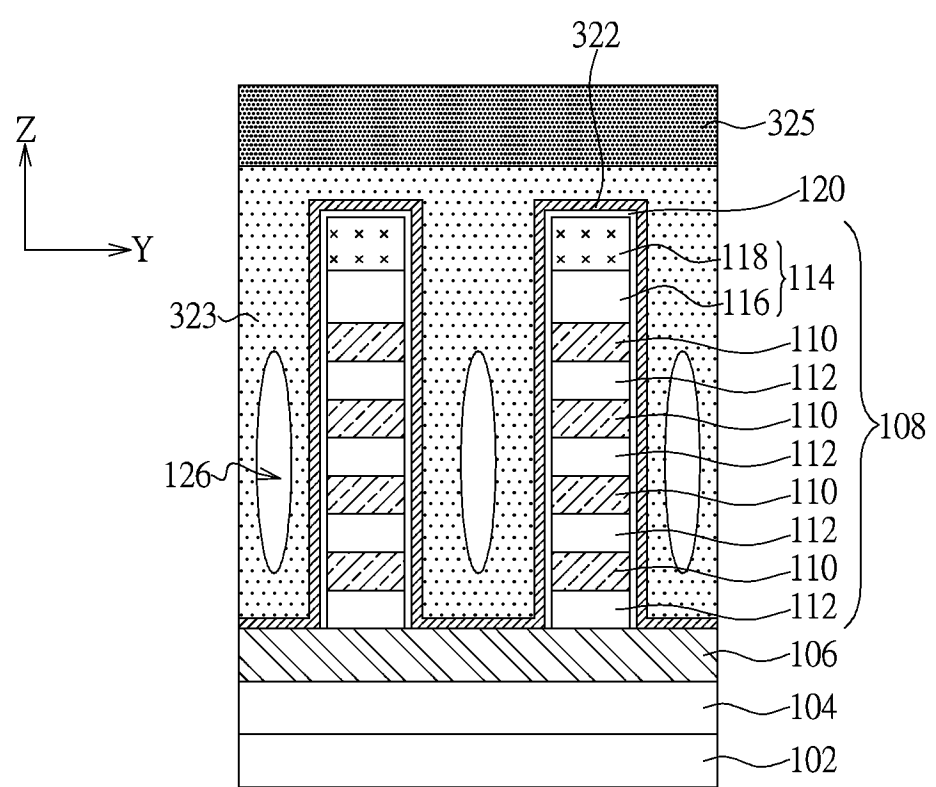
第 10B 圖



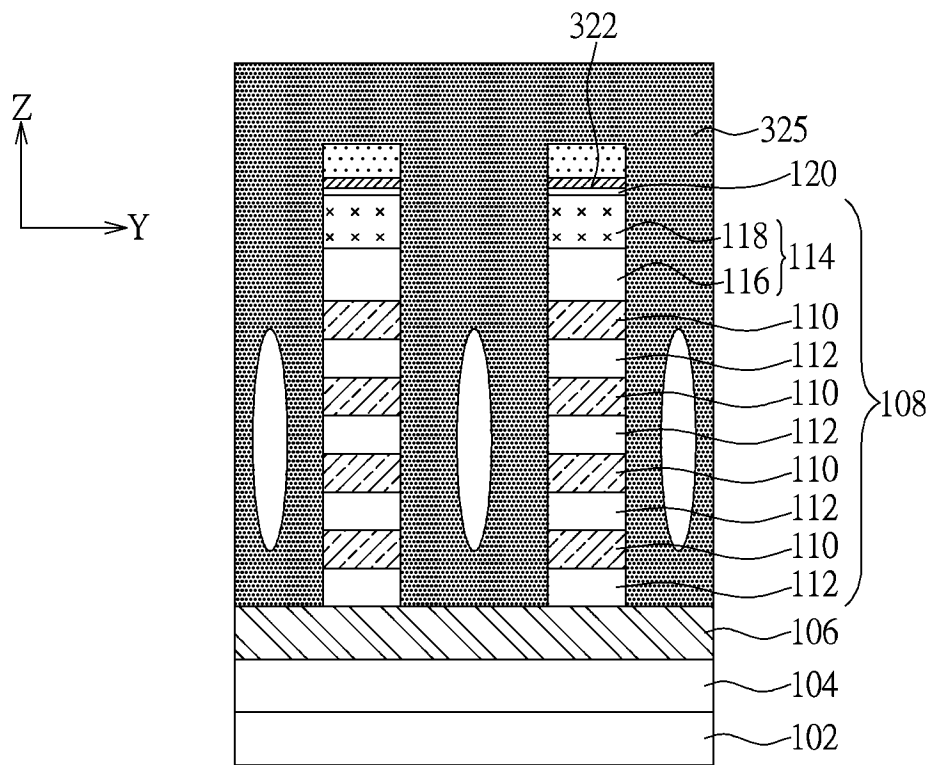
第 10C 圖



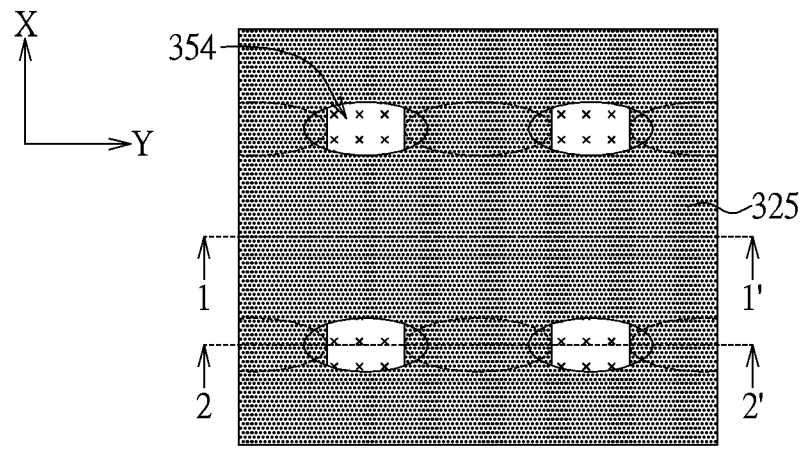
第 11A 圖



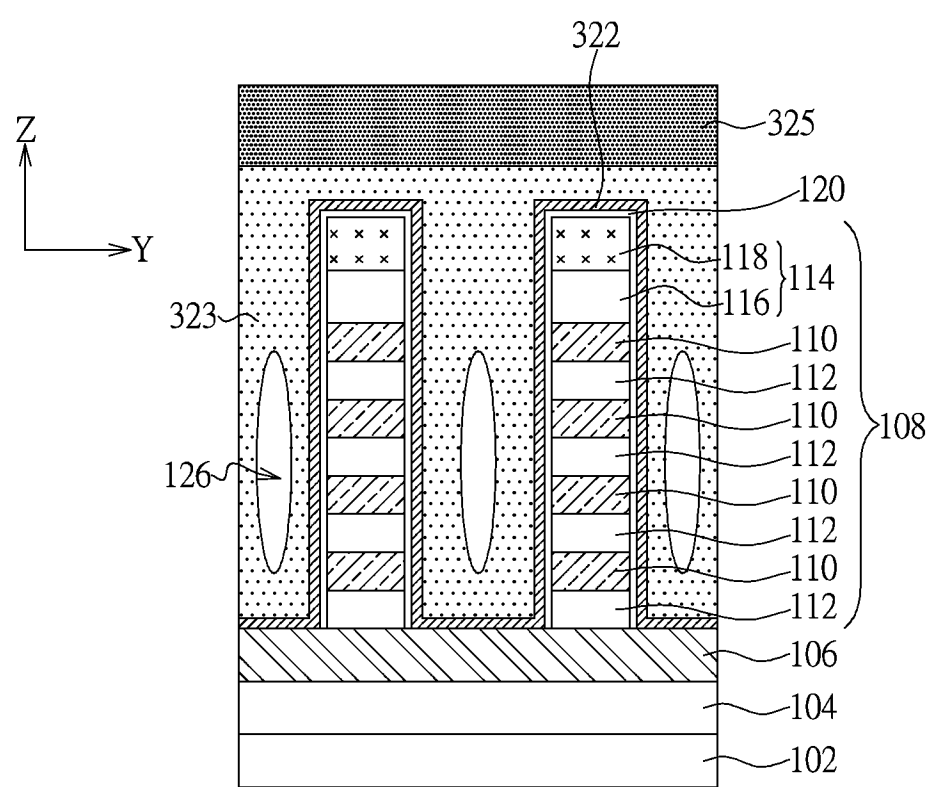
第 11B 圖



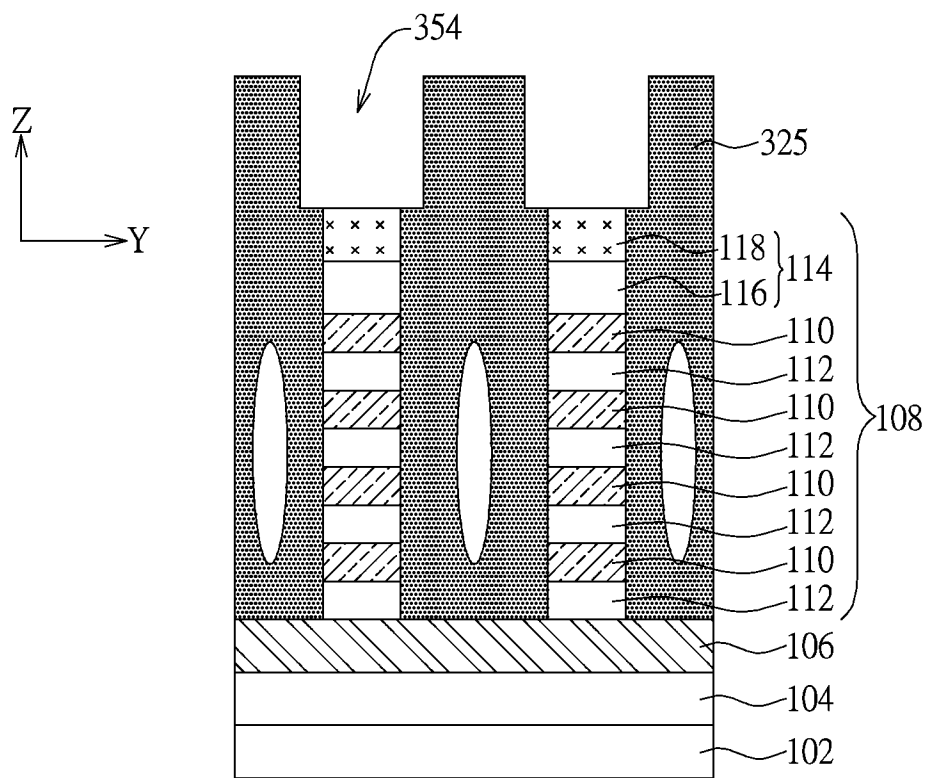
第 11C 圖



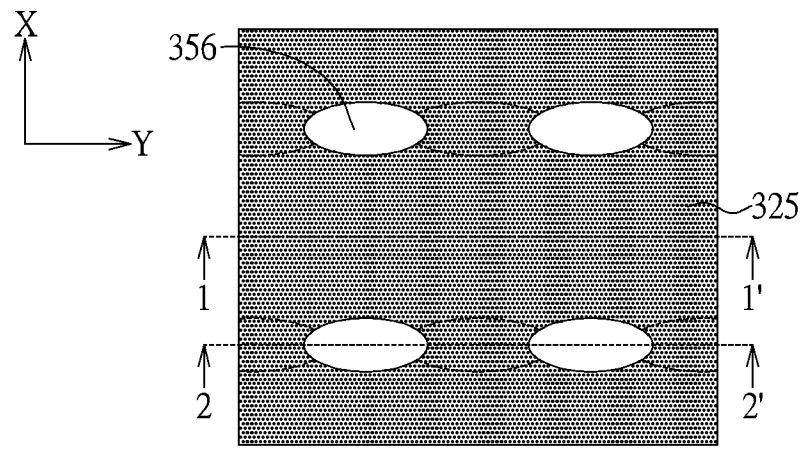
第 12A 圖



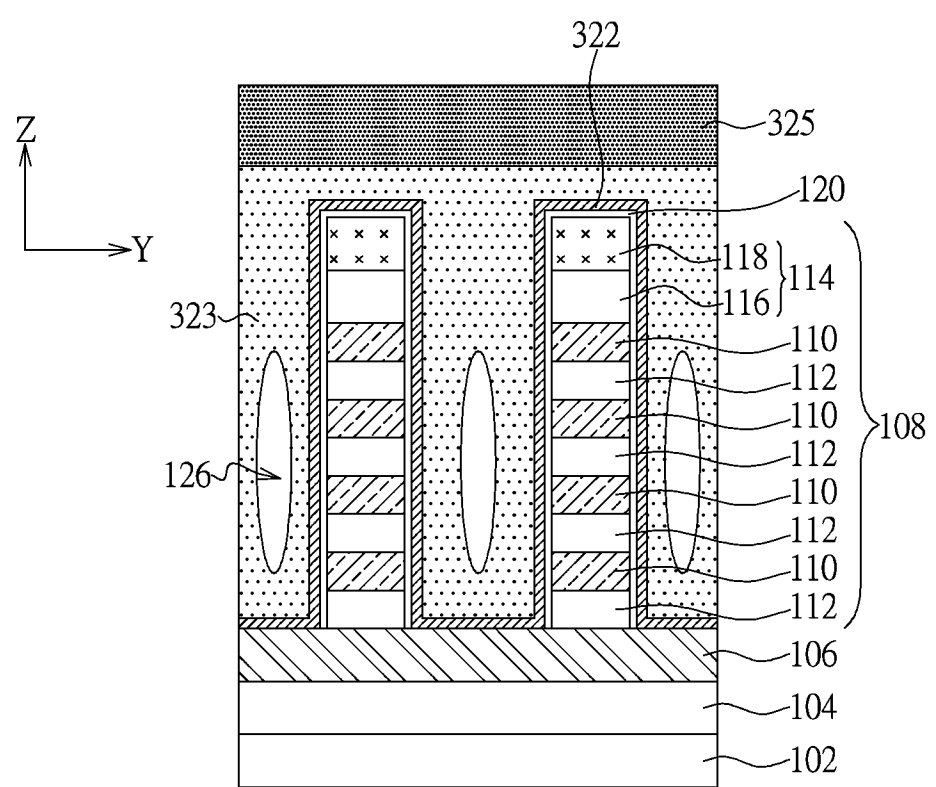
第 12B 圖



第 12C 圖

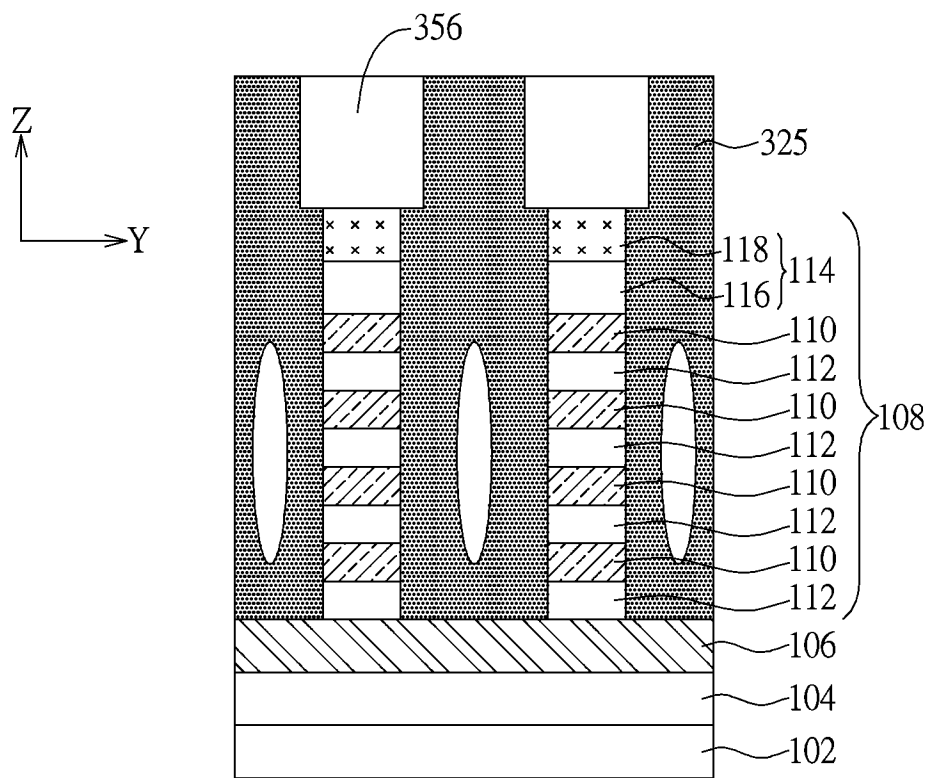


第 13A 圖

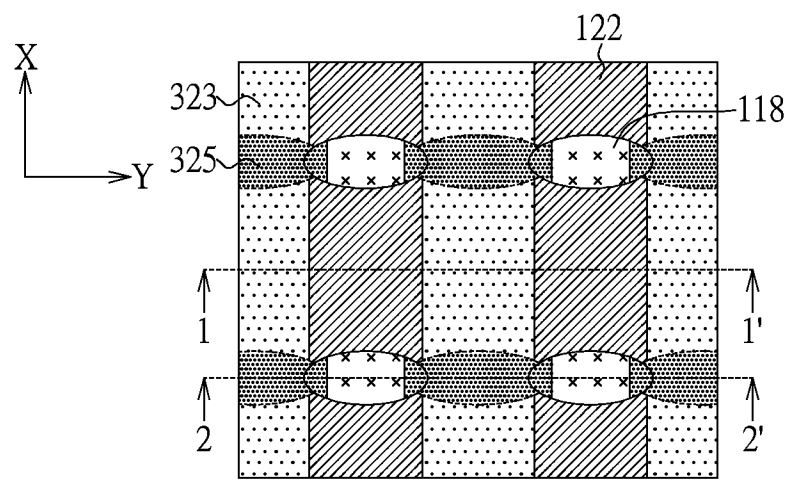


第 13B 圖

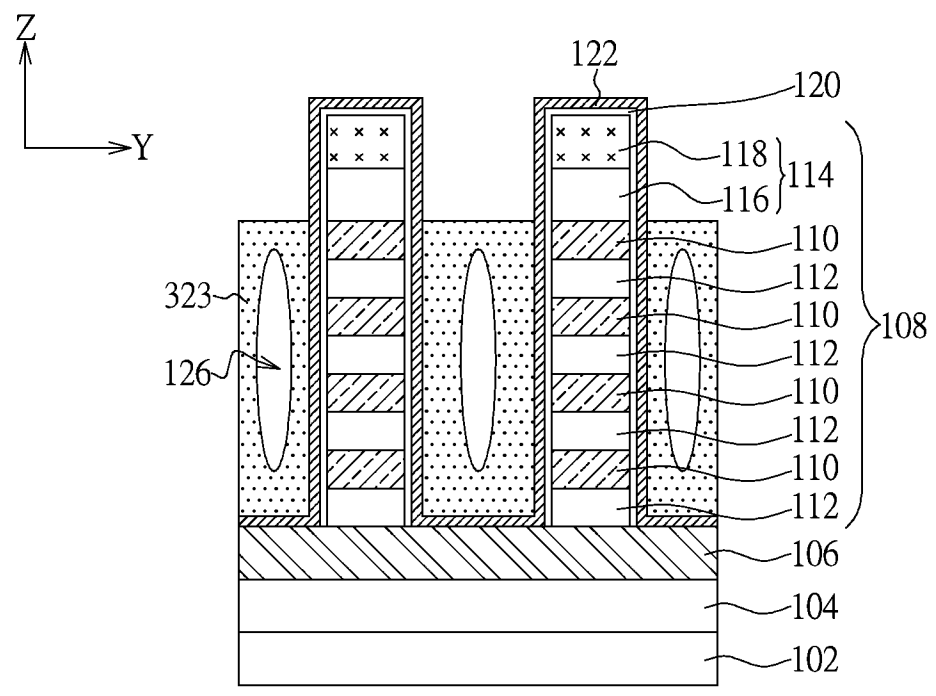




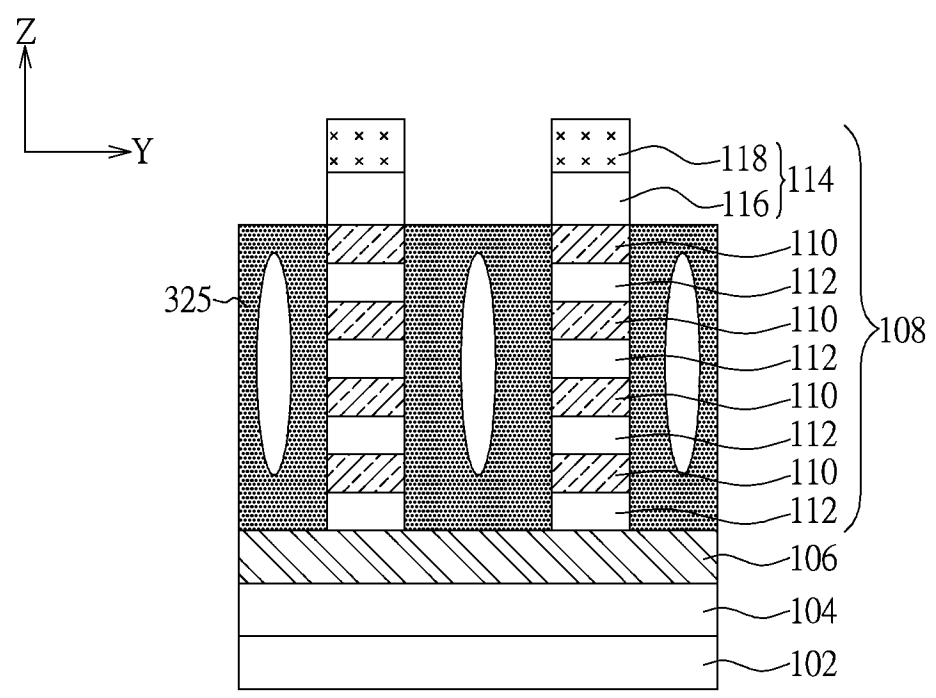
第 13C 圖



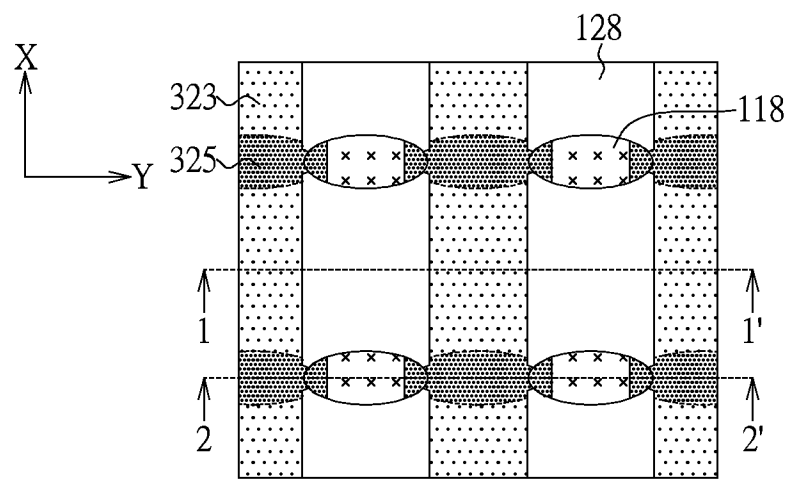
第 14A 圖



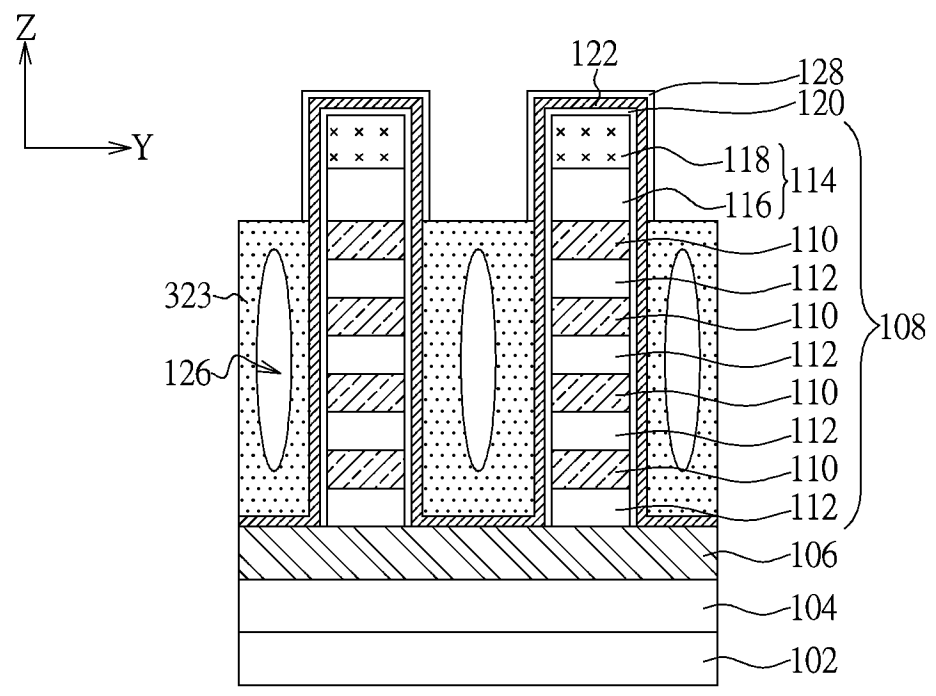
第 14B 圖



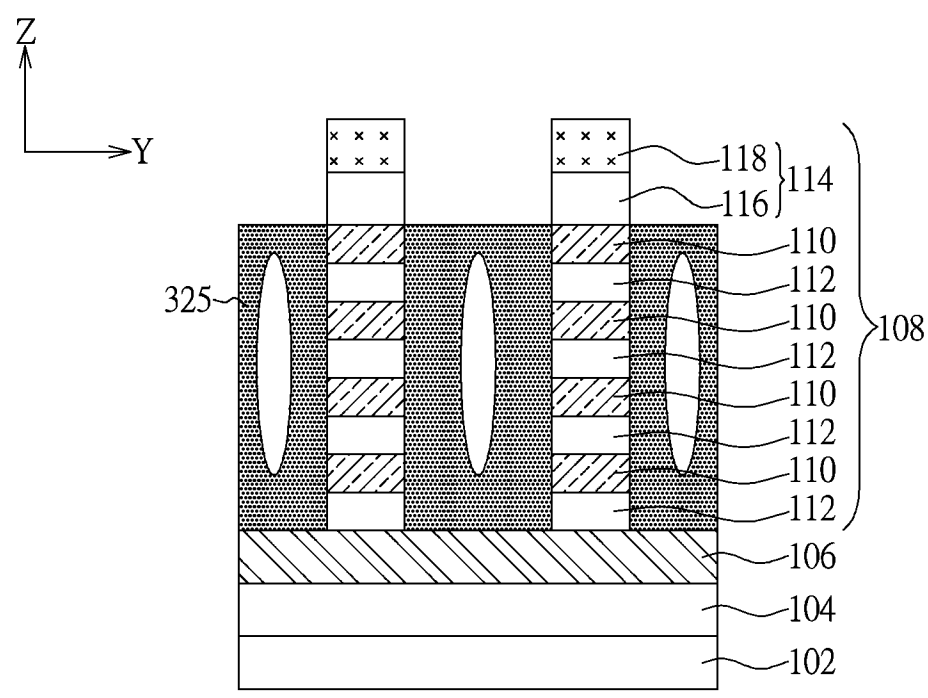
第 14C 圖



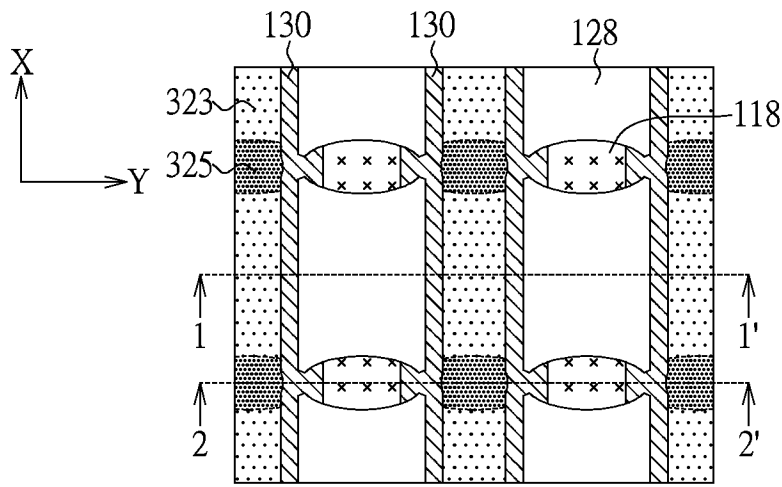
第 15A 圖



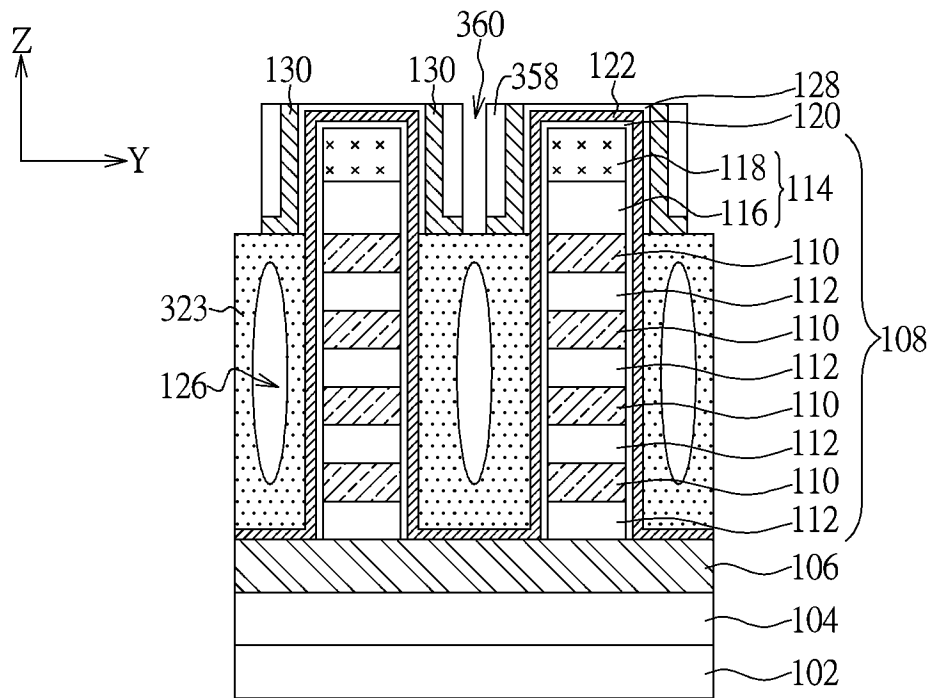
第 15B 圖



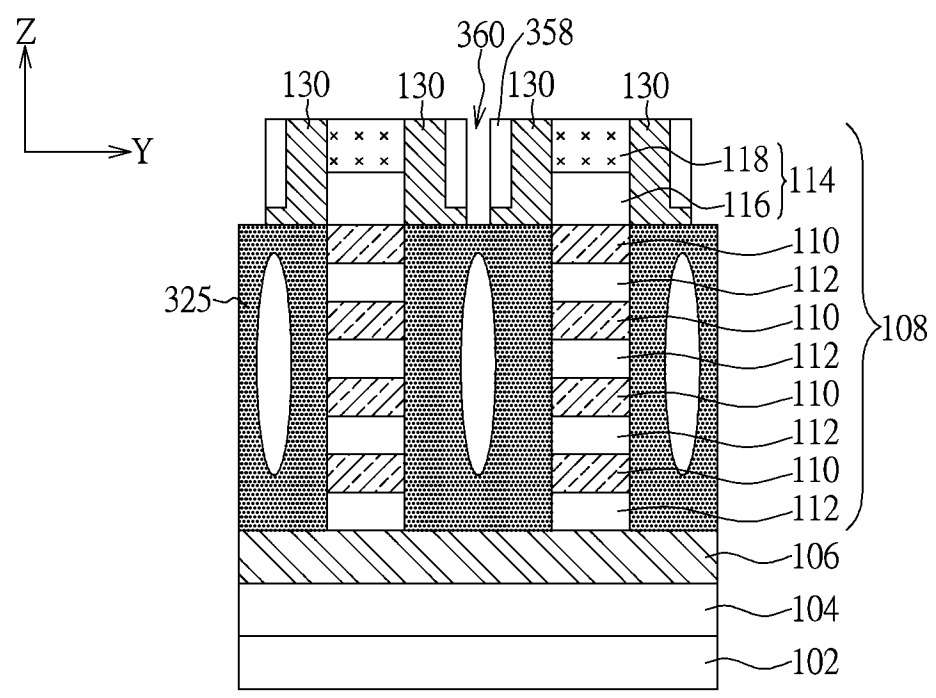
第 15C 圖



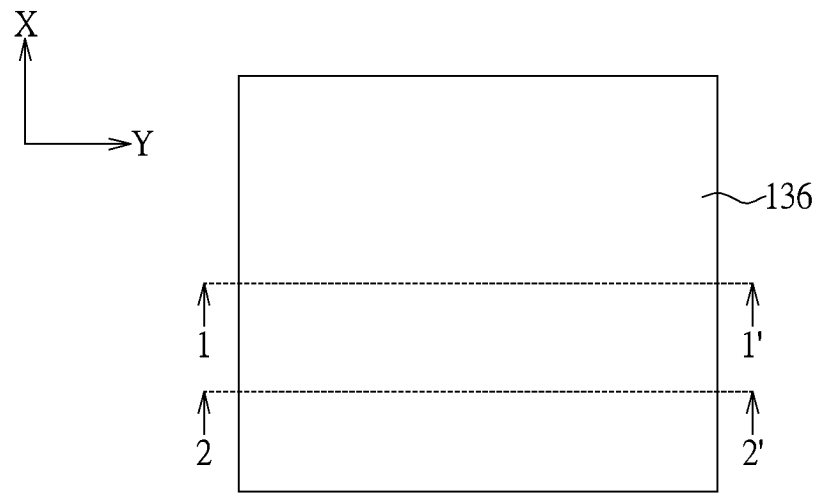
第 16A 圖



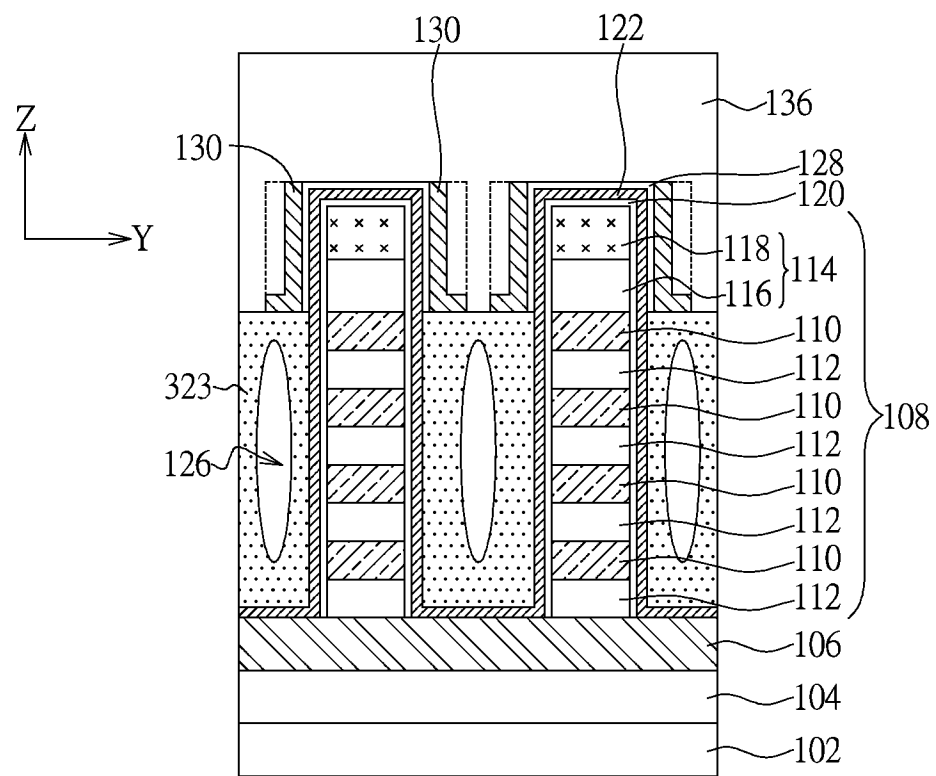
第 16B 圖



第 16C 圖

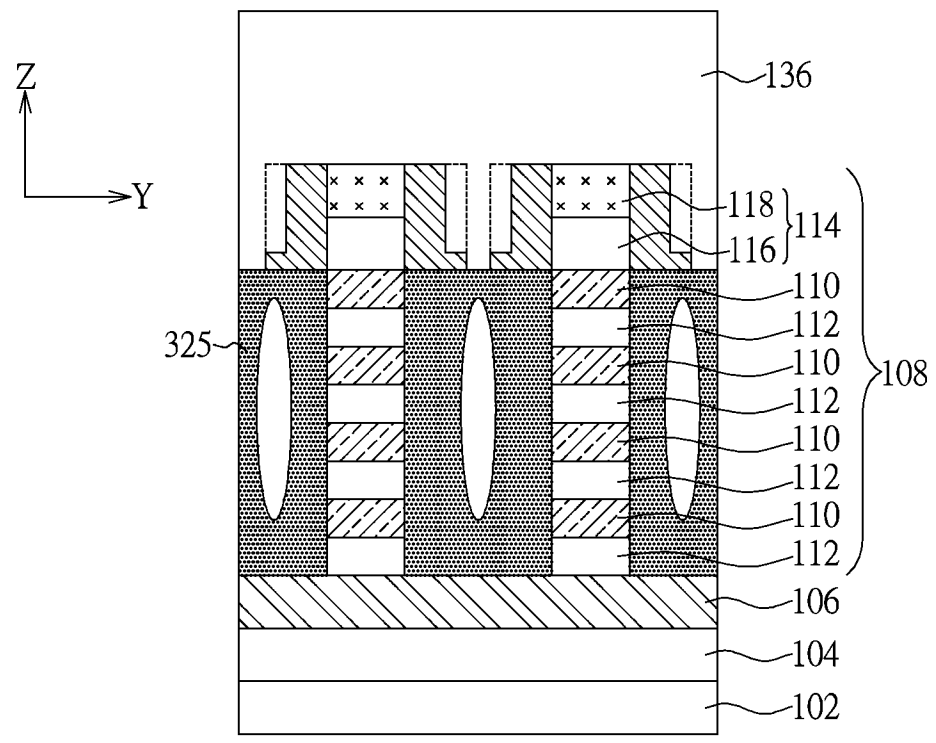


第 17A 圖

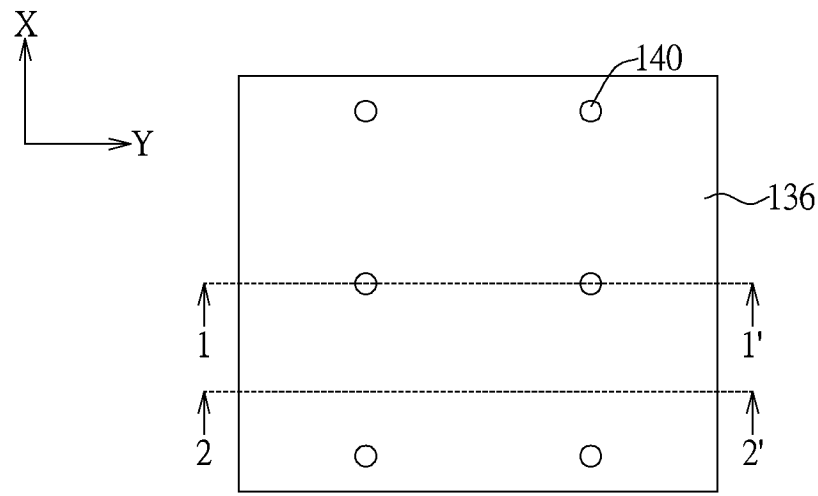


第 17B 圖

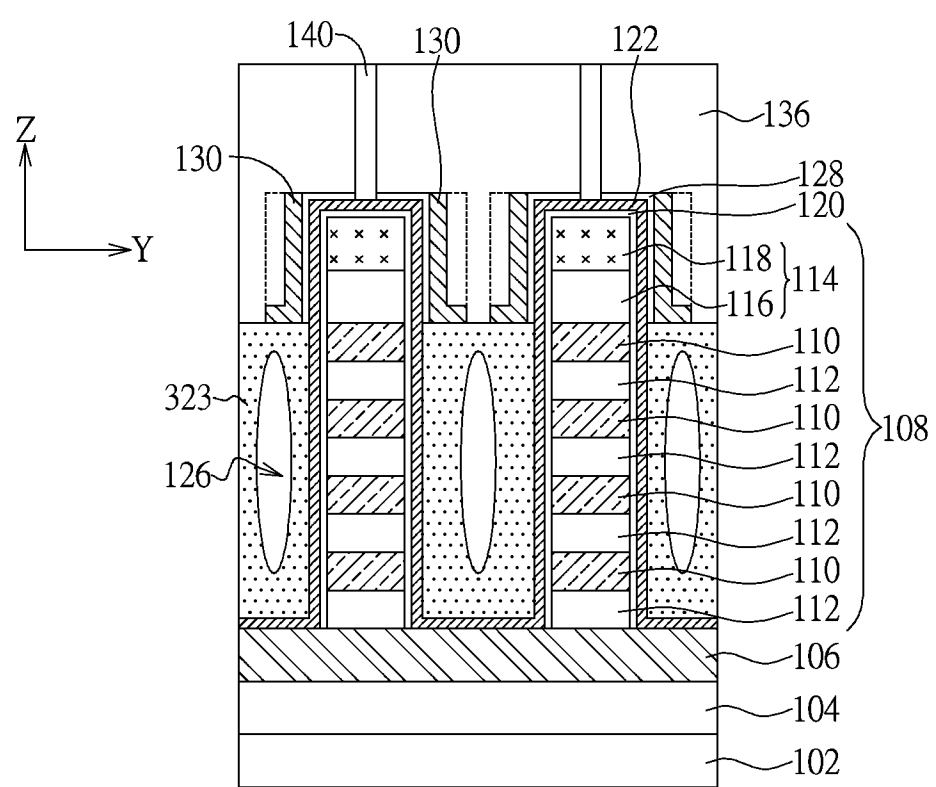




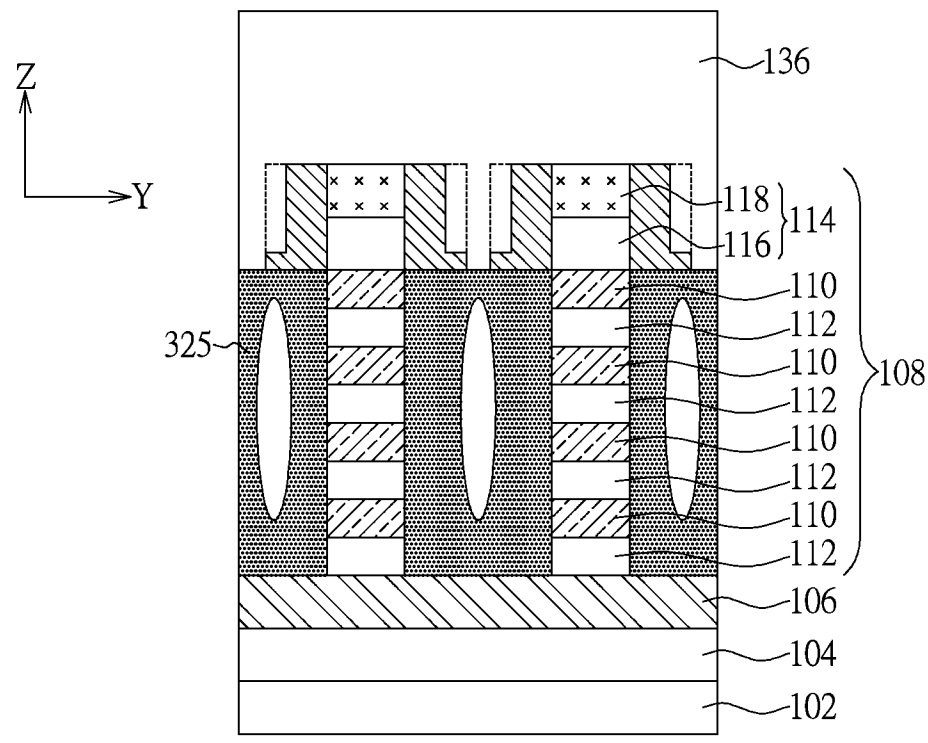
第 17C 圖



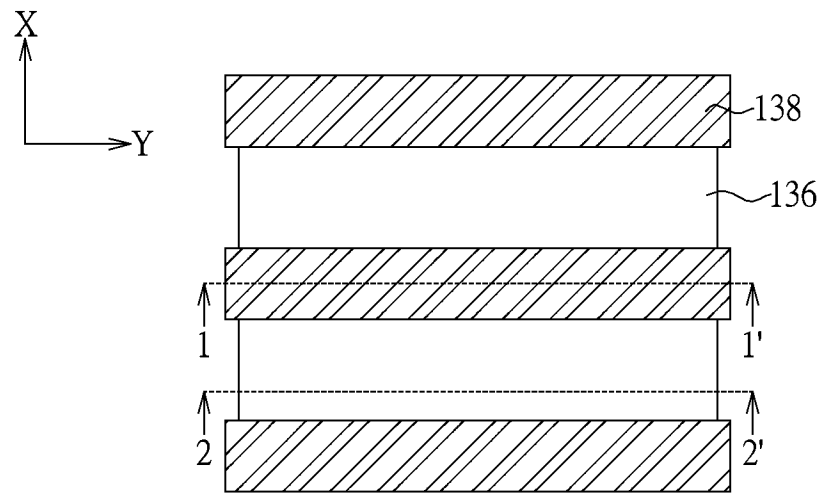
第 18A 圖



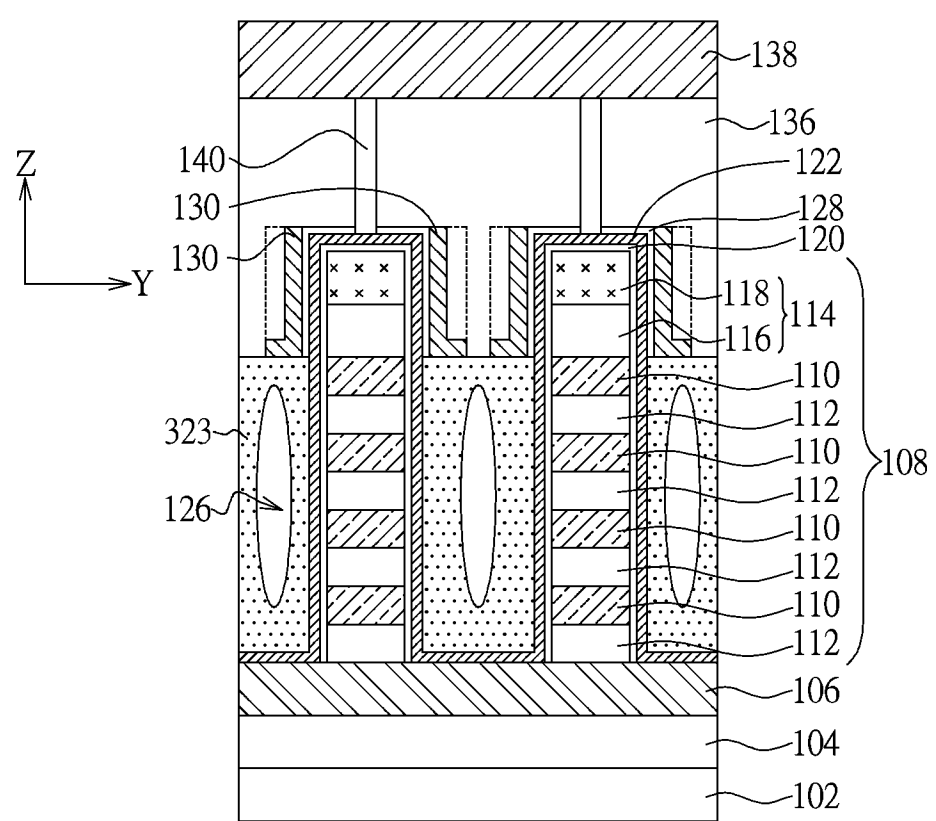
第 18B 圖



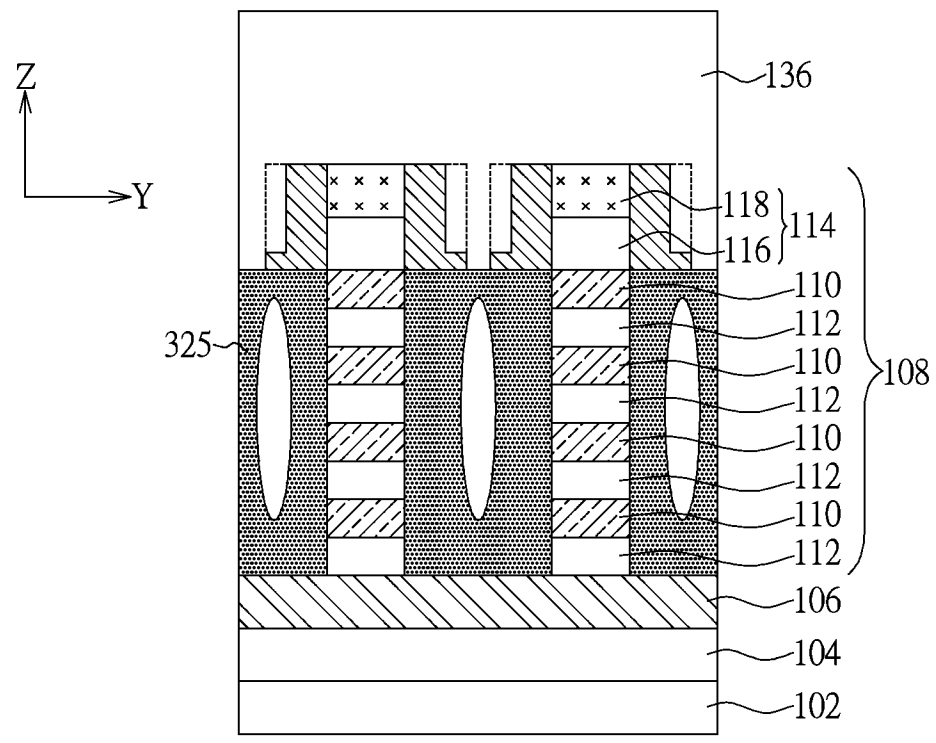
第 18C 圖



第 19A 圖



第 19B 圖



第 19C 圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

記憶結構、其操作方法、和其製造方法/MEMORY STRUCTURE, METHOD OF OPERATING THE SAME, AND METHOD OF MANUFACTURING THE SAME

## 【技術領域】

【0001】 本揭露是關於一種半導體結構、其操作方法、和其製造方法。本揭露特別是關於一種記憶結構、其操作方法、和其製造方法。

## 【先前技術】

【0002】 為了減少體積、降低重量、增加功率密度、和改善可攜帶性等理由，研究者與工程師們盡其努力地增加半導體裝置的密度。其中一種方法是使用 3D 結構取代傳統的 2D 結構。另一種方法是減少裝置中之元件和間隔的尺寸。這二種方法都有其技術瓶頸需要突破。

## 【發明內容】

【0003】 本揭露是關於記憶結構、以及其操作方法和製造方法，藉由其可提供具有實體上二位元記憶結構的記憶裝置。

【0004】 根據一些實施例，一種記憶結構，包括一基板、複數個堆疊、複數個記憶層、複數個通道層、複數個介電層、和複數個第一導線。堆疊設置在基板上。該些堆疊各具有一第一側和一第二側。該些堆疊各包括一組彼此交替的複數個導電條和複數

個絕緣條。記憶層共形地設置在堆疊上。通道層共形地設置在記憶層上。介電層至少設置在通道層位在該些堆疊的該些第一側的複數個部分和通道層位在該些堆疊的該些第二側的複數個部分上。第一導線沿著堆疊的側壁設置。第一導線由介電層與通道層隔絕。第一導線包括設置在該些堆疊的該些第一側的一第一組第一導線和設置在該些堆疊的該些第二側的一第二組第一導線，設置在該些堆疊中之一堆疊的第一側的第一組第一導線中之一第一導線，與設置在相同堆疊的第二側的第二組第一導線中之一第一導線隔絕，並與設置在該些堆疊中之一相鄰堆疊的第二側的第二組第一導線中之一第一導線隔絕。

**【0005】** 根據一些實施例，一種記憶結構(例如上述之記憶結構)的操作方法，包括藉由選擇對應之一或二個串列選擇線、對應之一位元線、和對應之一字元線，選擇一記憶胞。

**【0006】** 根據一些實施例，一種記憶結構的製造方法包括下列步驟。提供一基板。形成複數個堆疊在基板上。該些堆疊各具有一第一側和一第二側。該些堆疊各包括一組彼此交替的複數個導電條和複數個絕緣條。形成複數個記憶層共形地位在堆疊上。形成複數個通道層共形地位在記憶層上。形成複數個介電層在至少通道層位在該些堆疊的該些第一側的複數個部分和通道層位在該些堆疊的該些第二側的複數個部分上。形成複數個第一導線沿著堆疊的側壁。第一導線由介電層與通道層隔絕。第一導線包括形成在該些堆疊的該些第一側的一第一組第一導線和形成在該些堆疊的該些第二側的一第二組第一導線，形成在該些堆疊中之一堆疊的第一側的第一組第一導線中之一第一導線，與形成在

相同堆疊的第二側的第二組第一導線中之一第一導線隔絕，並與形成在該些堆疊中之一相鄰堆疊的第二側的第二組第一導線中之一第一導線隔絕。

**【0007】** 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### **【圖式簡單說明】**

#### **【0008】**

第 1 圖繪示根據實施例的一種記憶結構。

第 2 圖繪示該種記憶結構的操作方法。

第 3 圖繪示根據實施例的另一種記憶結構。

第 4 圖繪示該另一種記憶結構的操作方法。

第 5A~19C 圖繪示根據實施例的一種記憶結構的製造方法。

### **【實施方式】**

**【0009】** 以下將配合所附圖式對於各種不同的實施例進行更詳細的說明。所附圖式只用於描述目的，而不用於限制目的。為了清楚起見，在一些圖式中可能誇大一些元件。例如，在一組圖式中，一元件可能只在其中一個圖式中被誇大顯示。此外，可能從圖式中省略一些元件和/或元件符號。可以預期的是，一實施例中的元件和特徵，可以有利地納入於另一實施例中，而未再進一步地闡述。

**【0010】** 根據實施例的一記憶結構包括一基板、複數個堆疊、複數個記憶層、複數個通道層、複數個介電層、和複數個第一導線。堆疊設置在基板上。該些堆疊各具有一第一側和一第二



側。該些堆疊各包括一組彼此交替的複數個導電條和複數個絕緣條。記憶層共形地設置在堆疊上。通道層共形地設置在記憶層上。介電層至少設置在通道層位在該些堆疊的該些第一側的複數個部分和通道層位在該些堆疊的該些第二側的複數個部分上。第一導線沿著堆疊的側壁設置。第一導線由介電層與通道層隔絕。第一導線包括設置在該些堆疊的該些第一側的一第一組第一導線和設置在該些堆疊的該些第二側的一第二組第一導線，設置在該些堆疊中之一堆疊的第一側的第一組第一導線中之一第一導線，與設置在相同堆疊的第二側的第二組第一導線中之一第一導線隔絕，並與設置在該些堆疊中之一相鄰堆疊的第二側的第二組第一導線中之一第一導線隔絕。

**【0011】** 請參照第 1 圖，其繪示根據實施例的記憶結構 100。記憶結構 100 被繪示成具有配置成 I 形串列之記憶胞的三維(3D)垂直通道反及(NAND)記憶結構。

**【0012】** 記憶結構 100 包括一基板 102。基板 102 可包括形成在其中和/或其上的結構和元件等等。記憶結構 100 可選擇性地包括一埋層 104，設置在基板 102 上。例如，在基板 102 提供電洞抹除功能的一些實施例中，記憶結構 100 可包括一薄的埋層 104，或甚至沒有埋層。記憶結構 100 可包括一源極線 106，設置在埋層 104 上。在一些實施例中，源極線 106 提供能帶間熱電洞抹除功能。

**【0013】** 記憶結構 100 包括複數個堆疊 108，設置在基板 102 上。如第 1 圖所示，在具有配置成 I 形串列之記憶胞的 3D 垂直通道 NAND 記憶結構中，堆疊 108 可設置在源極線 106 上。堆疊

108 及其組成元件(例如導電條 110)在一第一方向上延伸，例如一 X 方向。堆疊 108 各具有一第一側 S1 和一第二側 S2。堆疊 108 各包括一組彼此交替的複數個導電條 110 和複數個絕緣條 112。堆疊 108 可各更包括一上部結構 114，設置在該組導電條 110 和絕緣條 112 上。根據一些實施例，上部結構 114 可包括一第一絕緣層 116 和一第二絕緣層 118。第一絕緣層 116 設置在該組導電條 110 和絕緣條 112 上。第二絕緣層 118 設置在第一絕緣層 116 上。

**【0014】** 記憶結構 100 包括複數個記憶層 120，共形地設置在堆疊 108 上。根據一些實施例，記憶層 120 可具有阻障層-捕捉層-穿隧層結構，其中阻障層最靠近堆疊 108，而穿隧層離堆疊 108 最遠。記憶結構 100 包括複數個通道層 122，共形地設置在記憶層 120 上。沿著 X 方向，在該些堆疊 108 之各者上可設置有多於一個的通道層 122。在一 Y 方向中，設置在相鄰堆疊 108 上的通道層 122 可彼此連接，如第 1 圖所示。

**【0015】** 記憶結構 100 可包括一絕緣材料 124，設置在堆疊 108 之間，對應至該些組導電條 110 和絕緣條 112。在一些實施例中，氣隙 126 存在於絕緣材料 124 中。氣隙 126 有利於降低二個相鄰通道層 122 的耦合率(coupling rate)。

**【0016】** 記憶結構 100 包括複數個介電層 128，至少設置在通道層 122 位在堆疊 108 的第一側 S1 的複數個部分和通道層 122 位在堆疊 108 的第二側 S2 的複數個部分上。在記憶結構 100 中，如第 1 圖所示，位在堆疊 108 的第一側 S1 的該些部分和通道層 122 位在堆疊 108 的第二側 S2 的該些部分對應至堆疊 108 的上部

結構 114。在一些實施例中，介電層 128 包括一氧化物材料。在一些實施例中，介電層 128 包括一高介電係數材料。

**【0017】** 記憶結構 100 包括複數個第一導線 130，沿著堆疊 108 的側壁設置。亦即，第一導線 130 可實質上在所述第一方向 (X 方向) 上延伸。第一導線 130 由介電層 128 與通道層 122 隔絕。如第 1 圖所示，介電層 128 和第一導線 130 可位在絕緣材料 124 上。由於絕緣材料 124 可對應至該些組導電條 110 和絕緣條 112 而設置，第一導線 130 可設置在高於該些組導電條 110 和絕緣條 112 的高度。第一導線 130 包括設置在堆疊 108 的第一側 S1 的第一組第一導線(132)和設置在堆疊 108 的第二側 S2 的第二組第一導線(134)。在敘述於此的實施例中，設置在一堆疊 108 的第一側 S1 的該第一組第一導線中之一第一導線 132，與設置在相同堆疊 108 的第二側 S2 的該第二組第一導線中之一第一導線 134 隔絕，並與設置在一相鄰堆疊 108 的第二側 S2 的該第二組第一導線中之一第一導線 134 隔絕。如第 1 圖所示，該些第一導線 130 可具有複數個 L 形剖面。此外，第一組第一導線(132)的該些 L 形剖面與第二組第一導線(134)的該些 L 形剖面可呈鏡像對稱。在一些實施例中，第一導線 130 包括一基於多晶矽之材料，例如一摻雜多晶矽材料。在一些實施例中，第一導線 130 包括一金屬材料。

**【0018】** 記憶結構 100 可包括複數個第二導線 138，設置在第一導線 130 上方。更具體地說，記憶結構 100 可包括一層間介電材料 136，其覆蓋以上所述的元件。層間介電材料 136 形成提供平坦上表面的一個層，第二導線 138 設置在該表面上。第二導線 138 在不同於所述第一方向的一第二方向上延伸，例如 Y 方

向。記憶結構 100 可包括複數個接觸元件 140，將第二導線 138 連接到通道層 122。

**【0019】** 請參照第 2 圖，其繪示記憶結構 100 的一種操作方法。一種記憶結構的操作方法，包括藉由選擇串列選擇線中對應之一或二個串列選擇線、位元線中對應之一位元線、和字元線中對應之一字元線，選擇記憶胞中之一記憶胞。根據一些實施例，在記憶結構 100 中，第一導線 130 為串列選擇線，第二導線 138 為位元線，導電條 110 為字元線。此外，複數個記憶胞 142 能夠被定義在導電條 110(字元線)與通道層 122 的交點。在記憶結構 100 的操作例如編程、讀取、或抹除等之中，要進行操作的一記憶胞 142(S)係藉由選擇對應的串列選擇線(第一導線 132(S))、對應的位元線(第二導線 138(S))、和對應的字元線(導電條 110(S))而被選擇。在這樣的情況下，被選擇的串列選擇線(132(S))導通(turned on)，從而電流能夠從位元線(138(S))通過對應的通道層 122 到達底下的源極線 106。在第 2 圖中，第二導線 132(S)為對應的串列選擇線。然而在一些其他的實施例中，一第二導線 134 可為對應的串列選擇線。

**【0020】** 請參照第 3 圖，其繪示根據另一實施例的記憶結構 200。記憶結構 200 被繪示成具有配置成 U 形串列之記憶胞的 3D 垂直通道 NAND 記憶結構。不同於記憶結構 100，記憶結構 200 中的堆疊 108 可直接設置在埋層 204 上，而記憶胞 142 的串列藉由接觸元件 240 連接到源極線(未繪示)。如第 2 圖所示，在 Y 方向中，設置在相鄰堆疊 108 上的通道層 222 彼此連接。在一些實施例中，於 Y 方向中，設置在相鄰堆疊 108 上的記憶層 220 可彼

此連接。

**【0021】** 請參照第 4 圖，其繪示記憶結構 200 的一種操作方法。與前述內容類似，在記憶結構 200 中，第一導線 130 可為串列選擇線，第二導線 138 可為位元線，導電條 110 可為字元線。此外，複數個記憶胞 142 能夠被定義在導電條 110(字元線)與通道層 122 的交點。在記憶結構 200 的操作之中，要進行操作的一記憶胞 142(S)係藉由選擇對應的串列選擇線(第一導線 132(S)和 134(S))、對應的位元線(138(S))、和對應的字元線(110(S))而被選擇。在這樣的情況下，被選擇的串列選擇線(132(S)和 134(S))導通，從而電流能夠從位元線(138(S))通過對應的通道層 122 到達接觸元件 240 並從而到達源極線。

**【0022】** 以下將說明繪示根據實施例的一種記憶結構的製造方法。這樣的方法包括下列步驟。首先，提供一基板。形成複數個堆疊在基板上。該些堆疊各具有一第一側和一第二側。該些堆疊各包括一組彼此交替的複數個導電條和複數個絕緣條。形成複數個記憶層共形地位在堆疊上。形成複數個通道層共形地位在記憶層上。形成複數個介電層在至少通道層位在該些堆疊的該些第一側的複數個部分和通道層位在該些堆疊的該些第二側的複數個部分上。形成複數個第一導線沿著堆疊的側壁。第一導線由介電層與通道層隔絕。第一導線包括形成在該些堆疊的該些第一側的一第一組第一導線和形成在該些堆疊的該些第二側的一第二組第一導線，形成在該些堆疊中之一堆疊的第一側的第一組第一導線中之一第一導線，與形成在相同堆疊的第二側的第二組第一導線中之一第一導線隔絕，並與形成在該些堆疊中之一相鄰堆疊

的第二側的第二組第一導線中之一第一導線隔絕。

**【0023】** 請參照第 5A~19C 圖，其繪示這樣的一方法。在此，為了易於理解，該方法被繪示成用於形成記憶結構 100。以「B」和「C」所指示的圖式分別是取自由「A」所指示的圖式中的 1-1' 線和 2-2' 線的剖面圖。

**【0024】** 請參照第 5A~5B 圖，提供一基板 102。基板 102 可包括形成在其中和/或其上的結構和元件等等。例如，基板 102 可包括一 p 型井(未繪示)，對應至將在接下來的步驟中形成的堆疊 108 的位置。在一些實施例中，如第 5B 圖所示，形成一埋層 104 在基板 102 上。埋層 104 可由氧化物形成。形成一源極線 106 在埋層 104 上。源極線 106 可由重摻雜 n 型多晶矽形成。形成用於形成所述堆疊 108 的一初始堆疊 308 在基板 102 上。如第 5B 圖所示，初始堆疊 308 可形成在源極線 106 上。初始堆疊 308 包括一組彼此交替的複數個導電層 310 和複數個絕緣層 312。初始堆疊 308 可包括另一絕緣層 316，形成在該組交替的導電層 310 和絕緣層 312 上。初始堆疊 308 可選擇性地包括一絕緣層 318，形成在絕緣層 316 上。導電層 310 可由摻雜多晶矽形成。絕緣層 312 可由氧化物形成。絕緣層 316 可由氧化物形成。絕緣層 318 可由氮化矽(SiN)形成。這樣的一 SiN 層能夠補償膜應力，並避免具有高深寬比的堆疊倒塌或彎曲。

**【0025】** 請參照第 6A~6B 圖，藉由使用一圖案化製程分離初始堆疊 308，複數個堆疊 108 形成在基板 102 上。該圖案化製程能夠停止於源極線 106。堆疊 108 和其組成元件(例如導電條 110)在一第一方向上延伸，例如一 X 方向。堆疊 108 各具有一第一側

S1 和一第二側 S2。堆疊 108 各包括一組彼此交替的複數個導電條 110 和複數個絕緣條 112。堆疊 108 可各更包括一上部結構 114，形成在該組導電條 110 和絕緣條 112 上。上部結構 114 可包括一第一絕緣層 116 和一第二絕緣層 118。第一絕緣層 116 形成在該組導電條 110 和絕緣條 112 上。第二絕緣層 118 形成在第一絕緣層 116 上。

**【0026】** 請參照第 7A~7B 圖，形成一初始記憶層 320。初始記憶層 320 共形地覆蓋堆疊 108。初始記憶層 320 可具有阻障層-捕捉層-穿隧層結構，其中阻障層最靠近堆疊 108，而穿隧層離堆疊 108 最遠。初始記憶層 320 可形成為 ONO(氧化物-氮化物-氧化物)多層結構、ONONO(氧化物-氮化物-氧化物-氮化物-氧化物)多層結構、或 ONONONO(氧化物-氮化物-氧化物-氮化物-氧化物-氮化物-氧化物)多層結構等等。形成一通道襯層 321 在初始記憶層 320 上。通道襯層 321 共形地覆蓋初始記憶層 320。通道襯層 321 可由相同於用在通道層之材料形成，例如一未摻雜或輕摻雜之多晶矽材料或一矽鍺材料。

**【0027】** 請參照第 8A~8B 圖，藉由一非等向性蝕刻製程，移除通道襯層 321 和初始記憶層 320 形成在源極線 106 暴露之表面上的部份。如此一來，便形成複數個記憶層 120 共形地位在堆疊 108 上。接著，共形地形成一用於通道層之材料，例如是藉由沉積，從而形成一初始通道層 322。初始通道層 322 包括通道襯層 321 的剩餘部分和在這個步驟中該用於通道層之材料。

**【0028】** 請參照第 9A~9B 圖，以非共形方式，形成一第一絕緣材料 323 在第 8A~8B 圖的結構上。因此，該第一絕緣材料 323

填充到堆疊 108 之間の間隔中。第一絕緣材料 323 可為氧化物。氣隙 126 可存在於第一絕緣材料 323 中。第一絕緣材料 323 中的氣隙 126 並不延伸到上部結構 114 的高度。

**【0029】** 請參照第 10A~10C 圖，形成複數個第一孔洞 352 在第一絕緣材料 323 中，例如是藉由蝕刻。橢圓形的第一孔洞 352 沿著不同於堆疊 108 之延伸方向的方向排列，例如沿著一 Y 方向。第一孔洞 352 被第一絕緣材料 323 環繞，並貫穿第一絕緣材料 323。在形成第一孔洞 352 時，部分的初始通道層 322 被移除。因此，初始通道層 322 並未存在於第一孔洞 352 中。在一些實施例中，如第 10C 圖所示，部分的記憶層 120 也可能被移除。在一些其他的實施例中，記憶層 120 可能並未由第一孔洞 352 的形成步驟移除。

**【0030】** 請參照第 11A~11C 圖，以非共形方式，形成一第二絕緣材料 325 在第 10A~10C 圖的結構上。因此，該第二絕緣材料 325 填充到第一孔洞 352 中，並形成沿著 Y 方向的橢圓島嶼列。第二絕緣材料 325 可為氧化物。氣隙 126 可存在於第二絕緣材料 325 中。與前述內容類似，第二絕緣材料 325 中的氣隙 126 並不延伸到上部結構 114 的高度。如果需要的話，可進行一平坦化製程，例如一化學機械平坦化(chemical-mechanical planarization, CMP)製程。

**【0031】** 請參照第 12A~12C 圖，形成複數個第二孔洞 354，例如是藉由一光刻圖案化製程。在這個步驟中，移除部分的初始通道層 322，其是對應到由第一孔洞 352 的形成步驟移除的部份的位置。因此，初始通道層 322 在堆疊 108 (X 方向)的延伸方向



上分離，從而形成複數個通道層 122 共形地位在記憶層 120 上。接著，如第 13A~13C 圖所示，填充一第三絕緣材料 356 到第二孔洞 354 中。第三絕緣材料 356 可為氮化矽(SiN)或氧化物。如果需要的话，可進行一平坦化製程，例如一 CMP 製程。

**【0032】** 請參照第 14A~14C 圖，進行一選擇性移除製程，例如對於多晶矽或通道層之材料具有高選擇性的一蝕刻製程。藉由這個步驟，第一絕緣材料 323 和第二絕緣材料 325 都只剩餘在堆疊 108 之間。第一絕緣材料 323 與第二絕緣材料 325 堆疊 108 的延伸方向(X 方向)上彼此相鄰。第一絕緣材料 323 和第二絕緣材料 325 之剩餘部分的組合，相當於第 1 圖中形成在堆疊 108 之間並對應至該些組導電條 110 和絕緣條 112 的絕緣材料 124。氣隙 126 並未被這個步驟暴露出來。

**【0033】** 請參照第 15A~15C 圖，形成複數個介電層 128 在至少通道層 122 位在堆疊 108 的第一側 S1 的複數個部分和通道層 122 位在堆疊 108 的第二側 S2 的複數個部分上。例如，介電層 128 可包括一氧化物材料，並藉由氧化通道層 122 暴露之部分而形成，或藉由沉積該氧化物材料到該些部分上而形成。因此，所形成的介電層 128 位在高於第一絕緣材料 323 和第二絕緣材料 325 的高度。在一些實施例中，藉由氧化形成的介電層 128 可約為 70 Å 厚。在一些實施例中，取代所述氧化物材料，介電層 128 可包括一高介電係數材料。

**【0034】** 請參照第 16A~16C 圖，形成複數個第一導線 130 沿著堆疊 108 的側壁。例如，可形成用於形成第一導線 130 的一導電材料在由第一絕緣材料 323 和第二絕緣材料 325 暴露出的通道

層 122 上，例如是以共形方式。可填充一絕緣材料 358(未示於第 16A 圖)到剩餘的空間中。接著，形成切割道 360 在堆疊 108 之間，例如是藉由一蝕刻製程。如此一來，便分離堆疊 108 之間的所述導電材料，從而形成第一導線 130。這樣的製程為自對準製程。由這些步驟形成的第一導線 130 位在第一絕緣材料 323 和第二絕緣材料 3254 上。第一導線 130 由介電層 128 與通道層 122 隔絕。如第 1 圖所示，第一導線 130 包括形成在堆疊 108 的第一側 S1 的一第一組第一導線(132)和形成在堆疊 108 的第二側 S2 的一第二組第一導線(134)，形成在一堆疊 108 的第一側 S1 的該第一組第一導線中之一第一導線 132，與形成在相同堆疊 108 的第二側 S2 的該第二組第一導線中之一第一導線 134 隔絕，並與形成在一相鄰堆疊 108 的第二側 S2 的該第二組第一導線中之一第一導線 134 隔絕。如果需要的話，可進行一切割製程，以在堆疊 108 的末端部分分離對應至相同堆疊 108 的第一導線 132 和第一導線 134。

**【0035】** 請參照第 17A~17C 圖，形成一層間介電材料 136 在第 16A~16C 圖的結構上，例如是藉由沉積。層間介電材料 136 可為氧化物。在一些實施例中，層間介電材料 136 相同於絕緣材料 358。如果需要的話，可進行一平坦化製程，例如一 CMP 製程。

**【0036】** 請參照第 18A~18C 圖，形成複數個接觸元件 140 穿過層間介電材料 136，例如是藉由一光刻圖案化製程，像是一蝕刻製程。接觸元件 140 用於把將在接下來的步驟中形成的第二導線 138 連接到通道層 122。在一些實施例中，形成用於第一導線 134 的接觸元件(未繪示)在堆疊 108 的末端部分，例如是藉由相同

於形成接觸元件 140 的該製程。

【0037】 請參照第 19A~19C 圖，形成複數個第二導線 138 在第一導線 130 上方。如第 19B 圖所示，第二導線 138 可形成在層間介電材料 136 上，並藉由接觸元件 140 連接到通道層 122。第二導線 138 在不同於所述第一方向的一第二方向上延伸，例如 Y 方向。

【0038】 根據實施例的記憶結構，具有在其中二個串列選擇線(132 和 134)對應到一個字元線堆疊(108)的構造型態。因此，一個通道層(122)能夠被分成分別由二個串列選擇線控制的二個部分。從而，提供一實體上二位元之結構。藉由這樣的構造型態，能夠將位元線(138)的密度降低到傳統記憶結構的一半。此外，由於串列選擇線(130)不是形成在堆疊(108)中，它們能夠由一金屬材料形成，伴隨著由一高介電係數材料形成的閘極介電層(128)。從而能夠降低串列選擇線的電阻，並改善其可控制性。

【0039】 可以理解的是，雖然前述的實施例是關於具有配置成 I 形和 U 形串列之記憶胞的 3D 垂直通道 NAND 記憶結構，所提供的在其中二個串列選擇線對應到一個堆疊的構造型態以及其操作和製造方法，在可能的情況下，能夠應用到其他類型的記憶結構。

【0040】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者

為準。

**【符號說明】**

**【0041】**

100、200：記憶結構

102：基板

104、204：埋層

106：源極線

108：堆疊

110、110(S)：導電條

112：絕緣條

114：上部結構

116：第一絕緣層

118：第二絕緣層

120、220：記憶層

122、222：通道層

124：絕緣材料

126：氣隙

128：介電層

130：第一導線

132、132(S)：第一導線

134、134(S)：第一導線

136：層間介電材料

138、138(S)：第二導線

140、240：接觸元件

142、142(S)：記憶胞

308：初始堆疊

310：導電層

312：絕緣層

316：絕緣層

318：絕緣層

320：初始記憶層

321：通道襯層

322：初始通道層

323：第一絕緣材料

325：第二絕緣材料

352：第一孔洞

354：第二孔洞

356：第三絕緣材料

358：絕緣材料

360：切割道

S1：第一側

S2：第二側

# 發明摘要

※ 申請案號：106110793

※ 申請日：106/03/30

※IPC 分類：**H01L 27/112** (2006.01)  
**H01L 21/8246** (2006.01)

## 【發明名稱】(中文/英文)

記憶結構、其操作方法、和其製造方法/MEMORY STRUCTURE, METHOD OF OPERATING THE SAME, AND METHOD OF MANUFACTURING THE SAME

## 【中文】

一種記憶結構，包括複數個堆疊、複數個記憶層、複數個通道層、複數個介電層、和複數個第一導線。該些堆疊各包括一組彼此交替的導電條和絕緣條。記憶層共形地設置在堆疊上。通道層共形地設置在記憶層上。介電層至少設置在通道層位在該些堆疊的第一側的部分和通道層位在該些堆疊的第二側的複數個部分上。第一導線沿著堆疊的側壁設置。第一導線由介電層與通道層隔絕。設置在一堆疊的第一側的一第一導線，與設置在相同堆疊的第二側的一第一導線隔絕，並與設置在一相鄰堆疊的第二側的一第一導線隔絕。

## 【英文】

A memory structure includes stacks, memory layers, channel layers, dielectric layers, and first conductive lines. Each stack includes a group of alternating conductive strips and insulating

strips. The memory layers are conformally disposed on the stacks. The channel layers are conformally disposed on the memory layers. The dielectric layers are disposed on portions of the channel layers at first sides of the stacks and portions of the channel layers at second sides of the stacks. The first conductive lines are disposed along sidewalls of the stacks. The first conductive lines are isolated from the channel layers by the dielectric layers. One first conductive line disposed at the first side of one stack is isolated from one first conductive line disposed at the second side of the same stack and isolated from one first conductive line disposed at the second side of an adjacent stack.

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

- 100：記憶結構
- 102：基板
- 104：埋層
- 106：源極線
- 108：堆疊
- 110：導電條
- 112：絕緣條
- 114：上部結構
- 116：第一絕緣層

## 申請專利範圍

1. 一種記憶結構，包括：

一基板；

複數個堆疊，設置在該基板上，其中該些堆疊各具有一第一側和一第二側，且該些堆疊各包括一組彼此交替的複數個導電條和複數個絕緣條；

複數個記憶層，共形地設置在該些堆疊上；

複數個通道層，共形地設置在該些記憶層上；

複數個介電層，至少設置在該些通道層位在該些堆疊的該些第一側的複數個部分和該些通道層位在該些堆疊的該些第二側的複數個部分上；以及

複數個第一導線，沿著該些堆疊的側壁設置，其中該些第一導線由該些介電層與該些通道層隔絕；

其中該些第一導線包括設置在該些堆疊的該些第一側的一第一組第一導線和設置在該些堆疊的該些第二側的一第二組第一導線，設置在該些堆疊中之一堆疊的該第一側的該第一組第一導線中之一第一導線，與設置在相同堆疊的該第二側的該第二組第一導線中之一第一導線隔絕，並與設置在該些堆疊中之一相鄰堆疊的該第二側的該第二組第一導線中之一第一導線隔絕。

2. 如申請專利範圍第 1 項所述之記憶結構，其中該些堆疊各更包括一上部結構，設置在該組交替的該些導電條和該些絕緣條上，該上部結構包括：

一第一絕緣層，設置在該組交替的該些導電條和該些絕緣條



上；以及

一第二絕緣層，設置在該第一絕緣層上。

3. 如申請專利範圍第 1 項所述之記憶結構，其中該些介電層包括一氧化物材料和一高介電係數材料之中至少一者，其中該些第一導線包括一基於多晶矽之材料和一金屬材料之中至少一者。

4. 如申請專利範圍第 1 項所述之記憶結構，其中該些第一導線具有複數個 L 形剖面，其中該第一組第一導線的該些 L 形剖面與該第二組第一導線的該些 L 形剖面呈鏡像對稱。

5. 如申請專利範圍第 1 項所述之記憶結構，其中該些第一導線設置在高於該些組交替的該些導電條和該些絕緣條的高度。

6. 如申請專利範圍第 1 項所述之記憶結構，更包括：

複數個第二導線，設置在該些第一導線上方；

其中該些堆疊的該些導電條在一第一方向上延伸，該些第一導線實質上在該第一方向上延伸，該些第二導線在不同於該第一方向的一第二方向上延伸。

7. 如申請專利範圍第 6 項所述之記憶結構，其中該些第一導線為串列選擇線，該些第二導線為位元線，該些導電條為字元線。

8. 如申請專利範圍第 7 項所述之記憶結構，其中複數個記憶胞係

定義在該些導電條與該些通道層的交點。

9. 一種如申請專利範圍第 8 項所述之記憶結構的操作方法，包括：

藉由選擇該些串列選擇線中對應之一或二個串列選擇線、該些位元線中對應之一位元線、和該些字元線中對應之一字元線，選擇該些記憶胞中之一記憶胞。

strips. The memory layers are conformally disposed on the stacks. The channel layers are conformally disposed on the memory layers. The dielectric layers are disposed on portions of the channel layers at first sides of the stacks and portions of the channel layers at second sides of the stacks. The first conductive lines are disposed along sidewalls of the stacks. The first conductive lines are isolated from the channel layers by the dielectric layers. One first conductive line disposed at the first side of one stack is isolated from one first conductive line disposed at the second side of the same stack and isolated from one first conductive line disposed at the second side of an adjacent stack.

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

- 100：記憶結構
- 102：基板
- 104：埋層
- 106：源極線
- 108：堆疊
- 110：導電條
- 112：絕緣條
- 114：上部結構
- 116：第一絕緣層

- 118：第二絕緣層
- 120：記憶層
- 122：通道層
- 124：絕緣材料
- 126：氣隙
- 128：介電層
- 130：第一導線
- 132：第一導線
- 134：第一導線
- 136：層間介電材料
- 138：第二導線
- 140：接觸元件
- S1：第一側
- S2：第二側

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無