

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-517741
(P2004-517741A)

(43) 公表日 平成16年6月17日(2004.6.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
B 8 1 B 7/02	B 8 1 B 7/02	5 E 3 4 4
H 0 5 K 1/03	H 0 5 K 1/03 6 1 0 D	
H 0 5 K 1/14	H 0 5 K 1/14 E	
// H 0 1 H 59/00	H 0 1 H 59/00	

審査請求 未請求 予備審査請求 有 (全 23 頁)

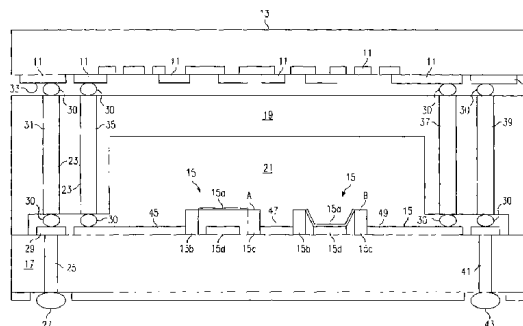
(21) 出願番号	特願2002-556118 (P2002-556118)	(71) 出願人	390039147 レイセオン・カンパニー Raytheon Company アメリカ合衆国 マサチューセッツ州 O 2 4 2 1, レキシントン, スプリング・ス トリート 1 4 1
(86) (22) 出願日	平成13年12月20日 (2001.12.20)	(74) 代理人	100070150 弁理士 伊東 忠彦
(85) 翻訳文提出日	平成15年6月4日 (2003.6.4)	(74) 代理人	100091214 弁理士 大貫 進介
(86) 国際出願番号	PCT/US2001/050411	(74) 代理人	100107766 弁理士 伊東 忠重
(87) 国際公開番号	W02002/055431		
(87) 国際公開日	平成14年7月18日 (2002.7.18)		
(31) 優先権主張番号	09/756,801		
(32) 優先日	平成13年1月10日 (2001.1.10)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ウエハーレベルでの相互接続物及びその作製方法

(57) 【要約】

第一高抵抗性基板(17)上のRF型電子機械的システム(MEMS)回路(15)は、第二低抵抗性基板(13)上の回路(11)と結合される。この手法は、前記第一高抵抗性基板(17)と前記低抵抗性基板(17)を伴うMEMS回路(15)とを重ね合わせることににより行い、前記MEMS回路(15)を伴う回路(11)は前記第二回路(11)と向かい合うことになる。誘電リッド(19)は、MEMS回路(15)、及び、第一基板(17)と第二基板(13)との間を覆うように配され、MEMS回路(15)を覆うギャップ(21)の中には不活性ガスを伴う。相互接続コンダクター(25、31、35、37、39、41)は、直交的、前記高抵抗性基板(17)を通り、前記誘電リッド(19)を通して伸び、前記低抵抗性基板(13)と電氣的接続を可能としている。



【特許請求の範囲】

【請求項 1】

第一回路を配した高抵抗性材料で出来た第一基板；
第二回路を配した低抵抗性材料で出来た第二基板であり、前記第一回路と間隔を置き、かつ、向かい合うように配された第二基板と；
前記第一基板上の前記第一回路と前記第二基板上の前記第二回路との間で、前記両基板に直交的に伸びた相互接続コンダクターと；
で構成されている接続物。

【請求項 2】

前記低抵抗性材料は、SiGe、シリコン、又はGaAsであることを特徴とする請求項 1 に記載の接続物。 10

【請求項 3】

前記高抵抗性材料は、高抵抗性シリコンであることを特徴とする請求項 2 に記載の接続物。

【請求項 4】

前記高抵抗性材料は、高抵抗性シリコンであることを特徴とする請求項 1 に記載の接続物。

【請求項 5】

前記高抵抗性材料上の前記回路は、MEMS構造を含むことを特徴とする請求項 1 に記載の接続物。 20

【請求項 6】

前記第一回路及び前記第二回路との間に配され、かつ、当該両回路を分離している誘電リッドで構成されることを特徴とする請求項 1 に記載の接続物。

【請求項 7】

前記誘電リッドは、ガラス、パイレックス（登録商標）、又は石英リッドであることを特徴とする請求項 6 に記載の接続物。

【請求項 8】

前記相互接続コンダクターは、前記リッドを通して伸びていることを特徴とする請求項 6 に記載の接続物。

【請求項 9】

前記リッドは、前記第一回路を覆うギャップで構成される誘電リッドであることを特徴とする請求項 8 に記載の接続物。 30

【請求項 10】

前記ギャップが不活性環境を含むことを特徴とする請求項 9 に記載の接続物。

【請求項 11】

前記不活性環境は、窒素ガスであることを特徴とする請求項 10 に記載の接続物。

【請求項 12】

前記不活性環境は、真空であることを特徴とする請求項 10 に記載の接続物。

【請求項 13】

前記高抵抗性材料を通る前記相互接続コンダクターを含むことを特徴とする請求項 8 に記載の接続物。 40

【請求項 14】

高抵抗性基板上の第一回路を低抵抗性基板上の第二回路に相互接続する方法であって：
前記第一基板上のギャップから離れた前記高抵抗性基板上の前記第一回路上に誘電リッド構造を配する段階と；
前記第二回路を伴う前記誘電リッド、と、前記第二回路に面している前記第一回路を伴う前記低抵抗性第二基板、とを重ねる段階と；
前記誘電リッドを通して前記両基板に直交的に伸びる相互接続コンダクターを使って、前記第一回路を、前記第二回路に接続する段階と；
よりなることを特徴とする方法。 50

【請求項 15】

前記低抵抗性材料は、SiGe、シリコン、又はGaAsであることを特徴とする請求項13に記載の方法。

【請求項 16】

前記第一回路は、MEMS回路を含むことを特徴とする請求項13に記載の方法。

【請求項 17】

前記ギャップは、不活性ガスを含むことを特徴とする請求項15に記載の方法。

【請求項 18】

前記リッドは、パイレックス（登録商標）材料であることを特徴とする請求項16に記載の方法。

10

【請求項 19】

前記リッドは、ガラス材料であることを特徴とする請求項16に記載の方法。

【請求項 20】

前記リッドは、石英であることを特徴とする請求項16に記載の方法。

【請求項 21】

前記基板は、SiGe材料であることを特徴とする請求項13に記載の方法。

【請求項 22】

前記リッドは、前記第二回路を覆うギャップで構成される誘電リッドであることを特徴とする請求項8に記載の接続物。

【請求項 23】

前記リッドは、前記第一及び第二回路を覆うギャップで構成される誘電リッドであることを特徴とする請求項8に記載の接続物。

20

【発明の詳細な説明】

【0001】

（本発明の属する技術分野）

本発明は、RF型小型電子機械的システム（MEMS）技術、及び、特に、低抵抗基材材料上の電子機器にウエハーレベルで相互接続したMEMSに関する。

【0002】

（本発明に関する背景）

RF型MEMSは、マルチバンド・マルチモード情報システムから慣性航法システムに至るまで幅広い範囲の軍事用途への導入を焦点にしてきた。事実、RF型MEMS技術導入は、国防総省国防高等研究事業局（Defense Advanced Research Projects Agency；DARPA）設立の夥しい数のプログラムの主役を演じてきた。このプログラムの中には、ウルトラコム（Ultra Comm）やエアボーコンコミュニケーションノード（Airborne Communication Node；ACN）などがある。

30

【0003】

この技術は、これらプログラムに加えて、例えば、標的システム、衛星情報伝達、高速戦術データリンクシステム、電子戦争、反撃システム、信号情報システム、アンテナシステムといった新しい軍用導入の機会に適用された。

40

【0004】

この技術は、また、消費者向けの電子機器用途、例えば、電気通信（携帯電話や迂回中継など）、商用航空機、商用レーダーなどに適用された。この技術では、RF型MEMSやシリコンゲルマニウムあるいはその他の電子回路の組み合わせにより提供された、上述とは異なった性能的利点や小さな形状因子が望まれている。

【0005】

多くのヘテロ接続技術、エピタキシャル法、及び基板材料が、互換性なく考案されてきた。特に、RF型MEMS成型加工技術は、シリコンゲルマニウム（SiGe）成型加工技術とともに互換性なく考案されてきた。RF型MEMS技術は、回路のRF性能を最大限にするような高抵抗性を持つ基板材料が必要である。典型的なSiGe回路は、低抵抗性

50

材料上に加工される。

【0006】

レイセオン社が研究してきたRF型MEMS回路は、低抵抗性を持つSiGe基板上への「ダイレクト・インテグレーション」(DI)手法を使ったものである。洗練された電子機器へのRF型MEMS回路のDIに関連した初期の技術的課題が克服してきているのは、RF型MEMS回路の導入損失における、SiGe製造者がよく使う低抵抗性を持つ基板材料の影響である。

【0007】

レイセオン社により研究されたDIの目的は、マイクロ波回路における低抵抗性を有する基板の悪影響を克服するためである。DIが含むのは、マイクロ波基板として排他的に機能するために、前記基板の上部に第二の誘電層を構築することである。しかしながら、DIには数々の技術的課題がある。

10

【0008】

レイセオン社により製造されたRF型MEMS回路は、滑らかな基板が必要である。作り出される構造上の幾何学性故に必要である。DI手法のための誘電材料の平坦性は、現在知られていない。第二に、この回路のRF特性は、薄いマイクロ波誘電層により制限されるかもしれない。

【0009】

(本発明の概要)

本発明の具体例の一つを参考にすると、ウエハーレベルでの相互接続は、懸案の基板材料についての要求性を取り除く。それぞれの技術は、必要とされるベース材料に対してそれぞれの回路を加工し、追加的な工程の必要性を最小限にする。第一加工工程に続き、この二つのウエハーは、直交的な電氣的相互接続によって、電氣的に相互接続される。

20

【0010】

このウエハーレベルでの相互接続に関する発明は、ベース基板材料の異なった要求性により制限されていた従来のウエハー成型加工の導入といった、これら二つ(及びその他の)技術の導入を可能にするだろう。本発明は、また、電氣的信号が基板から分離されなければならないようなシリコン基板上における導入された回路のウエハーレベルでのパッケージングという有用性を提供するかもしれない。

【0011】

(図に関する記述)

図1は、一つの具体例に従った本発明の手段を図式的に示した切断面のスケッチである。

30

【0012】

(参照具体例の記述)

本発明の具体例の一つによれば、図1が図示しているのは、低抵抗性を持つSiGe基板13上にある電子回路11と分離した高抵抗性シリコン(HR)基板17上にあるRF型MEMS回路15との直交的な電氣的な相互接続である。低抵抗性基板材料13は、シリコンCMOS又は砒化ガリウム(GaAs)基板かもしれない。これは、ウエハー成型加工技術を使って、初期基板17(例えばRF型MEMS)又は第二基板13(例えばその他の電子機器)を構築することにより達成される。誘電リッド19は、前記基板13上の前記電子回路11と高抵抗性基板17との間に配され、RF型MEMS回路15を覆うギャップ21を離れたRF型MEMS回路15と重なる傘体や蓋を提供する。ギャップ21は、不活性な環境、つまり、窒素ガスや真空、で満たされている。リッド19は、パイレックス(登録商標)、石英、又はガラス並びにHR基板材料17と同じ体積膨張係数を持つ材料により作られる。

40

【0013】

相互接続部23は、入力/出力ピンターミナル27(例えばハンダ球)を含み、HRシリコン基板17からHR基板上にある導電パッド29に続く第一導電経路25及び誘電リッド19から低抵抗性基板13上にある電子回路11の導電パッド33に続く第二導電経路31を含む。ハンダや他の導電性接続手段30は、経路31の反対側端を接続するために

50

使われるかもしれない。導電性経路 25 は、絶縁酸化物により前記 HR シリコン 17 から分離されている。その他の導電経路 35 は、電子回路 11 から、リッド 19、及び、RF 型 MEMS 回路 15 のコンダクター 45 にある導電性接続手段 30 へと伸びている。誘電経路 37 を通った電子回路 11 へ戻る接続かもしれないし、誘電リッド 19 を通った RF 型 MEMS 回路 15 から電子回路 11 へ戻る、ハンダ 30 のような接続手段かもしれない。誘電リッド (示していない) は回路 15 とギャップ 22 を離れた回路 11 との間の回路 11 を覆っているかもしれない。誘電リッド 19 はそれぞれのギャップを供するかもしれない。

【0014】

さらに、示しているように、誘電リッド 19 及び HR シリコン 17 から入力/出力ピンターミナル 43 へと伸びる導電性経路 39 及び 41 がある。導電性経路 41 は、また、絶縁酸化物により HR シリコン 17 から分離されている。この相互接続は、ハンダを持つ経路 25 及び 31 若しくは経路 39 の両端上にあるその他の接続手段 30 のようなものである。示していないが、回路 15 から経路 41 を通って直接出力ターミナルへの接続かもしれない。ターミナル 27 及び 43 は、プリント回路基板にマウントされ接続された表面であるかもしれない。ウエハーレベルのパッケージング技術を使って、所望の場所に、RF 型及び DC 型電氣的相互接続を形成するために、第二及び初期基板は、一緒に結合されるだろう。

【0015】

RF 型 MEMS 回路 15 は、例えば、図 1 に示した、電気容量切り替え用のような多くのスイッチであるかもしれない。スイッチ A 及び B を図示する。スイッチ A 及び B は、支持体 15b 及び 15c との間の金属メンブレン 15a、並びに、前記両支持体との間の前記メンブレンの下部の誘電パッド 15d を含んでいる。コントロール信号が適用されると、メンブレン 15a は、誘電パッド 15d に接触し、電気容量が変化する。例えば、値は、直状メンブレン状態で 30 フェムトファラデーであったのが、誘電パッド 15d に接したメンブレンでは 3 ピコファラデーと変化する。電子回路 11 由来のコントロール信号及び RF が適用されると、相互接続経路 35 から回路 15 のコネクタ 45 を経由してスイッチ A に向かい、回路 15 のコンダクター 47 を沿って回路 B に向かった後、スイッチ B から回路 15 のコネクタ 49 に沿って、出力へと向かう。(示していないが) 一つの具体例は、経路 41 とターミナル 43 による接続である。その他の具体例は、経路 37 及び接続手段 30 で、回路 11 に戻るといふもの、並びに、コネクタ経路 41 から接続手段 30 にかけての、回路 11 からの、若しくは、ターミナルピン 43 への出力である。基板 13 と誘電リッド 19 との間の密封シールであるかもしれない。

【0016】

システムの制御において、RF 及び DC は、ターミナル 27 において適用される。この RF 及び DC は、経路 25 及び 31 を通って電子回路 11 に適用される。RF 型 MEMS スイッチ A 及び B 用のコントロール信号は、経路 35 を通って適用される。電気容量を変換するための適当な MEMS を生じるためである。上述したように、電子回路 11 由来の RF 信号は、経路 35 からコネクタ 45 に適用され、スイッチ A 及び B を通って入力/出力ピン 43 やその他の出力 (示していない) に伝播される。電子回路 11 は、増幅器かもしれないし、スイッチ A 及び B のような MEMS スイッチにより決定された電気容量値によりフィルターされた増幅器への入力、又は、前記増幅器からの出力かもしれない。

【0017】

ウエハー成型加工や RF 型 MEMS に関連した過去の文献に基づくと、RF 型 MEMS 技術は、分離したウエハー上に成型加工した回路に導入される形で導入されたことはない。さらに、ウエハー成型加工技術を使った二つのウエハーを直交的に電氣的相互接続することに関連した文献は見られない。

【図面の簡単な説明】

【図 1】

一つの具体例に従った本発明の手段を図式的に示した切断面のスケッチである。

10

20

30

40

50

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
18 July 2002 (18.07.2002)

PCT

(10) International Publication Number
WO 02/055431 A2

- (51) International Patent Classification: **B81B 7/00** CH, CN, CO, CR, CU, CZ, CZ (utility model), DE, DE (utility model), DK, DK (utility model), DM, DZ, EC, FE, EE (utility model), ES, FI, FI (utility model), GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NZ (utility model), OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SK (utility model), SL, TL, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (21) International Application Number: PCT/US01/50411
- (22) International Filing Date:
20 December 2001 (20.12.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
09/756,801 10 January 2001 (10.01.2001) US
- (71) Applicant: RAYTHEON COMPANY [US/US]; 141 Spring Street, Lexington, MA 02421 (US).

Declarations under Rule 4.17:

- *as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for all designations*
- *as to the applicant's entitlement to claim the priority of the earlier application (Rule 4.17(iii)) for all designations*

Published:

- *without international search report and to be republished upon receipt of that report*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(72) Inventors: CHEEVER, James, A.; 3602 Fairlands Drive, Richardson, TX 75082 (US). GOLDSMITH, Charles, L.; 1813 Knob Hill Drive, Plano, TX 75023 (US). EHMKE, John, C.; 1701 Hill Creek Drive, Garland, TX 75043-7573 (US). ABLES, Billy, D.; 623 Twilight Trail, Richardson, TX 75080-5123 (US).

(74) Agent: MILLS, Jerry, W.; Baker Botts LLP, Suite 600, 2001 Ross Avenue, Dallas, TX 75201-2980 (US).

(81) Designated States (national): AE, AG, AI, AM, AT, AT (utility model), AU, AZ, BA, BB, BG, BR, BY, BZ, CA,



WO 02/055431 A2

(54) Title: WAFER LEVEL INTERCONNECTION

(57) Abstract: RF MicroelectroMechanical Systems (MEMs) circuitry (15) on a first high resistivity substrate (17) is combined with circuitry (11) on second low-resistivity substrate (13) by overlapping the first high resistivity substrate (17) and MEMs circuitry (15) with the low resistivity substrate (13) and circuitry (11) with the MEMs circuitry (15) facing the second circuitry (11). A dielectric lid (19) is placed over the MEMs circuitry (15) and between the first substrate (17) and second substrate (13) with an inert gas in a gap (21) over the MEMs circuitry (15). Interconnecting conductors (25, 31, 35, 37, 39, 41) extend perpendicular and through the high resistivity substrate (17) and through the dielectric lid (19) to make electrical connection with the low resistivity substrate (13).

WO 02/055431

PCT/US01/50411

1

WAFER LEVEL INTERCONNECTIONBACKGROUND OF THE INVENTION1. Field of the Invention

This invention relates to RF MEMS (MicroElectroMechanical Systems) technology and more particularly to MEMS with wafer level interconnection to electronics on low-resistivity substrate material.

2. Background of Invention

RF MEMS technology has been targeted for insertion in a wide range of military applications from multi-band multi-mode communication systems to inertial navigation systems to sensors. In fact, RF MEMS technology insertion plays a major role in numerous current DARPA funded programs such as Ultra Comm and the Airborne Communications Node (ACN).

This technology could be applied to these programs plus new military insertion opportunities such as targeting systems, satellite communications, high speed tactical data link systems, electronic warfare and countermeasure systems, signal intelligence systems, and antenna systems.

This technology could also be applied to consumer electronics applications such as telecommunications (cellular telephone, back-haul, etc.) commercial aircraft, commercial radar, etc. where the distinct performance advantages and small form factor provided by the combination of RF MEMS and silicon germanium (SiGe) or other electronic circuits are desired.

This technology could also be applied to consumer electronics applications such as telecommunications (cellular telephone, back-haul, etc.) commercial aircraft, commercial radar, etc. where the distinct performance advantages and small form factor provided by the combination of RF MEMS and

WO 02/055431

PCT/US01/50411

2

silicon germanium (SiGe) or other electronic circuits are desired.

Many hetero-junction technologies, epitaxial methods, and substrate materials have been considered incompatible. Specifically, RF MEMS fabrication technology has been considered incompatible with silicon germanium (SiGe) fabrication technology. RF MEMS technology requires a high resistivity substrate material to maximize the circuit RF performance. Typically SiGe circuits are processed on low resistivity material.

Raytheon has investigated the integration of RF MEMS circuitry on a low resistivity SiGe substrate using a "direct integration" (DI) approach. The primary technical challenge associated with direct integration RF MEMS circuitry with sophisticated electronics is overcoming the influence of the low-resistivity substrate material, typically used by SiGe manufacturers, on the insertion loss of the RF MEMS circuit.

Direct integration (DI) was investigated by Raytheon for overcoming the detrimental affects of the low-resistivity substrate on microwave circuitry. DI involves building a second dielectric layer on top of the substrate to serve exclusively as the microwave substrate. DI, however, has a number of technical challenges.

RF MEMS circuits produced by Raytheon require a smooth substrate. This is necessary due to the geometry of the structures being produced. The flatness of the dielectric material for the DI approach is currently unknown. Secondly, the RF performance of the circuit can be limited by the thin microwave dielectric layer.

30

SUMMARY OF THE INVENTION

In accordance with one embodiment of the present invention wafer level interconnect removes the requirements

WO 02/055431

PCT/US01/50411

3

for substrate material as an issue. Each technology processes their circuitry on the required base material and minimizes the need for additional process development. Following initial processing, the two wafers are electrically
5 interconnected with vertical electrical interconnections.

The wafer level interconnect invention will enable the integration of these two (and other) technologies where previously integration through wafer fabrication has been limited by a requirement for differing base substrate
10 materials. This invention may also provide benefits for wafer level packaging of integrated circuits on silicon substrates where the electrical signal must be isolated from the substrate.

15 DESCRIPTION OF THE DRAWINGS

Figure 1 is a cross sectional sketch illustrating the subject invention according to one embodiment.

DESCRIPTION OF PREFERRED EMBODIMENTS

20 According to one embodiment of the present invention illustrated in Figure 1 vertical electrical interconnection between the electronics circuitry 11 on one low-resistivity SiGe substrate 13 and RF MEMS circuitry 15 on a separate high resistivity silicon (HR) substrate 17. The low-resistivity
25 substrate material 13 may also be ,silicon CMOS or gallium arsenide (GaAs) substrate. This is accomplished by using wafer fabrication techniques to construct a conductive metallization layer on either the primary (i.e., RF MEMS) substrate 17 or the secondary (i.e., other electronics)
30 substrate 13. A dielectric lid 19 is spaced between the electronics circuitry 11 on the substrate 13 and the high resistivity substrate 17 and provides a canopy or lid over the RF MEMS circuitry 15 leaving a gap 21 over the RF MEMS

WO 02/055431

PCT/US01/50411

4

circuitry 15. The gap 21 is filled with an inert environment such as a gas such as nitrogen or a vacuum. The lid 19 may be made of Pyrex, quartz or glass and is made of a material with the same coefficient of thermal expansion as the HR substrate material 17.

5 The interconnection 23 includes an input /output pin terminal 27 (such as a solder ball) and a first conductive via 25 through the HR silicon substrate 17 to a conductive pad 29 on the HR substrate 17 and a second conductive via 31 through the dielectric lid 19 to a conductive pad 33 of the electronic circuitry 11 on the low resistivity substrate 13. Solder or other conductive connecting means 30 may be used to connect the opposite ends of via 31. The conductive via 25 is insulated from the HR silicon 17 by an insulating oxide.

10 Another conductive via 35 extends from the electronic circuitry 11 down through lid 19 and conductive connecting means 30 to the RF MEMS circuitry 15 at conductor 45. There may be a connection back up to the electronics 11 through a conductive via 37 and connecting means such as solder 30 from the RF MEMS circuitry 15 back up to the electronics circuitry 11 through the dielectric lid 19. A dielectric lid (not shown) may also be over the circuitry 11 between the circuitry 15 and circuitry 11 leaving a gap 22. The dielectric lid 19 may provide both gaps.

25 Further, as shown, there are conductive vias 39 and 41 that extend through dielectric lid 19 and HR silicon 17 to input/output pin terminal 43. The conductive via 41 is also insulated from the HR silicon 17 by an insulating oxide. This interconnection is like that of vias 25 and 31 with solder or other connecting means 30 on either end of via 39. There may also be a connection not shown from the circuitry 15 directly to the output terminal through via 41. The terminals 27 and 43 may be surface mounted and connected to a printed circuit

30

WO 02/055431

PCT/US01/50411

5

board. Using wafer level packaging techniques the secondary and primary substrates would then be bonded together to form both RF and DC electrical interconnections at the desired locations.

5 The RF MEMS circuitry 15 may be, for example, many switches like that as illustrated in the drawing for switching capacitance values. Switches A and B are illustrated. The switches A and B include a metal membrane 15a between supports 15b and 15c and a dielectric pad 15d under the membrane 10 between the supports. When a control signal is applied, the membrane 15a contacts the dielectric pad 15d changing the capacitance value. For example, the value changes from 30 femtofarads(ff) with the unbent membrane to 3 picofarads (pf) with the membrane touches the dielectric pad 15d. The controls 15 signals and RF from the electronics circuitry 11 are applied through the interconnecting via 35 and along connector 45 of circuitry 15 to switch A, along conductor 47 of circuitry 15 to switch B and from switch B along connector 49 of circuitry 15 to an output. In one embodiment by a connection (not 20 shown) to via 41 to terminal 43. In another embodiment via 37 and connecting means 30 back to circuitry 11 and output from circuitry 11 or to terminal pin 43 through connector via 41 and connecting means 30. There may be a hermetic seal between the substrate 13 and the dielectric lid 19.

25 In the operation of the system RF and DC are applied at terminal 27. The RF and DC are applied to the electronics circuitry 11 through vias 25 and 31. The control signal for the RF MEMS switches A and B are applied through via 35 to cause the appropriate MEMS to switch capacitance. The RF 30 signal from the electronic circuitry 11 is applied through via 35 to connector 45 and propagated through the switches A and B to the input/output pin 43 or other outputs (not shown) as discussed above. The electronics circuitry 11 may include an

WO 02/055431

PCT/US01/50411

6

amplifier and the input to or output from the amplifier is filtered according to the capacitance values determined by the MEMS switches such as switches A and B.

Based upon past reviews of literature relating to wafer
5 fabrication and RF MEMS, RF MEMS technology has never before been integrated with integrated circuits fabricated on a separate wafer. Furthermore, no articles have been observed relating to vertical electrical interconnection of two wafers using wafer fabrication techniques.

WO 02/055431

PCT/US01/50411

7

CLAIMS

What is claimed is:

1. In combination: a first substrate of high resistivity material having first circuitry thereon; a second
5 substrate of low resistivity material having second circuitry thereon overlappingly spaced over said first substrate and facing said first circuitry; and interconnecting conductors extending perpendicular to said substrates between said first circuitry on said first substrate and second circuitry on said
10 second substrate.

2. The combination of Claim 1 wherein said low resistivity material is silicon germanium (SiGe), silicon or gallium arsenide (GaAs).
15

3. The combination of Claim 2 wherein said high resistivity material is high resistivity silicon.

4. The combination of Claim 1 wherein said high resistivity material is high resistivity silicon.
20

5. The combination of claim 1 wherein said circuitry on said high resistivity material includes a MEMS structure.

6. The combination of Claim 1 wherein a dielectric lid is spaced between said first circuitry and said second circuitry and separating said first and second substrates.
25

7. The combination of Claim 6 wherein said dielectric lid is a glass, Pyrex or quartz lid.
30

8. The combination of Claim 6 wherein said interconnections extend through said lid.

WO 02/055431

PCT/US01/50411

8

9. The combination of Claim 8 wherein said lid is a dielectric lid presenting a gap over said first circuitry.

10. The combination of Claim 9 wherein said gap contains
5 an inert environment.

11. The combination of Claim 10 wherein said inert environment is nitrogen gas.

10 12. The combination of Claim 10 wherein said inert environment is a vacuum.

13. The combination of Claim 8 including said interconnecting conductors through said high resistivity
15 material.

WO 02/055431

PCT/US01/50411

9

14. A method of interconnecting a first circuit on a high resistivity substrate to a second circuit on a low resistivity substrate comprising the steps of: placing a dielectric lid structure over said first circuit on said high resistivity substrate leaving a gap over said first circuit, overlapping said dielectric lid with said second circuit and said low resistivity second substrate with said first circuit facing said second circuit and connecting said first circuit to said second circuit using interconnecting conductors extending perpendicular to said substrates and through said dielectric lid.

15. The method of Claim 13 wherein said low resistivity substrate is SiGe, silicon or GaAs.

16. The method of Claim 13 wherein said first circuitry includes MEMS circuitry.

17. The method of claim 15 wherein said said gap contains an inert gas.

18. The method of Claim 16 wherein said lid is of Pyrex material.

19. The method of Claim 16 wherein said lid is of glass material.

20. The method of Claim 16 wherein said lid is of quartz material.

21. The method of Claim 13 wherein said substrate is of SiGe material.

WO 02/055431

PCT/US01/50411

10

22. The combination of Claim 8 wherein said lid is a dielectric lid presenting a gap over said second circuitry.

23. The combination of Claim 8 wherein said lid is a dielectric lid presenting a gap over said first and second circuitry

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
18 July 2002 (18.07.2002)

PCT

(10) International Publication Number
WO 02/055431 A3

(51) International Patent Classification: **BS1B 7/00**, (74) Agent: **MILLS, Jerry, W.**, Baker Botts LLP, Suite 600, 2001 Ross Avenue, Dallas, TX 75201-2980 (US), I01L 23/538

(21) International Application Number: PCT/US01/50411 (81) Designated States (national): AE, AG, AL, AM, AT (utility model), AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ (utility model), DE (utility model), DK, DM, DZ, EC, EE (utility model), EE, ES, FI (utility model), FI, GB, GD, GE, GI, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK (utility model), SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(22) International Filing Date: 20 December 2001 (20.12.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 09/756,801 10 January 2001 (10.01.2001) US

(71) Applicant: **RAYTHEON COMPANY** [US/US]: 141 Spring Street, Lexington, MA 02421 (US).

(72) Inventors: **CHEEVER, James, A.**; 3602 Fairlands Drive, Richardson, TX 75082 (US); **GOLDSMITH, Charles, L.**; 1813 Knob Hill Drive, Plano, TX 75023 (US); **EHMKE, John, C.**; 1701 Hill Creek Drive, Garland, TX 75043-7573 (US); **ABLES, Billy, D.**; 623 Twilight Trail, Richardson, TX 75080-5123 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

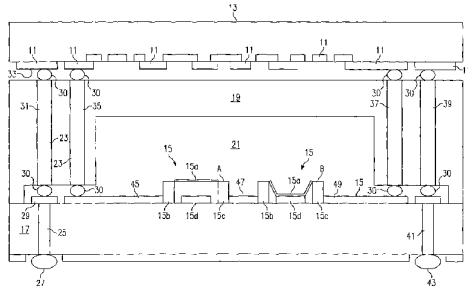
Declarations under Rule 4.17: as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for all designations

[Continued on next page]



WO 02/055431 A3

(54) Title: WAFER LEVEL INTERCONNECTION



(57) Abstract: RF MicroelectroMechanical Systems (MEMS) circuitry (15) on a first high resistivity substrate (17) is combined with circuitry (11) on second low-resistivity substrate (13) by overlapping the first high resistivity substrate (17) and MEMS circuitry (15) with the low resistivity substrate (13) and circuitry (11) with the MEMS circuitry (15) facing the second circuitry (11). A dielectric lid (19) is placed over the MEMS circuitry (15) and between the first substrate (17) and second substrate (13) with an inert gas in a gap (21) over the MEMS circuitry (15). Interconnecting conductors (25, 31, 35, 37, 39, 41) extend perpendicular and through the high resistivity substrate (17) and through the dielectric lid (19) to make electrical connection with the low resistivity substrate (13).

WO 02/055431 A3 

as to the applicant's entitlement to claim the priority of the earlier application (Rule 4.17(iii)) for all designations

(88) Date of publication of the international search report:
30 January 2003

Published:
— with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/50411
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 B81B/00 H01L23/538		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 B81B H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 825 284 A (SOGA TASAQ ET AL) 25 April 1989 (1989-04-25) figures 2,3B,5F,9A column 5, line 60 -column 6, line 58	1,2,6,8, 9,13-15, 22,23
A	---	3-5,7, 10-12, 16-21
X	US 5 164 328 A (DUNN WILLIAM C ET AL) 17 November 1992 (1992-11-17) figures 1,2 column 1, line 56 -column 3, line 12	1,2,5
A	---	3,4,6-23
	---	-/--
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *B* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 21 August 2002		Date of mailing of the international search report 28/08/2002
Name and mailing address of the ISA European Patent Office, P. B. 5516 Patentnan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Polesello, P

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 01/50411
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 100 27 234 A (AUSTRIA MIKROSYSTEME INT) 7 December 2000 (2000-12-07) figure 1 column 3, line 23 - line 51	1,2,5
A	-----	3,4,6-23
X	FR 2 780 200 A (COMMISSARIAT ENERGIE ATOMIQUE) 24 December 1999 (1999-12-24) figure 9 page 14, line 10 - line 22	1,2
A	-----	3-23
A	WO 97 12397 A (TEXAS INSTRUMENTS INC) 3 April 1997 (1997-04-03) figures 2-8,10 page 4, line 6 -page 5, line 6 page 16, line 16 -page 19, line 6 page 19, line 25 - line 30 -----	1,6,8,14

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT				International Application No. PCT/US 01/50411	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 4825284	A	25-04-1989	JP 62136865 A		19-06-1987
US 5164328	A	17-11-1992	JP 6013426 A		21-01-1994
DE 10027234	A	07-12-2000	AT 3609 U1 DE 10027234 A1		25-05-2000 07-12-2000
FR 2780200	A	24-12-1999	FR 2780200 A1 EP 1090419 A1 WO 9967818 A1		24-12-1999 11-04-2001 29-12-1999
WO 9712397	A	03-04-1997	AU 703591 B2 AU 7393296 A BR 9606658 A CA 2205810 A1 CN 1165584 A EP 0811245 A1 JP 10513611 T WO 9712397 A1		25-03-1999 17-04-1997 04-11-1997 03-04-1997 19-11-1997 10-12-1997 22-12-1998 03-04-1997

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 チーヴァー, ジェイムズ エイ

アメリカ合衆国 テキサス州 75082 リチャードソン フェアランズ・ドライブ 3602

(72)発明者 ゴールドスミス, チャールズ エル

アメリカ合衆国 テキサス州 75023 プレーノ ノブ・ヒル・ドライブ 1813

(72)発明者 エームケ, ジョン シー

アメリカ合衆国 テキサス州 75043 - 7573 ガーランド ヒル・クリーク・ドライブ
1701

(72)発明者 エイブルズ, ビリー ディー

アメリカ合衆国 テキサス州 75080 - 5123 リチャードソン トワイライト・トレイル
623

Fターム(参考) 5E344 AA01 AA22 BB02 BB06 BB07 CC15