

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5038612号  
(P5038612)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.		F I	
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	C
HO 1 L 21/822	(2006.01)	HO 1 L 21/90	A
HO 1 L 21/768	(2006.01)		

請求項の数 4 (全 47 頁)

(21) 出願番号	特願2005-285223 (P2005-285223)	(73) 特許権者	308014341
(22) 出願日	平成17年9月29日 (2005.9.29)		富士通セミコンダクター株式会社
(65) 公開番号	特開2007-96104 (P2007-96104A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成19年4月12日 (2007.4.12)		23
審査請求日	平成18年9月25日 (2006.9.25)	(74) 代理人	100090516
審判番号	不服2010-18601 (P2010-18601/J1)		弁理士 松倉 秀実
審判請求日	平成22年8月18日 (2010.8.18)	(74) 代理人	100113608
			弁理士 平川 明
		(74) 代理人	100105407
			弁理士 高田 大輔
		(74) 代理人	100089244
			弁理士 遠山 勉
		(72) 発明者	渡▲邊▼ 健一
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成される第1配線層と、  
 前記第1配線層の上層に形成される層間絶縁膜と、  
 前記層間絶縁膜の上面に開口部を有し前記層間絶縁膜に形成されるホールと、  
 前記ホール内壁面を被覆する第1金属層と、  
 前記第1金属層で被覆されたホール内に埋め込まれる第2金属層と、  
 前記第1金属層の上層に形成される誘電絶縁膜と、  
 前記誘電絶縁膜の上層に形成される第2配線層と、を備え、  
 前記ホール内壁面を被覆する第1金属層を含んだ下部電極と、前記第2配線層の前記下  
 部電極に対向する部分を含んだ上部電極とによってなるコンデンサを含み、  
 前記ホールが、前記上部電極を基板下層方向に投影した層間絶縁膜上の平面領域の外側  
 領域に形成され、前記第1金属層が前記平面領域から前記ホールが形成された外側領域ま  
 で延伸され、  
 前記下部電極の平面領域および前記誘電絶縁膜の平面領域の外側に上部電極接続用ホー  
 ルが形成され、  
 前記上部電極から前記下部電極上方の平面領域および前記誘電絶縁膜上方の平面領域の  
 外側に上部電極引き出し部が延伸されて前記上部電極接続用ホールと接続され、  
 前記上部電極を基板下層方向に投影した上部電極投影領域と、前記下部電極を基板下層  
 方向に投影した下部電極投影領域の外周とが、前記上部電極引き出し部を基板下層方向に

10

20

投影した引き出し部投影領域において交差し、

前記第1金属層が前記ホール内壁面から前記開口部を通り前記層間絶縁膜と前記誘電絶縁膜との間に延在し、

前記延在する第1金属層の上層に第3金属層が形成され、前記第3金属層が前記下部電極の少なくとも一部を構成し、

前記コンデンサが最上位の配線と同じ階層にあることを特徴とする半導体装置。

【請求項2】

前記層間絶縁膜の上層に前記第1金属層または第2金属層に接続される第3金属層が形成され、前記第3金属層が前記下部電極を構成する請求項1に記載の半導体装置。

【請求項3】

前記ホールが、前記上部電極を基板下層方向に投影した層間絶縁膜上の平面領域の外側領域に形成され、前記第3金属層が前記平面領域から前記ホールが形成された外側領域まで延伸されている請求項2に記載の半導体装置。

【請求項4】

前記ホールの形成とともに、前記ホールを含む層に前記ホールの上層を重ね合わせるための合わせマークとして段差が形成され、前記段差の上層では、段差残りが形成されている請求項1から3のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MIM (Metal-Insulator-Metal) 構造を有する半導体装置に関する。

【背景技術】

【0002】

移動体通信分野等に用いられる高周波アナログ集積回路においては、高速動作する能動素子 (トランジスタ素子等) に加えて、抵抗、容量、インダクタ等の受動素子が必要となる。そして、これらの回路では動作速度向上、消費電力低減のため、寄生抵抗、寄生容量の低減が必要となる。このうち、容量素子においては従来のMOS型容量よりも寄生抵抗、寄生容量が低減できるMIM (Metal-Insulator-Metal) 素子が利用されている (例えば、下記特許文献1)。

【0003】

また、寄生抵抗、寄生容量を削減し、素子の高速動作を達成する観点から銅 (Cu) 等の金属配線を集積回路に適用することが検討されている (下記特許文献2参照)。

【特許文献1】特開2001-237375号公報

【特許文献2】特開2003-264235号公報

【特許文献3】特開2004-63990号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した技術では、MIM構造およびCu配線を半導体装置に組み込むための様々な提案がなされている。しかし、必ずしも構造的な観点から寄生抵抗、寄生容量を低減するための配慮が十分ではなかった。本発明の目的は、従来よりもさらに寄生抵抗、寄生容量を低減し、高周波特性を改善する技術を提供することである。

【課題を解決するための手段】

【0005】

本発明は前記課題を解決するために、以下の手段を採用した。すなわち、本発明は、基板に形成される第1配線層と、前記第1配線層の上層に形成される層間絶縁膜と、前記層間絶縁膜の上面に開口部を有し前記層間絶縁膜に形成されるホールと、前記ホール内壁面を被覆する第1金属層と、前記第1金属層で被覆されたホール内に埋め込まれる第2金属層と、前記第1金属層の上層に形成される誘電絶縁膜と、前記誘電絶縁膜の上層に形成される第2配線層と、を備え、前記ホール内壁面を被覆する第1金属層が前記誘電絶縁膜下

10

20

30

40

50

層の下部電極の少なくとも一部を形成し、前記第2配線層の前記下部電極に対向する部分が前記誘電絶縁膜上層の上部電極を形成し、前記下部電極、誘電絶縁膜および上部電極によってコンデンサが形成された半導体装置である。

【0006】

また、本発明は、前記第1金属層に代えて、前記層間絶縁膜上に形成され前記第1金属層および第2金属層に接続される第3金属層を備え、前記第3金属層が前記誘電絶縁膜下層の下部電極を形成するものでもよい。

【発明の効果】

【0007】

本発明によれば、従来よりもさらに、半導体装置の高周波特性を改善できる。

10

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して本発明を実施するための最良の形態（以下、実施形態という）に係る半導体装置について説明する。以下の実施形態の構成は例示であり、本発明は実施形態の構成に限定されない。

【0009】

《発明の骨子》

図1に、本半導体装置の基本構造例を示す。図1は、MIM構造を含む半導体装置の断面図である。図1のように、この半導体装置は、半導体基板300と、半導体基板300上に形成されたシリコン酸化膜(SiO<sub>2</sub>)301と、シリコン酸化膜301上に形成されたシリコン窒化膜(SiN)302と、シリコン窒化膜302上に形成されたシリコン酸化膜303と、シリコン酸化膜303に形成された溝部309と、溝部309の底面および側面を被覆するバリアメタル膜310と、バリアメタル膜310内の溝状部分に充填された金属配線311(Cu)と、金属配線311(およびシリコン酸化膜303)の上層に形成されたシリコン窒化膜331と、シリコン窒化膜331上に形成されたMIM構造360と、MIM構造360(およびシリコン窒化膜331)上に形成されたシリコン酸化膜333と、シリコン酸化膜333上に形成されたシリコン窒化膜334と、シリコン窒化膜334上に形成されたシリコン酸化膜335と、シリコン酸化膜335に形成された溝部339と、溝部339に埋め込まれた金属配線336と、金属配線336と同種の金属(Cu)が充填され金属配線336をMIM構造に接続するホール337A、337Bと、同様に金属配線336を金属配線311に接続するホール337Cと、金属配線336と同種の金属(Cu)が充填された溝部339およびホール337A-337Cを含む構造の内面を被覆するバリアメタル膜338とを有している。

20

30

【0010】

ここで、溝部309と、溝部309の底面および側面を被覆するバリアメタル膜310と、バリアメタル膜310内の溝状部分に充填された金属配線311を含む構造がダマシン構造を構成する。また、金属配線336が埋め込まれた溝部309と、金属配線336と同種の金属(Cu)が埋め込まれたホール337A、337B、337Cを含む構造をデュアルダマシン構造と呼ぶ。デュアルダマシン構造は、溝部およびホール双方を含むダマシン構造という意味である。

40

【0011】

図1に示すように、MIM構造360は、例えば、上層から窒化チタン(TiN)/シリコン酸化膜(SiO<sub>2</sub>)/窒化チタン(TiN)の3層構造で構成され、その上層にさらにシリコン窒化物(SiN)またはシリコン炭化物(SiC)の層が形成されている。

【0012】

ホール337Aに充填された金属(Cu)およびホール337A内壁を被覆するバリアメタル膜338は、金属配線336をMIM構造の下部電極(TiN)まで接続する。また、ホール337Bに充填された金属(Cu)およびホール337B内壁を被覆するバリアメタル膜338は、金属配線336をMIM構造の上部電極(TiN)まで接続する。また、ホール337Cに充填された金属(Cu)およびホール337C内壁を被覆するバ

50

リアメタル膜 338 は、金属配線 336 を金属配線 311 まで接続する。なお、ホール 337 - 338 C、バリアメタル膜 338、および配線 336 を含むシリコン酸化膜 333 の層をビア層、ホール層、プラグ層、あるいは、単に層間絶縁膜層ともいう。

【0013】

このように、図 1 では、MIM 素子は、デュアルダマシン構造のビア層（層間絶縁膜層）に埋め込み形成されている。

【0014】

さらに、本半導体装置では、図 1 の右側部分に、層間のパターンを重ね合わせるためのアライメントマーク 350 が形成されている。ダマシン構造（溝部 309 にバリアメタル膜 310 あるいは金属配線 311 を埋め込んで平坦化した構造）では、金属（Cu）を研磨した後の表面が平坦化されている。そのため、その表面にさらに金属膜（例えば、MIM 素子の TiN）を成膜した場合、金属膜表面に段差が残らず前層、例えば、金属配線 311 等の位置を確認できなくなる。そこで、MIM 素子の下部電極をなす TiN を成膜前に、アライメントマーク 350 を形成しておき、TiN 成膜後の位置合わせに使用する。

【0015】

一般に層間の位置合わせには段差を利用するもの、絶縁膜を透過する光を用いた反射率差を利用するものがある。ところが、図 1 のようなダマシン構造の上層に MIM 素子形成の目的で金属層を成膜する場合には、前層の位置を検出するための段差を利用する必要がある。

【0016】

上記ダマシン構造形成後にその段差を予め形成するためには、金属配線 311 上層のシリコン窒化膜 331 またはシリコン酸化膜の成膜後に、アライメントマーク 350 のパターンをフォトリソにてパターン形成し、エッチングによって段差を形成する必要がある。したがって、アライメントマーク 350 形成のため 1 枚マスクパターンを必要とする。なお、アライメントマーク 350 の形成をダマシン構造の金属配線 311 より下層で行ったとしても、金属配線 311 の埋め込みと CMP によって段差が消滅してしまう。

【0017】

以下、図 1 の半導体装置の製造工程を説明する。まず、絶縁膜成膜（SiO<sub>2</sub> / SiN / SiO<sub>2</sub>）、フォトリソのパターニング、溝部 309 のエッチング形成、レジスト剥離がなされる（このとき、パターニングで使用されるマスクを、例えば、MxL と呼ぶ）。さらに、バリアメタル膜 310、金属配線 311 の層が埋め込み成膜され、CMP（化学的機械的平坦化：Chemical Mechanical Planarization）にて余剰なバリアメタル膜 310、および、金属配線 311 の層が除去され、図 1 下方部分の第 1 層目のダマシン構造が形成される。このように、ダマシン構造は、溝部 309 にバリアメタル膜 310 および金属配線 311 が埋め込まれて平坦化された構造をいう。ここで、バリアメタル膜 310 は、例えば、窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）である。また、金属配線 311 は、例えば、銅（Cu）である。

【0018】

続いて、金属配線 311 に含まれる金属（Cu）の拡散防止膜、および、次層をエッチングする際にストップ膜となるシリコン窒化膜（SiN）331 を成膜する。次いで、SiO<sub>2</sub> を薄く成膜する。この SiO<sub>2</sub> はなくてもよい。次いで、アライメントマーク 350 形成の目的で、パターニング、エッチングを行う（以下、本実施形態では、このパターニングで使用するマスクを CAL と呼ぶ）。このとき形成されたアライメントマーク 350 を用いて、続く MIM 構造となる金属層（下部電極）の成膜後のパターン形成に際して、下地層との位置合わせが実施される。

【0019】

続いて、MIM 素子となる TiN（下部電極）、SiO<sub>2</sub>（誘電絶縁層）、TiN（上部電極）、SiN をスパッタ、プラズマ CVD 等により成膜する。

【0020】

次に、先に形成したアライメントマーク 350 を利用して、MIM の下部電極に当た

10

20

30

40

50

るマスクパターンをフォトレジストにて形成し、 $\text{SiN}/\text{TiN}/\text{SiO}_2/\text{TiN}$ のMIM素子部をエッチングし、レジストを剥離する（以下、本実施形態では、このパターン形成で使用するマスクをCAP1と呼ぶ）。

【0021】

さらに、上部電極に相当するマスクパターンをフォトレジストにて形成し、 $\text{SiN}/\text{TiN}/\text{SiO}_2$ の部分のエッチングし、レジストを剥離する（以下、本実施形態では、このパターン形成で使用するマスクをCAP2と呼ぶ）。このときのアラインメントマークは、下部電極に相当するマスクパターンを形成する際に別の場所にレイアウト上（図示無し）で仕込んでおけばよい。この下部電極形成時のマークにより、上部電極形成時に正確な位置合わせを行うことが可能となる。

10

【0022】

次いで、後に形成されるデュアルダマシン構造のビア層に相当する絶縁膜層（ $\text{SiO}_2$ ）333を最終目標膜厚よりも厚めに成膜する。この理由は、MIM素子により作られた段差によって、後のデュアルダマシン層の配線にてCu残渣等の問題を起こさないように、層間膜段差をCMPによって解消するためである。そして、成膜した層間絶縁膜333をCMPにより平坦化を含めて研磨する。このような工程により、平坦な目標膜厚に一致するビア層（層間絶縁膜333）が形成される。

【0023】

続いて、デュアルダマシン構造形成のためのエッチングストップ膜としてシリコン窒化膜334を成膜する。さらに、金属配線336の絶縁膜となるシリコン酸化膜335を成膜する。

20

【0024】

以降は、一般的なデュアルダマシン構造形成方法による。構造形成方法には幾つかの方法が提案されている。本実施形態では、先ビア方式と呼ばれる手法に沿って説明する。

【0025】

配線の絶縁層となるシリコン酸化膜335上にフォトレジストにてホール337A、337B、337Cを形成する。この際には、積層層間膜を通した光の反射率差にて先に形成したダマシン配線の金属を検出し、位置合わせを行う（以下、本実施形態では、このパターン形成で使用するマスクを例えば、 $M \times + 1 C$ のように呼ぶ。ここで、 $M \times + 1 C$ は、ダマシン配線形成用のマスク $M \times L$ より1層上位層にあるコンタクト層という意味である）。

30

【0026】

さらに、シリコン酸化膜335/シリコン窒化膜334/層間絶縁膜333を金属配線311上のシリコン窒化膜331が露出するまでエッチングし、レジストを剥離する。このとき、上部電極上部のホール373Bは上部電極に当たるTiN膜の上のSiNにてエッチングオーバーに耐える形で停止している（SiNの膜厚は予め適正に厚めに成膜しておく）。下部電極上部のホール373Aは、下部電極（TiN）上にて材料の違いによる選択比により停止している。

【0027】

続いて、ホール337A-337C内に樹脂（続くレジストとミキシング等を起こさない材料）を塗布し、溶解にてホール337A-337C内部にのみ樹脂を残し、配線層336（溝部339）に当たるマスクパターンをフォトレジストにて形成する（以下、本実施形態では、このパターン形成で使用するマスクを例えば、 $M \times + 1 L$ と呼ぶ）。この際には、先に形成したホールパターン内のレイアウト上にてアラインメントマークとなるようなマークパターンを予め形成しておく。配線パターン形成時にそのマークパターンの段差を利用してアラインメントを行うことにより、ホールパターン（ホール337A-337Cを含む層）と配線パターンの位置合わせを正確に行うことができる。

40

【0028】

さらに、配線パターン（金属配線336のパターン）を含むフォトレジストをマスクとして、配線の絶縁膜335を直下のシリコン窒化膜334が露出するまでエッチングする

50

。続いて、レジストを剥離する。このとき、ホール内部に埋め込まれた樹脂も同時に除去される。

【0029】

続いて、配線パターンにおいて形成されたSiO<sub>2</sub>の溝部339、および、ホールパターンにおいて形成されたSiO<sub>2</sub>のホール337A-337Cをマスクとして、溝部339下層のシリコン窒化膜334、および、ホール337A-337C下層のシリコン窒化膜331を同時にエッチングにて除去して、ダマシン配線とのコンタクト部(ホール337C)を形成する。このとき、同時にMIM構造上のSiNも除去され、上部電極とのコンタクト部(ホール337B)も形成される。

【0030】

この状態において、表面からは、ダマシン配線(Cu)、MIM上部電極(TiN)、MIM下部電極(TiN)が露出しており、MIM構造および配線構造形成が行える状態となっている。最後に溝部339、ホール337A-337Cを同時に埋め込むように、バリアメタル膜338、および、金属配線336(Cu)が成膜され、CMPにて余剰なバリアメタル膜338および金属配線336の部分が除去される。以上により、MIM構造、および、デュアルダマシン構造の形成が完了する。以上の工程によりMIM構造をデュアルダマシン構造内(層間絶縁膜であるシリコン酸化膜333内)に埋め込み形成することが可能となる。

【0031】

図2に、MIM構造をダマシン構造内に埋め込み形成した半導体装置の第2例を示す。この例では、ダマシン層を構成するバリアメタル膜310と金属配線311とが、MIM構造直下の領域の外側に構成されている。

【0032】

この例では、金属配線311が、MIM構造360の下層に形成されていない点で、図1の場合と相違する。さらに、図1では、溝部339に埋め込まれた金属配線336と、金属配線336をMIM構造およびダマシン配線に接続するホール337A、337B、およびホール337Cによってデュアルダマシン構造が形成されていたのに対し、図2の例では、ホール337A、337B、337Cの上層には、RIE(Reactive Ion Etching)によるアルミ配線340が形成されている点で図2の場合と相違する。

【0033】

図2の半導体装置の製作は、MIM構造360および層間絶縁膜333の形成までは、図1の場合と同様である。図1と同様、ビア層に相当する層間絶縁膜333が後の平坦化のために十分な膜厚で形成される。

【0034】

その後、ホール347A-347C形成のためのレジストパターンが塗付、現像される(このパターン形成で使用するマスクも、例えば、Mx+1Cと呼ばれる)。さらに、ホール347Aが、エッチングにより、下部電極を構成するTiNまで開口され、TiN表面にてエッチングが停止する。また、ホール347Bが、エッチングにより、MIM部360上層のSiNまで開口されて、SiN表面にてエッチングが停止する。また、ホール347Cが、エッチングにより、金属配線311上層のシリコン窒化膜331まで開口されて、シリコン窒化膜331の表面にてエッチングが停止する。

【0035】

次に、酸素ガスを含むプラズマアッシングにより、レジストパターンが剥離される。さらに、層間絶縁膜333をマスクとして、MIM部360上層のSiNおよびシリコン窒化膜331がエッチングされる。その結果、ホール347Bが、MIM構造の上部電極(TiN)表面まで、また、ホール347Cが金属配線311表面まで開口する。

【0036】

その後、グレー層(TiN)312および金属(タングステン)313が成膜される。さらに、グレー層(TiN)312および金属(タングステン)313が、CMPにより、平坦化される。

10

20

30

40

50

## 【 0 0 3 7 】

さらに、拡散防止膜 3 5 0、金属層 3 5 1 ( A 1 ( C u ) ) および拡散防止膜 3 5 2 が順次成膜される。そして、アルミ配線 3 4 0 形成のためのレジストが塗付、露光、現像される。このとき、下地との合わせのため、ホール 3 4 7 A - 3 4 7 C 形成とともに形成された段差 ( マスク M x + 1 C に仕組まれていた段差パターン ) が合わせマークとして使用される。その後、R I E により、アルミ配線 3 4 0 が形成される。

## 【 0 0 3 8 】

図 3 に、基本的な位置合わせ系列を示す。図 3 において、実線矢印の左側 ( 矢印の後部 ) は、下地を形成するマスクを示し、実線矢印の右側 ( 矢印の先 ) は、その下地に対する上層を形成するマスクを示す。例えば、M x L とは、メタル第 x 層のラインという意味である。M x L は、例えば、図 1 のダマシン配線の溝部 3 0 9 をパターン形成するときのマスクを示している。

10

## 【 0 0 3 9 】

また、点線は、間接的に位置合わせがなされるマスク間の関係を示す。例えば、M x + 1 C と C A L は、M x L のマスクにて形成されたパターンの金属反射マークによって間接的に位置合わせがなされる。

## 【 0 0 4 0 】

また、M x + 1 C は、メタル第 x + 1 層 ( x 層より 1 つ上層 ) のコンタクトという意味である。M x + 1 C は、例えば、図 1 のホール 3 3 7 A - 3 3 7 C を形成するときのマスクである。また、C A L は、キャパシタアライメントマークの意味であり、本実施形態では、掘り起こし層と呼ぶ。また、C A P は、キャパシタ層の意味であり、M I M 構造に相当する。C A P 1 は、下部電極のパターン形成に使用されるマスクである。また、C A P 2 は、上部電極のパターン形成に使用されるマスクである。

20

## 【 0 0 4 1 】

また、図 3 において、実線矢印の上下には、位置合わせの対象の検知方法が記載されている。例えば、M x L で示されるメタル配線層に対して、M x + 1 C で示されるコンタクト層を位置合わせするには、ダマシン金属層での光の金属からの反射と、層間絶縁膜からの反射の相違によって、位置が検知される。

## 【 0 0 4 2 】

また、M x + 1 C で示されるコンタクト層に対して、M x + 1 L で示されるメタル配線層を位置合わせするには、ダマシン配線上の層間絶縁膜に形成された段差を利用する。この段差は、M x + 1 C で示されるコンタクト層形成時に、形成される。

30

## 【 0 0 4 3 】

また、C A L で示される掘り起こし層形成時は、やはり、ダマシン金属層での光の金属からの反射と、層間絶縁膜からの反射の相違によって、位置が検知される。次に、C A L で示される掘り起こし層で形成された段差を用いて、C A P 1 のマスクのパターンが位置合わせされ、M I M 構造の下部電極が形成される。図 3 では、この段差を H M / Metal / 誘電絶縁層 / Metal 層間膜内段差として記述している。ここで、H M ( ハードマスク ) は、図 1 の M I M 構造 3 6 0 の最上部の窒化膜または炭化膜 ( S i N o r S i C ) を示す。また、層間膜内段差とは、図 1 の右側部分で層間絶縁膜 3 0 3 に形成されたマーク 3 5 0 の意味である。

40

## 【 0 0 4 4 】

C A P 1 のマスクに埋め込まれた段差を使用して C A P 2 のマスクのパターンが位置合わせされ、M I M 構造の上部電極が形成される。図 3 では、この段差を H M / Metal / 誘電絶縁層 / Metal 段差として記述している。

## 【 0 0 4 5 】

しかしながら、以上の工程では、マスクパターンは M I M 素子形成の他に、アライメントマーク形成のために 1 枚必要となり、パターン形成、エッチング等による工程増加が生じる。また、M I M 素子形成のために、金属層形成 ( 例えば、T i N に下部電極と上部電極 ) についても、通常の素子形成工程、あるいは、配線工程とは別に工程が必要となり、

50

通常の構造形成に対して、工程増加が生じる。

【 0 0 4 6 】

ところで、ダマシン配線層（金属配線 3 1 1）の直上に M I M 構造を形成し、M I M 構造の下部電極をダマシン配線によって裏打ちすることにより、寄生抵抗低減を行い、高周波回路における Q 値の改善することも可能である（例えば、特開 2 0 0 3 - 2 6 4 2 3 5 号公報参照）。

【 0 0 4 7 】

しかし、この技術で示された工程でも、図 1 に示したものと同様、電極を形成する際に下部電極、誘電絶縁層、上部電極をそれぞれ成膜する工程があり、成膜工程が多い。

【 0 0 4 8 】

さらに、M I M 構造の特性改善には、素子をなるべく基板から遠い箇所に配置し、寄生容量の低減することも必要である。

【 0 0 4 9 】

さらにまた、M I M 構造の下部電極をダマシン配線によって裏打ちする場合には、ダマシン配線を構成する金属（C u）をエッチングガスにさらさないようにするため、ダマシン配線を拡散防止膜で被覆する必要がある。あるいは、ダマシン配線を M I M 構造の電極の平面領域に包含させる必要があり、配線のレイアウトパターンの自由度が低くなる。すなわち、M I M 構造の電極の平面領域の境界線を越えて配線をレイアウトできないため、下層配線に引き出すことが必要となる。したがって、基板に近い層に、電極の引き出し配線が存在することになる。容量素子は基板からできる限り遠い箇所に配置される方が、寄生容量の低減につながるため、このような構成では、寄生抵抗の低減の効果があるが、寄生容量の点で問題が生じる。

【 0 0 5 0 】

なお、この技術で用いられている上記ダマシン配線を被覆するための拡散防止膜の段差を検出することで、M I M 構造のパターン形成のための位置合わせを行うことも考えられる。しかし、この段差は、約 7 0 n m と低段差であるため、段差の検知には困難を生じる。

【 0 0 5 1 】

そこで、以下の実施形態において、マスクパターン追加による工程数、および、電極形成に伴う工程数を最小限に抑えるとともに、さらなる寄生抵抗および寄生容量の効果的な低減を図る。

【 0 0 5 2 】

すなわち、本実施形態では、配線層への M I M 構造の埋め込みにより、マスクパターン増を抑えつつ、通常プロセス工程を部分的に共有することによって工程数の増加を抑制する。また、M I M 構造をより配線層の上層へ移動することによる基板との寄生容量の低減、および、その際の電極抵抗の低減を図る。

【 0 0 5 3 】

そのため、以下の実施形態では、M I M 構造を金属配線内部（例えば、図 1 の層間絶縁膜であるシリコン酸化膜 3 3 3）ではなく、図 1 のデュアルダマシン構造（層間絶縁膜 3 3 5）のさらに上層に接続されるプラグ層（タングステン層）上部とアルミ配線層以降に配置する。さらに、プラグ層を構成するタングステンを被覆するグルー層を M I M 構造の下部電極として利用する。一方、プラグ層上層のアルミ配線層を上部電極に利用する。また、その際に電極や誘電絶縁膜のマスクパターンの位置合わせにはプラグ層のマークパターンを利用する。

【 0 0 5 4 】

このような構成により、（ 1 ）M I M 構造の電極形成工程とプラグ層あるいはアルミ配線層のパターン形成工程が共用され、（ 2 ）掘り起こし層形成のためのマスク（C A L）が使用されず、プラグ層内に段差パターンが埋め込まれる。その結果として、図 1 から 3 に示すように、ダマシン層に埋め込まれる M I M 構造に対して工程数の削減、マスクパターン数の削減、基板との寄生容量の低減、電極抵抗の低減が可能となる。

10

20

30

40

50

## 【 0 0 5 5 】

## 《 第 1 実施形態 》

以下、図 4 A から図 1 6 C の図面に基づいて、本発明の第 1 実施形態に係る半導体装置を説明する。本半導体装置では、ダマシン構造の上層に金属 ( A 1 ) 配線およびタングステンのプラグ層が形成されるとともに、工程数の追加を極力少なくして、M I M 素子が形成される。以下、半導体装置の製造工程を説明する。

## 【 0 0 5 6 】

ここで、図 4 A ~ 図 1 5 B として、図 4 A、図 4 B のようにそれぞれの一对の図面が含まれる。このうち、図 n A ( n = 4 ~ 1 5 ) は、1 枚の半導体基板上の M I M 部および通常部の構造を示している。また、図 n B ( n = 4 ~ 1 5 ) は、同一の半導体基板上の他の領域に形成されるマーク部の構造を示す。ここで、M I M 部とは、M I M 構造を形成する領域をいい、通常部は半導体装置の本来の素子あるいは配線を形成する領域をいい、マーク部は、位置合わせのためのアライメントマークを形成する領域をいう。ただし、図 n B は、図 n A の図面で示される工程と基本的に同一の工程を示している。

10

## 【 0 0 5 7 】

図 4 A は、金属 ( C u ) のダマシン配線を形成するために、層間膜とストッパ膜とを成膜し、パターニングする工程を示している。また、図 4 B は、マーク部における同様の工程を示している。

## 【 0 0 5 8 】

図 4 A ( および図 4 B ) に示すように、まず、半導体基板 1 0 0 上に層間絶縁膜 ( 例えば、S i O 2 ) 1 0 1 が成膜される。なお、本願明細書にいう基板 1 0 0 は、半導体基板そのもののみならず、トランジスタなどの半導体素子が形成された半導体基板をも含むものである。基板の上にさらに 1 層以上の配線層が形成されたものであっても差し支えない。

20

## 【 0 0 5 9 】

続いて配線をエッチングする際のストッパ膜として機能するシリコン窒化膜 1 0 2 ( S i N 5 0 n m ) が成膜される。以下、このようなシリコン窒化膜をストッパ膜ともいう。続いて、配線を絶縁する層間絶縁膜 1 0 3 ( 例えば S i O 2 9 0 0 n m ) が成膜される。次に、配線パターンのマスクとなるフォトレジスト 2 0 1 が塗布、露光、現像され、配線パターンが形成される。このようにして、M I M 部、通常部に所望のパターンが形成される ( 図 4 A ) 。また、マーク部にも、M I M 部、通常部と同様のパターンが形成される ( 図 4 B ) 。

30

## 【 0 0 6 0 】

さらに、フォトレジスト 2 0 1 をマスクとして層間絶縁膜 1 0 3 が、例えば、フロロカーボン ( C F ) 系のエッチングガスを用いたプラズマエッチング法によりエッチングされる ( 以下、フロロカーボン系のガスを C F 、 C H F 、 C F 4 、 C 4 F 8 、 C 4 F 6 等の化学式で示す ) 。エッチングストッパ膜として機能するシリコン窒化膜 1 0 2 が露出した状態でエッチングは停止する。これにより、ダマシン配線の溝部 1 1 0 A ( 図 5 A 参照 ) が、シリコン窒化膜 1 0 2 まで開口する。

## 【 0 0 6 1 】

続いて、酸素 ( O 2 ) ガス等を用いたプラズマアッシングによりフォトレジスト 2 0 1 が除去される。続いて、先にできた層間絶縁膜 1 0 2 の溝パターンをマスクの窓として、エッチングストッパ膜 1 0 2 が C F または C H F 等の混合ガス等を用いたエッチングにて除去される。これにより、ダマシン配線の溝部 1 1 0 A が、層間絶縁膜 1 0 1 まで開口する。

40

## 【 0 0 6 2 】

図 5 A ( および図 5 B ) は、溝内にスパッタとメッキで金属層 1 1 1 ( C u ) とバリアメタル膜 1 1 0 ( T a ) を成膜する工程を示す図である ( なお、図 5 A では、半導体基板 1 0 0 を省略する ( 以下、同様である ) ) 。すなわち、スパッタ法を用いて例えばバリアメタル膜 1 1 0 が成膜され、続いてメッキ法にて金属層 1 1 1 ( 本発明の第 1 配線層に相当、例えば、C u 膜 1 3 0 0 n m ) が成膜される。このとき、バリアメタル膜 1 1 0 の成

50

膜に続いて、同様なスパッタ法によりシード膜（図示せず）を例えば金属層 1 1 1 と同材料で 1 0 0 n m 程度成膜しておき、シード膜を電極層としてメッキ法により金属層 1 1 1 を所望の膜厚に達するように成膜することができる。

【 0 0 6 3 】

図 6 A（および図 6 B）は、ダマシン配線上のホール形成工程を示す図である。まず、化学機械的研磨法（Chemical-Mechanical-Polishing：CMP 法）にて金属層 1 1 1、および、バリアメタル膜 1 1 0 の層間絶縁膜 1 0 3 上にある余剰な膜が除去される。その結果、層間絶縁膜 1 0 3、エッチングストップ膜 1 0 2 に形成された溝部 1 1 0 A 内のみ金属層 1 1 1、バリアメタル膜 1 1 0 が残るように平坦化处理される。これにより、M I M 部と通常部（図 5 A）、マーク領域（図 5 B）にそれぞれ、金属層 1 1 1 とバリアメタル膜 1 1 0 とを有するダマシン配線 1 1 1 A が形成される（図 6 A 参照）。

10

【 0 0 6 4 】

続いて、層間絶縁膜 1 0 3 に金属層 1 1 1 とバリアメタル膜 1 1 0 とを埋め込んだダマシン配線層の上に拡散防止膜 1 3 1 が形成される。拡散防止膜 1 3 1 は、後のエッチング工程でのエッチングストップ膜としての機能と金属層 1 1 1 からの金属の拡散防止機能を有する。拡散防止膜 1 3 1 は、例えば、窒化シリコン（SiN）であり、プラズマ C V D 法により 7 0 n m 成膜される。続いて、層間絶縁膜（例えば SiO<sub>2</sub> 6 0 0 n m）1 3 2（図 6 A 参照）が成膜される。

【 0 0 6 5 】

続いて、図 6 A に示すようにフォトレジスト 2 0 2 が塗布、露光、現像され、ホールパターンが形成される（例えば、開口寸法 5 0 0 n m）。図 6 B に示すように、本実施形態ではこのホールパターン形成時にマーク領域において、比較的広い幅の溝あるいはホールを形成する。このマーク領域の溝あるいはホールは、アライメントマーク 1 5 0 として上位の層での位置合わせに使用される。以下、アライメントマーク 1 5 0 を単にマーク 1 5 0 ともいう。

20

【 0 0 6 6 】

ここで、ホールパターンと前層との位置合わせについては、下層のダマシン配線 1 1 1 A のパターンを利用する。この際は層間絶縁膜 1 3 2 を通して見える金属層 1 1 1 と層間絶縁膜 1 0 3 との光に対する反射率の差を利用して下地のダマシン配線 1 1 1 A 内の所定パターンの位置を検出し、ホールパターンを位置合わせすればよい。

30

【 0 0 6 7 】

図 7 A（図 7 B）は、層間絶縁膜 1 3 2 のパターン形成および拡散防止膜 1 3 1 の除去処理工程を示す図である。まず、図 6 A に示すように、フォトレジスト 2 0 2 をマスクとして、層間絶縁膜 1 3 2 が、例えば C F 系のエッチングガスを用いてプラズマエッチングされる。このエッチングは、ストップ膜として機能する拡散防止膜 1 3 1 上で停止される。これにより、層間絶縁膜 1 3 2 にホール 1 1 2 A が形成される。

【 0 0 6 8 】

続いて、酸素（O<sub>2</sub>）ガスを用いたプラズマアッシングによりフォトレジスト 2 0 2 が除去される。続いて層間絶縁膜 1 3 2 をマスクとして拡散防止膜 1 3 1 が例えば C F 系、または、C H F 系の混合ガスによりプラズマエッチングを用いて除去される。これにより、ダマシン配線（金属層 1 1 1）が露出される。すなわち、ホール 1 1 2 A が金属層 1 1 1 まで開口する。なお、このとき、図 7 B に示すようにマーク領域にも同時に広い溝またはホール等の段差パターン（以下、マーク 1 5 0 という）が形成されている。

40

【 0 0 6 9 】

図 8 A（図 8 B）は、金属層の成膜工程を示す図である。まず、スパッタ法を用いて、グルー層 1 1 2（本発明の第 1 金属層に相当する。例えば TiN 1 5 0 n m）を成膜する。続いて C V D 法によって金属層 1 1 3（例えば W 3 0 0 n m であり、本発明の第 2 金属層に相当する）を成膜する。図 8 A に示されるように M I M 部、通常部には幅約 5 0 0 n m 幅のホール 1 1 2 A のパターンが形成され、グルー層 1 1 2 が成膜された上に、C V D 法により金属（タングステン）が埋め込まれた形状となる。

50

## 【0070】

図8Bに示すように、マーク部には位置合わせのための比較的広いマーク150のパターン(例えば、厚さより開口寸法が2から5ミクロン程度の開口寸法で形成されている。この開口寸法は、上層のパターンが等方的に均一に成膜されても、開口が埋め尽くされない寸法とする。したがって、例えば、金属層113が300nm、グルー層112が150nm成膜されても、片側で450ナノメートル(nm)、開口の両側で900ナノメートル(nm)だけ幅が狭くなる可能性があるが、開口寸法が2から5ミクロン程度確保されれば、マーク部が埋め尽くされることはない。さらに、層間絶縁膜132が厚さ600nm、拡散防止膜131が70nm成膜されているため、マーク部の段差が完全には埋め尽くされることなく、段差が残存している。この段差は、以降の工程で基板表面の全面に金属層が成膜され、金属層の反射による位置合わせが行えない場合に、下地パターンとの位置合わせに利用される。すなわち、マーク150の段差による光学的反射変化を利用して位置合わせが行われる。

10

## 【0071】

図9A(図9B)は、金属層113のCMP工程を示す図である。図9A(図9B)に示されるように金属層113がCMP法によりグルー層112を残すように除去される。この場合、図9Aに示されるようにMIM部、および通常部のホール112Aには金属層113が埋め込まれた状態で残っている。これにより、グルー層112および金属層113を含むプラグ層113Aが形成される。また、図9Bに示されるようにマーク領域では、マーク150の段差が残存した状態で、金属層113が残っている。

20

## 【0072】

ここで、CMP法により金属層113を除去する際に、ホール112Aに埋め込み形成された金属層113の表面残渣発生を避けるため、適度なオーバーポリッシング(過度の研磨)が加えられる。その際に図8Aに示されるようなグルー層112と金属113の間の段差が生じる場合がある。

## 【0073】

図10A(図10B)は、MIM部の下部電極となるパターンを形成する工程を示す。図10Aに示すように、フォトレジスト203が塗布、露光、現像され、MIM部に下部電極パターンが形成される。このとき、フォトレジスト203の下地は、全面金属層のため、金属材料と絶縁膜との反射率差が利用できない。このため、フォトレジスト203のパターンと下地とは、先に形成したマーク150の段差(図10B参照)を利用して位置合わせする。このとき、図10Bに示されるように、マーク部の領域には次の位置合わせを行うための、パターン203Aがさらに用意されている。

30

## 【0074】

図11A(図11B)は、MIM部の容量部になる誘電絶縁膜135を成膜する工程を示す。この工程では、フォトレジスト203をマスクとして(図10A参照)、プラズマエッチングによりグルー層112が例えば塩素(Cl<sub>2</sub>)等のガスを用いてエッチングされた後、酸素(O<sub>2</sub>)ガス等を用いたプラズマアッシングによってフォトレジスト203が除去される。このとき、下部電極を構成する金属層113、グルー層112が一旦露出する。

40

## 【0075】

その後、図11Aに示されるようにMIM部の容量部になる誘電絶縁膜135(例えばSiO<sub>2</sub> 50nm)がプラズマCVD法を用いて成膜される。このときマーク部では、先に形成した金属層113、グルー層112によるマーク150の段差が図11Bに示されるように引き継がれている。

## 【0076】

なお、誘電絶縁膜135の材料としては、SiO<sub>2</sub>に替えて、SiON、SiCN、SiC、SiOC、SiN等の絶縁膜を使用してもよい。

## 【0077】

図12A(図12B)は、MIM部の容量部をパターンニングするためのフォトレジスト

50

204が塗布、露光、現像される工程を示す。図12Aに示されるようにMIM部の容量部になるパターンを形成するため、フォトレジスト204が塗布、露光、現像される。同時に、図12Bに示されるようにマーク部の領域にも後の工程の位置合わせ用のマークパターン204Aが形成される。

【0078】

図13A(図13B)は、上部電極のパターン形成工程を示す図である。図12Aに示されるようにフォトレジスト204をマスクとして、CF系ガスを用いたプラズマエッチングにより誘電絶縁膜135がエッチングにより除去される。さらに、フォトレジスト204がアッシングされ、通常部の金属層113、グルー層112が表面に露出する。続いて、図13Aに示されるようにスパッタ法を用いて、バリアメタル膜114(例えばTiN 50nm)、金属層115(例えばAlCu 1000nm)、バリアメタル膜116(例えばTiN 50nm)が順次成膜される。このときにも、図13Bに示されるように誘電絶縁膜135、金属層113、グルー層112によって形成された段差がバリアメタル膜116上に引き継がれている。

10

【0079】

さらに、図13A(図13B)に示すように、フォトレジスト205が塗布、露光、現像され、MIM部の上部電極パターン、通常部の回路パターン(図13A)、および、マーク領域のパターン(図13B)が同時に形成される。このとき、先に説明した段差を利用して、位置合わせが行われる。通常部に正確に合わせる際には、グルー層112と金属層113、誘電絶縁膜135によって作られた段差MK1(図13参照)を利用すればよく、MIM部に正確に合わせるには、それぞれの層にて形成されたマーク部のパターン(図13Bの段差MK2、段差MK3等)を適宜利用すればよい。いずれの段差を利用するかは、位置合わせの精度、および、前層とのパターンの余裕度をどのように取るのかによって変わることになる。本実施形態では、通常部に合わせる形にて説明を行う。

20

【0080】

図14A(図14B)は、バリアメタル膜116、金属層115、バリアメタル膜114のエッチング工程を示す図である。この工程では、図13A(図13B)に示されるようにフォトレジスト205がマスクとなる。すなわち、図14A(図14B)に示されるように、塩素(Cl)系の混合ガス等を用いたプラズマエッチングにより層間絶縁膜132が表面に露出するまで、バリアメタル膜116、金属層115、バリアメタル膜114が除去される。続いて、O<sub>2</sub>ガス等を用いたプラズマアッシングによりフォトレジスト205が除去される。この段階で、MIM部には上部電極P1が、通常部には配線P2、P3が、図14Bのマーク領域には次の層の位置合わせ様のアライメントマークP4-P7が形成される。

30

【0081】

このように、バリアメタル膜116、金属層115、バリアメタル膜114より構成される配線層(本発明の第2配線層に相当)に上部電極P1が構成される。また、上部電極P1、誘電絶縁膜135、下部電極(グルー層112)により、MIM構造160が形成される。

【0082】

図14Aのように、上部電極P1は、通常部の配線P2、P3より、層間絶縁膜132との段差が大きくなっている。これは、上部電極P1の下層に絶縁誘電膜135(および下部電極となるグルー層112)が挟み込まれているためである。

40

【0083】

図15A(図15B)は、カバー構造の成膜工程を示す図である。図15A(図15B)に示されるようにカバー構造として、絶縁膜136(例えば、SiO<sub>2</sub> 1400nm)、絶縁膜137(例えばSiN膜500nm)を成膜する。なお、図示はしないが、バリアメタル膜116、金属層115、バリアメタル膜114で構成されるAI配線層には、パッドとなるパターンも形成される。そして、カバー構造上にパッドとなるようなAI配線露出のための窓をフォトレジスト等によって用意する。そして、プラズマエッチング

50

等を用いて開口部を作ることにより、外部との接続部を用意することが可能となる。

【 0 0 8 4 】

図 1 5 C は、図 1 5 B のマーク領域において、ダマシン配線層に次層のマーク 1 5 0 の領域を外包する配線パターン D L 1 が用意されている半導体装置の例である。これは、次層のマーク 1 5 0 形成時にダマシン配線層の層間絶縁膜 1 0 3 が表面露出することを回避したい場合、あるいは、層間絶縁膜 1 0 3 がオーバーエッチングによりダメージを受けることを回避した場合の構成である。

【 0 0 8 5 】

この構成では、位置合わせ用のマーク 1 5 0 が配線パターン D L 1 上に、配線パターンの平面領域（配線の幅の内部）に包含されて形成される。したがって、マーク 1 5 0 の段差をエッチングする場合に、配線パターン D L 1 以外の層間絶縁膜 1 0 3 の領域は、拡散防止膜 1 3 1 あるいは、層間絶縁膜 1 3 2 に保護されている。したがって、マーク 1 5 0 の段差をエッチングする場合に、下地の層間絶縁膜 1 0 3 の露出を回避したい場合、あるいはオーバーエッチング等により下地が損傷する可能性のある場合には、図 1 5 C の構成は有効である。したがって、図 1 5 C のような構成は、次層のプロセスに応じて、適宜採用すればよい。

【 0 0 8 6 】

図 1 6 A ~ 図 1 6 C は、本実施形態にて説明した工程によって作られる断面構造に対する平面図である。図 1 6 A ~ 図 1 6 C において、実線がバリアメタル膜 1 1 4、金属層 1 1 5、バリアメタル膜 1 1 6 のパターンであり、上部電極 P 1 を含む。また、点線が誘電絶縁膜 1 3 5 のパターン、一点鎖線が下部電極となるグルー層 1 1 2、クロス line 付き実線がホールパターン（溝、広い溝を含む。タングステン等の金属 1 1 3 が充填され、プラグ層 1 1 3 A を形成する。）、長点線が金属層 1 1 1（ダマシン配線 1 1 1 A）を示している。図 1 6 A の X 1 - X 2 と記載している箇所は図 1 5 A の断面図に該当している。同様に図 1 6 B の Y 1 - Y 2 と記載している箇所は、図 1 5 B の断面図に、図 1 6 C の Z 1 - Z 2 と記載している箇所が、図 1 5 C の断面図に該当している。

【 0 0 8 7 】

図 1 6 A に示されるように、金属層 1 1 1（ダマシン配線 1 1 1 A）がプラグ層 1 1 3 A を通じて、上部電極 P 1 と下部電極（グルー層 1 1 2）に接続されている。図 1 6 A の例では、上部電極 P 1 がその平面領域内に容量部全体（誘電絶縁膜 1 3 5）の領域を包含しており、さらにその内側に下部電極であるグルー層 1 1 2 が構成されている。一方、通常部には回路部分として機能する通常の配線（金属配線 1 1 4 - 1 1 6 およびダマシン配線 1 1 1 A）が形成されている。

【 0 0 8 8 】

図 1 6 A において、上部電極 P 1 の一部が誘電絶縁膜 1 3 5 の存在領域を越えて、図 1 6 A の平面図で上側に延びている。これは、上部電極 P 1 とダマシン配線 1 1 1 A が引き回される箇所との重複部分を形成するためである。このような延長部分 P 1 A は、上部電極 P 1 が最上層に構成されている場合に上部電極 P 1 とダマシン配線 1 1 1 A との重複部分を形成するために必要となる。

【 0 0 8 9 】

さらに、図 1 6 A においては、延長部分 P 1 A は、上部電極 P 1 の本体部分（誘電絶縁膜 1 3 5 の平面領域を内部に包含している部分）よりも、横方向（図 1 6 A で左右方向）の幅が狭くなっている。このような構成により、基板との寄生容量が上部電極 P 1（A 1 配線）を細めた分だけ低減される。

【 0 0 9 0 】

図 1 6 B は、図 1 5 B の断面図に対する平面図である。図 1 6 B に示されるように、マーク領域には断面図においても示されている比較的配線幅の広いパターン（マーク 1 5 0）が平面的にレイアウトされている。図 1 6 C は、図 1 5 C の断面図に対する平面図であり、ダマシン配線層（金属層 1 1 1）にマーク 1 5 0 を形成する場合の例を示している。

。

10

20

30

40

50

## 【0091】

以上述べたように、本実施形態の半導体装置によれば、容量素子であるMIM構造が、カバー構造である絶縁膜136、137直下、すなわち、最も上層の配線層である金属層115およびバリアメタル膜114、116を上部電極P1として構成される。また、この上部電極P1に対して誘電絶縁膜135を挟んで下層に形成される金属(タングステン)113と金属113を成膜させるためのグルー層112が、MIM構造の下部電極を構成する。したがって、例えば、図1に示すようなダマシン配線層である金属配線311と、プラグ層113Aに相当するホール337A-337Cとの間(層間絶縁膜333)にMIM構造を形成する場合と比較して、MIM構造をより上層に形成(すなわち、プラグ層113Aを下部電極に組み込み、最上層の金属配線114-116を上部電極P1と)することができる。

10

## 【0092】

このように、本実施形態の半導体装置では、MIM構造が、図4Aに示した半導体基板100から最も遠い位置の金属配線114-116を電極として形成される。このため、MIM構造の寄生容量を可能な限り低減した構成とすることができる。

## 【0093】

また、上部電極P1となる金属配線114-116がプラグ層113Aを構成するグルー層112および金属層(タングステン)113を通じて直下のダマシン配線111Aに接続される。さらに、下部電極自体が、グルー層112および金属層113で構成され、直下のダマシン配線111Aに接続される。このため、MIM構造の寄生抵抗を可能な限り低減した構成とすることができる。

20

## 【0094】

さらに、以上のような構造とした結果、プラグ層113Aを構成するグルー層112および金属層(タングステン)113を埋め込むためのホール112Aを形成するマスクと同一のマスクでパターニングしたアライメントマーク150の段差によって、MIM構造の下部電極(および、必要に応じて上部電極P1)をパターニングする際の下層(すなわち、プラグ層113A)との位置合わせに使用できる。このため、MIM構造の下部電極をパターニングするためのアライメントマークを別途独立のマスクでパターニングする必要がない。このため、例えば、図1に示すようなダマシン配線層である金属配線311と、プラグ層113Aであるホール337A-337Cとの間にMIM構造を形成する場合と比較して、マスク数およびパターニングの工程を削減できる。

30

## 【0095】

さらにまた、このアライメントマーク150の段差は、ホール112Aの層と同一の工程で形成するため、上層のパターンが積層されても十分な段差を維持するように開口寸法および深さを選択できる。そのため、ダマシン配線を被覆するための拡散防止膜の段差を検出する場合と比較してより高い検出精度、検出再現性を得ることができる。

## 《第2実施形態》

図17A-図18Bの図面に基づいて本発明の第2実施形態を説明する。上記第1実施形態においては、図16Aに示すように、上部電極P1が下層方向に投影された平面領域に、誘電絶縁膜135のパターンの平面領域が包含される構成となっている。しかしながら、逆に、上記上部電極P1の平面領域が、誘電絶縁膜135の領域、あるいは、下部電極(グルー層112)の領域に、部分的には内包されていても構わない。すなわち、誘電絶縁膜135の平面領域、あるいは、下部電極(グルー層112)の平面領域が、少なくとも部分的に上部電極P1の平面領域を包含している構成であってもよい。本実施形態はそのような半導体装置の構成を示す。本実施形態の半導体装置の他の構成および作用は、第1実施形態と同様である。そこで、同一の構成要素については、同一の符号を付してその説明を省略する。

40

## 【0096】

図17Aは、本実施形態に係る半導体装置のMIM部および通常部を示している。図17Aの断面図に示されるようにMIM部の上部電極P1は、誘電絶縁膜135の平面領域

50

、あるいは、下部電極（グルー層 1 1 2）の平面領域に内部に包含されている。この構造は、先に説明した上部電極 P 1 のエッチングにおいて、図 1 3 A に示したフォトレジスト 2 0 5 の幅を誘電絶縁膜 1 3 5 の幅より狭くしてエッチング処理し、そのエッチング処理を誘電絶縁膜 1 3 5 上で停止させることにより、実現される。一方、通常部では第 1 実施形態と同様な形状（配線 P 2、P 3）が形成されている。

【 0 0 9 7 】

図 1 7 B は、本実施形態に係る半導体装置のマーク部の領域の断面図を示している。この図では、上部電極 P 1 と同一層のマーク P 5、P 6 が、誘電絶縁膜 1 3 5 の内部に包含されている。ただし、第 1 実施形態と同様に、上部電極 P 1 と同一層のマーク P 5、P 6 の平面領域が誘電絶縁膜 1 3 5 の平面領域を内部に包含しても構わない。

10

【 0 0 9 8 】

図 1 8 A は、図 1 7 A の断面図を構成する半導体装置の平面図を示している。図 1 8 A の平面図上では、上部電極 P 1 の一部が誘電絶縁膜 1 3 5 の存在領域を越えて、図 1 8 A の平面図で上側に延びている。これは、上部電極 P 1 とダマシン配線 1 1 1 A が引き回される箇所との重複部分を形成するためである。このような延長部分 P 1 A は、上部電極 P 1 が最上層に構成されている場合に上部電極 P 1 によってダマシン配線 1 1 1 A との重複部分を形成するために必要となる。

【 0 0 9 9 】

さらに、図 1 8 A においては、延長部分 P 1 A は、上部電極 P 1 の本体部分（誘電絶縁膜 1 3 5 の平面領域に包含されている部分）よりも、横方向（図 1 8 A で左右方向）の幅が狭くなっている。このような構成により、図 1 6 A の場合と同様、MIM 構造の存在領域（誘電絶縁膜 1 3 5）の内側と外側との間を跨ぐ部分での上部電極 P 1 の面積を低減できる。その結果、基板との寄生容量が上部電極 P 1（A 1 配線）を細めた分だけ低減される。

20

【 0 1 0 0 】

図 1 8 B は、マーク領域の断面図（図 1 7 B）で示される半導体装置の平面図を示している。この平面図では、上部電極 / 通常配線に使用される配線パターン 1 1 4 - 1 1 6 が誘電絶縁膜 1 3 5 の領域の内部に包含された例を示している。

《 第 3 実施形態 》

以下、図 1 9 から図 2 3 の図面に基づいて本発明の第 3 実施形態を説明する。上記第 1 実施形態および第 2 実施形態においては、プラグ層 1 1 3 A を構成するホール 1 1 2 A の断面形状は、概略正方形に近い矩形であった。しかし、ホール 1 1 2 A の断面形状は、必ずしも、そのような形状に限定されない。本実施例では、上部 / 下部電極や通常配線部とダマシン配線を接続するプラグ層 1 1 3 A のホール 1 1 2 A の断面形状の変形例を説明する。本実施形態の他の構成および作用については、第 1 実施形態および第 2 実施形態の場合と同様である。そこで、第 1 実施形態および第 2 実施形態と同一の構成については、同一の符号を付してその説明を省略する。

30

【 0 1 0 1 】

図 1 9 は、ホール 1 1 2 A（金属層 1 1 3 が充填される部分）の断面形状が縦方向と横方向で長さの異なる矩形形状となり、ホール 1 1 2 A が溝状に構成されている。ホール 1 1 2 A をこのような溝状に形成することによって、下部電極を構成するグルー層 1 1 2 と金属層 1 1 3 との間の抵抗、および下部電極からダマシン配線 1 1 1 A への接続抵抗の低減が可能となる。

40

【 0 1 0 2 】

図 2 0 は、図 1 9 の構成に加えて、ダマシン配線部（金属層 1 1 1）の幅を広げたものである。このような構成によって、MIM 電極からの引き出し配線部分の寄生抵抗の低減が可能となる。

【 0 1 0 3 】

図 2 1 は、図 2 0 のダマシン配線部の幅を広くしたまま、下部電極（グルー層 1 1 2）をダマシン配線 1 1 1 A に接続するプラグ層 1 1 3 A のホール 1 1 2 A の数を増加させた

50

ものである。このような構成によっても、図19、20と同様同様に下部電極に寄生する抵抗、すなわち、下部電極を構成するグルー層112と金属層113との間の抵抗、および下部電極からダマシン配線111Aへの接続抵抗の低減が可能となる。

【0104】

図22は、図20のダマシン配線111A（金属層111）の広い配線幅を利用し、且つ、下部電極とダマシン配線111Aとを接続するプラグ層113Aのホール112Aとして、断面形状の縦方向と横方向で長さが異なる溝状パターンPAT1と通常の略正方形に近い矩形パターンPAT2とを組み合わせたものである。このような構成によっても、図19から図21と同様に下部電極の寄生抵抗の低減につながる。

【0105】

図23は、図20のダマシン配線部（金属層111）の広い配線幅を利用し、さらに、下部電極と金属層111とを接続するプラグ層113Aのホール112Aとして断面形状の縦方向と横方向で長さが異なる溝状パターンPAT1を複数配置したものである。このような構成によっても、下部電極の寄生抵抗が低減する。

《第4実施形態》

図24から図26の図面に基づいて本発明の第4実施形態に係る半導体装置を説明する。上記第1実施形態から第3実施形態では、下部電極（グルー層112、金属層113）からダマシン配線111Aに引き出すプラグ層113Aのホール112Aが、基本的には下部電極の下に形成されていた。また、プラグ層113Aのホール112Aが誘電絶縁膜135の下側（誘電絶縁膜135を下層方向に投影した層間絶縁膜上の平面領域）かつ上部電極P1の下側（上部電極P1を下層方向に投影した層間絶縁膜上の平面領域）に配置されていた。

【0106】

本実施形態では、MIM構造の下部電極からダマシン配線111Aに引き出されるホール112Aが上部電極P1の下側の上記平面領域に配置されない半導体装置について説明する。本実施形態の他の構成および作用については、第1実施形態および第2実施形態の場合と同様である。そこで、第1実施形態から第3実施形態と同一の構成については、同一の符号を付してその説明を省略する。

【0107】

図24に示される様に、MIM構造160の左側部分では、上部電極P1が誘電絶縁膜135の平面領域から左側に延びている。一方、MIM構造160の右側部分では、下部電極（グルー層112）および誘電絶縁膜135が上部電極P1の平面領域から右側に延びている。

【0108】

さらに、上部電極P1と下部電極（グルー層112の部分）が重なり合う部分、つまり容量素子となる部分の下部電極側には接続のためのプラグ層113Aのホール112Aが配置されていない。金属層113が充填されるホール112Aは、容量素子となる部分の図面上右側で、下部電極および誘電絶縁膜135が上部電極P1を下層方向に投影した平面領域からさらに右側に延長された領域に形成されている。

【0109】

図25には、図24に示されるMIM部を含む半導体装置の平面図を示す。図より分かるように上部電極P1と誘電絶縁膜135と下部電極（グルー層112）の重なり部に対して、ホールパターン（金属層113が充填されるホール112A）は図面右側に配置され、その箇所には上部電極P1が配置されていない。

【0110】

このような構成の半導体装置では、下部電極（グルー層112）の下にホールパターンが配置されていないため、金属層113（例えば、タングステン）とバリアメタル膜112（例えば、窒化チタン）によって発生する、CMP時の段差（図9A参照）がMIM容量部には発生せず、容量部には平坦な構造が容易に形成される。

【0111】

10

20

30

40

50

下部電極の段差は容量部の特性を考える際、ばらつきを生む要因となりえる。本実施形態の様な構成を用いることにより、容量部の特性のばらつきを低減することが可能となる。特に、段差部分に良質で等方的な誘電絶縁膜が成膜されない場合、特性ばらつきが大きくなりやすい。また、膜厚が薄い場合には耐圧特性が悪くなることが考えられる。したがって、本実施形態の構成により、このような特性ばらつきあるいは耐圧の劣化を低減できる。

#### 【0112】

図26は、第3実施形態と同様、下部電極を配線層111に接続するプラグ層113A（ホール112A）の断面形状が縦方向と横方向で長さの異なる溝状とした図である。第3実施形態で説明したように、ホール112Aの形状を溝状とすることにより下部電極の寄生抵抗を低減することが可能となる。

10

#### 《第5実施形態》

図27に基づいて、本発明の第5実施形態に係る半導体装置を説明する。本実施形態では、MIM構造160およびプラグ層113Aのパターン配置条件は第4実施形態と同様である。ただし、本実施形態では、上部電極P1と下部電極（グルー層112および金属層113）に挟まれた誘電絶縁層が複数層積層された半導体装置について説明する。

#### 【0113】

図27は、本実施形態に係る半導体装置のMIM部および通常部を含む断面図である。図27に示されるように、上部電極P1と下部電極に挟まれた誘電絶縁層が2層に分かれている。一般にMIM部の絶対容量は平行平板コンデンサの式

20

$$C = ( \epsilon_r \times \epsilon_0 \times S ) / d [ F ]$$

C : 容量

$\epsilon_r$  : 比誘電率

$\epsilon_0$  : 真空の誘電率  $8.854 \times 10^{-10} [ F / m ]$

S : 対向面積  $[ m^2 ]$

d : 誘電絶縁層厚さ  $[ m ]$

で表記される。絶対容量を大きくするためには、誘電絶縁層の厚みを薄くする、あるいは、誘電絶縁層の比誘電率を大きくすることが有効になる。しかしながら単純に膜厚を薄くすると、耐圧面での劣化懸念が増加する。そこで、耐圧面での特性のよい材料と比誘電率の高い材料を組み合わせることも解決手段となりえる。

30

#### 【0114】

図27には、誘電絶縁層に第1誘電絶縁膜140（例えば比誘電率7、SiN 30nm）、第2誘電絶縁膜141（例えば、比誘電率4.1、SiO<sub>2</sub> 20nm）を順次積層し、第1実施形態、または、第2実施形態にて述べた工程により構造形成を行った場合の断面図を示す。

#### 【0115】

ここで、第1誘電絶縁膜140、加えて、第2誘電絶縁膜141に使用される材料は、SiNの場合の例、SiO<sub>2</sub>の場合の例で示したが、絶縁膜として炭化シリコン（SiC）、窒化単価シリコン（SiCN）、窒化酸化シリコン（SiON）等の材料を適宜組み合わせることも可能である。

40

#### 【0116】

以上述べた構成により、第1絶縁層140によって誘電率を高くした上で、第2絶縁層141によって絶縁耐圧を確保して膜厚を薄くすることが可能となる。その結果、MIM構造160の容量を増加することができる。

#### 【0117】

なお、上記実施形態では、まず、シリコン窒化膜（SiN）を形成し、その上にシリコン酸化膜（SiO<sub>2</sub>）を形成した。しかし、本発明の実施は、このような手順には限定されない。下地の材料によって成膜の順序を入れ替えてもよい。例えば、窒化膜は、アンモニアを含むガス、シラン（SiH<sub>4</sub>）を含むガスを用いて、プラズマCVDによって成膜される。その場合、下地の材料に有機材料が含まれると、アンモニアによって有機材料が

50

損傷を受ける場合がある。そのような材料が下地に含まれる場合には、まず、シリコン酸化膜 (SiO<sub>2</sub>) を形成した後にシリコン窒化膜 (SiN) を形成すればよい。

【0118】

すなわち、2つの膜の一方を成膜するとき、その成膜プロセスによって、下地の材料を損傷する可能性のある場合には、まず、その下地を損傷する可能性の少なく他方の膜を成膜する。そしてその後、前記一方の膜を成膜すればよい。

《第6実施形態》

図28に基づいて、本発明の第6実施形態に係る半導体装置を説明する。上記第6実施形態では、誘電絶縁層に第1誘電絶縁膜140および第2誘電絶縁膜141を含む積層構造が形成された。本実施形態では、その変形例として上記誘電絶縁層の端部が上部電極P1の端部と部分的に揃う半導体装置について説明する。本実施形態における他の構成および作用は、第5実施形態の場合と同様である。そこで、第5実施形態の場合と同一の構成要素については、同一の符号を付してその説明を省略する。

10

【0119】

図28は、本実施形態に係る半導体装置のMIM部および通常部を含む断面図である。図28と図27との違いは断面図のMIM部160の図面上右側部分において、上部電極P1の端部と第1誘電絶縁膜140、第2誘電絶縁膜141(以下、単に誘電積層構造140、141ともいう)の端部が揃っている点である。すなわち、上部電極P1側方の端部面と誘電絶縁構造140、141側方の端部面とが下部電極に対して略垂直な平面を構成している。これは、図27と同様な工程を行う際の上部電極P1のエッチング工程において、積層された誘電絶縁膜までが除去された形状である。

20

【0120】

このように、上部電極P1に対して適度なオーバーエッチングが加わる際、層間絶縁膜132、グルー層112、および誘電膜140、141の選択比の関係より、第1誘電層140、第2誘電層141を除去できる。すなわち、このような形状となっても下部電極がエッチングによって除去されなければ、MIM部160の容量特性を得ることができる。

《第7実施形態》

図29から図32の図面に基づいて、本発明の第7実施形態を説明する。上記第5実施形態および第6実施形態では、誘電絶縁膜が積層されている半導体装置について説明した。本実施形態では、積層する誘電絶縁膜の厚みをさらに薄し、よりMIM部の絶縁容量を大きくすることが可能な構造形成方法について説明する。すなわち、本実施形態では、第2誘電絶縁膜をダミーの絶縁膜として使用する。ダミーとは、パターン形成工程においてエッチングのマスクとして存在するが、パターン形成後には消滅し、MIM素子の構成要素とならない絶縁膜をいう。その結果、誘電絶縁層は、ダミーの絶縁膜以外の絶縁膜によって構成されることになる。

30

【0121】

本実施形態における他の構成および作用は、第5、6実施形態の場合と同様である。そこで、第5、6実施形態の場合と同一の構成要素については、同一の符号を付してその説明を省略する。

40

【0122】

図29から図33は、本実施形態の半導体装置を形成する工程を示している。まず、図29のように、図10Aで示した下部電極部が形成される工程の後に、図27で説明したような方法により、誘電絶縁膜142(例えば比誘電率7、SiN 30nm)およびダミー絶縁層143(例えばSiO<sub>2</sub> 40nm)がプラズマCVD法を用いて順次成膜された後に、誘電絶縁膜パターン形成のためのフォトレジスト204が塗布、露光、現像され、レジストパターンが形成される。

【0123】

図30のようにフォトレジスト204をマスクにしてダミー絶縁層143が例えばCF系ガス等を用いたプラズマエッチングにてパターン形成される。エッチングは、誘電絶縁

50

膜 1 4 2 上で停止する。このエッチング条件を適正に選択すれば、ダミー絶縁層 1 4 3 でのエッチングを進行し、誘電絶縁膜 1 4 2 上でエッチングを停止する、そのような選択比を得ることができる。このような選択比は、ガスの種類およびガス圧力を調整して制御できることは周知である。続いてフォトレジスト 2 0 4 が酸素 ( O 2 ) ガスを含むプラズマアッシングにより除去される。このような手順により、酸素 ( O 2 ) ガスを含むプラズマアッシング時に、ダミー絶縁層 1 4 3 によって誘電絶縁膜 1 4 2 を保護できる。

#### 【 0 1 2 4 】

図 3 0 に示されるように、ダミー絶縁層 1 4 3 をマスクにして、誘電絶縁膜 1 4 2 を例えば C F 系、C H F 系の混合ガス等を用いてエッチングすることにより、図 3 1 のように誘電絶縁膜 1 4 2 のパターンを下部電極 ( グルー層 1 1 2、金属層 1 1 3 ) 上に形成することができる。フォトレジストが除去されているため、ダミー絶縁層 1 4 3 をマスクにしてエッチングすると、誘電絶縁膜 1 4 2 のエッチングとともに、大部分のダミー絶縁層 1 4 3 自体が除去され得る。ダミー絶縁層 1 4 3 もマスクとして機能はさせるものの、エッチング条件によっては、誘電絶縁膜 1 4 2 上でダミー絶縁層 1 4 3 を除去させることが可能である。すなわち、ダミー絶縁層 1 4 3 と誘電絶縁膜 1 4 2 とが同程度にエッチングされるガスの種類およびガス圧を選択すればよい。

#### 【 0 1 2 5 】

また、ダミー絶縁層 1 4 3 が薄く残った場合には、フッ酸によるウェットエッチング法を用いることによりダミー絶縁層 1 4 3 の除去が可能である。このとき、誘電絶縁膜 1 4 2 のパターンのない箇所で層間絶縁膜 1 3 2 が表面にさらされているが、ダミー絶縁層 1 4 3 のエッチング後の残渣の膜厚に比べて十分大きいため、消失懸念は小さく誘電絶縁膜 1 4 2 上にあるダミー絶縁層 1 4 3 を除去するには十分なマージンがある。

#### 【 0 1 2 6 】

ダミー絶縁層 1 4 3 はプラズマエッチング中に一旦フォトレジスト 2 0 4 によって保護された状態を保ち ( 図 2 9 )、続くマスクとして利用される場合にはプラズマエッチングにさらされる。しかしながらその下にある誘電絶縁膜 1 4 2 は保護される ( 図 3 0 )。プラズマエッチングは M I M 部にとってはダメージの少ない条件が好ましいため、ダミー絶縁層 1 4 3 は誘電絶縁膜 1 4 2 へのダメージ抑制の効果を持っている。また、加えて、ダミー絶縁層 1 4 3 が消失されることにより M I M 部の容量特性に直接寄与することが無くなる。したがって、より厚みの薄い誘電絶縁膜部を M I M 部で形成するために、このような工程は有効な手段といえる。

#### 【 0 1 2 7 】

次いで、図 3 2 に示されるようにバリアメタル膜 1 1 4、金属層 1 1 5、バリアメタル膜 1 1 6 が成膜され、さらに、フォトレジスト 2 0 5 ( 図示せず ) が塗布、露光、現像される。これにより、M I M 部には上部電極 P 1、通常部には回路パターン P 2、P 3 に対応する不図示のレジストパターンが形成される。さらに、レジストパターンをマスクとして塩素 ( C l ) 系ガス等を用いたプラズマエッチングにより上部電極 P 1、配線パターン P 2、P 3 を形成する。このとき、第 6 実施形態でも説明したのと同様な工程にて、誘電絶縁膜 1 4 2 もエッチングされた形状が得られている。

#### 【 0 1 2 8 】

次いで、図 3 3 のように、前述の各実施形態と同様にプラズマ C V D 法を用いて、カバー構造として、絶縁膜 1 3 6 ( 例えば、S i O 2 1 4 0 0 n m )、絶縁膜 1 3 7 ( 例えば S i N 膜 5 0 0 n m ) を成膜する。

#### 【 0 1 2 9 】

本実施例の様な方法を用いることにより、誘電絶縁層 1 4 2 へのダメージが抑制され、且つ、誘電絶縁層 1 4 2 を第 6 実施形態の半導体装置よりもさらに薄く形成し、絶対容量を大きくすることが可能となる。

#### 【 0 1 3 0 】

本実施例では、誘電絶縁膜 1 4 2、ダミー絶縁層 1 4 3 に使用される材料は、S i N の場合の例、S i O 2 の場合の例で示したが、絶縁膜として S i C、S i C N、S i O N 等

10

20

30

40

50

の材料を適宜組み合わせることも可能である。

《第8実施形態》

図34から図39の図面に基づいて本発明の第8実施形態に係る半導体装置を説明する。上記で説明したそれぞれの実施形態においては、MIM部と通常部の基本的な工程、上部電極と下部電極の平面的なレイアウト、ホールパターンの平面的なレイアウト、誘電絶縁膜の形成方法の詳細およびその変形例について述べた。本実施形態では、下部電極自体の寄生抵抗の低減に関する技術的な変形について述べる。他の構成および作用は、第1実施形態から第7実施形態と同様である。そこで、上記実施形態と同一の構成については、同一の符号を付してその説明を省略する。

【0131】

図34は、本実施形態の半導体装置で補助金属層上にレジストパターンを形成する工程を示す。まず、第1実施形態の図10Aに示されるような工程にて下部電極となるグルー層112が形成される。図10Aでは、次いで下部電極パターンが形成されたが、本実施形態では、その前にスパッタ法を用いて補助金属層120（本発明の第3金属層に相当し、例えば、TiN 150nm）を成膜する。

【0132】

続いて、図34のように、フォトレジスト203が塗布、露光、現像されることにより下部電極に対応するレジストパターンが形成される。この工程は、図10Aと同様である。

【0133】

次に、フォトレジスト203をマスクとして、積層構造となっている補助金属層120およびグルー層112が塩素(Cl)系ガス等を用いたエッチングにより除去される。さらに、酸素(O2)ガスを利用するプラズマアッシングによりフォトレジスト203が除去される。そして、図35に示されるように、プラズマCVD法を用いて誘電絶縁膜135が成膜される。

【0134】

次に、図36に示されるように、誘電絶縁層135上にフォトレジスト204が塗布、露光、現像され、誘電絶縁膜パターンに対応するフォトレジスト204のパターンが形成される。さらに、フォトレジスト204をマスクとして、誘電絶縁層135がエッチングされ、誘電絶縁層135がパターン形成される。

【0135】

次に、スパッタ法を用いてバリアメタル膜114、金属層115、バリアメタル膜116が成膜される。さらに、図37に示すように、フォトレジスト205が塗布、露光、現像される。そして、MIM部には図27と同様な形式の上部電極パターンP1、通常部には配線パターンP2、P3に対応するレジストパターンを形成する。

【0136】

そして、図38に示されるように、図37のフォトレジスト205をマスクにして、バリアメタル膜116、金属層115、バリアメタル膜114が塩素(Cl)系ガス等を用いてプラズマエッチングにより、誘電絶縁膜135、および、層間絶縁膜132が露出するまでエッチングされる。続いて、酸素(O2)ガスを含むプラズマアッシングによりフォトレジスト205が除去される。

【0137】

図39は、上記のプラズマエッチングにおいて、さらに誘電絶縁膜135がエッチングされた場合の図面を示している。このような形態が前述実施形態(図32参照)と同様に存在していてもMIM部の容量特性は得られる。後の工程は図示しないが他の実施例と同様な工程により構成される。

【0138】

以上述べたように、補助金属層120を設けることにより、補助金属層120、グルー層112および金属層113によって下部電極が構成される。その結果、図38あるいは図39に示すように下部電極の厚みが増加する。したがって、下部電極の断面積が増加し

10

20

30

40

50

、下部電極の平面方向（図38あるいは図39で左右方向）の抵抗を低減することができる。

【0139】

上記実施形態では、図38あるいは図39に示したように、金属層113がCMPによって除去された際に、グルー層112は残されている。しかし、これに替えて、金属層113とともにグルー層112のうち層間絶縁膜132より上部の部分を完全に除去し、ホール112A内にだけグルー層112が残されるようにしても構わない。

【0140】

すなわち、図9Aに示したように、金属層113およびグルー層112をCMPしたときに、グルー層112を残すことなく、図40のように層間絶縁膜132が現れるまでグルー層112を除去しても構わない。そして、図40および41に示したように、フォトリソスト203のパターニングおよび補助金属層120のエッチングの後、図36から図38または図39と同様の工程によってMIM部を形成できる。

【0141】

このように、グルー層112を層間絶縁膜132から除去し、層間絶縁膜132上に直接補助金属層120（本発明の第3金属層に相当）を成膜することによって、補助金属層120、グルー層112、金属層113によって下部電極を構成できる。このような構成により、図34-39に示した構成と比較して、ホール112A（グルー層112および金属層113）の上層を平坦化しやすくなる。層間絶縁膜132上に、グルー層112がまばらに残存することがないからである。また、グルー層112の層間絶縁膜132上の部分と金属層113とが形成する段差（図9A参照）の発生を低減できる。したがって、MIM部の特性（静電容量、絶縁耐圧等）のばらつきを低減できる。

《その他の変形例》

他の平面的なレイアウト例を示す。図42は、図25の上部電極形状をほぼそのまま残し、ダマシン配線を上部電極P1の周囲に沿った形で配置し、上部電極P1とは上部電極引き出し部（延長部分P1A）のみで重なりを持たせ、上部電極P1の下には配線は配置していない構造の半導体装置を示している。上部電極P1と下部電極（グルー層112）との重複部分の下にはホールパターン112Aは配置されていない。下部電極と上部電極P1の重複部分には、ホールパターンが配置しない構造であるため、MIM部の容量素子の部分に段差が発生しない構造となっている。

【0142】

これに加えて図43に示されるように、電極下部には、ホールパターン112Aは配置しないが、ダマシン配線113Aのみが配置される平面構成とすることも可能である。すなわち、図43では、メッシュ状にダマシン配線113Aが形成されている。ダマシン配線そのものは、CMPにより平坦化されるので、図43のダマシン配線113A（メッシュ部分）上層は、段差が生じにくい。したがって、図43に示す構成によっても、MIM部の容量素子の部分の段差を低減でき、MIM部の特性（静電容量、絶縁耐圧等）のばらつきを低減できる。また、図42に対してより引き出し配線部の寄生抵抗をより下げることが可能である。

【0143】

また、図44では、図42に対して、ダマシン配線111Aが上部電極P1の引き出し部分（延長部分P1A）直下の領域に形成されていない。すなわち、図42では、下部電極をプラグ層113Aによって接続するダマシン配線111Aが矩形棒状に構成されていたのに対して、図44では、矩形棒の上部の一部が切断され、C字が回転した形状となっている。このような構成によっても、MIM部の容量素子の部分の段差を低減できる。

【0144】

また、平面内の引き回し方によってはMIM内部に上部電極P1とダマシン配線111Aとの重複部分を構成することも可能である。図45に、上部電極P1と、ダマシン配線111Aとの重複部分をMIM構造の平面領域内に形成した半導体装置の平面図を示す。この例では、下部電極に含まれるグルー層112の平面領域の内部に上部電極P1の平面

10

20

30

40

50

領域が形成されている。そして、上部電極 P 1 とダマシ配線 1 1 1 A とは、プラグ層 1 1 3 B (タングステン) によって接続されている。上部電極 P 1 とダマシ配線 1 1 1 A との間をプラグ層 1 1 3 B が通るために、下部電極であるグルー層 1 1 2 および誘電絶縁膜 1 3 5 には、窓部 1 1 2 B、および窓部 1 3 5 B が形成されている。

【 0 1 4 5 】

さらに、図 4 5 では、下部電極 (グルー層 1 1 2 の領域) とダマシ配線 1 1 1 A とを接続するためのプラグ層 1 1 3 A は、上部電極 P 1 の矩形領域の外部に形成されている。このように、プラグ層 1 1 3 A を上部電極 P 1 の外部に形成することで、上部電極 P 1 の平坦化を図ることができる。プラグ層 1 1 3 A では、プラグ層 1 1 3 A を構成するグルー層 1 1 2 と金属層 1 1 3 (タングステン) とで、CMP 時の研磨量が異なるため、段差を生じやすいためである (図 9 A 参照)。

10

【 0 1 4 6 】

図 4 6 は、図 4 2 に示す半導体装置の変形例であり、上部電極 P 1 からダマシ配線 1 1 1 A への引き出し部分を 2 箇所設けた例である。この重複分において、上部電極 P 1 とダマシ配線 1 1 1 A とは、プラグ層 1 1 3 C、1 1 3 D によって接続されている。この接続のため、下部電極であるグルー層 1 1 2 および誘電絶縁膜 1 3 5 には、窓部 1 1 2 C、1 1 2 D、1 3 5 C、1 3 5 D が形成されている。

【 0 1 4 7 】

なお、図 4 5 および図 4 6 の場合には、いずれも、上部電極 P 1 上に U 字形状 (C 字形状または L 字と I 字とを組み合わせた形状) の開口 1 7 0 が形成されている。また、上部電極 P 1 とダマシ配線 1 1 1 A とを接続するためのプラグ層 1 1 3 A は、上部電極 P 1 上で、上記開口 1 7 0 に突出するように形成された突出部 1 7 1 をダマシ配線 1 1 1 A に接続している。このように、上部電極 P 1 に、開口 1 7 0 と突出部 1 7 1 とを設けることで、MIM 部の境界付近に存在する上部電極 P 1 の面積を低減できる。例えば、図 4 5 の例では、開口 1 7 0 の直下は、MIM 部を構成する誘電絶縁層の窓部 1 3 5 B、および下部電極の窓 1 1 2 B が構成されている。このような MIM 部の窓付近では、上部電極 P 1 の下地の平坦化が困難になる場合があり、上部電極 P 1 の高さ (あるいは膜厚) が変動しやすい。したがって、このような箇所では、MIM 部による容量素子の特性が変動しやすい。

20

【 0 1 4 8 】

しかし、図 4 5、4 6 のように上部電極 P 1 の窓 1 7 0 および突出部 1 7 1 を設けることにより、そのような特性の変動を生じやすい部分の面積を低減し、MIM 部全体として特性を安定させることができる。

30

【 0 1 4 9 】

なお、図 4 7、4 8 のように、上部電極 P 1 に窓 1 7 0 および突出部 1 7 1 を設けない構成としてもよい。

《実施形態のその他の効果》

図 4 9 に、上記第 1 実施形態から第 8 実施形態でのアライメントマークによる位置合わせ系列を示す。図 4 9 に示すように、図 4 A から図 4 8 に示した半導体装置の構成では、ホール 1 1 2 A 形成時の段差であるマーク 1 5 0 によって、上層の MIM 部の下部電極 (CAP 1 のマスク) の位置合わせができる。したがって、図 1 - 3 のように、CAL で示される掘り起こし層を別途のマスクで形成する必要がなく、マスク数および工程数を低減できる。

40

【 0 1 5 0 】

図 5 0 に、本発明を適用する半導体装置の例を示す。この半導体装置は、図 3 1 に示す半導体装置は、7 層の銅配線と 1 層のアルミ配線とにより多層配線構造を構成したものである。

【 0 1 5 1 】

シリコン基板 4 0 0 には、素子領域を確定する素子分離膜 4 0 2 が形成されている。素子分離膜 4 0 2 により画定された素子領域には、ゲート電極 4 0 4 とソース/ドレイン拡

50

散層 406 とを有する MOS トランジスタが形成されている。

【0152】

MOS トランジスタが形成されたシリコン基板 400 上には、PSG 膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 408 が形成されている。層間絶縁膜 408 には、タンゲステン膜 / 窒化チタン膜の積層構造よりなるコンタクトプラグ 410 が埋め込まれている。

【0153】

コンタクトプラグ 410 が埋め込まれた層間絶縁膜 408 上には、シリコン酸化膜 / SiLK (登録商標) 膜 (又は SOG 膜) の積層膜よりなる層間絶縁膜 412 が形成されている。層間絶縁膜 412 には、銅膜 / タantal膜の積層構造よりなる配線層 414 が埋め込まれている。

10

【0154】

配線層 414 が埋め込まれた層間絶縁膜 412 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 416 が形成されている。層間絶縁膜 416 上には、シリコン酸化膜 / SiLK 膜 (又は SOG 膜) の積層膜よりなる層間絶縁膜 418 が形成されている。層間絶縁膜 416, 418 内には、銅膜 / タantal膜の積層構造よりなり、層間絶縁膜 416 内にビア部が埋め込まれ、層間絶縁膜 418 内に配線部が埋め込まれた配線層 420 が形成されている。

【0155】

配線層 420 が埋め込まれた層間絶縁膜 418 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 422 が形成されている。層間絶縁膜 422 上には、シリコン酸化膜 / SiLK 膜 (又は SOG 膜) の積層膜よりなる層間絶縁膜 424 が形成されている。層間絶縁膜 422, 424 内には、銅膜 / タantal膜の積層構造よりなり、層間絶縁膜 422 内にビア部が埋め込まれ、層間絶縁膜 424 内に配線部が埋め込まれた配線層 426 が形成されている。

20

【0156】

配線層 426 が埋め込まれた層間絶縁膜 424 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 428 が形成されている。層間絶縁膜 428 上には、シリコン酸化膜 / SiLK 膜 (又は SOG 膜) の積層膜よりなる層間絶縁膜 430 が形成されている。層間絶縁膜 428, 430 内には、銅膜 / タantal膜の積層構造よりなり、層間絶縁膜 428 内にビア部が埋め込まれ、層間絶縁膜 430 内に配線部が埋め込まれた配線層 432 が形成されている。

30

【0157】

配線層 432 が埋め込まれた層間絶縁膜 430 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 434 が形成されている。層間絶縁膜 434 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 436 が形成されている。層間絶縁膜 434, 436 内には、銅膜 / タantal膜の積層構造よりなり、層間絶縁膜 434 内にビア部が埋め込まれ、層間絶縁膜 436 内に配線部が埋め込まれた配線層 438 が形成されている。

【0158】

配線層 438 が埋め込まれた層間絶縁膜 436 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 440 が形成されている。層間絶縁膜 440 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 442 が形成されている。層間絶縁膜 440, 442 内には、銅膜 / タantal膜の積層構造よりなり、層間絶縁膜 440 内にビア部が埋め込まれ、層間絶縁膜 442 内に配線部が埋め込まれた配線層 444 が形成されている。

40

【0159】

配線層 444 が埋め込まれた層間絶縁膜 442 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 446 が形成されている。層間絶縁膜 446 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 448 が形成されている。層間

50

絶縁膜 4 4 6 , 4 4 8 内には、銅膜 / タンタル膜の積層構造よりなり、層間絶縁膜 4 4 6 内にビア部が埋め込まれ、層間絶縁膜 4 4 8 内に配線部が埋め込まれた配線層 4 5 0 が形成されている。

【 0 1 6 0 】

配線層 4 5 0 が埋め込まれた層間絶縁膜 4 4 8 上には、シリコン酸化膜 / シリコン窒化膜の積層膜よりなる層間絶縁膜 4 5 2 が形成されている。層間絶縁膜 4 5 2 には、タングステン膜 / 窒化チタン膜の積層構造よりなるコンタクトプラグ 4 5 4 が埋め込まれている。

【 0 1 6 1 】

コンタクトプラグ 4 5 4 が埋め込まれた層間絶縁膜 4 5 2 上には、窒化チタン膜 / アルミ膜 / 窒化チタン膜の積層膜よりなる配線層 4 5 6 が形成されている。

10

【 0 1 6 2 】

配線層 4 5 6 が形成された層間絶縁膜 4 5 2 上には、シリコン窒化膜 / シリコン酸化膜の積層膜よりなるカバー膜 4 5 8 が形成されている。

【 0 1 6 3 】

こうして、7 層の銅配線と 1 層のアルミ配線とにより多層配線構造が構成された半導体装置が形成されている。

【 0 1 6 4 】

本実施形態で説明した M I M 構造は、例えば、タングステン膜 / 窒化チタン膜の積層構造よりなるコンタクトプラグ 4 5 4 を下部電極とし、窒化チタン膜 / アルミ膜 / 窒化チタン膜の積層膜よりなる配線層 4 5 6 を上部電極として、コンタクトプラグ 4 5 4 と配線層 4 5 6 とに挟まれる階層部分に形成することができる。このように、シリコン基板 4 0 0 から極力上位の階層に M I M 構造を形成することで、寄生容量を低減して M I M 構造を形成し、素子の高速化を図ることができる。

20

【 0 1 6 5 】

《その他》

以下、本発明の諸態様を付記としてまとめて記載する。

( 付記 1 )

半導体基板上に形成される第 1 配線層と、  
前記第 1 配線層の上層に形成される層間絶縁膜と、  
前記層間絶縁膜の上面に開口部を有し前記層間絶縁膜に形成されるホールと、  
前記ホール内壁面を被覆する第 1 金属層と、  
前記第 1 金属層で被覆されたホール内に埋め込まれる第 2 金属層と、  
前記第 1 金属層の上層に形成される誘電絶縁膜と、  
前記誘電絶縁膜の上層に形成される第 2 配線層と、を備え、  
前記ホール内壁面を被覆する第 1 金属層を含んだ下部電極と、前記第 2 配線層の前記下部電極に対向する部分を含んだ上部電極とによってなるコンデンサを含む半導体装置。( 1 )

30

( 付記 2 )

前記第 1 金属層が前記ホール内壁面から前記開口部を通り前記層間絶縁膜と前記誘電絶縁膜との間に延在している付記 1 に記載の半導体装置。( 2 )

40

( 付記 3 )

前記延在する第 1 金属層の上層に第 3 金属層が形成され、前記第 3 金属層が前記下部電極の少なくとも一部を構成する付記 2 に記載の半導体装置。( 3 )

( 付記 4 )

前記層間絶縁膜の上層に前記第 1 金属層または第 2 金属層に接続される第 3 金属層が形成され、前記第 3 金属層が前記下部電極を構成する付記 1 または 2 に記載の半導体装置。

( 4 )

( 付記 5 )

前記ホールが、前記上部電極を基板下層方向に投影した層間絶縁膜上の平面領域に前記

50

上部電極に対向して形成されている付記 1 から 4 のいずれかに記載の半導体装置。

(付記 6)

前記ホールが、前記上部電極を基板下層方向に投影した層間絶縁膜上の平面領域の外側領域に形成され、前記第 1 金属層が前記平面領域から前記ホールが形成された外側領域まで延伸されている付記 1 から 3 のいずれかに記載の半導体装置。(5)

(付記 7)

前記ホールが、前記上部電極を基板下層方向に投影した層間絶縁膜上の平面領域の外側領域に形成され、前記第 3 金属層が前記平面領域から前記ホールが形成された外側領域まで延伸されている付記 4 に記載の半導体装置。(6)

(付記 8)

半導体基板上に形成される第 1 配線層と、  
前記第 1 配線層の上層に形成される層間絶縁膜と、  
前記層間絶縁膜の上面に開口部を有し前記層間絶縁膜に形成されるホールと、  
前記ホール内壁面を被覆する第 1 金属層と、  
前記第 1 金属層で被覆されたホール内に埋め込まれる第 2 金属層と、  
前記層間絶縁膜上に形成され前記第 1 金属層および第 2 金属層に接続される第 3 金属層と、

前記第 3 金属層の上層に形成される誘電絶縁膜と、  
前記誘電絶縁膜の上層に形成される第 2 配線層と、を備え、  
前記第 3 金属層を含んだ下部電極と、前記第 2 配線層の前記下部電極に対向する部分を  
含んだ上部電極とによってなるコンデンサを含んだ半導体装置。(7)

(付記 9)

前記第 1 配線層は、ダマシン配線層である付記 1 から 8 のいずれかに記載の半導体装置。

(付記 10)

前記ホールの形成とともに、前記ホールを含む層に前記ホールの上層を重ね合わせるための合わせマークとして段差が形成され、前記段差の上層では、段差残りが形成されている付記 1 から 9 のいずれかに記載の半導体装置。(8)

(付記 11)

前記誘電絶縁膜の平面領域は、前記上部電極を略下層方向に投影した平面領域に含まれている付記 1 から 10 のいずれかに記載の半導体装置。

(付記 12)

前記ホールのうち前記下部電極の下層に配置されるホールの断面は、第 1 方向の幅が前記第 1 方向に略直交する第 2 方向の幅よりも長い溝状の形状を有する付記 1 から 11 のいずれかに記載の半導体装置。

(付記 13)

前記第 1 配線層に含まれる配線が、前記上部電極を下層方向に投影した前記第 1 配線層の平面領域に形成される付記 1 から 12 のいずれかに記載の半導体装置。

(付記 14)

前記第 1 配線層に含まれる配線が、前記上部電極を下層方向に投影した前記第 1 配線層の平面領域の外側領域に形成される付記 1 から 13 のいずれかに記載の半導体装置。

(付記 15)

前記第 2 配線層は、当該半導体装置内の配線層のうち最も上層に位置する配線層であり、前記第 1 配線層は、当該半導体装置内で第 2 配線層の下層に位置する配線層である付記 1 から 14 のいずれかに記載の半導体装置。

(付記 16)

前記第 1 配線および第 2 配線層を当該半導体装置外に接続するリードを接続可能なパッド部をさらに備え、

前記上部電極は、前記パッド部と略同一の材質で形成される付記 1 から 15 のいずれかに記載の半導体装置。

10

20

30

40

50

(付記 17)

前記第 2 配線層の上層にカバー構造をさらに備える付記 1 から 16 のいずれかに記載の半導体装置。

(付記 18)

前記上部電極側方の端面と前記誘電絶縁膜側方の端面とが前記下部電極に対して略垂直な平面を構成する付記 1 から 17 のいずれかに記載の半導体装置。

(付記 19)

前記誘電絶縁膜が特性の異なる複数の積層された誘電体膜を有する付記 1 から 18 のいずれかに記載の半導体装置。

(付記 20)

半導体基板上に第 1 配線層を形成する工程と、  
前記第 1 配線層の上層に層間絶縁膜を形成する工程と、  
前記層間絶縁膜の上面に開口部を有するホールを形成する工程と、  
前記ホール内壁面を第 1 金属層で被覆する工程と、  
前記第 1 金属層で被覆されたホール内に第 2 金属層を埋め込む工程と、  
前記第 1 金属層の上層に誘電絶縁膜を形成する誘電層形成工程と、  
前記誘電絶縁膜の上層に第 2 配線層を形成する工程と、を備え、  
前記ホール内壁面を被覆する第 1 金属層が前記誘電絶縁膜下層の下部電極の少なくとも一部を形成し、前記第 2 配線層の前記下部電極に対向する部分が前記誘電絶縁膜上層の上部電極を形成し、前記下部電極、誘電絶縁膜および上部電極によってコンデンサが形成された半導体装置の製造方法。(9)

10

20

(付記 21)

前記誘電層形成工程は、第 1 絶縁層を形成する工程と、  
前記第 1 絶縁層上に第 2 絶縁層を形成する工程と、  
前記第 2 絶縁層上にレジストパターンを形成する工程と、  
前記レジストパターンをマスクとして前記第 2 絶縁層にパターン形成する工程と、  
前記レジストパターンを剥離する工程と、  
前記第 2 絶縁層に形成されたパターンをマスクとし前記第 1 絶縁層にパターン形成する工程とを備え、  
前記第 2 絶縁層は、前記第 1 絶縁層のパターン形成とともに、または、前記第 1 絶縁層

30

【図面の簡単な説明】

【0166】

【図 1】半導体装置の基本構造例を示す図である。

【図 2】MIM 構造をダマシン構造内に埋め込み形成した半導体装置の第 2 例を示す図である。

【図 3】基本的な位置合わせ系列を示す図である。

【図 4 A】金属(Cu)のダマシン配線を形成するために、層間膜とストッパ膜を成膜し、パターニングする工程を示す図(MIM部、通常部)である。

【図 4 B】金属(Cu)のダマシン配線を形成するために、層間膜とストッパ膜を成膜し、パターニングする工程を示す図(マーク部)である。

40

【図 5 A】溝内にスパッタとメッキで金属層(Cu)とバリアメタル膜(Ta)を成膜する工程を示す図(MIM部、通常部)である。

【図 5 B】溝内にスパッタとメッキで金属層(Cu)とバリアメタル膜(Ta)を成膜する工程を示す図(マーク部)である。

【図 6 A】ダマシン配線上のホール形成工程を示す図(MIM部、通常部)である。

【図 6 B】ダマシン配線上のホール形成工程を示す図(マーク部)である。

【図 7 A】層間絶縁膜 132 のパターン形成および拡散防止膜 131 の除去処理工程を示す図(MIM部、通常部)である。

【図 7 B】層間絶縁膜 132 のパターン形成および拡散防止膜 131 の除去処理工程を示

50

す図（マーク部）である。

【図 8 A】金属層の成膜工程を示す図（MIM部、通常部）である。

【図 8 B】金属層の成膜工程を示す図（通常部）である。

【図 9 A】金属層のCMP工程を示す図（MIM部、通常部）である。

【図 9 B】金属層のCMP工程を示す図（マーク部）である。

【図 10 A】MIM部の下部電極となるパターンを形成する工程を示す図（MIM部、通常部）である。

【図 10 B】MIM部の下部電極となるパターンを形成する工程でのマーク部の構成を示す図である。

【図 11 A】MIM部の容量部になる誘電絶縁膜 135 を成膜する工程を示す図（MIM部、通常部）である。

【図 11 B】MIM部の容量部での誘電絶縁膜 135 を成膜する工程でのマーク部の構成を示す図である。

【図 12 A】MIM部の容量部をパターンニングするためのフォトレジスト 204 が塗布、露光、現像される工程を示す図（MIM部、通常部）である。

【図 12 B】MIM部の容量部をパターンニングするためのフォトレジスト 204 が塗布、露光、現像される工程でのマーク部の構成を示す図である。

【図 13 A】上部電極のパターン形成工程を示す図（MIM部、通常部）である。

【図 13 B】上部電極のパターン形成工程でのマーク部の構成を示す図である。

【図 14 A】バリアメタル膜 116、金属層 115、バリアメタル膜 114 のエッチング工程を示す図（MIM部、通常部）である。

【図 14 B】バリアメタル膜 116、金属層 115、バリアメタル膜 114 のエッチング工程を示す図（マーク部）である。

【図 15 A】カバー構造の成膜工程を示す図（MIM部、通常部）である。

【図 15 B】カバー構造の成膜工程を示す図（マーク部）である。

【図 15 C】カバー構造の成膜工程を示す図（変形例）である。

【図 16 A】本発明の第 1 実施形態にて説明した工程によって作られる断面構造に対する平面図（MIM部、通常部）である。

【図 16 B】本発明の第 1 実施形態にて説明した工程によって作られる断面構造に対する平面図（マーク部）である。

【図 16 C】本発明の第 1 実施形態にて説明した工程によって作られる断面構造に対する平面図（変形例）である。

【図 17 A】本発明の第 2 実施形態に係る半導体装置のMIM部および通常部の断面図である。

【図 17 B】本発明の第 2 実施形態に係る半導体装置のマーク部の断面図である。

【図 18 A】本発明の第 2 実施形態に係る半導体装置のMIM部および通常部の平面図である。

【図 18 B】本発明の第 2 実施形態に係る半導体装置のマーク部の平面図である。

【図 19】ホールの断面形状が縦方向と横方向で長さの異なる矩形形状である変形例を示す図である。

【図 20】ダマシ配線部の幅を広げた変形例を示す図である。

【図 21】ホールの数を増加させた変形例を示す図である。

【図 22】断面形状の縦方向と横方向で長さが異なる溝状のホールと通常の略正方形に近い矩形のホールを組み合わせた変形例を示す図である。

【図 23】ダマシ配線部の幅を広げるとともに、ホールの断面形状が縦方向と横方向で長さの異なる矩形形状とした変形例である。

【図 24】MIM構造の下部電極からダマシ配線に引き出されるホールが上部電極 P1 の下に配置されない半導体装置を示す断面図である。

【図 25】MIM構造の下部電極からダマシ配線に引き出されるホールが上部電極 P1 の下に配置されない半導体装置を示す平面図である。

10

20

30

40

50

【図 2 6】ホールの断面形状が縦方向と横方向で長さの異なる矩形状である変形例を示す図である。

【図 2 7】誘電絶縁層が複数層積層された半導体装置を示す断面図である。

【図 2 8】誘電絶縁層の端部が上部電極の端部と部分的に揃う半導体装置を示す断面図である。

【図 2 9】ダミー絶縁層を利用した半導体装置の製造工程を示す断面図(1)である。

【図 3 0】ダミー絶縁層を利用した半導体装置の製造工程を示す断面図(2)である。

【図 3 1】ダミー絶縁層を利用した半導体装置の製造工程を示す断面図(3)である。

【図 3 2】ダミー絶縁層を利用した半導体装置の製造工程を示す断面図(4)である。

【図 3 3】ダミー絶縁層を利用した半導体装置の製造工程を示す断面図(5)である。

【図 3 4】補助金属層上にレジストパターンを形成する工程を示す断面図である。

【図 3 5】プラズマ CVD 法を用いて誘電絶縁膜が成膜される工程を示す断面図である。

【図 3 6】誘電絶縁層上にフォトレジストが塗布、露光、現像される工程を示す断面図である。

【図 3 7】バリアメタル、金属層、バリアメタルよりなるアルミ配線上にフォトレジストが塗布、露光、現像される工程を示す断面図である。

【図 3 8】アルミ配線をエッチングする工程を示す断面図である。

【図 3 9】誘電絶縁膜をエッチングする工程を示す断面図である。

【図 4 0】層間絶縁膜上のグルー層を除去して補助金属層を成膜した半導体装置の製造工程を示す断面図(1)である。

【図 4 1】層間絶縁膜上のグルー層を除去して補助金属層を成膜した半導体装置の製造工程を示す断面図(2)である。

【図 4 2】ダマシン配線を上部電極 P 1 の周囲に沿った形で配置した構造の半導体装置を示す平面図である。

【図 4 3】電極下部にホールパターン 1 1 2 A は配置せず、ダマシン配線 1 1 3 A を配置した半導体装置の平面図である。

【図 4 4】ダマシン配線が上部電極の引き出し部分直下の領域に形成されていない半導体装置の平面図である。

【図 4 5】MIM 内部に上部電極 P 1 とダマシン配線 1 1 1 A との重複部分を構成した半導体装置の例 1 を示す平面図である。

【図 4 6】MIM 内部に上部電極 P 1 とダマシン配線 1 1 1 A との重複部分を構成した半導体装置の例 2 を示す平面図である。

【図 4 7】MIM 内部に上部電極 P 1 とダマシン配線 1 1 1 A との重複部分を構成した半導体装置の例 3 を示す平面図である。

【図 4 8】MIM 内部に上部電極 P 1 とダマシン配線 1 1 1 A との重複部分を構成した半導体装置の例 4 を示す平面図である。

【図 4 9】本発明の第 1 実施形態から第 8 実施形態でのアライメントマークによる位置合わせ系列を示す図である。

【図 5 0】本発明の第 1 実施形態から第 8 実施形態を適用する半導体装置を示す図である。

【符号の説明】

【0167】

100、300 半導体基板

101、103、132、301、303、333、335 層間絶縁膜(シリコン酸化膜)

102、302 シリコン窒化膜(ストップ膜)

110、114、116、338 バリアメタル膜

110A 溝部

111 金属層(Cu)

112 グルー層

10

20

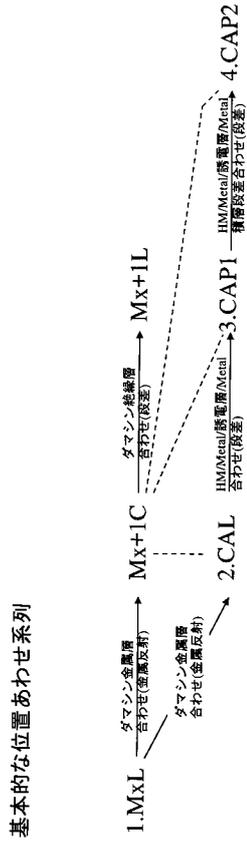
30

40

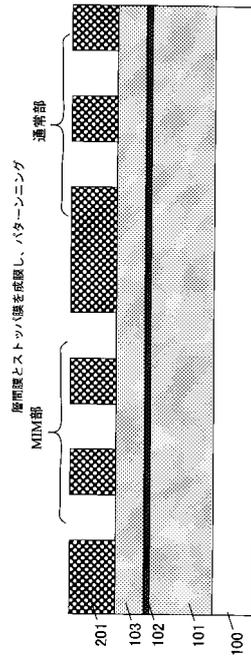
50



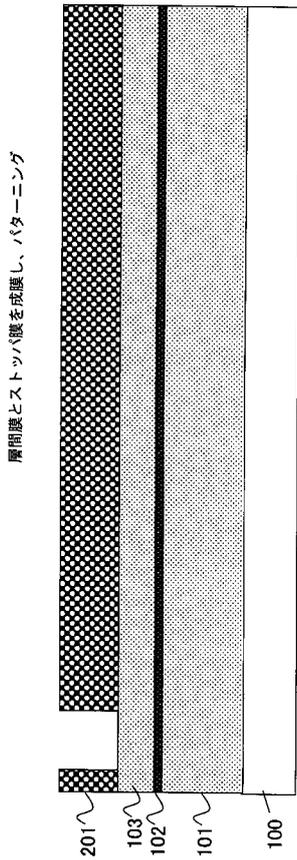
【 図 3 】



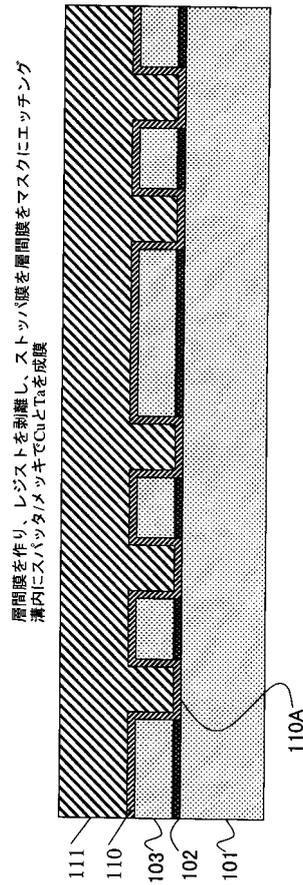
【 図 4 A 】



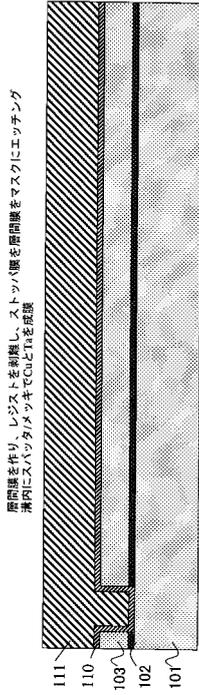
【 図 4 B 】



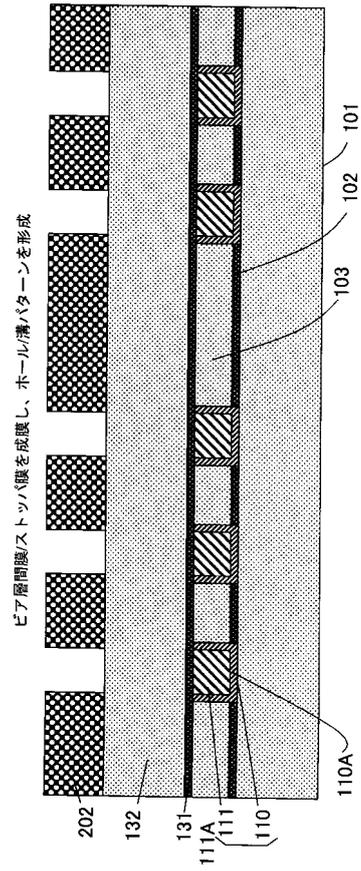
【 図 5 A 】



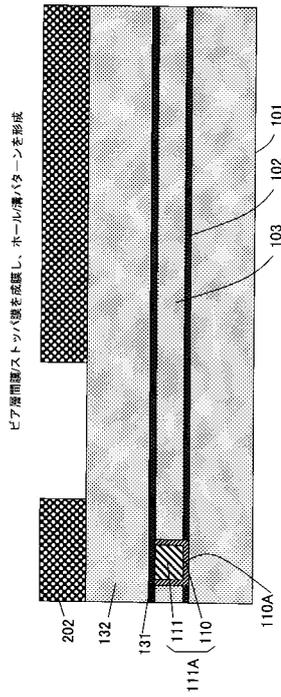
【図5B】



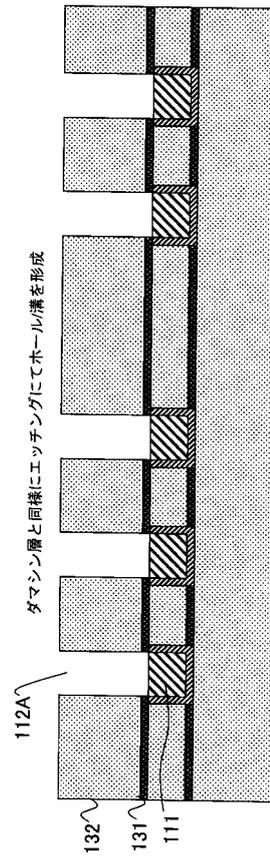
【図6A】



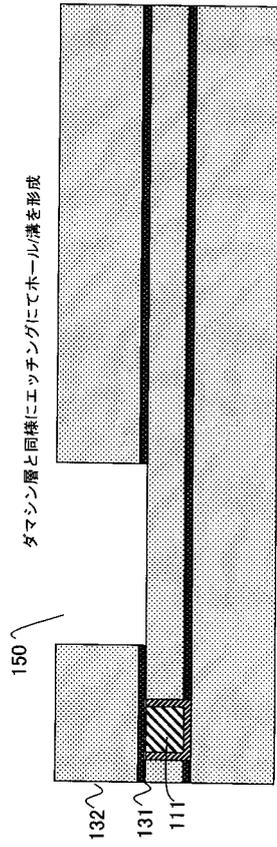
【図6B】



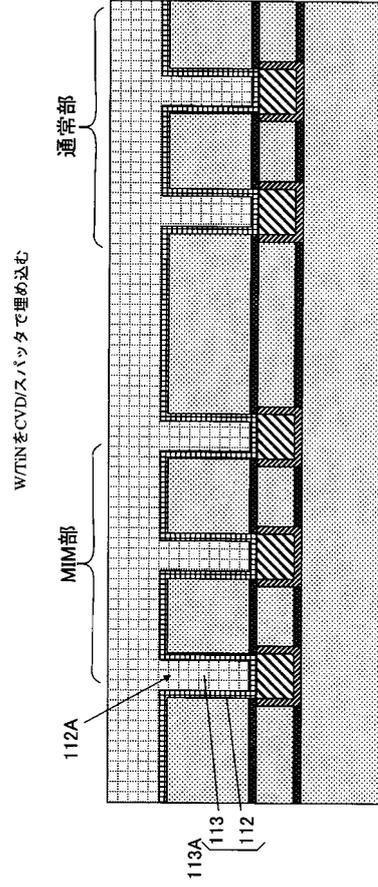
【図7A】



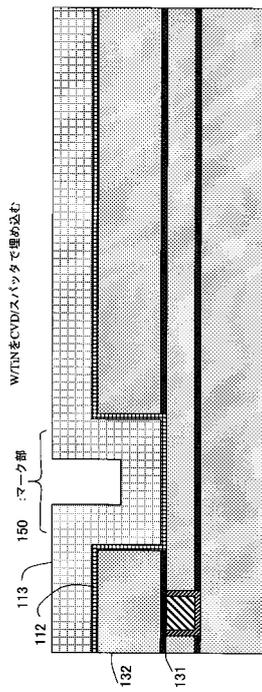
【図7B】



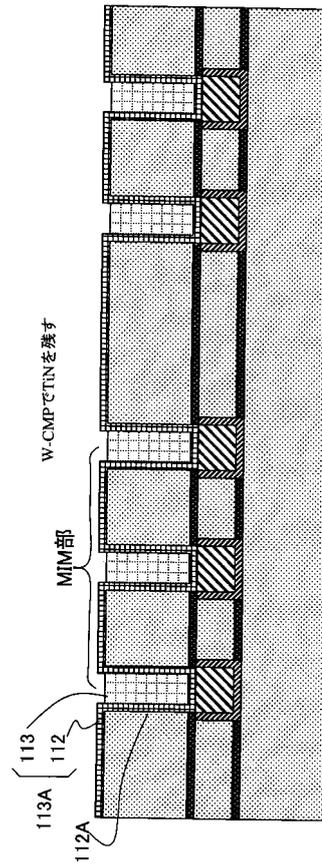
【図8A】



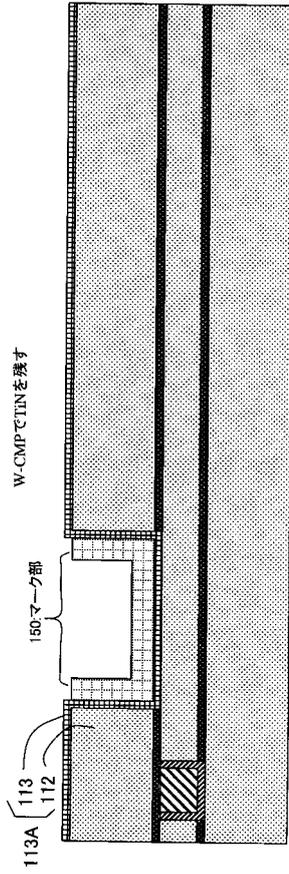
【図8B】



【図9A】

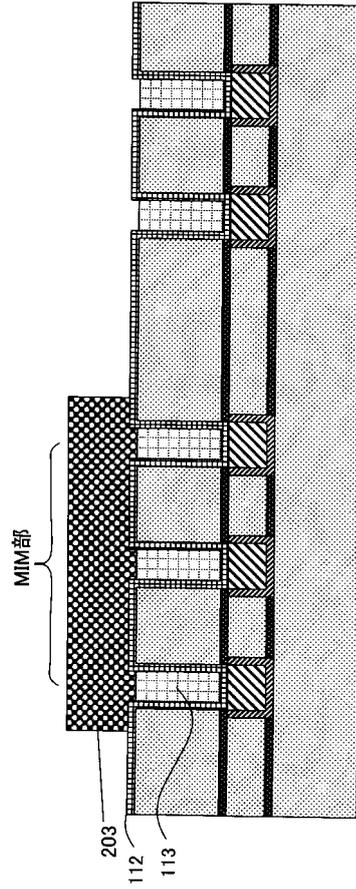


【図9B】



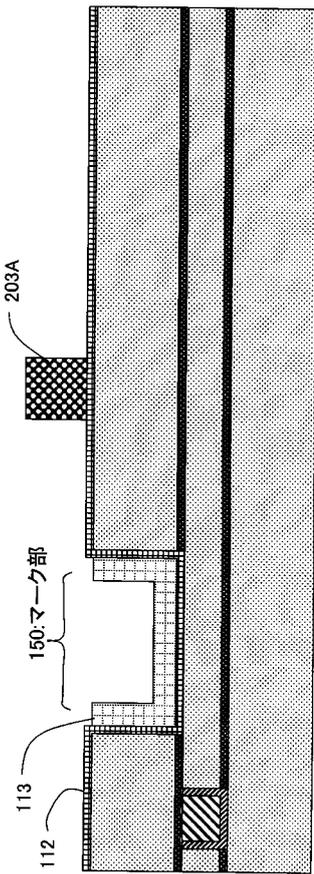
【図10A】

MIM部の下部電極となるパターンを形成



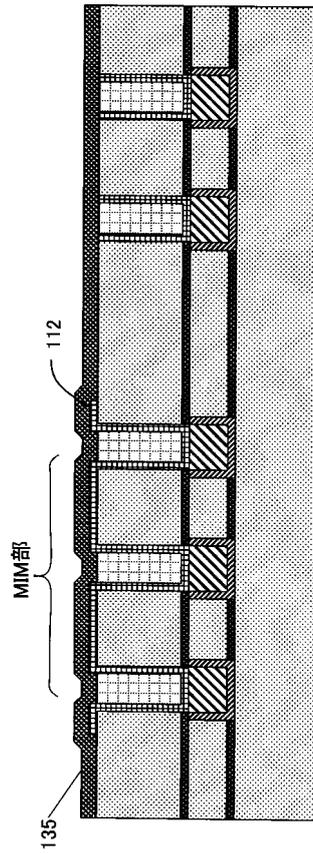
【図10B】

MIM部の下部電極となるパターンを形成したときのマーク領域

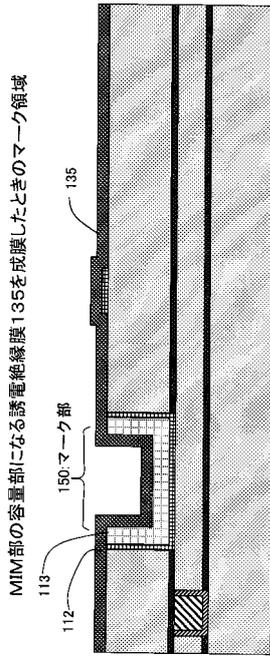


【図11A】

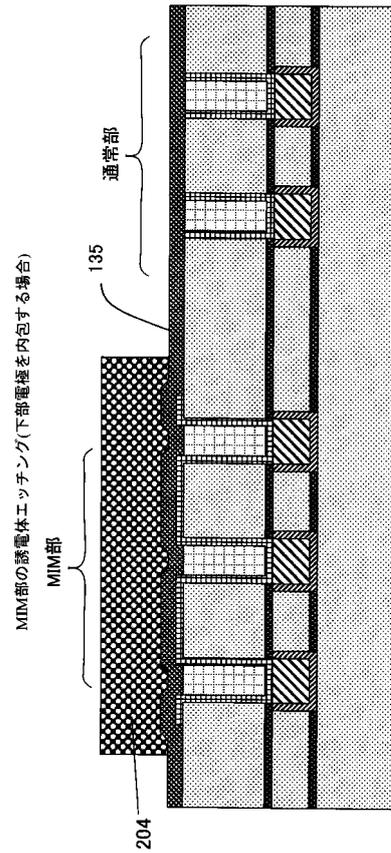
MIM部の容量部になる誘電絶縁膜135を成膜



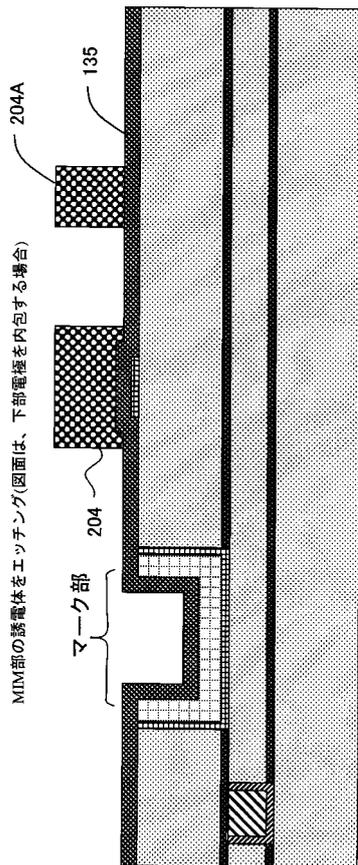
【図 1 1 B】



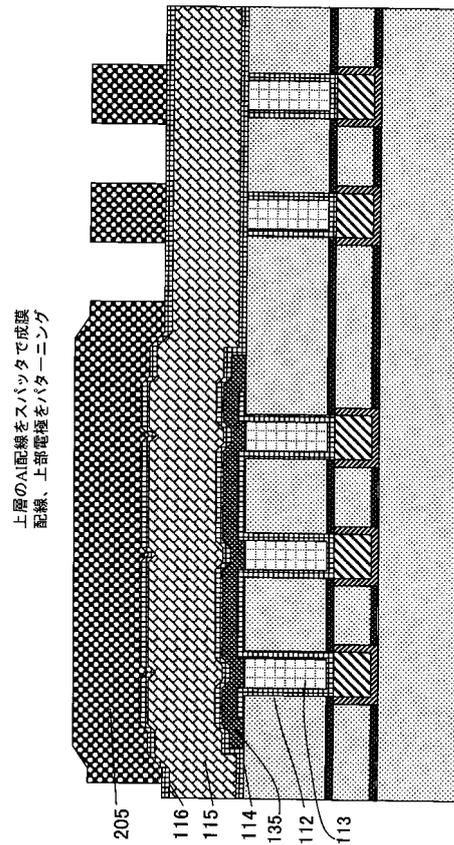
【図 1 2 A】



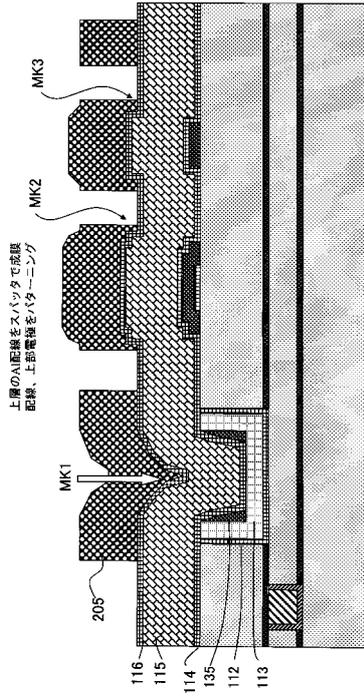
【図 1 2 B】



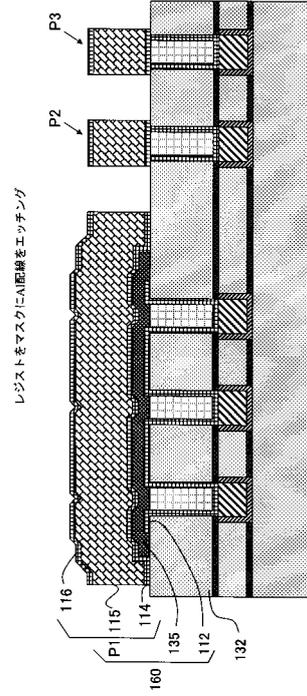
【図 1 3 A】



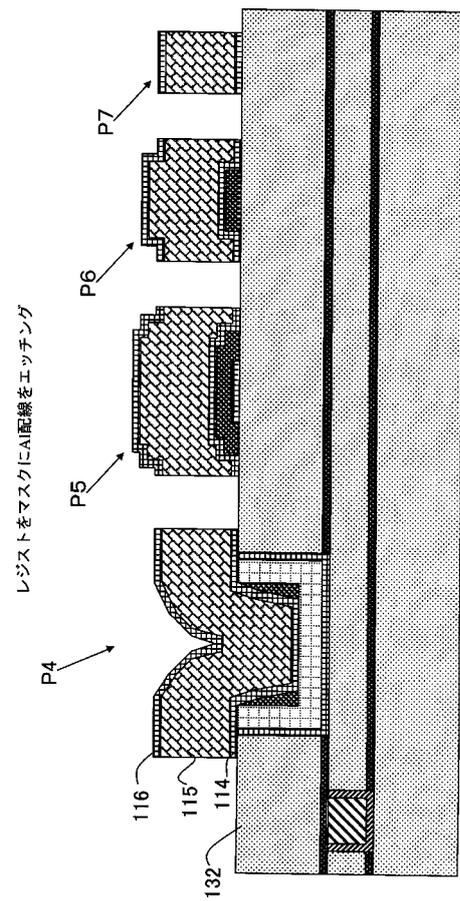
【図13B】



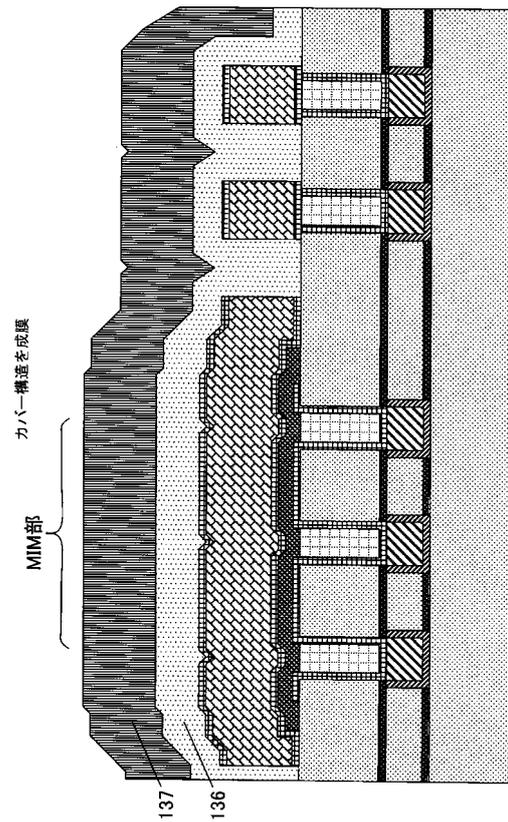
【図14A】



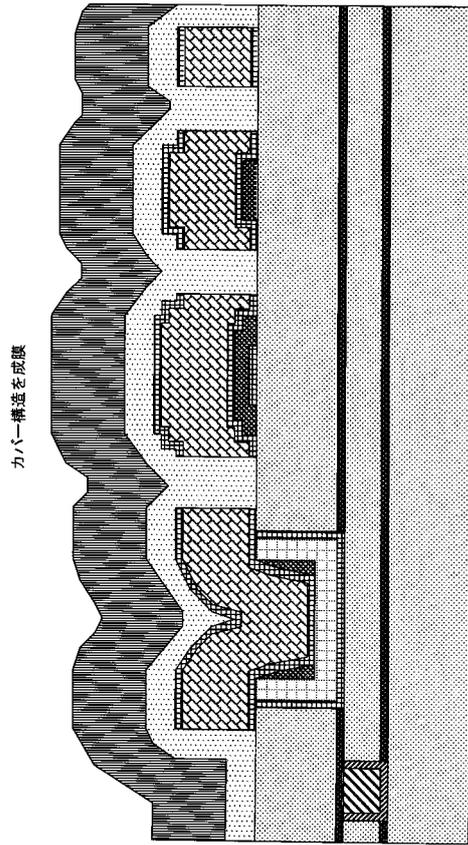
【図14B】



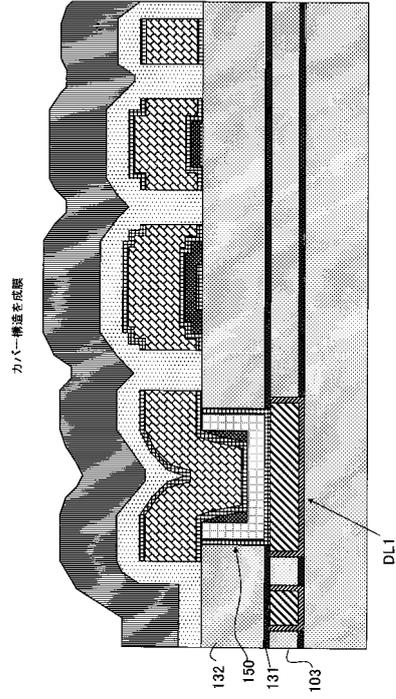
【図15A】



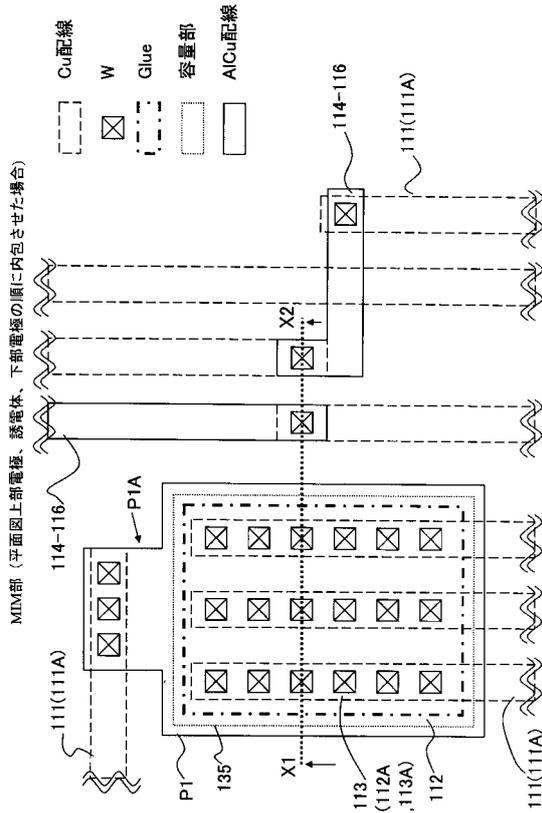
【図15B】



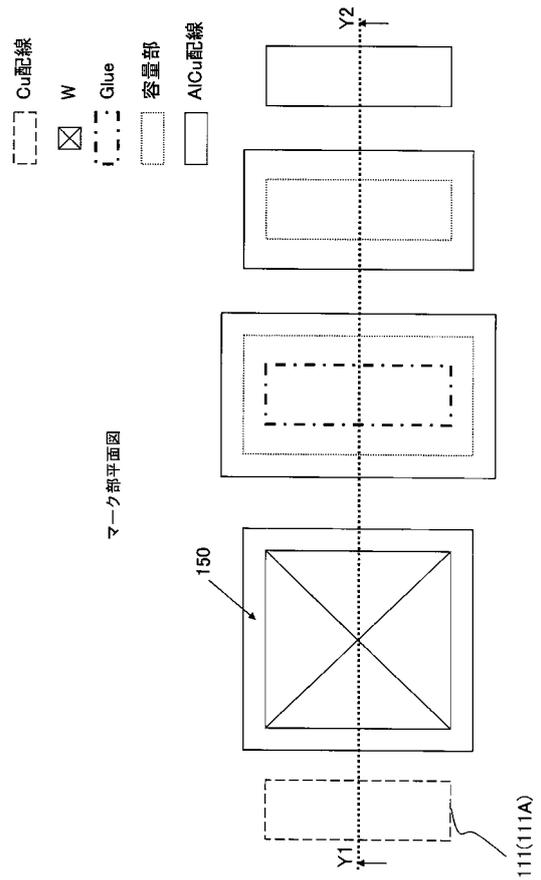
【図15C】



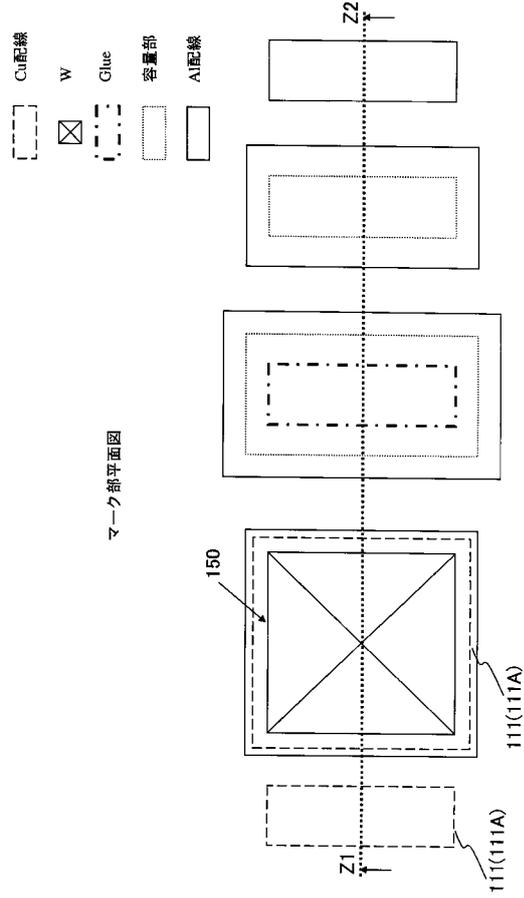
【図16A】



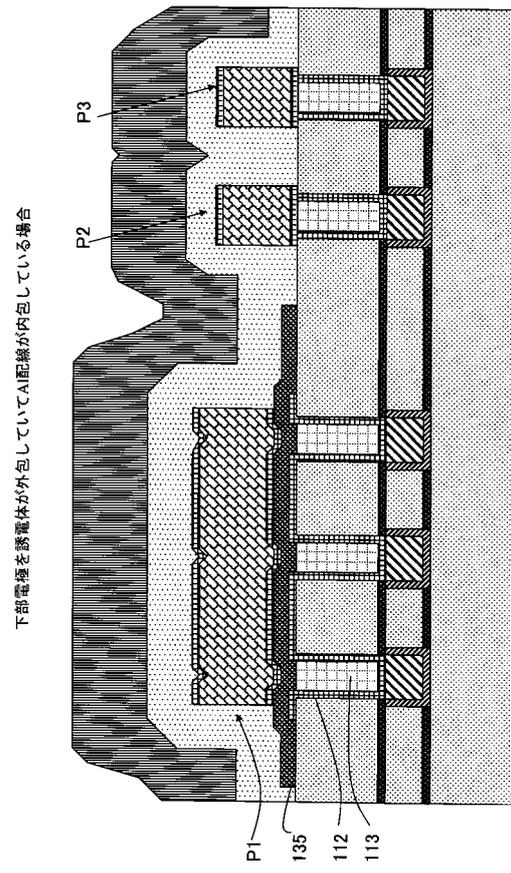
【図16B】



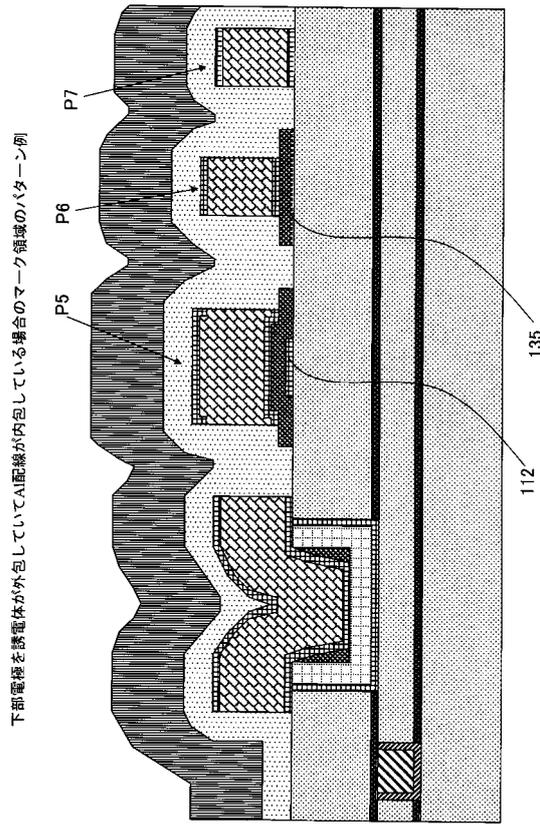
【図16C】



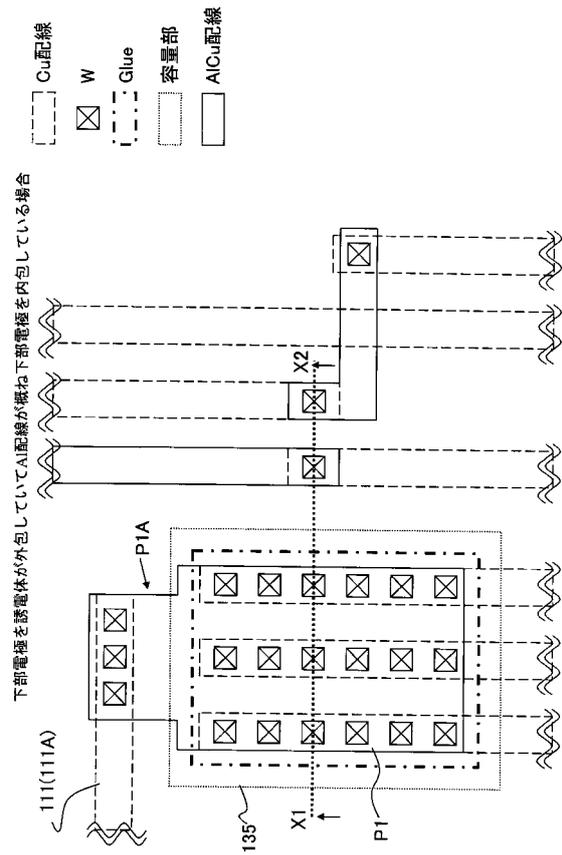
【図17A】



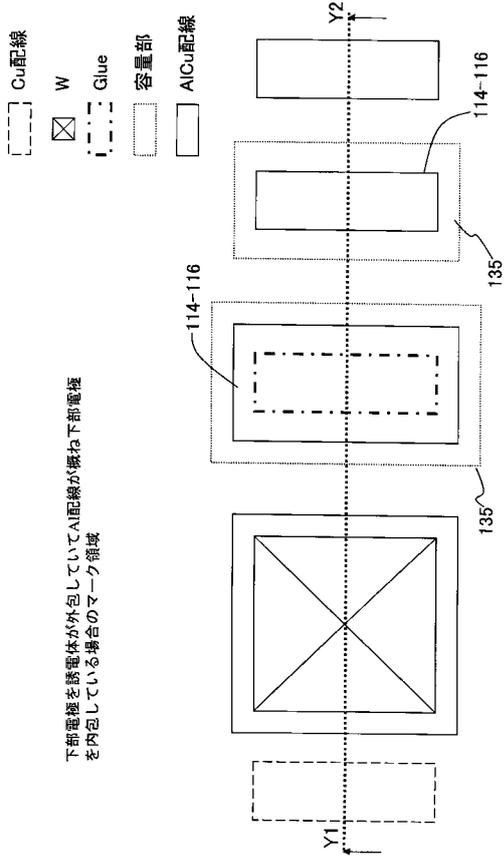
【図17B】



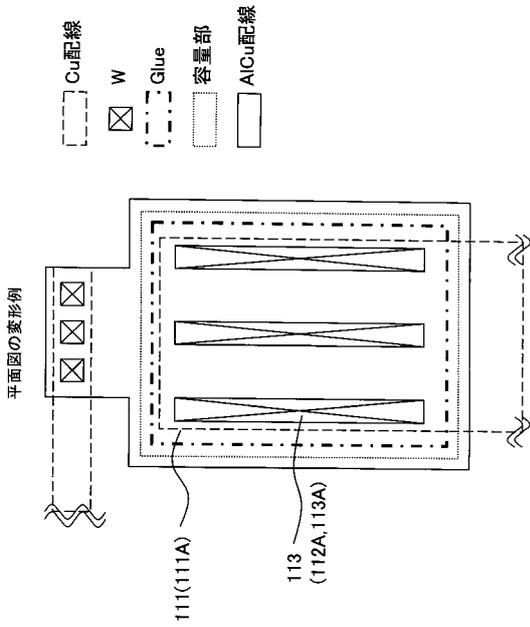
【図18A】



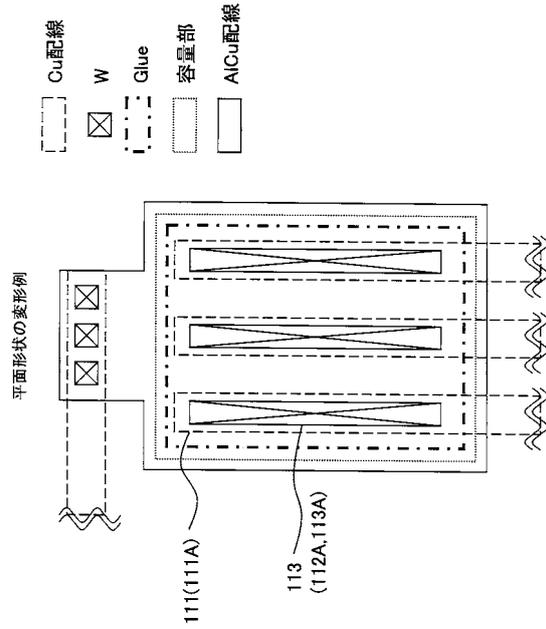
【図18B】



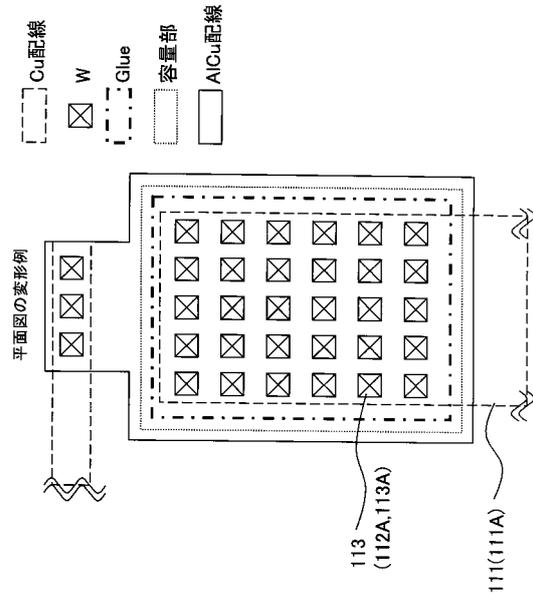
【図20】



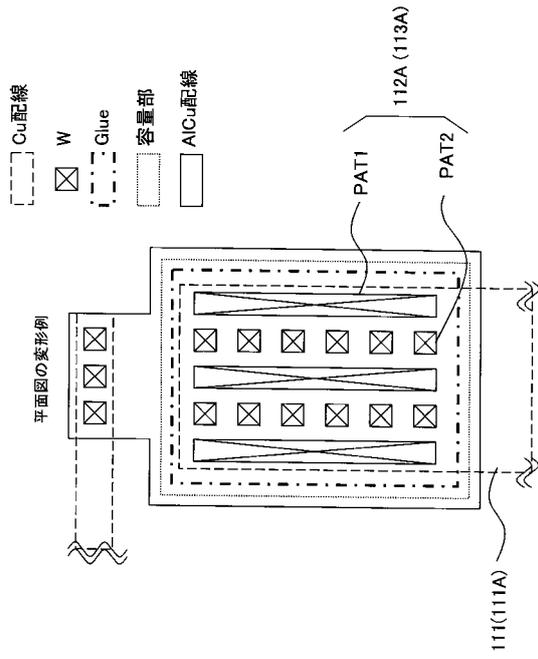
【図19】



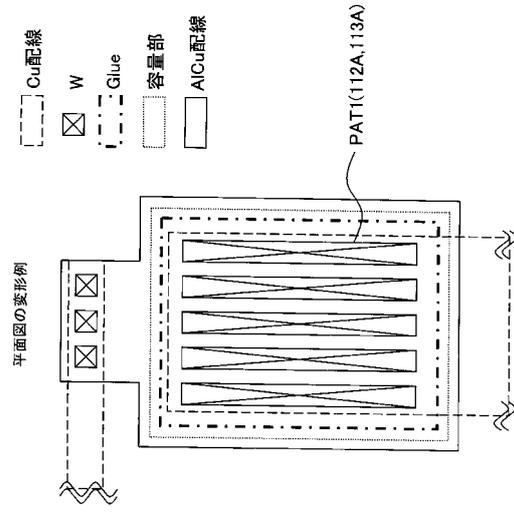
【図21】



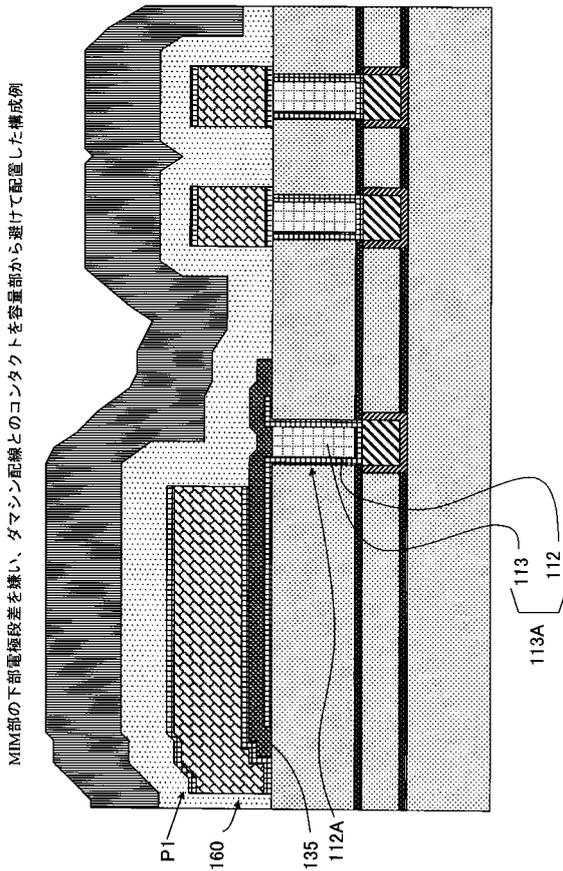
【図22】



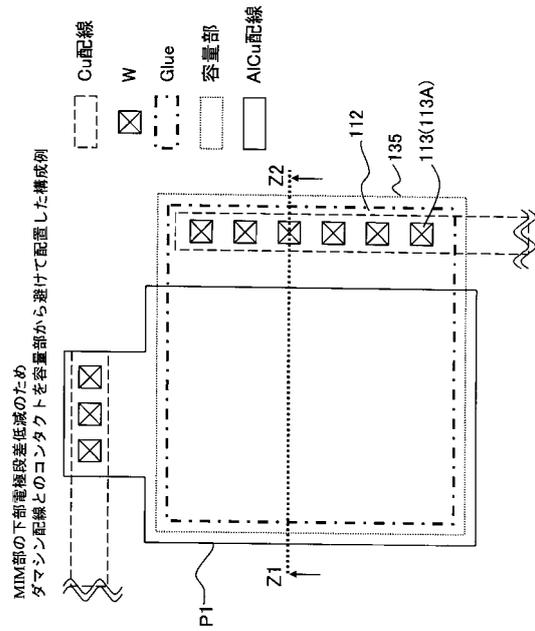
【図23】



【図24】



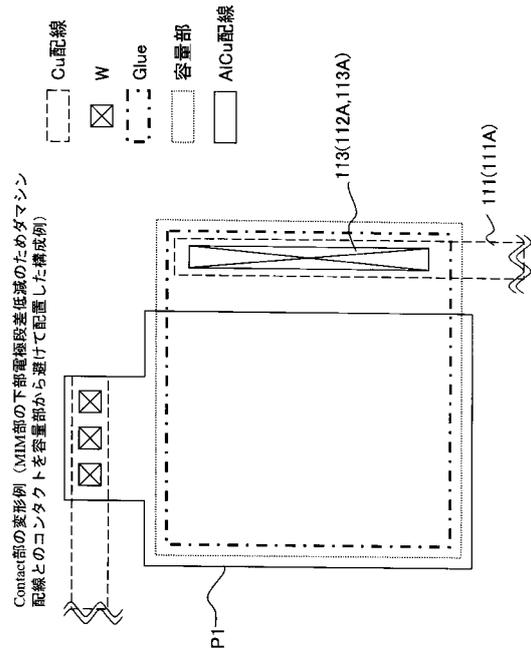
【図25】



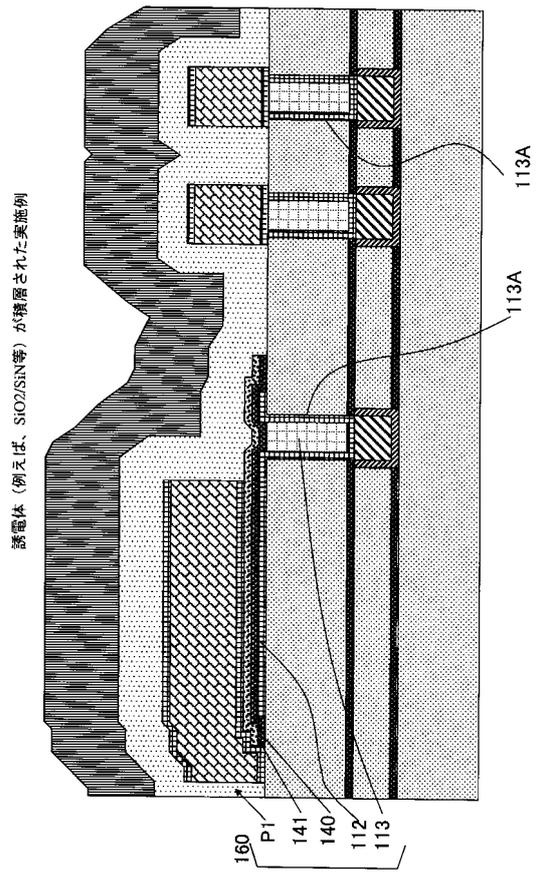
MIM部の下部電極段差を嫌い、ダイヤモンド配線とのコンタクトを容量部から避けて配置した構成例

MIM部の下部電極段差低減のため  
ダイヤモンド配線とのコンタクトを容量部から避けて配置した構成例

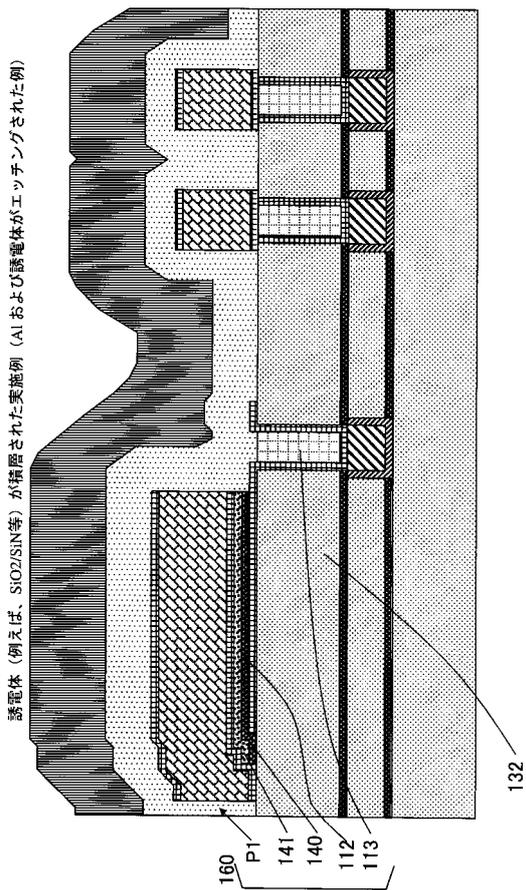
【図 26】



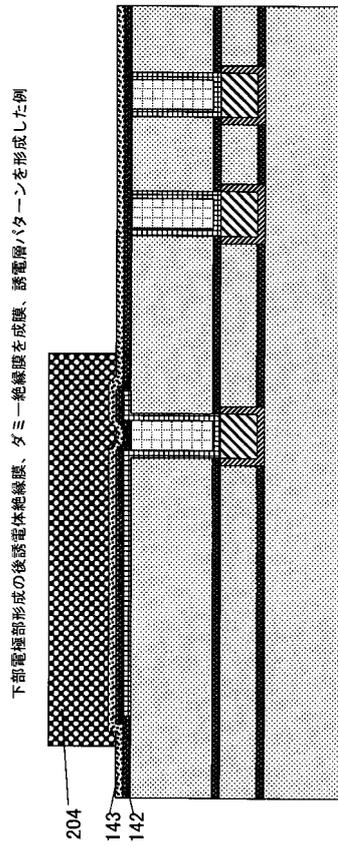
【図 27】



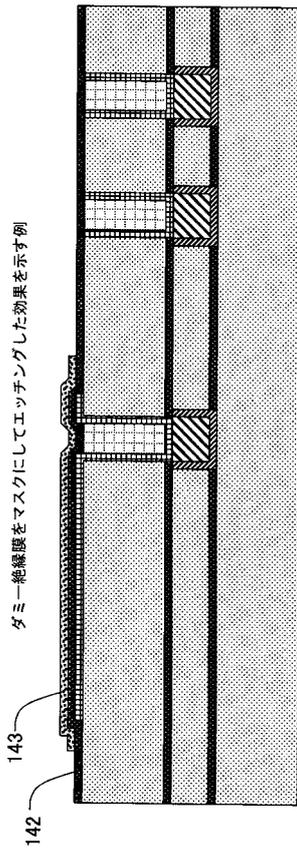
【図 28】



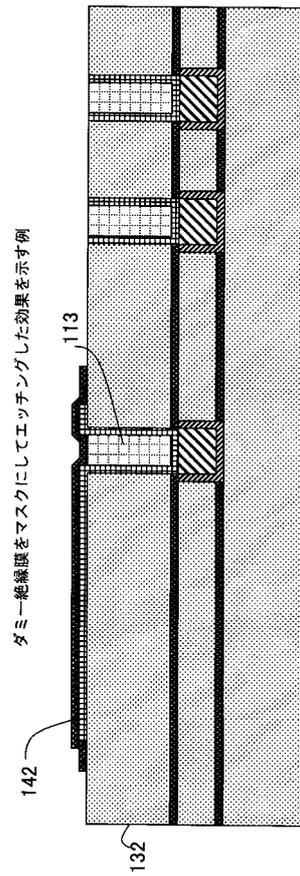
【図 29】



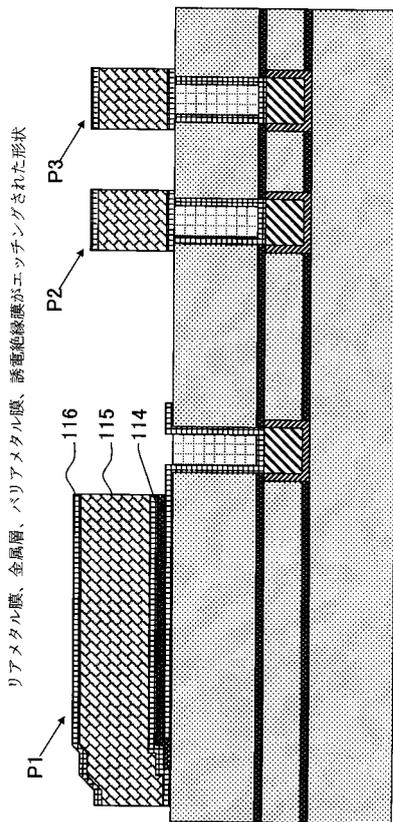
【図 30】



【図 31】

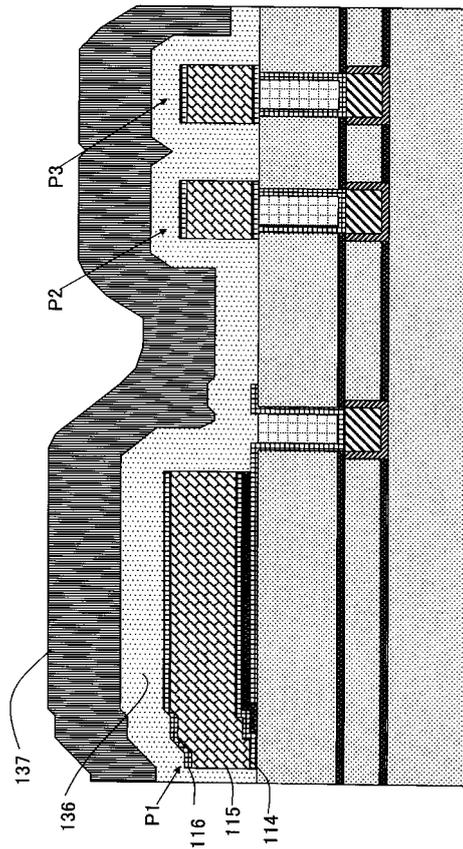


【図 32】



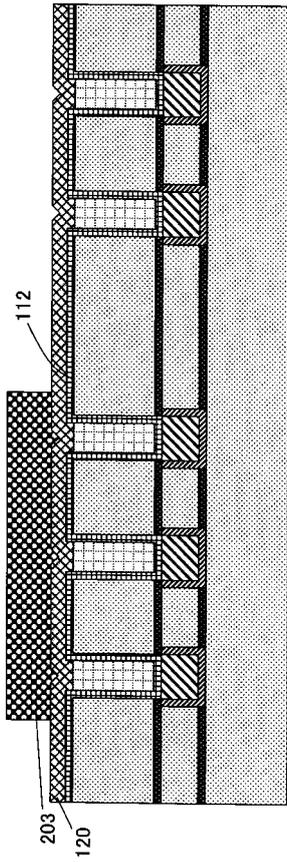
【図 33】

カバー構造の形成工程



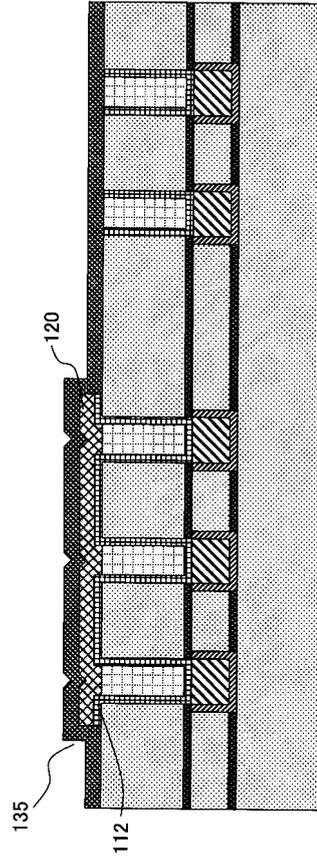
【図34】

下部電極抵抗低減のために、TiN残しのW-CMPの後にTiNをスパッタする例



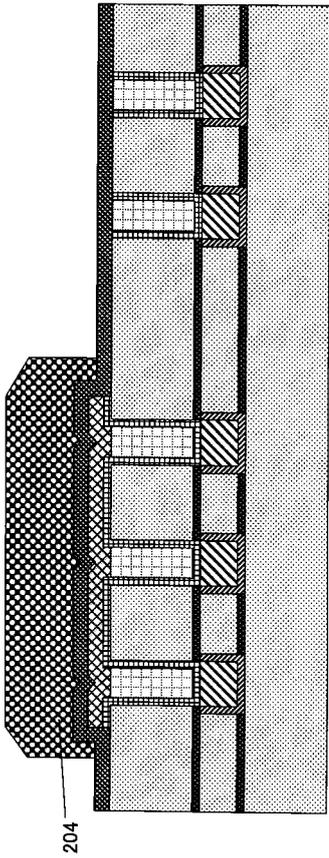
【図35】

TiNをエッチングした後、誘電層を成膜



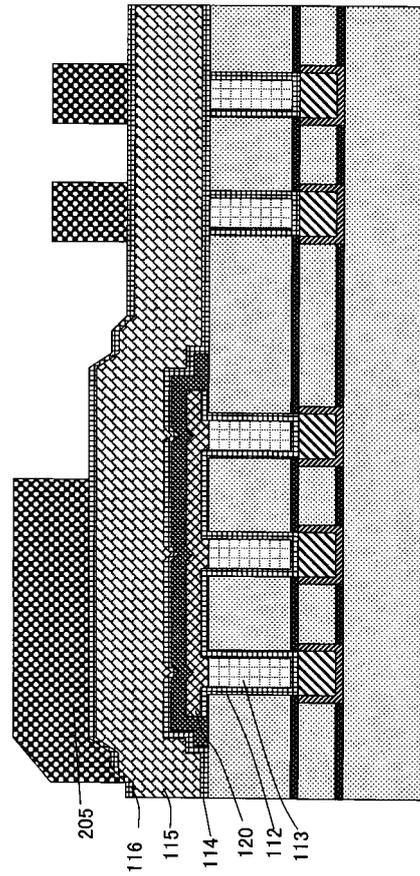
【図36】

フォトリソレジストを塗付、露光、現像

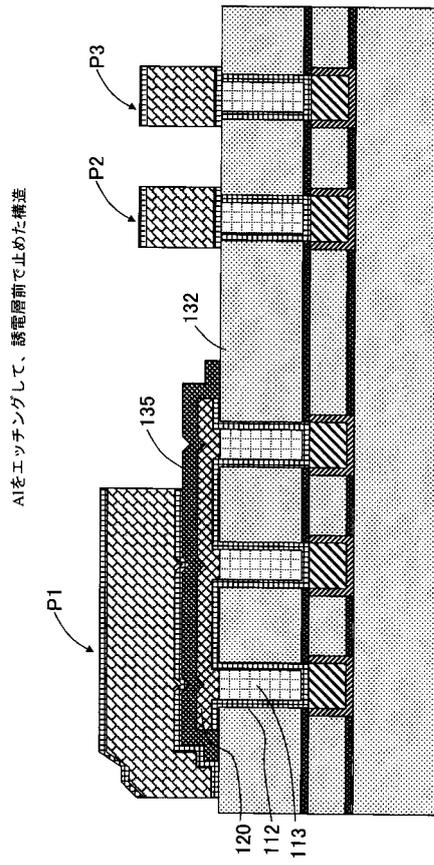


【図37】

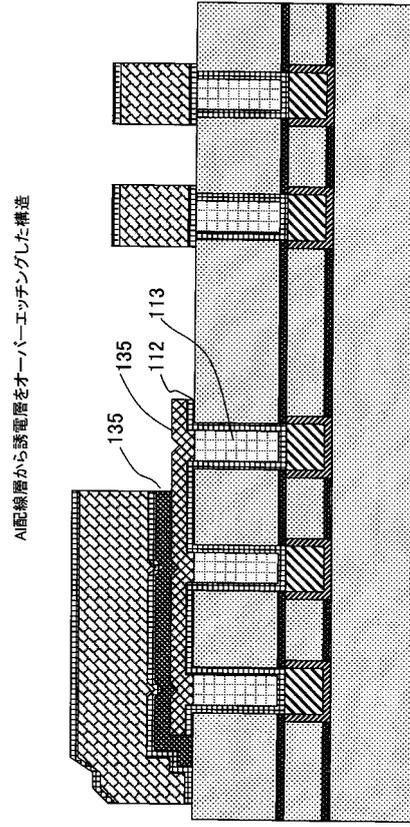
誘電層をエッチングして、Alを形成



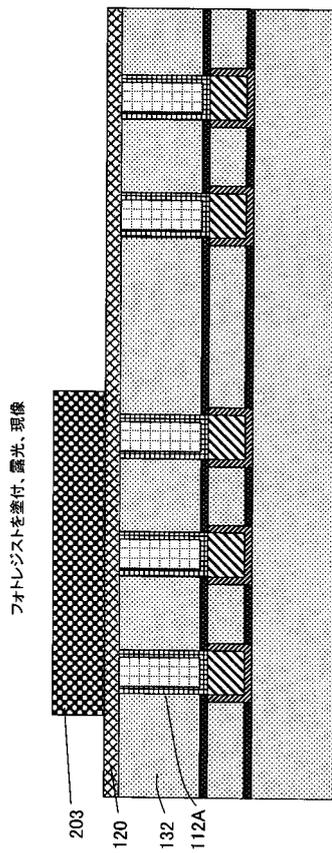
【図38】



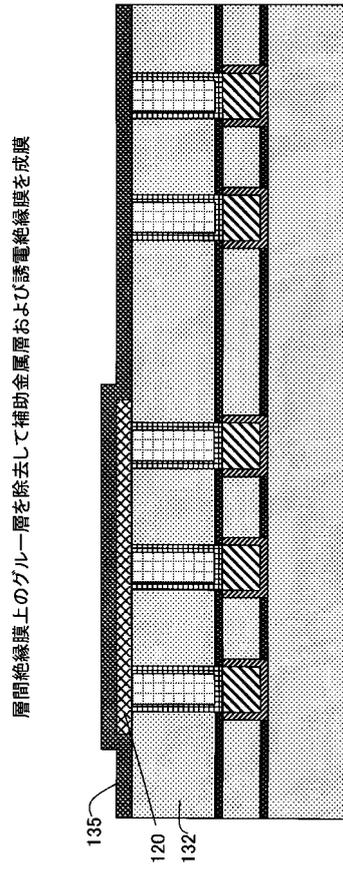
【図39】



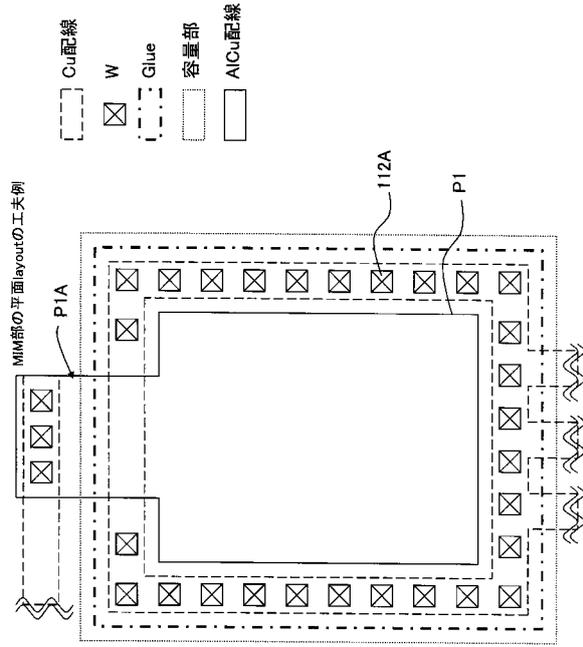
【図40】



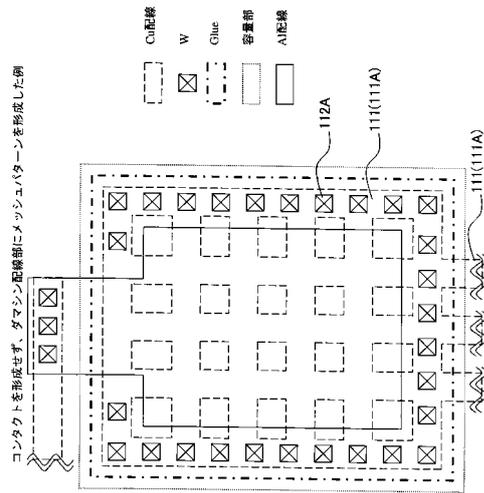
【図41】



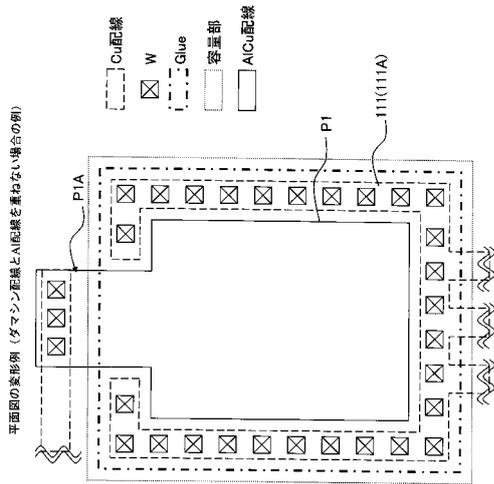
【 図 4 2 】



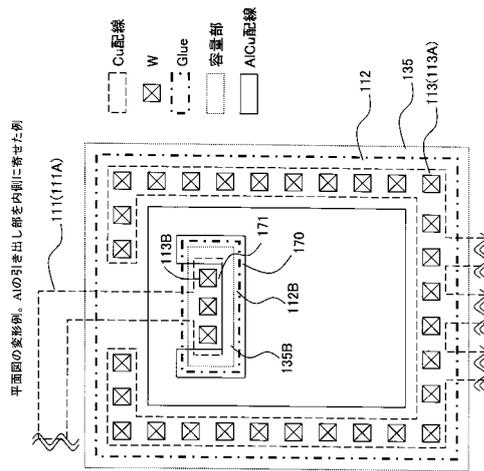
【 図 4 3 】



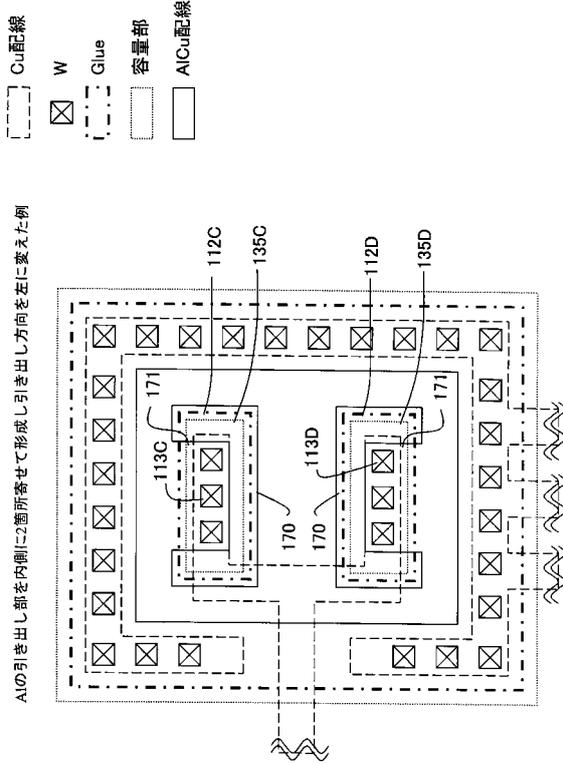
【 図 4 4 】



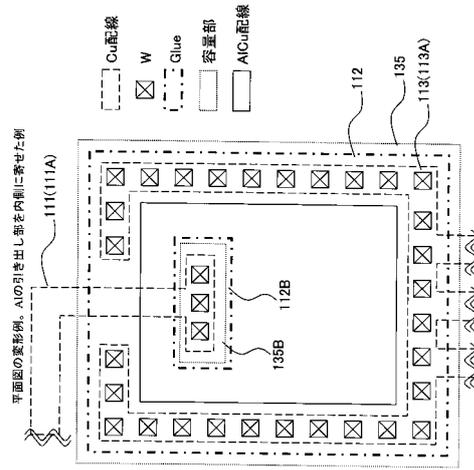
【 図 4 5 】



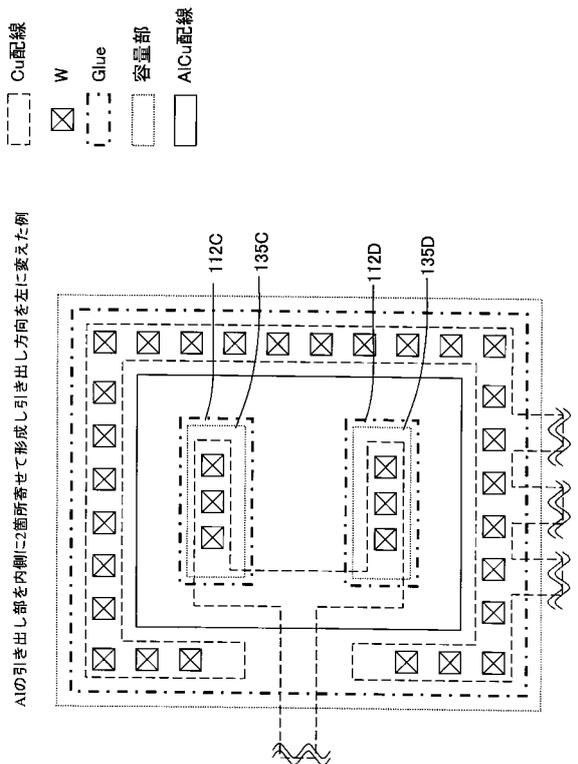
【 図 4 6 】



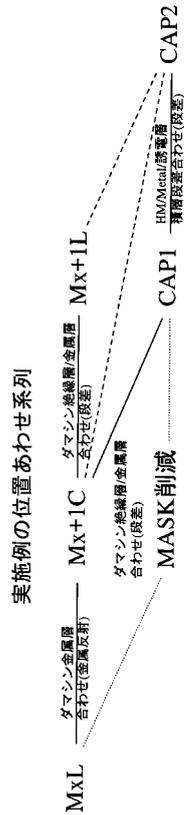
【 図 4 7 】



【 図 4 8 】

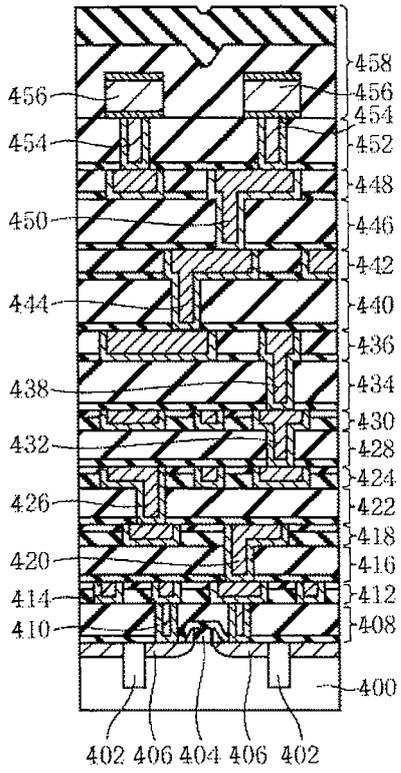


【 図 4 9 】



【図50】

半導体装置の構造



---

フロントページの続き

合議体

審判長 北島 健次

審判官 早川 朋一

審判官 近藤 幸浩

- (56)参考文献 特開2005-150237(JP,A)  
特開2001-298154(JP,A)  
特開2003-115544(JP,A)  
特開2004-335993(JP,A)  
特開2004-56139(JP,A)  
特開2002-289809(JP,A)  
特開2002-353324(JP,A)  
特開2004-200640(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82-21/822

H01L 27/04

H01L 21/3205-21/3215

H01L 21/768

H01L 23/52

H01L 23/522-23/532