



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0129765
(43) 공개일자 2021년10월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
H01L 27/3276 (2013.01)
(21) 출원번호 10-2020-0047299
(22) 출원일자 2020년04월20일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박용성
서울특별시 송파구 올림픽로35길 104, 장미아파트
14동 507호 (신천동)
김현우
충청남도 천안시 서북구 불당11로 12, 202호 (불
당동)
(74) 대리인
특허법인가산

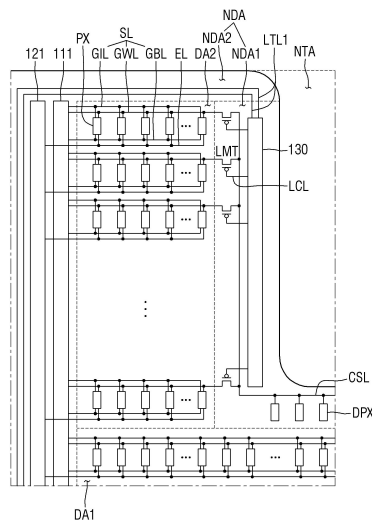
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 스캔 배선들의 로드들 사이의 차이를 최소화할 수 있는 표시 장치에 관한 것이다. 표시 장치는 제1 표시 영역, 상기 제1 표시 영역의 일 측 가장자리에서 일 방향으로 돌출되는 제2 표시 영역, 및 상기 제2 표시 영역의 일 측 바깥쪽에 배치되는 제1 비표시 영역을 포함하는 표시 패널을 구비한다. 상기 제1 표시 영역과 상기 제2 표시 영역 각각은 화상을 표시하기 위한 서브 화소들과 상기 서브 화소들에 연결되는 스캔 배선들을 포함한다. 상기 제1 비표시 영역은 상기 화상을 표시하지 않는 더미 화소들, 상기 더미 화소들에 연결되는 공통 스캔 배선, 상기 스캔 배선들과 상기 제1 공통 스캔 배선 사이에 각각 배치되는 로드 매칭 스위치 소자들, 및 상기 로드 매칭 스위치 소자들의 온오프를 제어하는 로드 매칭 제어 신호들을 출력하는 로드 매칭 구동 회로를 포함한다.

대표도 - 도3



(52) CPC특허분류

G09G 2310/08 (2013.01)

G09G 2330/06 (2013.01)

(72) 발명자

노대현

경기도 화성시 병점2로 78, 느치미마을주공4단지
404동 302호 (병점동)

이승빈

충청남도 천안시 동남구 통정1로 28-7, 쇠바위빌
2동 403호 (신방동)

명세서

청구범위

청구항 1

제1 표시 영역;

상기 제1 표시 영역의 일 측 가장자리에서 일 방향으로 돌출되는 제2 표시 영역; 및

상기 제2 표시 영역의 일 측 바깥쪽에 배치되는 제1 비표시 영역을 포함하는 표시 패널을 구비하고,

상기 제1 표시 영역과 상기 제2 표시 영역 각각은 화상을 표시하기 위한 서브 화소들과 상기 서브 화소들에 연결되는 스캔 배선들을 포함하며,

상기 제1 비표시 영역은,

상기 화상을 표시하지 않는 더미 화소들;

상기 더미 화소들에 연결되는 제1 공통 스캔 배선;

상기 스캔 배선들과 상기 제1 공통 스캔 배선 사이에 각각 배치되는 로드 매칭 스위치 소자들; 및

상기 로드 매칭 스위치 소자들의 온오프를 제어하는 로드 매칭 제어 신호들을 출력하는 로드 매칭 구동 회로를 포함하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제2 표시 영역의 면적은 상기 제1 표시 영역의 면적보다 작은 표시 장치.

청구항 3

제1 항에 있어서,

상기 로드 매칭 스위치 소자들 각각은 상기 로드 매칭 제어 신호들이 출력되는 로드 매칭 제어 배선들 중 어느 한 로드 매칭 제어 배선에 연결되는 게이트 전극, 상기 스캔 배선들 중 어느 한 스캔 배선에 연결되는 제1 전극, 및 상기 공통 스캔 배선에 연결되는 제2 전극을 포함하는 로드 매칭 트랜지스터인 표시 장치.

청구항 4

제1 항에 있어서,

상기 표시 패널은 상기 제2 표시 영역의 타 측 바깥쪽에 배치되는 제2 비표시 영역을 더 포함하고,

상기 제2 비표시 영역은 상기 스캔 배선들에 스캔 신호들을 출력하는 스캔 구동 회로를 포함하는 표시 장치.

청구항 5

제4 항에 있어서,

상기 스캔 신호들과 상기 로드 매칭 제어 신호들은 순차적으로 출력되는 표시 장치.

청구항 6

제4 항에 있어서,

상기 스캔 신호들과 상기 로드 매칭 제어 신호들은 서로 동기화하여 출력되는 표시 장치.

청구항 7

제4 항에 있어서,

상기 스캔 신호들 중 어느 한 스캔 신호의 펄스 폭은 상기 로드 매칭 제어 신호들 중 어느 한 로드 매칭 제어 신호의 펄스 폭과 동일한 표시 장치.

청구항 8

제7 항에 있어서,

상기 스캔 구동 회로에 스캔 스타트 신호와 스캔 클럭 신호들을 출력하고, 상기 로드 매칭 구동 회로에 로드 매칭 스타트 신호와 로드 매칭 클럭 신호들을 출력하는 표시 구동 회로를 더 구비하고,

상기 스캔 구동 회로는 상기 스캔 스타트 신호와 상기 스캔 클럭 신호들에 따라 스캔 신호들을 생성하여 출력하며,

상기 로드 매칭 구동 회로는 상기 로드 매칭 스타트 신호와 상기 로드 매칭 클럭 신호들에 따라 로드 매칭 제어 신호들을 생성하여 출력하고,

상기 스캔 클럭 신호들과 상기 로드 매칭 클럭 신호들은 동일한 표시 장치.

청구항 9

제8 항에 있어서,

상기 스캔 스타트 신호와 상기 로드 매칭 스타트 신호는 상이한 표시 장치.

청구항 10

제4 항에 있어서,

상기 스캔 신호들 중 어느 한 스캔 신호의 펄스 폭은 상기 로드 매칭 제어 신호들 중 어느 한 로드 매칭 제어 신호의 펄스 폭보다 작은 표시 장치.

청구항 11

제10 항에 있어서,

상기 스캔 구동 회로에 스캔 스타트 신호와 스캔 클럭 신호들을 출력하고, 상기 로드 매칭 구동 회로에 로드 매칭 스타트 신호와 로드 매칭 클럭 신호들을 출력하는 표시 구동 회로를 더 구비하고,

상기 스캔 구동 회로는 상기 스캔 스타트 신호와 상기 스캔 클럭 신호들에 따라 스캔 신호들을 생성하여 출력하며,

상기 로드 매칭 구동 회로는 상기 로드 매칭 스타트 신호와 상기 로드 매칭 클럭 신호들에 따라 로드 매칭 제어 신호들을 생성하여 출력하고,

상기 스캔 클럭 신호들과 상기 로드 매칭 클럭 신호들은 상이한 표시 장치.

청구항 12

제11 항에 있어서,

상기 스캔 스타트 신호와 상기 로드 매칭 스타트 신호는 상이한 표시 장치.

청구항 13

제1 표시 영역;

상기 제1 표시 영역의 일 측 가장자리에서 일 방향으로 돌출되는 제2 표시 영역; 및

상기 제2 표시 영역의 일 측 바깥쪽에 배치되는 제1 비표시 영역을 포함하는 표시 패널을 구비하고,

상기 제1 표시 영역과 상기 제2 표시 영역 각각은 화상을 표시하기 위한 서브 화소들과 상기 서브 화소들에 연결되는 스캔 배선들과 발광 배선들을 포함하며,

상기 제1 비표시 영역은,

상기 화상을 표시하지 않는 제1 더미 화소들과 제2 더미 화소들;

상기 제1 더미 화소들에 연결되는 제1 공통 스캔 배선;

상기 제2 더미 화소들에 연결되는 제2 공통 스캔 배선;

상기 스캔 배선들 중 일부 스캔 배선들과 상기 제1 공통 스캔 배선 사이에 각각 배치되는 제1 로드 매칭 스위치 소자들;

상기 스캔 배선들 중 또 다른 스캔 배선들과 상기 제2 공통 스캔 배선 사이에 각각 배치되는 제2 로드 매칭 스위치 소자들; 및

상기 제1 로드 매칭 스위치 소자들과 상기 제2 로드 매칭 스위치 소자들의 온오프를 제어하는 로드 매칭 제어 신호들을 출력하는 로드 매칭 구동 회로를 포함하는 표시 장치.

청구항 14

제13 항에 있어서,

상기 제1 로드 매칭 스위치 소자들과 상기 제2 로드 매칭 스위치 소자들 중에서 서로 인접한 제1 로드 매칭 스위치 소자와 제2 로드 매칭 스위치 소자는 상기 로드 매칭 제어 신호들이 출력되는 로드 매칭 제어 배선들 중 어느 한 로드 매칭 제어 배선에 연결되는 표시 장치.

청구항 15

제13 항에 있어서,

상기 표시 패널은 상기 제2 표시 영역의 타 측 바깥쪽에 배치되는 제2 비표시 영역을 더 포함하고,

상기 제2 비표시 영역은,

상기 스캔 배선들에 스캔 신호들을 출력하는 스캔 구동 회로; 및

상기 발광 배선들에 발광 신호들을 출력하는 발광 구동 회로를 포함하는 표시 장치.

청구항 16

제15 항에 있어서,

상기 스캔 신호들, 상기 발광 신호들, 및 상기 로드 매칭 제어 신호들은 순차적으로 출력되는 표시 장치.

청구항 17

제15 항에 있어서,

상기 발광 신호들과 상기 로드 매칭 제어 신호들은 서로 동기화하여 출력되는 표시 장치.

청구항 18

제15 항에 있어서,

상기 발광 신호들 중 어느 한 발광 신호의 펄스 폭은 상기 로드 매칭 제어 신호들 중 어느 한 로드 매칭 제어 신호의 펄스 폭과 동일한 표시 장치.

청구항 19

제18 항에 있어서,

상기 발광 구동 회로에 발광 스타트 신호와 발광 클럭 신호들을 출력하고, 상기 로드 매칭 구동 회로에 로드 매칭 스타트 신호와 로드 매칭 클럭 신호들을 출력하는 표시 구동 회로를 더 구비하고,

상기 발광 구동 회로는 상기 발광 스타트 신호와 상기 발광 클럭 신호들에 따라 스캔 신호들을 생성하여 출력하며,

상기 로드 매칭 구동 회로는 상기 로드 매칭 스타트 신호와 상기 로드 매칭 클럭 신호들에 따라 로드 매칭 제어

신호들을 생성하여 출력하고,

상기 발광 클럭 신호들과 상기 로드 매칭 클럭 신호들은 동일한 표시 장치.

청구항 20

제19 항에 있어서,

상기 발광 스타트 신호와 상기 로드 매칭 스타트 신호는 상이한 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다. 표시 장치는 액정 표시 장치(Liquid Crystal Display Device), 전계 방출 표시 장치(Field Emission Display Device), 발광 표시 장치(Light Emitting Display Device) 등과 같은 평판 표시 장치일 수 있다.

[0003] 표시 장치는 영상을 표시하는 표시 영역과 영상을 표시하지 않는 비표시 영역을 갖는 표시 패널, 및 카메라 센서, 조도 센서, 및 적외선 센서와 같이 광을 감지하는 다양한 센서 장치들을 포함할 수 있다. 표시 패널의 표시 영역에는 스캔 신호들이 인가되는 스캔 배선들, 데이터 전압들이 인가되는 데이터 배선들, 및 스캔 배선들과 데이터 배선들에 접속되는 화소들이 형성될 수 있다. 이때, 표시 패널의 표시 영역은 센서 장치들과 중첩하지 않도록 형성될 수 있으며, 이로 인해 표시 패널의 표시 영역의 일 측은 평면 상에서 바라볼 때 일부 영역이 오목하게 만입된 노치 형태로 형성될 수 있다. 이 경우, 스캔 배선들마다 접속되는 화소들의 개수가 상이할 수 있으며, 스캔 배선들마다 걸리는 로드(load)가 상이할 수 있다. 이로 인해, 스캔 배선들마다 스캔 신호의 펄스 폭에 차이가 발생하며, 화소들 간에 휘도 차이가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 스캔 배선들의 로드들 사이의 차이를 최소화할 수 있는 표시 장치를 제공하고자 하는 것이다.

[0005] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 일 실시예에 표시 장치는 제1 표시 영역, 상기 제1 표시 영역의 일 측 가장자리에서 일 방향으로 돌출되는 제2 표시 영역, 및 상기 제2 표시 영역의 일 측 바깥쪽에 배치되는 제1 비표시 영역을 포함하는 표시 패널을 구비한다. 상기 제1 표시 영역과 상기 제2 표시 영역 각각은 화상을 표시하기 위한 서브 화소들과 상기 서브 화소들에 연결되는 스캔 배선들을 포함한다. 상기 제1 비표시 영역은 상기 화상을 표시하지 않는 더미 화소들, 상기 더미 화소들에 연결되는 공통 스캔 배선, 상기 스캔 배선들과 상기 제1 공통 스캔 배선 사이에 각각 배치되는 로드 매칭 스위치 소자들, 및 상기 로드 매칭 스위치 소자들의 온오프를 제어하는 로드 매칭 제어 신호들을 출력하는 로드 매칭 구동 회로를 포함한다.

[0007] 상기 과제를 해결하기 위한 또 다른 실시예에 표시 장치는 제1 표시 영역, 상기 제1 표시 영역의 일 측 가장자리에서 일 방향으로 돌출되는 제2 표시 영역, 및 상기 제2 표시 영역의 일 측 바깥쪽에 배치되는 제1 비표시 영역을 포함하는 표시 패널을 구비한다. 상기 제1 표시 영역과 상기 제2 표시 영역 각각은 화상을 표시하기 위한 서브 화소들과 상기 서브 화소들에 연결되는 스캔 배선들과 발광 배선들을 포함한다. 상기 제1 비표시 영역은

상기 화상을 표시하지 않는 제1 더미 화소들과 제2 더미 화소들, 상기 제1 더미 화소들에 연결되는 제1 공통 스캔 배선, 상기 제2 더미 화소들에 연결되는 제2 공통 스캔 배선, 상기 스캔 배선들 중 일부 스캔 배선들과 상기 제1 공통 스캔 배선 사이에 각각 배치되는 제1 로드 매칭 스위치 소자들, 상기 스캔 배선들 중 또 다른 스캔 배선들과 상기 제2 공통 스캔 배선 사이에 각각 배치되는 제2 로드 매칭 스위치 소자들, 및 상기 제1 로드 매칭 스위치 소자들과 상기 제2 로드 매칭 스위치 소자들의 온오프를 제어하는 로드 매칭 제어 신호들을 출력하는 로드 매칭 구동 회로를 포함한다.

[0008] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0009] 실시예들에 따른 표시 장치에 의하면, 제1 표시 영역에서 돌출된 제2 표시 영역의 스캔 배선들에 연결된 로드 매칭 트랜지스터들은 로드 매칭 구동 회로의 로드 매칭 제어 신호들에 의해 순차적으로 턴-온될 수 있다. 그러므로, 제2 표시 영역의 스캔 배선들은 공통 스캔 배선에 연결된 더미 화소들에 순차적으로 접속될 수 있다. 이로 인해, 스캔 배선들에 걸리는 로드는 제2 표시 영역의 서브 화소들에 걸리는 로드뿐만 아니라, 더미 화소들에 걸리는 로드를 포함할 수 있다. 이에 따라, 제2 표시 영역에서 스캔 배선들에 걸리는 로드와 제1 표시 영역에서 기입 스캔 배선들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역의 스캔 배선의 스캔 신호의 펄스 폭과 제1 표시 영역의 스캔 배선의 스캔 신호의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

[0010] 또한, 로드 매칭 구동 회로와 로드 매칭 트랜지스터들을 이용하여, 더미 화소들을 공통 스캔 배선을 통해 스캔 배선들에 순차적으로 접속시킬 수 있다. 즉, 스캔 배선들이 로드를 보상하기 위한 더미 화소들을 공유하므로, 보상 커패시터들을 이용하여 스캔 배선들 간의 로드 차이를 줄일 때보다 비표시 영역의 면적을 줄일 수 있다.

[0011] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 일 실시예에 따른 표시 장치를 보여주는 평면도이다.

도 2는 일 실시예에 따른 표시 패널을 보여주는 레이아웃도이다.

도 3은 도 2의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 일 예를 상세히 보여주는 레이아웃도이다.

도 4는 도 3의 서브 화소의 일 예를 보여주는 회로도이다.

도 5는 도 3의 더미 화소의 일 예를 보여주는 회로도이다.

도 6은 도 4의 서브 화소의 제6 트랜지스터와 발광 소자의 일 예를 보여주는 단면도이다.

도 7은 도 5의 더미 화소의 제6 트랜지스터와 발광 소자의 일 예를 보여주는 단면도이다.

도 8은 도 3의 제1 로드 매칭 구동 회로의 스테이지들을 보여주는 일 예시 도면이다.

도 9는 일 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

도 10은 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

도 11은 도 2의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.

도 12는 도 11의 서브 화소의 또 다른 예를 보여주는 회로도이다.

도 13은 도 11의 더미 화소의 또 다른 예를 보여주는 회로도이다.

도 14는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

도 15는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

도 16은 도 3의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.

도 17은 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

도 18은 도 3의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.

도 19는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0014] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.
- [0015] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0016] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0017] 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [0018] 도 1은 일 실시예에 따른 표시 장치를 보여주는 평면도이다.
- [0019] 도 1을 참조하면, 일 실시예에 따른 표시 장치(10)는 모바일 폰(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet personal computer), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(portable multimedia player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기에 적용될 수 있다. 또는, 일 실시예에 따른 표시 장치(10)는 텔레비전, 노트북, 모니터, 광고판, 또는 사물 인터넷(internet of things, IOT)의 표시부로 적용될 수 있다. 또는, 일 실시예에 따른 표시 장치(10)는 스마트 워치(smart watch), 워치 폰(watch phone), 안경형 디스플레이, 및 헤드 장착형 디스플레이(head mounted display, HMD)와 같이 웨어러블 장치(wearable device)에 적용될 수 있다. 또는, 일 실시예에 따른 표시 장치(10)는 자동차의 계기판, 자동차의 센터페시아(center fascia), 자동차의 대쉬 보드에 배치된 CID(Center Information Display), 자동차의 사이드 미러를 대신하는 룸 미러 디스플레이(room mirror display), 또는 자동차의 뒷좌석용 엔터테인먼트로서 앞좌석의 배면에 배치되는 디스플레이에 적용될 수 있다.
- [0020] 일 실시예에 따른 표시 장치(10)는 표시 패널(100), 표시 구동부(200), 및 표시 회로 보드(300)를 포함한다.
- [0021] 표시 패널(100)은 표시 영역(DA)과 비표시 영역(NDA)을 포함할 수 있다. 표시 영역(DA)은 화소들을 포함하며, 화상을 표시하는 영역이다. 비표시 영역(NDA)은 화소들을 포함하지 않으며, 화상을 표시하지 않는 영역이다.
- [0022] 표시 영역(DA)은 제1 표시 영역(DA1)에 배치되는 제1 표시 영역(DA1), 제2 표시 영역(DA2)에 배치되는 제2 표시 영역(A2), 제3 표시 영역(DA3)에 배치되는 제3 표시 영역(DA3)을 포함할 수 있다. 제1 표시 영역(DA1), 제2 표시

시 영역(DA2), 및 제3 표시 영역(DA3) 중 적어도 두 개의 영역은 서로 다른 면적을 가질 수 있다. 예를 들어, 도 1과 같이 제1 표시 영역(DA1)은 제2 표시 영역(DA2)과 제3 표시 영역(DA3)보다 큰 면적을 가질 수 있다. 또한, 제1 표시 영역(DA1), 제2 표시 영역(DA2), 및 제3 표시 영역(DA3) 중 적어도 두 개의 영역은 동일한 면적을 가질 수 있다. 예를 들어, 도 1과 같이 제2 표시 영역(DA2)과 제3 표시 영역(DA3)은 동일한 면적을 가질 수 있다. 하지만, 표시 패널(100)의 제1 표시 영역(DA1), 제2 표시 영역(DA2), 및 제3 표시 영역(DA3)의 면적은 도 1에 도시된 바에 한정되지 않으며, 예를 들어 제1 표시 영역(DA1), 제2 표시 영역(DA2), 및 제3 표시 영역(DA3)은 서로 다른 면적을 가질 수 있다.

- [0023] 제1 표시 영역(DA1)은 표시 패널(100)의 대부분의 영역을 차지할 수 있다. 제1 표시 영역(DA1)은 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변을 갖는 사각형의 평면 형태를 가질 수 있다. 제1 표시 영역(DA1)에서 어느 두 개의 변들이 만나는 모서리는 둥글게 형성되거나 직각으로 형성될 수 있다. 예를 들어, 제1 표시 영역(DA1)의 좌상측의 모서리와 우상측의 모서리는 직각으로 형성되는데 비해, 제1 표시 영역(DA1)의 좌하측의 모서리와 우하측의 모서리는 둥글게 형성될 수 있다. 또는, 제1 표시 영역(DA1)은 사각형 이외의 다른 다각형, 원형, 타원형 또는 비정형의 평면 형태를 가질 수 있다.
- [0024] 제2 표시 영역(DA2)은 제1 표시 영역(DA1)의 일부에서 제2 방향(Y축 방향)으로 돌출될 수 있다. 제2 표시 영역(DA2)의 하측은 제1 표시 영역(DA1)의 상측의 일부에 해당할 수 있다. 제2 표시 영역(DA2)의 좌측은 제1 표시 영역(DA1)의 좌측으로부터 연장될 수 있다. 제2 표시 영역(DA2)은 비정형의 형태를 가질 수 있다.
- [0025] 제2 표시 영역(DA2)의 제1 방향(X축 방향)의 최대 길이는 제1 표시 영역(DA1)의 제1 방향(X축 방향)의 최대 길이보다 작을 수 있다. 제2 표시 영역(DA2)의 제2 방향(Y축 방향)의 최대 길이는 제1 표시 영역(DA1)의 제2 방향(Y축 방향)의 최대 길이보다 작을 수 있다.
- [0026] 제3 표시 영역(DA3)은 제1 표시 영역(DA1)의 또 다른 일부에서 제2 방향(Y축 방향)으로 돌출될 수 있다. 제3 표시 영역(DA3)의 하측은 제1 표시 영역(DA1)의 상측의 또 다른 일부에 해당할 수 있다. 제3 표시 영역(DA3)의 우측은 제1 표시 영역(DA1)의 우측으로부터 연장될 수 있다. 제3 표시 영역(DA3)은 비정형의 형태를 가질 수 있다.
- [0027] 제3 표시 영역(DA3)의 제1 방향(X축 방향)의 최대 길이는 제1 표시 영역(DA1)의 제1 방향(X축 방향)의 최대 길이보다 작을 수 있다. 제3 표시 영역(DA3)의 제2 방향(Y축 방향)의 최대 길이는 제1 표시 영역(DA1)의 제2 방향(Y축 방향)의 최대 길이보다 작을 수 있다.
- [0028] 제2 표시 영역(DA2)과 제3 표시 영역(DA3)은 제1 방향(X축 방향)에서 서로 떨어져 배치될 수 있다. 제2 표시 영역(DA2)과 제3 표시 영역(DA3)은 표시 패널(100)의 중앙에서 제2 방향(Y축 방향)으로 그은 기준선(RL)을 기준으로 서로 대칭될 수 있다. 이로 인해, 표시 패널(100)의 제2 표시 영역(DA2)과 제3 표시 영역(DA3) 사이에 노치부(NTA, 또는 절개부)가 형성될 수 있다. 노치부(NTA)는 표시 패널(100)의 일부가 절개 또는 제거된 영역을 가리킨다.
- [0029] 제2 표시 영역(DA2)과 제3 표시 영역(DA3)이 기준선(RL)을 기준으로 서로 대칭되므로, 제2 표시 영역(DA2)의 제1 방향(X축 방향)의 최대 길이는 제3 표시 영역(DA3)의 제1 방향(X축 방향)의 최대 길이와 실질적으로 동일할 수 있다. 제2 표시 영역(DA2)의 제2 방향(Y축 방향)의 최대 길이는 제3 표시 영역(DA3)의 제2 방향(Y축 방향)의 최대 길이와 실질적으로 동일할 수 있다.
- [0030] 비표시 영역(NDA)은 화소들을 포함하지 않으며, 화상을 표시하지 않는 영역이다. 비표시 영역(NDA)은 노치부(NTA)에 인접하는 제1 비표시 영역(NDA1), 제1 비표시 영역(NDA)을 제외한 나머지 영역인 제2 비표시 영역(NDA2)을 포함할 수 있다.
- [0031] 제1 비표시 영역(NDA1)은 노치부(NTA)의 좌측, 하측, 및 우측에 배치될 수 있다. 제1 비표시 영역(NDA1)은 제2 표시 영역(DA2)의 우측, 제1 표시 영역(DA1)의 상측 일부, 및 제3 표시 영역(DA3)의 좌측에 배치될 수 있다. 제1 비표시 영역(NDA1)은 제1 로드 매칭 구동 회로(130)와 제2 로드 매칭 구동 회로(140)를 포함할 수 있다.
- [0032] 제2 비표시 영역(NDA2)은 제1 표시 영역(DA1)과 제2 표시 영역(DA2)의 좌측에 배치될 수 있다. 제2 비표시 영역(NDA2)은 제1 표시 영역(DA1)과 제3 표시 영역(DA3)의 우측에 배치될 수 있다. 제2 비표시 영역(NDA)은 제2 표시 영역(DA2)의 상측과 제3 표시 영역(DA3)의 상측에 배치될 수 있다. 제2 비표시 영역(NDA2)은 제1 표시 영역(DA1)의 하측에 배치될 수 있다.
- [0033] 표시 패널(100)의 일 측 가장자리에 노치부(NTA)가 배치되는 경우, 표시 회로 보드(300)는 표시 패널(100)의 타

측 가장자리에 배치될 수 있다. 예를 들어, 표시 패널(100)의 상 측 가장자리에 노치부(NTA)가 배치되는 경우, 표시 회로 보드(300)는 하 측 가장자리에 배치될 수 있다.

- [0034] 표시 회로 보드(300)는 표시 패널(100)의 하부로 구부러질 수 있다. 이 경우, 표시 회로 보드(300)는 접착 부재를 통해 표시 패널(100)의 하면에 부착되어 고정될 수 있다. 접착 부재는 압력 민감 접착제일 수 있다. 또는, 표시 회로 보드(300)는 생략되고, 표시 패널(100)의 일 측 가장자리가 표시 패널(100)의 하부로 구부러질 수 있다.
- [0035] 표시 회로 보드(300)는 이방성 도전 필름(anisotropic conductive film)을 이용하여 표시 패널(100)의 표시 패드(도 2의 DP)들 상에 부착될 수 있다. 이로 인해, 표시 회로 보드(300)는 표시 패널(100)의 표시 패드(도 2의 DP)들에 전기적으로 연결될 수 있다. 표시 회로 보드(300)는 연성 인쇄 회로 보드(flexible printed circuit board), 인쇄 회로 보드(printed circuit board) 또는 칩 온 필름(chip on film)과 같은 연성 필름(flexible film)일 수 있다.
- [0036] 표시 구동부(200)는 표시 패널(100)을 구동하기 위한 신호들과 전압들을 출력한다. 표시 구동부(200)는 집적 회로(integrated circuit, IC)로 형성되어 표시 회로 보드(300) 상에 부착될 수 있다. 또는, 표시 구동부(200)는 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 표시 패널(100) 상에 직접 부착될 수 있다.
- [0037] 도 1과 같이, 표시 장치(10)는 표시 패널(100)의 일부가 절개 또는 제거된 노치부(NTA)를 포함하므로, 광을 감지하는 다양한 센서 장치들이 표시 장치(10)의 비표시 영역 대신에 노치부(NTA)에 배치될 수 있다. 그러므로, 표시 장치(10)의 비표시 영역에 해당하는 베젤 영역을 줄일 수 있다. 다양한 센서 장치들은 카메라 센서, 조도 센서, 적외선 센서, 및 근접 센서와 같이 광을 감지하는 센서일 수 있다.
- [0038] 도 2는 일 실시예에 따른 표시 패널을 보여주는 레이 아웃도이다.
- [0039] 도 2를 참조하면, 표시 패널(100)은 표시 영역(DA), 비표시 영역(NDA), 제1 스캔 구동 회로(111), 제2 스캔 구동 회로(112), 제1 발광 구동 회로(121), 제2 발광 구동 회로(122), 제1 로드 매칭 구동 회로(130), 제2 로드 매칭 구동 회로(140), 표시 패드(DP)들, 팬 아웃 배선(FL)들, 데이터 배선(DL)들, 제1 스캔 타이밍 배선(SCL1)들, 제2 스캔 타이밍 배선(SCL2)들, 제1 발광 타이밍 배선(ETL1)들, 제2 발광 타이밍 배선(ETL2)들, 제1 로드 타이밍 배선(LTL1)들, 및 제2 로드 타이밍 배선(LTL2)들을 포함한다.
- [0040] 스캔 구동 회로(110)는 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)를 포함할 수 있다. 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)는 제2 비표시 영역(NDA2)에 배치될 수 있다. 제1 스캔 구동 회로(111)는 제1 표시 영역(DA1)의 좌측과 제2 표시 영역(DA2)의 좌측에 배치되며, 제2 스캔 구동 회로(112)는 제1 표시 영역(DA1)의 우측과 제3 표시 영역(DA3)의 우측에 배치될 수 있다.
- [0041] 제1 스캔 구동 회로(111)는 제1 스캔 타이밍 배선(SCL1)들에 연결되고, 제2 스캔 구동 회로(112)는 제2 스캔 타이밍 배선(SCL2)들에 연결될 수 있다. 제1 스캔 타이밍 배선(SCL1)들과 제2 스캔 타이밍 배선(SCL2)들은 표시 패드(DP)들에 연결되며, 표시 패드(DP)들은 표시 회로 보드(300)에 전기적으로 연결될 수 있다. 이로 인해, 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)는 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다.
- [0042] 제1 스캔 구동 회로(111)는 표시 구동부(200)로부터 인가되는 제1 스캔 타이밍 신호들에 기초하여 스캔 신호들을 생성할 수 있다. 제1 스캔 구동 회로(111)는 스캔 신호들을 제1 표시 영역(DA1)과 제2 표시 영역(DA2)의 스캔 배선들(도 3의 GIL, GWL, GBL)에 출력할 수 있다.
- [0043] 제2 스캔 구동 회로(112)는 표시 구동부(200)로부터 인가되는 제2 스캔 타이밍 신호들에 기초하여 스캔 신호들을 생성할 수 있다. 제2 스캔 구동 회로(112)는 제1 표시 영역(DA1)과 제3 표시 영역(DA3)의 스캔 신호들을 스캔 배선들(도 3의 GIL, GWL, GBL)에 출력할 수 있다.
- [0044] 발광 구동 회로(120)는 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)를 포함할 수 있다. 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)는 제2 비표시 영역(NDA2)에 배치될 수 있다. 제1 발광 구동 회로(121)는 제1 스캔 구동 회로(111)의 좌측에 배치되며, 제2 발광 구동 회로(122)는 제2 스캔 구동 회로(112)의 우측에 배치될 수 있다.
- [0045] 제1 발광 구동 회로(121)는 제1 발광 타이밍 배선(ETL1)들에 연결되고, 제2 발광 구동 회로(122)는 제2 발광 타이밍 배선(ETL2)들에 연결될 수 있다. 제1 발광 타이밍 배선(ETL1)들과 제2 발광 타이밍 배선(ETL2)들은 표시

패드(DP)들에 연결되며, 표시 패드(DP)들은 표시 회로 보드(300)에 전기적으로 연결될 수 있다. 이로 인해, 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)는 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다.

- [0046] 제1 발광 구동 회로(121)는 표시 구동부(200)로부터 인가되는 제1 발광 타이밍 신호들에 기초하여 발광 신호들을 생성할 수 있다. 제1 발광 구동 회로(121)는 발광 신호들을 제1 표시 영역(DA1)과 제2 표시 영역(DA2)의 발광 배선들(도 3의 EL)에 출력할 수 있다.
- [0047] 제2 발광 구동 회로(122)는 표시 구동부(200)로부터 인가되는 제2 발광 타이밍 신호들에 기초하여 발광 신호들을 생성할 수 있다. 제2 발광 구동 회로(122)는 발광 신호들을 제1 표시 영역(DA1)과 제3 표시 영역(DA3)의 발광 배선들(도 3의 EL)에 출력할 수 있다.
- [0048] 제1 로드 매칭 구동 회로(130)는 제1 비표시 영역(NDA1)에 배치될 수 있다. 제1 로드 매칭 구동 회로(130)는 제2 표시 영역(DA2)의 우측에 배치될 수 있다. 제1 로드 매칭 구동 회로(130)는 제1 로드 타이밍 배선(STL1)들에 연결될 수 있다. 제1 로드 타이밍 배선(LTL1)들은 제1 발광 구동 회로(121)의 좌측과 제2 표시 영역(DA2)의 상측에 배치될 수 있다. 제1 로드 타이밍 배선(STL1)들은 표시 패드(DP)들에 연결되며, 표시 패드(DP)들은 표시 회로 보드(300)에 전기적으로 연결될 수 있다. 이로 인해, 제1 로드 매칭 구동 회로(130)는 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다.
- [0049] 제1 로드 매칭 구동 회로(130)는 표시 구동부(200)로부터 인가되는 제1 로드 타이밍 신호들에 기초하여 로드 매칭 제어 신호들을 생성할 수 있다. 제1 로드 매칭 구동 회로(130)는 로드 매칭 제어 신호들을 제1 비표시 영역(NDA1)의 로드 매칭 제어 배선(도 3의 LCL)들에 출력할 수 있다.
- [0050] 제2 로드 매칭 구동 회로(140)는 제1 비표시 영역(NDA1)에 배치될 수 있다. 제2 로드 매칭 구동 회로(140)는 제3 표시 영역(DA3)의 좌측에 배치될 수 있다. 제2 로드 매칭 구동 회로(140)는 제2 로드 타이밍 배선(LTL2)들에 연결될 수 있다. 제2 로드 타이밍 배선(LTL2)들은 제2 발광 구동 회로(122)의 우측과 제3 표시 영역(DA3)의 상측에 배치될 수 있다. 제2 로드 타이밍 배선(STL2)들은 표시 패드(DP)들에 연결되며, 표시 패드(DP)들은 표시 회로 보드(300)에 전기적으로 연결될 수 있다. 이로 인해, 제2 로드 매칭 구동 회로(140)는 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다.
- [0051] 제2 로드 매칭 구동 회로(140)는 표시 구동부(200)로부터 인가되는 제2 로드 타이밍 신호들에 기초하여 로드 매칭 제어 신호들을 생성할 수 있다. 제2 로드 매칭 구동 회로(140)는 로드 매칭 제어 신호들을 제2 비표시 영역(NDA2)의 로드 매칭 제어 배선(도 3의 LCL)들에 출력할 수 있다.
- [0052] 제1 스캔 타이밍 배선(SCL1)들은 표시 패드(DP)들과 제1 스캔 구동 회로(111) 사이에 배치되므로, 표시 구동부(200)의 제1 스캔 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제1 스캔 타이밍 배선(SCL1)들을 통해 제1 스캔 구동 회로(111)에 인가될 수 있다. 예를 들어, 제1 스캔 타이밍 신호들은 제1 스캔 스타트 신호와 제1 스캔 클럭 신호들을 포함할 수 있다. 제1 스캔 타이밍 배선(SCL1)들은 제1 스캔 스타트 신호가 인가되는 제1 스캔 스타트 신호 배선, 제1 스캔 클럭 신호들이 인가되는 제1 스캔 클럭 배선들, 게이트 온 전압이 인가되는 게이트 온 전압 배선, 및 게이트 오프 전압이 인가되는 게이트 오프 전압 배선을 포함할 수 있다.
- [0053] 제2 스캔 타이밍 배선(SCL2)들은 표시 패드(DP)들과 제2 스캔 구동 회로(112) 사이에 배치되므로, 표시 구동부(200)의 제2 스캔 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제2 스캔 타이밍 배선(SCL2)들을 통해 제2 스캔 구동 회로(112)에 인가될 수 있다. 예를 들어, 제2 스캔 타이밍 신호들은 제2 스캔 스타트 신호와 제2 스캔 클럭 신호들을 포함할 수 있다. 제2 스캔 타이밍 배선(SCL2)들은 제2 스캔 스타트 신호가 인가되는 제2 스캔 스타트 신호 배선, 제2 스캔 클럭 신호들이 인가되는 제2 스캔 클럭 배선들, 게이트 온 전압 배선, 및 게이트 오프 전압 배선을 포함할 수 있다.
- [0054] 제1 발광 타이밍 배선(ETL1)들은 표시 패드(DP)들과 제1 발광 구동 회로(121) 사이에 배치되므로, 표시 구동부(200)의 제1 발광 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제1 발광 타이밍 배선(ETL1)들을 통해 제1 발광 구동 회로(121)에 인가될 수 있다. 예를 들어, 제1 발광 타이밍 신호들은 제1 발광 스타트 신호와 제1 발광 클럭 신호들을 포함할 수 있다. 제1 발광 타이밍 배선(ETL1)들은 제1 발광 스타트 신호가 인가되는 제1 발광 스타트 신호 배선, 제1 발광 클럭 신호들이 인가되는 제1 발광 클럭 배선들, 게이트 온 전압 배선, 및 게이트 오프 전압 배선을 포함할 수 있다.
- [0055] 제2 발광 타이밍 배선(ETL2)들은 표시 패드(DP)들과 제2 발광 구동 회로(122) 사이에 배치되므로, 표시 구동부(200)의 제2 발광 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제2 발광 타이밍 배선(ETL2)들을 통

해 제2 발광 구동 회로(122)에 인가될 수 있다. 예를 들어, 제2 발광 타이밍 신호들은 제2 발광 스타트 신호와 제2 발광 클럭 신호들을 포함할 수 있다. 제2 발광 타이밍 배선(ETL2)들은 제2 발광 스타트 신호가 인가되는 제2 발광 스타트 신호 배선, 제2 발광 클럭 신호들이 인가되는 제2 발광 클럭 배선들, 게이트 온 전압 배선, 및 게이트 오프 전압 배선을 포함할 수 있다.

[0056] 제1 로드 타이밍 배선(LTL1)들은 표시 패드(DP)들과 제1 로드 매칭 구동 회로(130) 사이에 배치되므로, 표시 구동부(200)의 제1 로드 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제1 로드 타이밍 배선(LTL1)들을 통해 제1 발광 구동 회로(121)에 인가될 수 있다. 예를 들어, 제1 로드 타이밍 신호들은 제1 로드 매칭 스타트 신호와 제1 로드 매칭 클럭 신호들을 포함할 수 있다. 제1 로드 타이밍 배선(LTL1)들은 제1 로드 매칭 스타트 신호가 인가되는 제1 로드 매칭 스타트 신호 배선, 제1 로드 매칭 클럭 신호들이 인가되는 제1 로드 매칭 클럭 배선들, 게이트 온 전압 배선, 및 게이트 오프 전압 배선을 포함할 수 있다.

[0057] 제2 로드 타이밍 배선(LTL2)들은 표시 패드(DP)들과 제2 로드 매칭 구동 회로(140) 사이에 배치되므로, 표시 구동부(200)의 제2 로드 타이밍 신호들, 게이트 온 전압, 및 게이트 오프 전압은 제2 로드 타이밍 배선(LTL2)들을 통해 제2 발광 구동 회로(122)에 인가될 수 있다. 예를 들어, 제2 로드 타이밍 신호들은 제2 로드 매칭 스타트 신호와 제2 로드 매칭 클럭 신호들을 포함할 수 있다. 제2 로드 타이밍 배선(LTL2)들은 제2 로드 매칭 스타트 신호가 인가되는 제2 로드 매칭 스타트 신호 배선, 제2 로드 매칭 클럭 신호들이 인가되는 제2 로드 매칭 클럭 배선들, 게이트 온 전압 배선, 및 게이트 오프 전압 배선을 포함할 수 있다.

[0058] 한편, 제1 로드 매칭 구동 회로(130)와 제1 로드 타이밍 배선(LTL1)들에 인가되는 제1 로드 타이밍 신호들에 대한 자세한 설명은 도 8을 결부하여 후술한다.

[0059] 데이터 배선(DL)들은 표시 영역(DA)에서 배치될 수 있다. 데이터 배선(DL)들은 제2 방향(Y축 방향)으로 연장되고, 제1 방향(X축 방향)으로 배열될 수 있다. 데이터 배선(DL)들은 도 3과 같이 스캔 배선들(도 3의 GIL, GWL, GBL)과 교차할 수 있다.

[0060] 펜 아웃 배선(FL)들은 표시 패드(DP)들과 데이터 배선(DL)들 사이에 배치될 수 있다. 펜 아웃 배선(FL)들은 표시 패드(DP)들과 데이터 배선(DL)들을 연결하는 역할을 한다. 표시 패드(DP)들은 표시 회로 보드(300)에 전기적으로 연결되므로, 데이터 배선(DL)들은 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다. 이로 인해, 표시 구동부(200)의 데이터 전압들은 데이터 배선(DL)들에 인가될 수 있다.

[0061] 표시 패드(DP)들을 포함하는 표시 패드 영역(DPA)은 표시 패널(100)의 하측 가장자리에 배치될 수 있다. 표시 패드 영역(DPA)은 노치부(NTA)가 형성되는 표시 패널(100)의 일 측의 반대 측에 배치될 수 있다. 예를 들어, 표시 패드 영역(DPA)이 표시 패널(100)의 하측에 배치되는 경우, 노치부(NTA)는 표시 패널(100)의 일 측에 형성될 수 있다.

[0062] 도 3은 도 2의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 일 예를 상세히 보여주는 레이아웃도이다.

[0063] 도 3을 참조하면, 제1 표시 영역(DA1)과 제2 표시 영역(DA2) 각각은 스캔 배선들(SL), 발광 배선(EL)들, 데이터 배선(DL)들, 및 서브 화소(PX)들을 포함한다.

[0064] 스캔 배선(SL)들과 발광 배선(EL)들은 제1 방향(X축 방향)으로 연장될 수 있다. 스캔 배선(SL)들은 제1 스캔 구동 회로(111)에 연결될 수 있다. 발광 배선(EL)들은 제1 발광 구동 회로(121)에 연결될 수 있다.

[0065] 스캔 배선(SL)들은 초기화 스캔 배선(GIL)들, 기입 스캔 배선(GWL)들, 및 바이어스 스캔 배선(GBL)들을 포함할 수 있다. 초기화 스캔 배선(GIL)들에는 초기화 스캔 신호들이 순차적으로 인가될 수 있다. 기입 스캔 배선(GWL)들은 기입 스캔 신호들이 순차적으로 인가될 수 있다. 바이어스 스캔 배선(GBL)들에는 바이어스 스캔 신호들이 순차적으로 인가될 수 있다. 발광 배선(EL)들에는 발광 신호들이 순차적으로 인가될 수 있다.

[0066] 데이터 배선(DL)들은 제2 방향(Y축 방향)으로 연장될 수 있다. 데이터 배선(DL)들은 표시 회로 보드(300)의 표시 구동부(200)에 전기적으로 연결될 수 있다. 데이터 배선(DL)들에는 데이터 전압들이 인가될 수 있다.

[0067] 서브 화소(PX)들 각각은 화상을 표시하기 위한 광을 발광할 수 있다. 서브 화소(PX)들은 매트릭스 형태로 배열될 수 있다. 서브 화소(PX)들은 제1 방향(X축 방향)과 제2 방향(Y축 방향)으로 나란하게 배열될 수 있다. 서브 화소(PX)들 각각은 초기화 스캔 배선(GIL), 기입 스캔 배선(GWL), 바이어스 스캔 배선(GBL), 및 데이터 배선(DL)에 연결될 수 있다. 서브 화소(PX)들에 대한 자세한 설명은 도 4 및 도 12를 결부하여 후술한다.

- [0068] 제1 비표시 영역(NDA1)은 제1 로드 매칭 구동 회로(130), 로드 매칭 트랜지스터(LMT)들, 로드 매칭 제어 배선(LCL)들, 공통 스캔 배선(CSL), 및 더미 화소(DPX)들을 포함할 수 있다.
- [0069] 제1 로드 매칭 구동 회로(130)는 제2 표시 영역(DA2)의 우측에 배치될 수 있다. 제1 로드 매칭 구동 회로(130)는 노치부(NTA)의 좌측에 배치될 수 있다. 제1 로드 매칭 구동 회로(130)는 제1 로드 타이밍 배선(STL1)들에 연결될 수 있다. 제1 로드 매칭 구동 회로(130)는 제1 로드 타이밍 배선(STL1)들을 통해 인가되는 제1 로드 타이밍 신호들에 기초하여 로드 매칭 제어 신호들을 생성할 수 있다. 제1 로드 매칭 구동 회로(130)는 로드 매칭 제어 신호들을 로드 매칭 제어 배선(LCL)들에 출력할 수 있다.
- [0070] 로드 매칭 트랜지스터(LMT)들은 제2 표시 영역(DA2)과 제1 로드 매칭 구동 회로(130) 사이에 배치될 수 있다. 도 3과 같이 로드 매칭 트랜지스터(LMT)들은 스캔 배선들(SL) 중 일부 스캔 배선들과 공통 스캔 배선(CSL) 사이에 배치될 수 있다. 예를 들어, 로드 매칭 트랜지스터(LMT)들은 스캔 배선들(SL) 중 기입 스캔 배선(GWL)들과 공통 스캔 배선(CSL) 사이에 배치될 수 있다. 또는, 로드 매칭 트랜지스터(LMT)들은 스캔 배선들(SL) 중 초기화 스캔 배선(GIL)들과 공통 스캔 배선(CSL) 사이에 배치될 수 있다. 또는, 로드 매칭 트랜지스터(LMT)들은 스캔 배선들(SL) 중 바이어스 스캔 배선(GBL)들과 공통 스캔 배선(CSL) 사이에 배치될 수 있다. 이하에서는, 설명의 편의를 위해 도 3과 같이 로드 매칭 트랜지스터(LMT)들은 기입 스캔 배선(GWL)들과 공통 스캔 배선(CSL) 사이에 배치된 것을 중심으로 설명한다.
- [0071] 로드 매칭 트랜지스터(LMT)들은 로드 매칭 제어 신호들에 의해 온오프될 수 있다. 예를 들어, 로드 매칭 트랜지스터(LMT)들 각각은 제1 레벨 전압(V1)의 로드 매칭 제어 신호에 의해 턴-온되고, 제2 레벨 전압(V2)의 로드 매칭 제어 신호에 의해 턴-오프될 수 있다. 기입 스캔 배선(GWL)과 연결된 로드 매칭 트랜지스터(LMT)가 턴-온되는 경우, 기입 스캔 배선(GWL)과 공통 스캔 배선(CSL)은 전기적으로 연결될 수 있다. 기입 스캔 배선(GWL)과 연결된 로드 매칭 트랜지스터(LMT)가 턴-오프되는 경우, 기입 스캔 배선(GWL)과 공통 스캔 배선(CSL)은 전기적으로 연결될 수 있다. 로드 매칭 트랜지스터(LMT)들 각각의 게이트 전극은 로드 매칭 제어 배선(LCL)에 연결되고, 제1 전극은 기입 스캔 배선(GWL)에 연결되며, 제2 전극은 공통 스캔 배선(CSL)에 연결될 수 있다.
- [0072] 로드 매칭 트랜지스터(LMT)들은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 로드 매칭 트랜지스터(LMT)들은 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 로드 매칭 트랜지스터(LMT)들은 N 타입 MOSFET으로 형성될 수도 있다. 한편, 로드 매칭 트랜지스터(LMT)들은 스위치 소자로 역할을 하므로, 로드 매칭 스위치 소자로 정의될 수 있다.
- [0073] 로드 매칭 제어 신호들은 로드 매칭 제어 배선(LCL)들에 순차적으로 인가되므로, 로드 매칭 트랜지스터(LMT)들은 순차적으로 턴-온될 수 있다. 그러므로, 기입 스캔 배선(GWL)들은 공통 스캔 배선(CSL)에 순차적으로 접속될 수 있다. 예를 들어, 제k 기입 스캔 배선(GWL)이 공통 스캔 배선(CSL)에 연결된 후, 제k+1 기입 스캔 배선(GWL)이 공통 스캔 배선(CSL)에 연결될 수 있다. 그리고 나서, 제k+2 기입 스캔 배선(GWL)이 공통 스캔 배선(CSL)에 연결된 후, 제k+3 기입 스캔 배선(GWL)이 공통 스캔 배선(CSL)에 연결될 수 있다.
- [0074] 공통 스캔 배선(CSL)은 더미 화소(DPX)들과 로드 매칭 트랜지스터(LMT)들에 연결될 수 있다. 공통 스캔 배선(CSL)은 더미 화소(DPX)들과 로드 매칭 트랜지스터(LMT)들 사이에 배치될 수 있다.
- [0075] 더미 화소(DPX)들은 화상을 표시하지 않으므로, 더미 화소(DPX)들 각각은 광을 발광하지 않을 수 있다. 더미 화소(DPX)들은 제1 표시 영역(DA1)의 상측에 배치될 수 있다. 더미 화소(DPX)들은 노치부(NTA)의 하측에 배치될 수 있다. 더미 화소(DPX)들은 제1 방향(X축 방향)으로 배열될 수 있다. 더미 화소(DPX)들은 공통 스캔 배선(CSL)에 연결될 수 있다. 더미 화소(DPX)들에 대한 자세한 설명은 도 5 및 도 13을 결부하여 후술한다.
- [0076] 또는, 더미 화소(DPX)들은 복수의 공통 스캔 배선들에 연결될 수 있다. 예를 들어, 제1 비표시 영역(NDA1)이 기입 스캔 배선(GWL)들과 공통 스캔 배선(CSL) 사이에 배치되는 로드 매칭 트랜지스터(LMT)들뿐만 아니라, 초기화 스캔 배선(GIL)들과 또 다른 공통 스캔 배선 사이에 배치되는 또 다른 로드 매칭 트랜지스터들을 포함하거나, 바이어스 스캔 배선(GBL)들과 또 다른 공통 스캔 배선 사이에 배치되는 또 다른 로드 매칭 트랜지스터들을 포함할 수 있다. 이 경우, 더미 화소(DPX)들은 또 다른 공통 스캔 배선(들)에 연결될 수 있다.
- [0077] 제2 비표시 영역(NDA2)은 제1 스캔 구동 회로(111)와 제1 발광 구동 회로(112)를 포함할 수 있다.
- [0078] 제1 스캔 구동 회로(111)는 초기화 스캔 배선(GIL)들, 기입 스캔 배선(GWL)들, 및 바이어스 스캔 배선(GBL)들에 연결될 수 있다. 제1 스캔 구동 회로(111)는 제1 스캔 타이밍 배선(도 2의 SCL1)들에 연결될 수 있다. 제1 스캔

구동 회로(111)는 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 인가되는 제1 스캔 타이밍 신호들에 기초하여 초기화 스캔 신호들, 기입 스캔 신호들, 및 바이어스 스캔 신호들을 생성할 수 있다. 제1 스캔 구동 회로(111)는 초기화 스캔 신호들을 초기화 스캔 배선(GIL)들에 순차적으로 출력할 수 있다. 제1 스캔 구동 회로(111)는 기입 스캔 신호들을 기입 스캔 배선(GWL)들에 순차적으로 출력할 수 있다. 제1 스캔 구동 회로(111)는 바이어스 스캔 신호들을 바이어스 스캔 배선(GBL)들에 순차적으로 출력할 수 있다.

[0079] 제1 발광 구동 회로(112)는 발광 배선(EL)들에 연결될 수 있다. 제1 발광 구동 회로(112)는 제1 발광 타이밍 배선(도 2의 ETL1)들에 연결될 수 있다. 제1 발광 구동 회로(112)는 제1 발광 타이밍 배선(도 2의 ETL1)들을 통해 인가되는 제1 발광 타이밍 신호들에 기초하여 발광 신호들을 생성할 수 있다. 제1 발광 구동 회로(112)는 발광 신호들을 발광 배선(EL)들에 순차적으로 출력할 수 있다.

[0080] 한편, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 서브 화소(PX)들의 개수는 제1 표시 영역(DA1)의 서브 화소(PX)들의 개수보다 작기 때문에, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)에 걸리는 로드가 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)에 걸리는 로드와 상이할 수 있다. 이로 인해, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭에 차이가 발생할 수 있다. 예를 들어, 기입 스캔 배선(GWL)에 걸리는 로드가 클수록 RC 지연(delay)로 인하여 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭은 짧을 수 있다. 이에 따라, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 서브 화소(PX)들과 제1 표시 영역(DA1)의 서브 화소(PX)들 간에 휘도 차이가 발생할 수 있다.

[0081] 도 3과 같이, 제1 로드 매칭 구동 회로(130)가 로드 매칭 제어 신호들을 순차적으로 출력함으로써, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 연결된 로드 매칭 트랜지스터(LMT)들은 순차적으로 턴-온될 수 있다. 그러므로, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들은 공통 스캔 배선(CSL)에 연결된 더미 화소(DPX)들에 순차적으로 접속될 수 있다. 이 경우, 기입 스캔 배선(GWL)들에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함할 수 있다. 즉, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 걸리는 로드를 제1 비표시 영역(NDA1)의 더미 화소(DPX)들을 통해 보상할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

[0082] 한편, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들 간의 로드 차이를 줄이기 위해, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들을 보상 커패시터들에 일대일로 연결할 수 있다.

[0083] 도 3과 같이, 제1 로드 매칭 구동 회로(130)와 로드 매칭 트랜지스터(LMT)들을 이용하여, 제1 방향(X축 방향)으로 배열되는 더미 화소(DPX)들을 공통 스캔 배선(CSL)을 통해 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 순차적으로 접속시킬 수 있다. 이 경우, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들이 로드를 보상하기 위한 더미 화소(DPX)들을 공유하므로, 보상 커패시터들을 이용하여 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들 간의 로드 차이를 줄일 때보다 제1 비표시 영역(NDA1)의 면적을 줄일 수 있다.

[0084] 한편, 표시 패널(100)의 제3 표시 영역(DA3)은 도 3에 도시된 표시 패널(100)의 제2 표시 영역(DA2)이 좌우 반전되는 것을 제외하고는, 도 3을 결부하여 설명한 바와 실질적으로 동일하게 형성될 수 있다.

[0085] 도 4는 도 3의 서브 화소의 일 예를 보여주는 회로도이다.

[0086] 도 4를 참조하면, 화소(PX)는 제k(k는 양의 정수) 초기화 스캔 배선(GILk), 제k 기입 스캔 배선(GWLk), 및 제k 바이어스 스캔 배선(GBLk)에 접속될 수 있다. 또한, 화소(PX)는 제1 구동 전압이 공급되는 제1 구동 전압 배선(VDDL), 초기화 전압(Vini)이 공급되는 초기화 전압 배선(VIL), 및 제2 구동 전압이 공급되는 제2 구동 전압 배선(VSSL)에 접속될 수 있다.

[0087] 화소(PX)는 구동 트랜지스터(transistor)(DT), 발광 소자(Light Emitting Element, LEL), 스위치 소자들, 및 커패시터(C1)를 포함한다. 스위치 소자들은 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6)을 포함한다.

[0088] 구동 트랜지스터(DT)는 게이트 전극, 제1 전극, 및 제2 전극을 포함할 수 있다. 구동 트랜지스터(DT)는 게이트 전극에 인가되는 데이터 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 드레인-소스간 전류(Ids, 이하 “구동

전류”라 칭함)를 제어한다. 구동 트랜지스터(DT)의 채널을 통해 흐르는 구동 전류(Ids)는 수학적 식 1과 같이 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압(Vgs)과 문턱전압(threshold voltage) 간의 차이의 제곱에 비례한다.

수학적 식 1

$$I_{ds} = k' \times (V_{gs} - V_{th})^2$$

[0089]

[0090]

[0091]

[0092]

[0093]

[0094]

[0095]

[0096]

[0097]

[0098]

[0099]

[0100]

[0101]

[0102]

[0103]

[0104]

[0105]

[0106]

[0107]

수학적 식 1에서, k'는 구동 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, Vgs는 구동 트랜지스터의 게이트-소스간 전압, Vth는 구동 트랜지스터의 문턱전압을 의미한다.

발광 소자(LEL)는 구동 전류(Ids)에 따라 발광한다. 발광 소자(LEL)의 발광량은 구동 전류(Ids)에 비례할 수 있다.

발광 소자(LEL)는 애노드 전극(AND), 캐소드 전극(CAT), 및 애노드 전극(AND)과 캐소드 전극(CAT) 사이에 배치된 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다. 또는, 발광 소자(LEL)는 애노드 전극(AND), 캐소드 전극(CAT), 및 애노드 전극(AND)과 캐소드 전극(CAT) 사이에 배치된 무기 반도체를 포함하는 무기 발광 소자일 수 있다. 또는, 발광 소자(LEL)는 애노드 전극(AND), 캐소드 전극(CAT), 및 애노드 전극(AND)과 캐소드 전극(CAT) 사이에 배치된 양자점 발광층을 포함하는 양자점 발광 소자일 수 있다. 또는, 발광 소자(LEL)는 마이크로 발광 다이오드(micro light emitting diode)일 수 있다.

발광 소자(LEL)의 애노드 전극(AND)은 제4 트랜지스터(ST4)의 제1 전극과 제6 트랜지스터(ST6)의 제2 전극에 접속되며, 캐소드 전극(CAT)은 제2 구동 전압 배선(VSSL)에 접속될 수 있다. 발광 소자(LEL)의 애노드 전극(AND)과 캐소드 전극(CAT) 사이에는 기생 용량(Cel)이 형성될 수 있다.

제1 트랜지스터(ST1)는 제1-1 트랜지스터(ST1-1)와 제1-2 트랜지스터(ST1-2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제1-1 트랜지스터(ST1-1)와 제1-2 트랜지스터(ST1-2)는 제k 초기화 스캔 배선(GILk)의 초기화 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 초기화 전압 배선(VIL)을 접속시킨다. 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압 배선(VIL)의 초기화 전압으로 방전될 수 있다. 제1-1 트랜지스터(ST1-1)의 게이트 전극은 제k 초기화 스캔 배선(GILk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제1-2 트랜지스터(ST1-2)의 제1 전극에 접속될 수 있다. 제1-2 트랜지스터(ST1-2)의 게이트 전극은 제k 초기화 스캔 배선(GILk)에 접속되고, 제1 전극은 제1-1 트랜지스터(ST1-1)의 제2 전극에 접속되며, 제2 전극은 초기화 전압 배선(VIL)에 접속될 수 있다.

제2 트랜지스터(ST2)는 제k 기입 스캔 배선(GWLk)의 기입 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제1 전극과 제j 데이터 배선(Dj)을 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 기입 스캔 배선(GWLk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제1 전극에 접속되며, 제2 전극은 데이터 배선(Dj)에 접속될 수 있다.

제3 트랜지스터(ST3)는 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)를 포함하는 듀얼 트랜지스터로 형성될 수 있다. 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)는 제k 기입 스캔 배선(GWLk)의 기입 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 제2 전극을 접속시킨다. 즉, 제3-1 트랜지스터(ST3-1)와 제3-2 트랜지스터(ST3-2)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동한다. 제3-1 트랜지스터(ST3-1)의 게이트 전극은 제k 기입 스캔 배선(GWLk)에 접속되고, 제1 전극은 제3-2 트랜지스터(ST3-2)의 제2 전극에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속될 수 있다. 제3-2 트랜지스터(ST3-2)의 게이트 전극은 제k 기입 스캔 배선(GWLk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되며, 제2 전극은 제3-1 트랜지스터(ST3-1)의 제1 전극에 접속될 수 있다.

제4 트랜지스터(ST4)는 제k 바이어스 스캔 배선(GBLk)의 바이어스 스캔 신호에 의해 턴-온되어 발광 소자(LEL)의 애노드 전극(AND)과 초기화 전압 배선(VIL)을 접속시킨다. 발광 소자(LEL)의 애노드 전극(AND)은 초기화 전압으로 방전될 수 있다. 제4 트랜지스터(ST4)의 게이트 전극은 제k 바이어스 스캔 배선(GBLk)에 접속되고, 제1 전극은 발광 소자(LEL)의 애노드 전극(AND)에 접속되며, 제2 전극은 초기화 전압 배선(VIL)에 접속된다.

- [0098] 제5 트랜지스터(ST5)는 제k 발광 배선(ELk)의 발광 제어 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제1 전극과 제1 구동 전압 배선(VDDL)을 접속시킨다. 제5 트랜지스터(ST5)의 게이트 전극은 제k 발광 배선(ELk)에 접속되고, 제1 전극은 제1 구동 전압 배선(VDDL)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속된다.
- [0099] 제6 트랜지스터(ST6)는 구동 트랜지스터(DT)의 제2 전극과 발광 소자(LEL)의 애노드 전극 사이에 접속된다. 제6 트랜지스터(ST6)는 제k 발광 배선(ELk)의 발광 제어 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 제2 전극과 발광 소자(LEL)의 애노드 전극을 접속한다. 제6 트랜지스터(ST6)의 게이트 전극은 제k 발광 배선(ELk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되며, 제2 전극은 발광 소자(LEL)의 애노드 전극에 접속된다. 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)가 모두 턴-온되는 경우, 구동 전류(Ids)는 발광 소자(LEL)에 공급될 수 있다.
- [0100] 커패시터(C1)는 구동 트랜지스터(DT)의 제2 전극과 제1 구동 전압 배선(VDDL) 사이에 형성된다. 커패시터(C1)의 일 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되고, 타 전극은 제1 구동 전압 배선(VDDL)에 접속될 수 있다.
- [0101] 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다. 또는, 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 제1 전극이 드레인 전극인 경우, 제2 전극은 소스 전극일 수 있다.
- [0102] 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 액티브층 폴리 실리콘(Poly Silicon), 아몰포스 실리콘, 및 산화물 반도체 중 어느 하나로 형성될 수도 있다. 도 6에서는 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT)는 P 타입 MOSFET으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT)는 N 타입 MOSFET으로 형성될 수도 있다.
- [0103] 제1 구동 전압 배선(VDDL)의 제1 구동 전압, 제2 구동 전압 배선(VSSL)의 제2 구동 전압, 초기화 전압 배선(Vini)의 초기화 전압은 구동 트랜지스터(DT)의 특성, 발광 소자(LEL)의 특성 등을 고려하여 설정될 수 있다. 예를 들어, 초기화 전압과 구동 트랜지스터(DT)의 소스 전극에 공급되는 데이터 전압 간의 전압 차는 구동 트랜지스터(DT)의 문턱전압보다 작도록 설정될 수 있다.
- [0104] 도 5는 도 3의 더미 화소의 일 예를 보여주는 회로도이다.
- [0105] 도 5의 실시예는 제6 트랜지스터(ST6)의 제2 전극과 발광 소자(LEL)의 애노드 전극(AND) 사이의 접속이 물리적으로 또는 전기적으로 끊어진 것에서 도 4의 실시예와 차이점이 있다.
- [0106] 도 5를 참조하면, 더미 화소(DPX)의 발광 소자(LEL)에는 구동 전류(Ids)가 흐르지 않으므로, 발광 소자(LEL)는 발광하지 않는다. 즉, 더미 화소(DPX)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(T1~T6)이 서브 화소(PX)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(T1~T6)과 동일하게 동작할 수 있으나, 제6 트랜지스터(ST6)의 제2 전극과 발광 소자(LEL)의 애노드 전극(AND) 사이의 접속이 물리적으로 또는 전기적으로 끊어지므로, 구동 전류(Ids)가 발광 소자(LEL)에 흐르지 않는다.
- [0107] 도 5와 같이, 더미 화소(DPX)는 화상을 표시하기 위해 광을 발광하지 않으면서 서브 화소(PX)와 유사한 로드를 가지므로, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)에 걸리는 로드를 보상하기 위한 화소로 이용될 수 있다.
- [0108] 도 6은 도 4의 서브 화소의 제6 트랜지스터와 발광 소자의 일 예를 보여주는 단면도이다. 도 6에서는 설명의 편의를 위해 서브 화소(PX)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(ST1~ST6) 중 제6 트랜지스터만을 예시하였다.
- [0109] 도 6을 참조하면, 기관(SUB) 상에는 제1 버퍼막(BF1)이 배치되고, 제1 버퍼막(BF1) 상에는 박막 트랜지스터층(TFTL), 발광 소자층(EML), 봉지층(TFEL), 및 터치 전극층(SENL)이 순차적으로 배치될 수 있다.
- [0110] 기관(SUB)은 유리, 석영, 고분자 수지 등의 절연 물질로 이루어질 수 있다. 예를 들어, 기관(SUB)은 폴리이미드(polyimide)를 포함할 수 있다. 기관(SUB)은 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉서블(flexible) 기관일 수 있다.
- [0111] 제1 버퍼막(BF1)은 투습에 취약한 기관(SUB)을 통해 침투하는 수분으로부터 박막 트랜지스터층(TFTL)의 트랜지스터들과 발광 소자층(EML)의 발광층(172)을 보호하기 위한 막이다. 제1 버퍼막(BF1)은 교번하여 적층된 복수의

무기막들로 이루어질 수 있다. 예를 들어, 제1 버퍼막(BF1)은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다.

- [0112] 기관(SUB) 상에는 차광층(BML)이 배치될 수 있다. 차광층(BML)은 트랜지스터들의 액티브층들에 광이 입사되는 경우 누설 전류가 발생하는 것을 방지하기 위해 트랜지스터들의 액티브층들과 중첩하여 배치될 수 있다. 예를 들어, 차광층(BML)은 표시 패널(100)의 두께 방향인 제3 방향(Z축 방향)에서 제6 트랜지스터(ST6)의 액티브층(ACT6)과 중첩할 수 있다. 차광층(BML)은 제1 버퍼막(BF1)에 의해 덮일 수 있다. 차광층(BML)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0113] 박막 트랜지스터층(TFTL)은 트랜지스터들, 게이트 절연막(131), 제1 층간 절연막(141), 제2 층간 절연막(142), 제1 평탄화막(160), 및 제2 평탄화막(180)을 포함한다. 트랜지스터들 각각은 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함할 수 있다. 예를 들어, 제6 트랜지스터(ST6)는 액티브층(ACT6), 게이트 전극(G6), 소스 전극(S6), 및 드레인 전극(D6)을 포함할 수 있다.
- [0114] 제1 버퍼막(BF1) 상에는 액티브층(ACT6), 소스 전극(S6), 및 드레인 전극(D6)이 형성될 수 있다. 액티브층(ACT6)은 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘, 또는 산화물 반도체를 포함할 수 있다. 액티브층(ACT6)이 다결정 실리콘으로 이루어지는 경우, 이온 도핑된 액티브층(ACT6)은 도전성을 가질 수 있다. 그러므로, 소스 전극(S6)과 드레인 전극(D6)은 액티브층(ACT6)에 이온을 도핑하여 형성될 수 있다.
- [0115] 액티브층(ACT), 소스 전극(S), 및 드레인 전극(D) 상에는 게이트 절연막(131)이 형성될 수 있다. 게이트 절연막(131)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다.
- [0116] 게이트 절연막(131) 상에는 게이트 전극(G6)이 형성될 수 있다. 게이트 전극(G6)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0117] 게이트 전극(G6) 상에는 제1 층간 절연막(141)이 형성될 수 있다. 제1 층간 절연막(141)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다. 제1 층간 절연막(141)은 복수의 무기막을 포함할 수 있다.
- [0118] 제1 층간 절연막(141) 상에는 커패시터 전극이 배치될 수 있다. 커패시터 전극은 제3 방향(Z축 방향)에서 구동 트랜지스터(DT)의 게이트 전극과 중첩할 수 있다.
- [0119] 제1 층간 절연막(141) 상에는 제2 층간 절연막(142)이 형성될 수 있다. 제2 층간 절연막(142)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다. 제2 층간 절연막(142)은 복수의 무기막을 포함할 수 있다.
- [0120] 제2 층간 절연막(142) 상에는 제1 애노드 연결 전극(ANDE1)을 포함할 수 있다. 제1 애노드 연결 전극(ANDE1)은 게이트 절연막(131), 제1 층간 절연막(141), 및 제2 층간 절연막(142)을 관통하는 제1 콘택홀(CNT1)을 통해 제6 트랜지스터(ST6)의 소스 전극(S6)에 연결될 수 있다. 제1 애노드 연결 전극(ANDE1)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0121] 제1 애노드 연결 전극(ANDE1) 상에는 액티브층(ACT6), 소스 전극(S6), 드레인 전극(D6), 게이트 전극(G6), 및 제1 애노드 연결 전극(ANDE1)으로 인한 단차를 평탄하게 하기 위한 제1 평탄화막(160)이 형성될 수 있다. 제1 평탄화막(160)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0122] 제1 애노드 연결 전극(ANDE1)과 제1 평탄화막(160) 사이에는 보호막 추가로 형성될 수 있다. 보호막은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층으로 형성될 수 있다.
- [0123] 제1 평탄화막(160) 상에는 제2 애노드 연결 전극(ANDE2)이 형성될 수 있다. 제2 애노드 연결 전극(ANDE2)은 제1 평탄화막(160)을 관통하는 제2 콘택홀(CNT2)을 통해 제1 애노드 연결 전극(ANDE1)에 연결될 수 있다. 제2 애노드 연결 전극(ANDE2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd)

및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

- [0124] 제2 애노드 연결 전극(ANDE2) 상에는 제2 평탄화막(180)이 형성될 수 있다. 제2 평탄화막(180)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리아미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0125] 도 6에서는 제6 트랜지스터(ST6)의 게이트 전극(G6)이 액티브층(ACT6)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 박막 트랜지스터층(TFTL)의 트랜지스터들 각각은 상부 게이트 방식뿐만 아니라, 하부 게이트(보텀 게이트, bottom gate) 방식 또는 더블 게이트(double gate) 방식으로 형성될 수 있다. 하부 게이트 방식에서는 게이트 전극(G)이 액티브층(ACT)의 하부에 위치할 수 있으며, 더블 게이트 방식에서는 게이트 전극(G)이 액티브층(ACT)의 상부와 하부에 모두 위치할 수 있다.
- [0126] 박막 트랜지스터층(TFTL) 상에는 발광 소자층(EML)이 형성된다. 발광 소자층(EML)은 발광 소자(170)들과 बैं크(190)를 포함한다.
- [0127] 발광 소자(170)들과 बैं크(190)는 평탄화막(160) 상에 형성된다. 발광 소자(170)들 각각은 제1 발광 전극(171), 발광층(172), 및 제2 발광 전극(173)을 포함할 수 있다. 제1 발광 전극(171)은 애노드 전극이고, 제2 발광 전극(173)은 캐소드 전극일 수 있다.
- [0128] 제1 발광 전극(171)은 제2 평탄화막(180) 상에 형성될 수 있다. 제1 발광 전극(171)은 제2 평탄화막(180)을 관통하는 제3 콘택홀(CNT3)을 통해 제2 애노드 연결 전극(ANDE2)에 접속될 수 있다.
- [0129] 발광층(172)을 기준으로 제2 발광 전극(173) 방향으로 발광하는 상부 발광(top emission) 구조에서 제1 발광 전극(171)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0130] बैं크(190)는 발광 영역(EMA)을 정의하는 역할을 하기 위해 제2 평탄화막(180) 상에서 제1 발광 전극(171)을 구획하도록 형성될 수 있다. बैं크(190)는 제1 발광 전극(171)의 가장자리를 덮도록 형성될 수 있다. बैं크(190)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리아미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0131] 발광 영역(EMA)은 제1 발광 전극(171), 발광층(172), 및 제2 발광 전극(173)이 순차적으로 적층되어 제1 발광 전극(171)으로부터의 정공과 제2 발광 전극(173)으로부터의 전자가 발광층(172)에서 서로 결합되어 발광하는 영역을 나타낸다.
- [0132] 제1 발광 전극(171)과 बैं크(190) 상에는 발광층(172)이 형성된다. 발광층(172)은 유기 물질을 포함하여 소정의 색을 발광할 수 있다. 예를 들어, 발광층(172)은 정공 수송층(hole transporting layer), 유기 물질층, 및 전자 수송층(electron transporting layer)을 포함할 수 있다.
- [0133] 제2 발광 전극(173)은 발광층(172) 상에 형성된다. 제2 발광 전극(173)은 발광층(172)을 덮도록 형성될 수 있다. 제2 발광 전극(173)은 서브 화소들(SP1, SP2, SP3)에 공통적으로 형성되는 공통층일 수 있다. 제2 발광 전극(173) 상에는 캡핑층(capping layer)이 형성될 수 있다.
- [0134] 상부 발광 구조에서 제2 발광 전극(173)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 발광 전극(173)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다.
- [0135] 발광 소자층(EML) 상에는 봉지층(TFEL)이 형성될 수 있다. 봉지층(TFEL)은 발광 소자층(EML)에 산소 또는 수분이 침투되는 것을 방지하기 위해 적어도 하나의 무기막을 포함할 수 있다. 또한, 봉지층(TFEL)은 먼지와 같은 이물질로부터 발광 소자층(EML)을 보호하기 위해 적어도 하나의 유기막을 포함할 수 있다. 예를 들어, 봉지층(TFEL)은 제1 무기막(TFE1), 유기막(TFE2), 및 제2 무기막(TFE3)을 포함할 수 있다.
- [0136] 제1 무기막(TFE1)은 제2 발광 전극(173) 상에 배치되고, 유기막(TFE2)은 제1 무기막(TFE1) 상에 배치되며, 제2 무기막(TFE3)은 유기막(TFE2) 상에 배치될 수 있다. 제1 무기막(TFE1)과 제2 무기막(TFE3)은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이

상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 유기막(TFE2)은 모노머(monomer, 단량체)일 수 있다.

- [0137] 봉지층(TFEL) 상에는 터치 전극층(SENL)이 배치된다. 터치 전극층(SENL)은 제2 버퍼막(BF2), 터치 전극(SE)들, 및 제1 터치 절연막(TINS1)을 포함한다.
- [0138] 봉지층(TFEL) 상에는 제2 버퍼막(BF2)이 배치될 수 있다. 제2 버퍼막(BF2)은 적어도 하나의 무기막을 포함할 수 있다. 예를 들어, 제2 버퍼막(BF2)은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 및 알루미늄옥사이드층 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 제2 버퍼막(BF2)은 생략될 수 있다.
- [0139] 제2 버퍼막(BF2) 상에는 제1 터치 절연막(TINS1)이 배치될 수 있다. 제1 터치 절연막(TINS1)은 무기막, 예를 들어 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄 옥사이드층으로 형성될 수 있다. 또는, 제1 터치 절연막(TINS1)은 유기막, 예를 들어 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin)로 형성될 수 있다.
- [0140] 제1 터치 절연막(TINS1) 상에는 터치 전극(SE)들이 배치될 수 있다. 터치 전극(SE)들은 발광 영역(EMA)과 중첩하지 않는다. 즉, 터치 전극(SE)들은 발광 영역(EMA)에 배치되지 않는다. 터치 전극(SE)들은 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al)의 단일층으로 형성되거나, 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)로 형성될 수 있다.
- [0141] 도 7은 도 5의 더미 화소의 제6 트랜지스터와 발광 소자의 일 예를 보여주는 단면도이다.
- [0142] 도 7의 실시예는 더미 화소(DPX)의 발광 소자(LEL)의 제1 발광 전극(171)이 제2 애노드 연결 전극(ANDE2)에 연결되지 않는 것에서 도 6의 실시예와 차이점이 있다.
- [0143] 도 7을 참조하면, 더미 화소(DPX)에서는 제2 평탄화막(180)을 관통하는 제3 콘택홀(CNT3)이 형성되지 않는다. 그러므로, 더미 화소(DPX)의 발광 소자(LEL)의 제1 발광 전극(171)은 제2 애노드 연결 전극(ANDE2)에 연결될 수 없다. 이로 인해, 발광 소자(LEL)의 제1 발광 전극(171)은 제6 트랜지스터(ST6)의 드레인 전극(D6)에 전기적으로 연결되지 않으므로, 발광 소자(LEL)의 제1 발광 전극(171)에는 어떠한 전압도 인가되지 않는다. 즉, 발광 소자(LEL)의 제1 발광 전극(171)은 플로팅될 수 있다.
- [0144] 도 7과 같이, 발광 소자(LEL)의 제1 발광 전극(171)은 제6 트랜지스터(ST6)의 드레인 전극(D6)에 전기적으로 연결되지 않으므로, 더미 화소(DPX)는 화상을 표시하기 위해 광을 발광하지 않을 수 있다.
- [0145] 도 8은 도 3의 제1 로드 매칭 구동 회로의 스테이지들을 보여주는 일 예시 도면이다.
- [0146] 도 8에서는 설명의 편의를 위해 제1 로드 매칭 구동 회로의 제k 스테이지(STAk)와 제k+1 스테이지(STAk+1)만을 예시하였다.
- [0147] 도 8을 참조하면, 제1 로드 매칭 구동 회로(130)는 종속적으로 접속된 스테이지들(STAk, STAk+1)을 포함할 수 있다. 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1)의 개수는 로드 매칭 트랜지스터(LMT)들의 개수와 동일할 수 있다.
- [0148] 스테이지들(STAk, STAk+1)은 로드 매칭 제어 신호들을 순차적으로 출력할 수 있다. 예를 들어, 제k 스테이지(STAk)는 제k 로드 매칭 제어 배선(LCLk)에 접속되어 제k 로드 매칭 제어 신호를 출력할 수 있다. 제k+1 스테이지(STAk+1)는 제k+1 로드 매칭 제어 배선(LCLk+1)에 접속되어 제k 로드 매칭 제어 신호를 출력할 수 있다.
- [0149] 스테이지들(STAk, STAk+1) 각각은 도 8과 같이 풀-업 노드(NQ), 풀-다운 노드(NQB), 풀-업 노드(NQ)가 게이트 온 전압을 갖는 경우 턴-온되는 풀-업 트랜지스터(TU), 풀-다운 노드(NQB)가 게이트 온 전압을 갖는 경우 턴-온되는 풀-다운 트랜지스터(TD), 및 풀-업 노드(NQ)와 풀-다운 노드(NQB)의 충전전을 제어하기 위한 노드 제어부(NC)를 포함한다.
- [0150] 노드 제어부(NC)는 스타트 단자(ST), 리셋 단자(RT), 게이트 온 전압 단자(VGHT), 게이트 오프 전압 단자(VGLT), 클럭 단자(CT), 및 출력 단자(OT)를 포함한다. 스타트 단자(ST)는 로드 매칭 스타트 신호 또는 전단 스테이지의 출력 신호가 인가되는 전단 캐리 배선(PCL)에 접속될 수 있다. 리셋 단자(RT)는 후단 스테이지의 출력 신호가 입력되는 후단 캐리 배선(RCL)에 접속될 수 있다. 게이트 온 전압 단자(VGHT)는 게이트 온 전압이 인가

되는 게이트 온 전압 배선(VGHL)에 접속될 수 있다. 게이트 오프 전압 단자(VGLT)는 게이트 오프 전압이 인가되는 게이트 오프 전압 배선(VGLL)에 접속될 수 있다. 게이트 온 전압은 제1 레벨 전압(V1)이고, 게이트 오프 전압은 제2 레벨 전압일 수 있다. 노드 제어부(NC)는 복수의 박막 트랜지스터들을 포함할 수 있다.

- [0151] 한편, 제1 로드 매칭 구동 회로(130)에 연결되는 제1 로드 타이밍 배선(도 3의 LTL1)들은 로드 매칭 스타트 신호가 인가되는 로드 매칭 스타트 신호 배선, 로드 매칭 클럭 신호들이 인가되는 로드 매칭 클럭 배선들(CL1, CL2), 게이트 온 전압 배선(VGHL), 및 게이트 오프 전압 배선(VGLL)을 포함할 수 있다.
- [0152] 클럭 단자(CT)는 제1 로드 매칭 클럭 신호가 인가되는 제1 로드 매칭 클럭 배선(CL1)과 제2 로드 매칭 클럭 신호가 인가되는 제2 로드 매칭 클럭 배선(CL2) 중 어느 하나에 접속될 수 있다. 스테이지들(STAk, STAk+1)은 제1 로드 매칭 클럭 배선(CL1)과 제2 로드 매칭 클럭 배선(CL2)에 교번하여 접속될 수 있다. 예를 들어, 제k 스테이지(STAk)의 클럭 단자(CT)가 제1 로드 매칭 클럭 배선(CL1)에 접속되는 경우, 제k+1 스테이지(STAk+1)의 클럭 단자(CT)는 제2 로드 매칭 클럭 배선(CL2)에 접속될 수 있다. 도 8에서는 스테이지들(STAk, STAk+1)이 두 개의 로드 매칭 클럭 배선들(CL1, CL2)에 교번하여 접속되는 것을 예시하였으나, 이에 한정되지 않는다. 예를 들어, 스테이지들(STAk, STAk+1)은 3 개 이상의 로드 매칭 클럭 배선들에 교번하여 접속될 수 있다.
- [0153] 출력 단자(OT)는 로드 매칭 제어 배선들(LCLk, LCLk+1) 중 어느 하나에 접속될 수 있다. 스테이지들(STAk, STAk+1)은 로드 매칭 제어 배선들(LCLk, LCLk+1)에 순차적으로 접속될 수 있다. 예를 들어, 제k 스테이지(STAk)의 출력 단자(OT)는 제k 로드 매칭 제어 배선(LCLk)에 접속되고, 제k+1 스테이지(STAk+1)의 출력 단자(OT)는 제k+1 로드 매칭 제어 배선(LCLk)에 접속될 수 있다.
- [0154] 노드 제어부(NC)는 스타트 단자(ST)로 입력되는 로드 매칭 스타트 신호 또는 전단 스테이지의 출력 신호에 따라 풀-업 노드(NQ)와 풀-다운 노드(NQB)의 충방전을 제어한다. 노드 제어부(NC)는 스테이지(STA)의 출력을 안정적으로 제어하기 위해 풀-업 노드(NQ)가 게이트 온 전압을 갖는 경우 풀-다운 노드(NQB)가 게이트 오프 전압을 갖도록 하고, 풀-다운 노드(NQB)가 게이트 온 전압을 갖는 경우 풀-업 노드(NQ)가 게이트 오프 전압을 갖도록 한다. 이를 위해, 노드 제어부(NC)는 복수의 트랜지스터들을 포함할 수 있다.
- [0155] 풀-업 트랜지스터(TU)는 풀-업 노드(NQ)가 게이트 온 전압을 갖는 경우 턴-온되어 클럭 단자(CT)로 입력되는 로드 매칭 클럭 신호들 중 어느 하나를 출력 단자(OT)로 출력한다. 풀-다운 트랜지스터(TD)는 풀-다운 노드(NQB)가 게이트 온 전압을 갖는 경우 턴-온되어 게이트 오프 전압 단자(VGLT)의 게이트 오프 전압을 출력 단자(OT)로 출력한다.
- [0156] 스테이지들(STAk, STAk+1) 각각의 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 노드 제어부(NC)의 복수의 트랜지스터들은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 8에서는 스테이지들(STAk, STAk+1) 각각의 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 노드 제어부(NC)의 복수의 트랜지스터들이 P 타입 MOSFET으로 형성된 것을 예시하였으나, 본 명세서의 실시예들은 이에 한정되지 않는다. 즉, 스테이지들(STAk, STAk+1) 각각의 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 노드 제어부(NC)의 복수의 트랜지스터들은 N 타입 MOSFET으로 형성될 수도 있다.
- [0157] 한편, 도 2에 도시된 제2 로드 매칭 구동 회로(140)의 스테이지들은 도 8을 결부하여 설명한 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1)과 실질적으로 동일할 수 있다.
- [0158] 또한, 도 2 및 도 3에 도시된 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)의 스테이지들 각각은 도 8을 결부하여 설명한 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1)과 실질적으로 동일할 수 있다. 즉, 도 2 및 도 3에 도시된 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)의 스테이지들 각각은 도 8과 같이 풀-업 노드(NQ), 풀-다운 노드(NQB), 풀-업 트랜지스터(TU), 및 노드 제어부(NC)를 포함할 수 있다. 다만, 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)의 스테이지들 각각의 노드 제어부(NC)가 세부 회로 구성은 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1) 각각의 노드 제어부(NC)와 다를 수 있다. 예를 들어, 제1 스캔 구동 회로(111)와 제2 스캔 구동 회로(112)의 스테이지들 각각의 노드 제어부(NC)의 박막 트랜지스터들의 개수와 연결 관계는 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1) 각각의 노드 제어부(NC)의 박막 트랜지스터들의 개수와 연결 관계와 다를 수 있다.
- [0159] 또한, 도 2 및 도 3에 도시된 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)의 스테이지들은 도 8을 결부하여 설명한 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1)과 실질적으로 동일할 수 있다. 즉, 도 2 및 도 3에 도시된 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)의 스테이지들 각각은 도 8과 같이 풀-업 노드(NQ), 풀-다운 노드(NQB), 풀-업 트랜지스터(TU), 및 노드 제어부(NC)를 포함할 수 있다. 다만, 제1 발

광 구동 회로(121)와 제2 발광 구동 회로(122)의 스테이지들 각각의 노드 제어부(NC)가 세부 회로 구성은 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1) 각각의 노드 제어부(NC)와 다를 수 있다. 예를 들어, 제1 발광 구동 회로(121)와 제2 발광 구동 회로(122)의 스테이지들 각각의 노드 제어부(NC)의 박막 트랜지스터들의 개수와 연결 관계는 제1 로드 매칭 구동 회로(130)의 스테이지들(STAk, STAk+1) 각각의 노드 제어부(NC)의 박막 트랜지스터들의 개수와 연결 관계와 다를 수 있다.

[0160] 도 9는 일 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

[0161] 도 9에서는 제k 초기화 스캔 배선(GILk)에 인가되는 제k 초기화 스캔 신호(GILk), 제k+1 초기화 스캔 배선(GILk+1)에 인가되는 제k+1 초기화 스캔 신호(GISk+1), 제k 기입 스캔 배선(GWLk)에 인가되는 제k 기입 스캔 신호(GWSk), 제k+1 기입 스캔 배선(GWLk+1)에 인가되는 제k+1 기입 스캔 신호(GWSk+1), 제k 바이어스 스캔 배선(GBLk)에 인가되는 제k 바이어스 스캔 신호(GBSk), 제k+1 바이어스 스캔 배선(GBLk+1)에 인가되는 제k+1 바이어스 스캔 신호(GBSk+1), 제k 발광 배선(ELk)에 인가되는 제k 발광 신호(EMk), 제k+1 발광 배선(ELk+1)에 인가되는 제k+1 발광 신호(EMk+1), 제k 로드 매칭 제어 배선(LCLk)에 인가되는 제k 로드 매칭 제어 신호(LMSk), 및 제k+1 로드 매칭 제어 배선(LCLk +1)에 인가되는 제k+1 로드 매칭 제어 신호(LMSk +1)가 나타나 있다.

[0162] 초기화 스캔 신호들(GISk, GISk+1)은 제1 트랜지스터(ST1)의 온오프를 제어하기 위한 신호이다. 기입 스캔 신호들(GWSk, GWSk+1)은 제2 트랜지스터(ST2)와 제3 트랜지스터(ST3) 각각의 온오프를 제어하기 위한 신호이다. 바이어스 스캔 신호들(GBSk, GBSk+1)은 제4 트랜지스터(ST4)의 온오프를 제어하기 위한 신호이다. 발광 신호들(EMk, EMk+1)은 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)의 온오프를 제어하기 위한 신호이다. 제k 로드 매칭 제어 신호(LMSk)와 제k+1 로드 매칭 제어 신호(LMSk +1)는 로드 매칭 트랜지스터(LMT)를 제어하기 위한 신호이다. 초기화 스캔 신호들(GISk, GISk+1), 기입 스캔 신호들(GWSk, GWSk+1), 바이어스 스캔 신호들(GBSk, GBSk+1), 발광 신호들(EMk, EMk+1), 및 로드 매칭 제어 신호들(LMSk, LMSk+1)은 1 프레임 기간을 주기로 발생할 수 있다.

[0163] 1 프레임 기간은 제1 기간(t1), 제2 기간(t2), 및 제3 기간(t3)을 포함할 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압(Vini)을 인가하여 구동 트랜지스터(DT)에 온 바이어스를 인가하는 기간이고, 제2 기간(t2)은 구동 트랜지스터(DT)의 게이트 전극에 데이터 전압을 공급하고 구동 트랜지스터(DT)의 문턱전압을 샘플링하는 기간이며, 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극의 전압에 따라 발광 소자(LEL)를 발광하는 기간이다.

[0164] 제k 초기화 스캔 신호(GISk)는 제1 기간(t1) 동안 제1 레벨 전압(V1)으로 출력되고, 제2 기간(t2)과 제3 기간(t3) 동안 제2 레벨 전압(V2)으로 출력될 수 있다. 제k 기입 스캔 신호(GWSk), 제k 바이어스 스캔 신호(GBSk), 및 제k 로드 매칭 제어 신호(LMSk)는 제2 기간(t2) 동안 제1 레벨 전압(V1)을 가지며, 제1 기간(t1)과 제3 기간(t3) 동안 제2 레벨 전압(V2)을 가질 수 있다. 제k 발광 신호(EMk)는 제3 기간(t3) 동안 제1 레벨 전압(V1)을 가지며, 제1 기간(t1)과 제2 기간(t2) 동안 제2 레벨 전압(V2)을 가질 수 있다.

[0165] 제k 기입 스캔 신호(GWSk)의 펄스, 제k 바이어스 스캔 신호(GBSk)의 펄스, 및 제k 로드 매칭 제어 신호(LMSk)의 펄스는 동일한 기간에 발생할 수 있다. 또한, 제k 기입 스캔 신호(GWSk)의 펄스 폭, 제k 바이어스 스캔 신호(GBSk)의 펄스 폭, 및 제k 로드 매칭 제어 신호(LMSk)의 펄스 폭은 실질적으로 동일할 수 있다. 예를 들어, 도 9와 같이 제k 기입 스캔 신호(GWSk)의 펄스 폭, 제k 바이어스 스캔 신호(GBSk)의 펄스 폭, 및 제k 로드 매칭 제어 신호(LMSk)의 펄스 폭은 제1 펄스 폭(W1)으로 동일할 수 있다. 제1 펄스 폭(W1)은 제2 기간(t2)보다 짧을 수 있다. 제k 기입 스캔 신호(GWSk)의 펄스는 제1 레벨 전압(V1)으로 발생하는 제k 기입 스캔 신호(GWSk)로 정의될 수 있다. 제k 바이어스 스캔 신호(GBSk)의 펄스는 제1 레벨 전압(V1)으로 발생하는 제k 바이어스 스캔 신호(GBSk)로 정의될 수 있다. 제k 로드 매칭 제어 신호(LMSk)의 펄스는 제1 레벨 전압(V1)으로 발생하는 제k 로드 매칭 제어 신호(LMSk)로 정의될 수 있다.

[0166] 제1 기간(t1)과 제2 기간(t2) 각각은 1 수평 기간일 수 있다. 1 수평 기간은 표시 패널(100)의 1 수평 라인에 배치되는 서브 화소(PX)들 각각에 데이터 전압이 공급되는 기간을 지시하므로, 1 수평 라인 스캔 기간으로 정의될 수 있다. 1 수평 라인에 배치되는 서브 화소(PX)들은 하나의 초기화 스캔 배선, 하나의 기입 스캔 배선, 하나의 바이어스 스캔 배선, 및 하나의 발광 배선에 연결되는 서브 화소들로 정의될 수 있다. 데이터 전압들은 스캔 신호들 각각의 제1 레벨 전압(V1)에 동기화하여 데이터 배선(DL)들에 공급될 수 있다.

[0167] 제1 레벨 전압(V1)은 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6) 각각을 턴-온시킬 수 있는 스

캔 온 전압에 해당한다. 제2 레벨 전압(V2)은 제1 내지 제6 트랜지스터들(ST1, ST2, ST3, ST4, ST5, ST6) 각각을 턴-오프시킬 수 있는 스캔 오프 전압에 해당한다. 제1 레벨 전압(V1)은 대략 -8V이고, 제2 레벨 전압(V2)은 7V일 수 있다.

- [0168] 이하에서, 도 4 및 도 9를 결부하여 제1 기간(t1), 제2 기간(t2), 및 제3 기간(t3) 동안 서브 화소(PX)의 동작을 상세히 설명한다.
- [0169] 첫 번째로, 제1 기간(t1)에서 제k 초기화 스캔 배선(GILk)에는 제1 레벨 전압(V1)을 갖는 제k 초기화 스캔 신호(GISk)가 공급된다. 제1 기간(t1)에서 제1 트랜지스터(ST1)는 제1 레벨 전압(V1)을 갖는 제k 초기화 스캔 신호(GISk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 초기화 전압 배선(VIL)의 초기화 전압(Vini)이 인가된다.
- [0170] 발광 소자(LEL)가 블랙 휘도 표시할 때 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 포지티브 쉬프트되고, 발광 소자(LEL)가 화이트 휘도 표시할 때 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 네거티브 쉬프트될 수 있다. 발광 소자(LEL)가 블랙 휘도를 표시하다가 화이트 휘도를 표시하는 경우, 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 점차 네거티브 쉬프트될 수 있다. 그러므로, 동일한 데이터 전압이 인가되더라도 발광 소자(LEL)에 공급되는 구동 트랜지스터(DT)의 구동 전류(Ids)는 계단과 같이 증가하게 된다. 이에 따라, 발광 소자(LEL)가 발광하는 휘도 역시 계단과 같이 증가하게 된다.
- [0171] 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 발광 소자(LEL)의 휘도가 계단과 같이 상승함으로써 발생하는 프레임 기간들 사이의 휘도 차이를 줄이기 위해, 제1 기간(t1)에서 구동 트랜지스터(DT)에 온 바이어스를 인가한다. 제1 기간(t1)에서 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압(Vini)이 인가되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 사이의 전압이 구동 트랜지스터(DT)의 문턱전압(Vth)보다 작기 때문에, 구동 트랜지스터(DT)는 턴-온될 수 있다. 즉, 구동 트랜지스터(DT)에 온 바이어스(on bias)가 인가될 수 있다.
- [0172] 두 번째로, 제2 기간(t2)에서 제k 기입 스캔 배선(GWLk)에는 제1 레벨 전압(V1)을 갖는 제k 기입 스캔 신호(GWSk)가 공급된다. 제2 기간(t2)에서 제2 트랜지스터(ST2)와 제3 트랜지스터(ST3) 각각은 제1 레벨 전압(V1)을 갖는 제k 기입 스캔 신호(GWSk)에 의해 턴-온된다.
- [0173] 제2 기간(t2)에서 제3 트랜지스터(ST3)의 턴-온으로 인해 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 서로 접속되며, 구동 트랜지스터(DT)는 다이오드로 구동한다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제1 전극에는 데이터 전압(Vdata)이 공급된다. 이때, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 간의 전압(Vgs=Vini-Vdata)이 문턱전압(Vth)보다 작기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압(Vgs)이 문턱전압(Vth)에 도달할 때까지 전류패스를 형성하게 된다. 이로 인해, 제2 기간(t2)에서 구동 트랜지스터(DT)의 게이트 전극과 제2 전극은 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(Vth)을 합한 전압(Vdata+Vth)까지 상승한다. 커패시터(C1)에는 “Vdata+Vth”가 저장될 수 있다.
- [0174] 한편, 구동 트랜지스터(DT)가 P 타입 MOSFET으로 형성되므로, 구동 트랜지스터(DT)의 구동 전류(Ids)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압(Vgs)이 0V보다 작은 구간에서, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압(Vgs)에 반비례할 수 있다. 또한, 구동 트랜지스터(DT)가 P 타입 MOSFET으로 형성되므로, 문턱전압(Vth)은 0V보다 작을 수 있다.
- [0175] 또한, 제2 기간(t2)에서 제k 바이어스 스캔 배선(GBLk)에는 제1 레벨 전압(V1)을 갖는 제k 바이어스 스캔 신호(GBSk)가 공급된다. 그러므로, 제2 기간(t2)에서 제4 트랜지스터(ST4)는 제1 레벨 전압(V1)을 갖는 제k 바이어스 스캔 신호(GBSk)에 의해 턴-온된다. 제4 트랜지스터(ST4)의 턴-온으로 인해, 발광 소자(LEL)의 애노드 전극은 초기화 전압 배선(VIL)의 초기화 전압(Vini)으로 초기화될 수 있다.
- [0176] 세 번째로, 제3 기간(t3) 동안 제k 발광 배선(ELk)에는 제1 레벨 전압(V1)을 갖는 제k 발광 신호(EMk)가 공급된다. 제3 기간(t3) 동안 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6) 각각은 제1 레벨 전압(V1)을 갖는 제k 발광 신호(EMk)에 의해 턴-온된다.
- [0177] 제5 트랜지스터(ST5)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제1 전극은 제1 구동 전압 배선(VDDL)에 접속된다. 제6 트랜지스터(ST6)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제2 전극은 발광 소자(LEL)의 애노드 전극에 접속된다.
- [0178] 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극의 전압에 따라 흐르는 구동 전류(Ids)가 발광 소자(LEL)에 공급될 수 있다. 구동 전류(Ids)는 수학적 식 2와 같이 정의될 수

있다.

수학식 2

$$I_{ds} = k' \times \{(V_{data} + V_{th} - ELVDD) - V_{th}\}^2$$

[0179]

[0180]

수학식 2에서, k'는 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수, Vth는 구동 트랜지스터(DT)의 문턱전압, ELVDD는 제1 구동 전압 배선(VDDL)의 제1 구동 전압, Vdata는 데이터 전압을 가리킨다. 구동 트랜지스터(DT)의 게이트 전압은 (Vdata+Vth)이고, 제1 전극의 전압은 ELVDD이다. 수학식 2를 정리하면, 수학식 3이 도출된다.

수학식 3

$$I_{ds} = k' \times (V_{data} - ELVDD)^2$$

[0181]

[0182]

결국, 수학식 3과 같이 구동 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상될 수 있다.

[0183]

이하에서는, 도 3 및 도 9를 결부하여, 로드 매칭 트랜지스터(LMT)들의 동작을 상세히 설명한다.

[0184]

제k 로드 매칭 제어 신호(LMck)가 인가되는 로드 매칭 트랜지스터(LMT)는 제k 기입 스캔 신호(GWSk)가 인가되는 제k 기입 스캔 배선(GWLk)에 연결될 수 있다. 제k 기입 스캔 신호(GWSk)의 펄스와 제k 로드 매칭 제어 신호(LMck)의 펄스가 동시에 발생하므로, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)에 연결된 로드 매칭 트랜지스터(LMT)는 턴-온될 수 있다. 이로 인해, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)은 공통 연결 배선(CSL)을 통해 더미 화소(DPX)들에 연결될 수 있다.

[0185]

즉, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)은 서브 화소(PX)들과 더미 화소(DPX)들에 연결될 수 있다. 그러므로, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함할 수 있다.

[0186]

제k+1 로드 매칭 제어 신호(LMck+1)가 인가되는 로드 매칭 트랜지스터(LMT)는 제k+1 기입 스캔 신호(GWSk+1)가 인가되는 제k+1 기입 스캔 배선(GWLk+1)에 연결될 수 있다. 제k+1 기입 스캔 신호(GWSk+1)의 펄스와 제k+1 로드 매칭 제어 신호(LMck+1)의 펄스가 동시에 발생하므로, 제1 로직 레벨 전압(V1)의 제k+1 기입 스캔 신호(GWSk+1)가 인가되는 기간 동안, 제k+1 기입 스캔 배선(GWLk+1)에 연결된 로드 매칭 트랜지스터(LMT)는 턴-온될 수 있다. 이로 인해, 제1 로직 레벨 전압(V1)의 제k+1 기입 스캔 신호(GWSk+1)가 인가되는 기간 동안, 제k+1 기입 스캔 배선(GWLk+1)은 공통 연결 배선(CSL)을 통해 더미 화소(DPX)들에 연결될 수 있다.

[0187]

즉, 제1 로직 레벨 전압(V1)의 제k+1 기입 스캔 신호(GWSk+1)가 인가되는 기간 동안, 제k+1 기입 스캔 배선(GWLk+1)은 서브 화소(PX)들과 더미 화소(DPX)들에 연결될 수 있다. 그러므로, 제1 로직 레벨 전압(V1)의 제k+1 기입 스캔 신호(GWSk+1)가 인가되는 기간 동안, 제k+1 기입 스캔 배선(GWLk+1)에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함할 수 있다.

[0188]

도 3 및 도 9와 같이, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 제2 표시 영역(DA2) 또는 제3 표시 영역(DA3)의 제k 기입 스캔 배선(GWLk)에 인가되는 기간 동안, 제1 로직 레벨 전압(V1)의 제k 로드 매칭 제어 신호(LMck)를 제k 기입 스캔 배선(GWLk)에 연결되는 로드 매칭 트랜지스터(LMT)에 인가하여 로드 매칭 트랜지스터(LMT)를 턴-온시킬 수 있다. 이 경우, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함

할 수 있다. 그러므로, 즉, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 걸리는 로드들 제1 비표시 영역(NDA1)의 더미 화소(DPX)들을 통해 보상할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

[0189] 한편, 제1 스캔 구동 회로(111)에서 출력되는 기입 스캔 신호들(GWSk, GWSk+1)과 제1 로드 매칭 구동 회로(130)에서 출력되는 로드 매칭 제어 신호들(LMSk, LMSk+1)이 실질적으로 동일하기 위해서는, 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 클럭 신호들과 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 클럭 신호들은 실질적으로 동일할 수 있다. 이 경우, 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 실질적으로 동일하거나 상이할 수 있다.

[0190] 예를 들어, 제1 스캔 구동 회로(111)는 노치부(NTA)가 형성되는 표시 패널(100)의 상측부터 기입 스캔 신호들(GWSk, GWSk+1)을 출력하고, 제1 로드 매칭 구동 회로(130)는 표시 패널(100)의 상측부터 제1 로드 매칭 제어 신호들(LMSk, LMSk+1)을 출력할 수 있다. 이 경우, 제1 스캔 구동 회로(111)에서 출력되는 제1 기입 스캔 신호와 제1 로드 매칭 구동 회로(130)에서 출력되는 제1 로드 매칭 제어 신호는 동시에 출력되어야 한다. 그러므로, 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 실질적으로 동일할 수 있다.

[0191] 또는, 제1 스캔 구동 회로(111)는 표시 패드(DP)들이 배치되는 표시 패널(100)의 하측부터 기입 스캔 신호들(GWSk, GWSk+1)을 출력하고, 제1 로드 매칭 구동 회로(130)는 제2 표시 영역(DA2)의 하측부터 제1 로드 매칭 제어 신호들(LMSk, LMSk+1)을 출력할 수 있다. 이 경우, 제1 스캔 구동 회로(111)에서 출력되는 제1 기입 스캔 신호와 제1 로드 매칭 구동 회로(130)에서 출력되는 제1 로드 매칭 제어 신호는 동시에 출력되지 않는다. 그러므로, 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 상이할 수 있다.

[0192] 도 10은 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

[0193] 도 10의 실시예는 로드 매칭 제어 신호들(LMck, LMck+1) 각각의 펄스 폭이 기입 스캔 신호(GWSk, GWSk+1) 각각의 펄스 폭보다 넓은 것에서 도 9의 실시예와 차이가 있다.

[0194] 도 10을 참조하면, 제k 기입 스캔 신호(GWSk)의 펄스는 제1 펄스 폭(W1)을 가지며, 제k 로드 매칭 제어 신호(LMck)의 펄스는 제1 펄스 폭(W1)보다 넓은 제2 펄스 폭(W2)을 가질 수 있다. 이로 인해, 제k 기입 스캔 신호(GWSk)의 펄스는 제k 로드 매칭 제어 신호(LMck)의 펄스와 완전히 중첩할 수 있다.

[0195] 제2 표시 영역(DA2) 또는 제3 표시 영역(DA3)의 서브 화소(PX)들에 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되기 전에, 제k 기입 스캔 배선(GWLk)에 연결되는 로드 매칭 트랜지스터(LMT)는 제1 로직 레벨 전압(V1)의 제k 로드 매칭 제어 신호(LMck)에 의해 턴-온될 수 있다. 이 경우, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 제k 기입 스캔 배선(GWLk)에 인가될 때, 제k 기입 스캔 배선(GWLk)이 제2 표시 영역(DA2)의 서브 화소(PX)들뿐만 아니라, 공통 스캔 배선(CSL)을 통해 더미 화소(DPX)들에 연결될 수 있다. 그러므로, 제k 기입 스캔 배선(GWLk)에 걸리는 로드들은 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드들을 포함할 수 있다.

[0196] 즉, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 걸리는 로드들 제1 비표시 영역(NDA1)의 더미 화소(DPX)들을 통해 보상할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

- [0197] 한편, 제1 스캔 구동 회로(111)에서 출력되는 기입 스캔 신호들(GWSk, GWSk+1)과 제1 로드 매칭 구동 회로(130)에서 출력되는 로드 매칭 제어 신호들(LMSk, LMSk+1)이 상이하기 위해서는, 제1 스캔 타이밍 배선(SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 클럭 신호들과 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 클럭 신호들이 상이할 수 있다. 이 경우, 제1 스캔 타이밍 배선(SCL1)들을 통해 제1 스캔 구동 회로(111)에 입력되는 스캔 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 상이할 수 있다.
- [0198] 도 11은 도 2의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.
- [0199] 도 11의 실시예는 제1 스캔 구동 회로(111)가 기입 스캔 배선(GWL)들에 기입 스캔 신호들만을 출력하고, 초기화 스캔 배선(GIL)들에 초기화 스캔 신호들을 출력하는 제1 초기화 구동 회로(211)와 제어 스캔 배선(GCL)들에 제어 스캔 신호들을 출력하는 제1 제어 구동 회로(221)가 추가된 것에서 도 3의 실시예와 차이점이 있다.
- [0200] 도 11을 참조하면, 제1 스캔 구동 회로(111)는 기입 스캔 배선(GWL)들에 연결될 수 있다. 제1 스캔 구동 회로(111)는 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 표시 패드(DP)들에 연결될 수 있다. 제1 스캔 구동 회로(111)는 제1 스캔 타이밍 배선(도 2의 SCL1)들을 통해 인가되는 표시 구동부(200)의 제1 스캔 타이밍 신호들에 기초하여 기입 스캔 신호들을 생성할 수 있다. 제1 스캔 구동 회로(111)는 기입 스캔 신호들을 기입 스캔 배선(GWL)들에 순차적으로 출력할 수 있다.
- [0201] 제1 초기화 구동 회로(211)는 초기화 스캔 배선(GIL)들에 연결될 수 있다. 제1 초기화 구동 회로(211)는 제1 초기화 타이밍 배선들을 통해 표시 패드(DP)들에 연결될 수 있다. 제1 스캔 구동 회로(111)는 제1 초기화 타이밍 배선들을 통해 인가되는 표시 구동부(200)의 제1 초기화 타이밍 신호들에 기초하여 초기화 스캔 신호들을 생성할 수 있다. 제1 초기화 구동 회로(211)는 초기화 스캔 신호들을 초기화 스캔 배선(GIL)들에 순차적으로 출력할 수 있다.
- [0202] 제1 제어 구동 회로(221)는 제어 스캔 배선(GCL)들에 연결될 수 있다. 제1 제어 구동 회로(221)는 제1 제어 타이밍 배선들을 통해 표시 패드(DP)들에 연결될 수 있다. 제1 제어 구동 회로(221)는 제1 제어 타이밍 배선들을 통해 인가되는 표시 구동부(200)의 제1 제어 타이밍 신호들에 기초하여 제어 스캔 신호들을 생성할 수 있다. 제1 제어 구동 회로(221)는 제어 스캔 신호들을 제어 스캔 배선(GCL)들에 순차적으로 출력할 수 있다.
- [0203] 한편, 표시 패널(100)의 제3 표시 영역(DA3)은 도 11에 도시된 표시 패널(100)의 제2 표시 영역(DA2)이 좌우 반전되는 것을 제외하고는, 도 11을 결부하여 설명한 바와 실질적으로 동일하게 형성될 수 있다.
- [0204] 도 12는 도 11의 서브 화소의 또 다른 예를 보여주는 회로도이다.
- [0205] 도 12의 실시예는 구동 트랜지스터(DT), 제2 트랜지스터(ST2), 제4 트랜지스터(ST4), 제5 트랜지스터(ST5), 및 제6 트랜지스터(ST6)가 P 타입 MOSFET으로 형성되고, 제1 트랜지스터(ST1)와 제3 트랜지스터(ST3)가 N 타입 MOSFET으로 형성되는 것에서 도 4의 실시예와 차이가 있다.
- [0206] 도 12에 도시된 구동 트랜지스터(DT), 제2 트랜지스터(ST2), 제4 트랜지스터(ST4), 제5 트랜지스터(ST5), 제6 트랜지스터(ST6), 및 커패시터(C1)는 도 4에 도시된 구동 트랜지스터(DT), 제2 트랜지스터(ST2), 제5 트랜지스터(ST5), 제6 트랜지스터(ST6), 및 커패시터(C1)와 실질적으로 동일하므로, 이들에 대한 설명은 생략한다.
- [0207] 도 12를 참조하면, 제1 트랜지스터(ST1)는 제k 초기화 스캔 배선(GILk)의 초기화 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 초기화 전압 배선(VIL)을 접속시킨다. 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압 배선(VIL)의 초기화 전압으로 방전될 수 있다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 초기화 스캔 배선(GILk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 초기화 전압 배선(VIL)에 접속될 수 있다.
- [0208] 제3 트랜지스터(ST3)는 제k 제어 스캔 배선(GCLk)의 제어 스캔 신호에 의해 턴-온되어 구동 트랜지스터(DT)의 게이트 전극과 제2 전극을 접속시킨다. 즉, 제3 트랜지스터(ST3)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동한다. 제3 트랜지스터(ST3)의 게이트 전극은 제k 제어 스캔 배선(GCLk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 제2 전극에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속될 수 있다.
- [0209] 제4 트랜지스터(ST4)는 제k 기입 스캔 배선(GWLk)의 기입 스캔 신호에 의해 턴-온되어 발광 소자(LEL)의 애노드 전극(AND)과 초기화 전압 배선(VIL)을 접속시킨다. 발광 소자(LEL)의 애노드 전극(AND)은 초기화 전압으로 방전

될 수 있다. 제4 트랜지스터(ST4)의 게이트 전극은 제k 기입 스캔 배선(GWLk)에 접속되고, 제1 전극은 발광 소자(LEL)의 애노드 전극(AND)에 접속되며, 제2 전극은 초기화 전압 배선(VIL)에 접속된다.

- [0210] P 타입 MOSFET으로 형성되는 구동 트랜지스터(DT), 제2 트랜지스터(ST2), 제4 트랜지스터(ST4), 제5 트랜지스터(ST5), 및 제6 트랜지스터(ST6) 각각의 액티브층은 폴리 실리콘으로 형성되고, N 타입 MOSFET으로 형성되는 제1 트랜지스터(ST1)와 제3 트랜지스터(ST3) 각각의 액티브층은 산화물 반도체로 형성될 수 있다.
- [0211] 도 13은 도 11의 더미 화소의 또 다른 예를 보여주는 회로도이다.
- [0212] 도 13의 실시예는 제6 트랜지스터(ST6)의 제2 전극과 발광 소자(LEL)의 애노드 전극(AND) 사이의 접속이 물리적으로 또는 전기적으로 끊어진 것에서 도 12의 실시예와 차이점이 있다.
- [0213] 도 13을 참조하면, 더미 화소(DPX)의 발광 소자(LEL)에는 구동 전류(I_{ds})가 흐르지 않으므로, 발광 소자(LEL)는 발광하지 않는다. 즉, 더미 화소(DPX)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(T1~T6)이 서브 화소(PX)의 구동 트랜지스터(DT)와 제1 내지 제6 트랜지스터들(T1~T6)과 동일하게 동작할 수 있으나, 제6 트랜지스터(ST6)의 제2 전극과 발광 소자(LEL)의 애노드 전극(AND) 사이의 접속이 물리적으로 또는 전기적으로 끊어지므로, 구동 전류(I_{ds})가 발광 소자(LEL)에 흐르지 않는다.
- [0214] 도 13과 같이, 더미 화소(DPX)는 화상을 표시하기 위해 광을 발광하지 않으면서 서브 화소(PX)와 유사한 로드를 가지므로, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)에 걸리는 로드를 보상하기 위한 화소로 이용될 수 있다.
- [0215] 도 14는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.
- [0216] 도 14에서는 제k 초기화 스캔 배선(GILk)에 인가되는 제k 초기화 스캔 신호(GILk), 제k+1 초기화 스캔 배선(GILk+1)에 인가되는 제k+1 초기화 스캔 신호(GISk+1), 제k 기입 스캔 배선(GWLk)에 인가되는 제k 기입 스캔 신호(GWSk), 제k+1 기입 스캔 배선(GWLk+1)에 인가되는 제k+1 기입 스캔 신호(GWSk+1), 제k 제어 스캔 배선(GCLk)에 인가되는 제k 제어 스캔 신호(GCSk), 제k+1 제어 스캔 배선(GCLk+1)에 인가되는 제k+1 제어 스캔 신호(GCSk+1), 제k 발광 배선(ELk)에 인가되는 제k 발광 신호(EMk), 제k+1 발광 배선(ELk+1)에 인가되는 제k+1 발광 신호(EMk+1), 제k 로드 매칭 제어 배선(LCLk)에 인가되는 제k 로드 매칭 제어 신호(LMSk), 및 제k+1 로드 매칭 제어 배선(LCLk +1)에 인가되는 제k+1 로드 매칭 제어 신호(LMSk +1)가 나타나 있다.
- [0217] 초기화 스캔 신호들(GISk, GISk+1)은 제1 트랜지스터(ST1)의 온오프를 제어하기 위한 신호이다. 기입 스캔 신호들(GWSk, GWSk+1)은 제2 트랜지스터(ST2)와 제4 트랜지스터(ST3) 각각의 온오프를 제어하기 위한 신호이다. 제어 스캔 신호들(GCSk, GCSk+1)은 제3 트랜지스터(ST3)의 온오프를 제어하기 위한 신호이다. 발광 신호들(EMk, EMk+1)은 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)의 온오프를 제어하기 위한 신호이다. 제k 로드 매칭 제어 신호(LMSk)와 제k+1 로드 매칭 제어 신호(LMSk +1)는 로드 매칭 트랜지스터(LMT)를 제어하기 위한 신호이다. 초기화 스캔 신호들(GISk, GISk+1), 기입 스캔 신호들(GWSk, GWSk+1), 제어 스캔 신호들(GCSk, GCSk+1), 발광 신호들(EMk, EMk+1), 및 로드 매칭 제어 신호들(LMSk, LCSk+1)은 1 프레임 기간을 주기로 발생할 수 있다.
- [0218] 1 프레임 기간은 제1 내지 제4 기간들($t_1' \sim t_4'$)을 포함할 수 있다. 제1 기간(t_1')은 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압(Vini)을 인가하여 구동 트랜지스터(DT)에 온 바이어스를 인가하는 기간이고, 제2 기간(t_2)은 구동 트랜지스터(DT)를 다이오드 연결하는 준비 기간이며, 제3 기간(t_3')은 데이터 전압을 공급하는 기간이고, 제4 기간(t_4')은 구동 트랜지스터(DT)의 문턱전압을 샘플링하는 기간이며, 제5 기간(t_5')은 구동 트랜지스터(DT)의 게이트 전극의 전압에 따라 발광 소자(LEL)를 발광하는 기간이다.
- [0219] 제k 초기화 스캔 신호(GISk)는 제1 기간(t_1')과 제2 기간(t_2') 동안 제2 레벨 전압(V2)으로 출력되고, 제3 내지 제5 기간들($t_3' \sim t_5'$) 동안 제1 레벨 전압(V1)으로 출력될 수 있다. 제k 기입 스캔 신호(GWSk)와 제k 로드 매칭 제어 신호(LMSk)는 제3 기간(t_3') 동안 제1 레벨 전압(V1)을 가지며, 제1 기간(t_1'), 제2 기간(t_2'), 제4 기간(t_4'), 및 제5 기간(t_5') 동안 제2 레벨 전압(V2)을 가질 수 있다. 제k 제어 스캔 신호(GCSk)는 제1 기간(t_1') 동안 제1 레벨 전압(V1)을 가지며, 제2 내지 제5 기간들($t_2' \sim t_5'$) 동안 제2 레벨 전압(V2)을 가질 수 있다. 제k 발광 신호(EMk)는 제1 내지 제4 기간들($t_1' \sim t_4'$) 동안 제1 레벨 전압(V1)을 가지며, 제5 기간(t_5') 동안 제2 레벨 전압(V2)을 가질 수 있다.
- [0220] 제k 기입 스캔 신호(GWSk)의 펄스와 제k 로드 매칭 제어 신호(LMSk)의 펄스는 동일한 기간에 발생할 수 있다. 또한, 제k 기입 스캔 신호(GWSk)의 펄스 폭과 제k 로드 매칭 제어 신호(LMSk)의 펄스 폭은 실질적으로 동일할 수 있다. 예를 들어, 도 14와 같이 제k 기입 스캔 신호(GWSk)의 펄스 폭과 및 제k 로드 매칭 제어 신호(LMSk)의

펄스 폭은 제1 펄스 폭(W1')으로 동일할 수 있다. 제1 펄스 폭(W1)은 제3 기간(t3')과 실질적으로 동일할 수 있다. 제k 기입 스캔 신호(GWsk)의 펄스는 제1 레벨 전압(V1)으로 발생하는 제k 기입 스캔 신호(GWsk)로 정의될 수 있다. 제k 로드 매칭 제어 신호(LMSk)의 펄스는 제1 레벨 전압(V1)으로 발생하는 제k 로드 매칭 제어 신호(LMSk)로 정의될 수 있다.

- [0221] 제1 레벨 전압(V1)은 P 타입 MOSFET으로 형성되는 제2 트랜지스터(ST2), 제4 트랜지스터(ST4), 제5 트랜지스터(ST5), 및 제6 트랜지스터(ST6) 각각을 턴-온시킬 수 있는 전압에 해당한다. 제2 레벨 전압(V2)은 N 타입 MOSFET으로 형성되는 제1 트랜지스터(ST1)와 제3 트랜지스터(ST3) 각각을 턴-온시킬 수 있는 전압에 해당한다. 제1 레벨 전압(V1)은 대략 -8V이고, 제2 레벨 전압(V2)은 7V일 수 있다.
- [0222] 이하에서, 도 12 및 도 14를 결부하여 제1 내지 제5 기간들(t1' ~t5') 동안 서브 화소(PX)의 동작을 상세히 설명한다.
- [0223] 첫 번째로, 제1 기간(t1')에서 제k 초기화 스캔 배선(GILk)에는 제2 레벨 전압(V2)을 갖는 제k 초기화 스캔 신호(GISk)가 공급된다. 제1 기간(t1')에서 제1 트랜지스터(ST1)는 제2 레벨 전압(V2)을 갖는 제k 초기화 스캔 신호(GISk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 초기화 전압 배선(VIL)의 초기화 전압(Vini)이 인가된다.
- [0224] 발광 소자(LEL)가 블랙 휘도 표시할 때 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 포지티브 쉬프트되고, 발광 소자(LEL)가 화이트 휘도 표시할 때 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 네거티브 쉬프트될 수 있다. 발광 소자(LEL)가 블랙 휘도를 표시하다가 화이트 휘도를 표시하는 경우, 구동 트랜지스터(DT)의 구동 전류(Ids) 곡선은 점차 네거티브 쉬프트될 수 있다. 그러므로, 동일한 데이터 전압이 인가되더라도 발광 소자(LEL)에 공급되는 구동 트랜지스터(DT)의 구동 전류(Ids)는 계단과 같이 증가하게 된다. 이에 따라, 발광 소자(LEL)가 발광하는 휘도 역시 계단과 같이 증가하게 된다.
- [0225] 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 발광 소자(LEL)의 휘도가 계단과 같이 상승함으로써 발생하는 프레임 기간들 사이의 휘도 차이를 줄이기 위해, 제1 기간(t1')에서 구동 트랜지스터(DT)에 온 바이어스를 인가한다. 제1 기간(t1')에서 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압(Vini)이 인가되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 사이의 전압이 구동 트랜지스터(DT)의 문턱전압(Vth)보다 작기 때문에, 구동 트랜지스터(DT)는 턴-온될 수 있다. 즉, 구동 트랜지스터(DT)에 온 바이어스(on bias)가 인가될 수 있다.
- [0226] 두 번째로, 제2 기간(t2')에서 제k 초기화 스캔 배선(GILk)에는 제2 레벨 전압(V2)을 갖는 제k 초기화 스캔 신호(GISk)가 공급되고, 제k 제어 스캔 배선(GCLk)에는 제2 레벨 전압(V2)을 갖는 제k 제어 스캔 신호(GCSk)가 공급된다. 제2 기간(t2')에서 제1 트랜지스터(ST1)와 제3 트랜지스터(ST3) 각각은 턴-온될 수 있다.
- [0227] 제2 기간(t2')에서 제3 트랜지스터(ST3)의 턴-온으로 인해 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 서로 접촉되며, 구동 트랜지스터(DT)는 다이오드로 구동할 수 있다.
- [0228] 세 번째로, 제3 기간(t3')에서 제k 제어 스캔 배선(GCLk)에는 제2 레벨 전압(V2)을 갖는 제k 제어 스캔 신호(GCSk)가 공급되고, 제k 기입 스캔 배선(GWLk)에는 제1 레벨 전압(V1)을 갖는 제k 기입 스캔 신호(GWsk)가 공급된다. 제3 기간(t3')에서 제2 트랜지스터(ST2), 제3 트랜지스터(ST3), 및 제4 트랜지스터(ST4) 각각은 턴-온될 수 있다.
- [0229] 제3 기간(t3')에서 제2 트랜지스터(ST2)의 턴-온으로 인해 구동 트랜지스터(DT)의 제1 전극에는 데이터 전압(Vdata)이 공급된다. 이때, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 간의 전압(Vgs=Vini-Vdata)이 문턱 전압(Vth)보다 작기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압(Vgs)이 문턱전압(Vth)에 도달할 때까지 전류패스를 형성하게 된다.
- [0230] 또한, 제3 기간(t3')에서 제4 트랜지스터(ST4)의 턴-온으로 인해, 발광 소자(LEL)의 애노드 전극(AND)은 초기화 전압 배선(VIL)의 초기화 전압(Vini)으로 초기화될 수 있다.
- [0231] 네 번째로, 제4 기간(t4')에서 제k 제어 스캔 배선(GCLk)에는 제2 레벨 전압(V2)을 갖는 제k 제어 스캔 신호(GCSk)가 공급된다. 제4 기간(t4')에서 제3 트랜지스터(ST3)는 턴-온될 수 있다.
- [0232] 제4 기간(t4')에서 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압(Vgs)이 문턱전압(Vth)에 도달할 때까지 전류패스를 형성하며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 제2 전극 사이의 전압 차인 “

Vdata+Vth” 가 커패시터(C1)에 저장될 수 있다.

- [0233] 한편, 구동 트랜지스터(DT)가 P 타입 MOSFET으로 형성되므로, 구동 트랜지스터(DT)의 구동 전류(Ids)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압(Vgs)이 0V보다 작은 구간에서, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압(Vgs)에 반비례할 수 있다. 또한, 구동 트랜지스터(DT)가 P 타입 MOSFET으로 형성되므로, 문턱전압(Vth)은 0V보다 작을 수 있다.
- [0234] 다섯 번째로, 제5 기간(t5') 동안 제k 발광 배선(ELk)에는 제1 레벨 전압(V1)을 갖는 제k 발광 신호(EMk)가 공급된다. 제5 기간(t5') 동안 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6) 각각은 제1 레벨 전압(V1)을 갖는 제k 발광 신호(EMk)에 의해 턴-온된다.
- [0235] 제5 트랜지스터(ST5)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제1 전극은 제1 구동 전압 배선(VDDL)에 접속된다. 제6 트랜지스터(ST6)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제2 전극은 발광 소자(LEL)의 애노드 전극에 접속된다.
- [0236] 제5 트랜지스터(ST5)와 제6 트랜지스터(ST6)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극의 전압에 따라 흐르는 구동 전류(Ids)가 발광 소자(LEL)에 공급될 수 있다. 구동 전류(Ids)는 수학식 3과 동일할 수 있다.
- [0237] 결국, 수학식 3과 같이 구동 전류(Ids)는 구동 트랜지스터(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(Vth)은 보상될 수 있다.
- [0238] 한편, 로드 매칭 트랜지스터(LMT)들의 동작은 도 3 및 도 9를 결부하여 설명한 바와 실질적으로 동일할 수 있다. 즉, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 제2 표시 영역(DA2) 또는 제3 표시 영역(DA3)의 제k 기입 스캔 배선(GWLk)에 인가되는 기간 동안, 제1 로직 레벨 전압(V1)의 제k 로드 매칭 제어 신호(LMCK)를 제k 기입 스캔 배선(GWLk)에 연결되는 로드 매칭 트랜지스터(LMT)에 인가하여 로드 매칭 트랜지스터(LMT)를 턴-온시킬 수 있다. 이 경우, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함할 수 있다. 그러므로, 즉, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 걸리는 로드를 제1 비표시 영역(NDA1)의 더미 화소(DPX)들을 통해 보상할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.
- [0239] 도 15는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.
- [0240] 도 15의 실시예는 로드 매칭 제어 신호들(LMCK, LMCK+1) 각각의 펄스 폭이 기입 스캔 신호(GWSk, GWSk+1) 각각의 펄스 폭보다 넓은 것에서 도 14의 실시예와 차이가 있다.
- [0241] 도 15를 참조하면, 제k 기입 스캔 신호(GWSk)의 펄스는 제1 펄스 폭(W1')을 가지며, 제k 로드 매칭 제어 신호(LMCK)의 펄스는 제1 펄스 폭(W1')보다 넓은 제2 펄스 폭(W2')을 가질 수 있다. 이로 인해, 제k 기입 스캔 신호(GWSk)의 펄스는 제k 로드 매칭 제어 신호(LMCK)의 펄스와 완전히 중첩할 수 있다.
- [0242] 제2 표시 영역(DA2) 또는 제3 표시 영역(DA3)의 서브 화소(PX)들에 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 인가되기 전에, 제k 기입 스캔 배선(GWLk)에 연결되는 로드 매칭 트랜지스터(LMT)는 제1 로직 레벨 전압(V1)의 제k 로드 매칭 제어 신호(LMCK)에 의해 턴-온될 수 있다. 이 경우, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWSk)가 제k 기입 스캔 배선(GWLk)에 인가될 때, 제k 기입 스캔 배선(GWLk)이 제2 표시 영역(DA2)의 서브 화소(PX)들뿐만 아니라, 공통 스캔 배선(CSL)을 통해 더미 화소(DPX)들에 연결될 수 있다. 그러므로, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 더미 화소(DPX)들에 걸리는 로드를 포함할 수 있다.
- [0243] 즉, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 걸리는 로드를 제1 비표시 영역(NDA1)의 더미 화소(DPX)들을 통해 보상할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입

스캔 배선(GWL)의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

- [0244] 도 16은 도 3의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.
- [0245] 도 16의 실시예는 제1 방향(X축 방향)으로 나란하게 배열되는 제1 더미 화소(DPX1)들에 연결되는 제1 공통 스캔 배선(CSL1), 제1 방향(X축 방향)으로 나란하게 배열되는 제2 더미 화소(DPX2)들에 연결되는 제2 공통 스캔 배선(CSL2)이 추가되고, 제1 로드 매칭 트랜지스터(LMT1)들이 제1 공통 스캔 배선(CSL1)에 연결되며, 제2 로드 매칭 트랜지스터(LMT2)들이 제2 공통 스캔 배선(CSL2)에 연결되는 것에서 도 3의 실시예와 차이점이 있다.
- [0246] 도 16을 참조하면, 제1 로드 매칭 트랜지스터(LMT1)들은 기입 스캔 배선(GWL)들 중 일부 기입 스캔 배선들과 제1 공통 스캔 배선(CSL1) 사이에 배치될 수 있다. 예를 들어, 제1 로드 매칭 트랜지스터(LMT1)들은 기수 행에 배치되는 기입 스캔 배선(GWL)들과 제1 공통 스캔 배선(CSL1) 사이에 배치될 수 있다.
- [0247] 제2 로드 매칭 트랜지스터(LMT2)들은 기입 스캔 배선(GWL)들 중 나머지 기입 스캔 배선들과 제2 공통 스캔 배선(CSL2) 사이에 배치될 수 있다. 예를 들어, 제2 로드 매칭 트랜지스터(LMT2)들은 우수 행에 배치되는 기입 스캔 배선(GWL)들과 제2 공통 스캔 배선(CSL2) 사이에 배치될 수 있다.
- [0248] 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들은 로드 매칭 제어 신호들에 의해 온오프될 수 있다. 예를 들어, 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들 각각은 제2 레벨 전압(V2)의 로드 매칭 제어 신호에 의해 턴-온되고, 제1 레벨 전압(V1)의 로드 매칭 제어 신호에 의해 턴-오프될 수 있다.
- [0249] 제1 로드 매칭 트랜지스터(LMT1)들 각각의 게이트 전극은 로드 매칭 제어 배선(LCL)에 연결되고, 제1 전극은 기수 행에 배치되는 기입 스캔 배선(GWL)에 연결되며, 제2 전극은 제1 공통 스캔 배선(CSL1)에 연결될 수 있다. 제2 로드 매칭 트랜지스터(LMT2)들 각각의 게이트 전극은 로드 매칭 제어 배선(LCL)에 연결되고, 제1 전극은 우수 행에 배치되는 기입 스캔 배선(GWL)에 연결되며, 제2 전극은 제2 공통 스캔 배선(CSL2)에 연결될 수 있다.
- [0250] 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들 각각은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들은 N 타입 MOSFET으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들은 P 타입 MOSFET으로 형성될 수도 있다.
- [0251] 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들은 제2 방향(Y축 방향)에서 교번하여 배치될 수 있다. 로드 매칭 제어 신호들은 로드 매칭 제어 배선(LCL)들에 순차적으로 인가되므로, 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터(LMT2)들은 교번하여 턴-온될 수 있다. 예를 들어, 제1 로드 매칭 트랜지스터(LMT1)의 턴-온에 의해 제k 기입 스캔 배선(GWL)이 제1 공통 스캔 배선(CSL1)에 연결된 후, 제2 로드 매칭 트랜지스터(LMT2)의 턴-온에 의해 제k+1 기입 스캔 배선(GWL)이 제2 공통 스캔 배선(CSL2)에 연결될 수 있다. 그리고 나서, 제1 로드 매칭 트랜지스터(LMT1)의 턴-온에 의해 제k+2 기입 스캔 배선(GWL)이 제1 공통 스캔 배선(CSL1)에 연결된 후, 제2 로드 매칭 트랜지스터(LMT2)의 턴-온에 의해 제k+3 기입 스캔 배선(GWL)이 제2 공통 스캔 배선(CSL2)에 연결될 수 있다.
- [0252] 제1 공통 스캔 배선(SCL1)은 제1 더미 화소(DPX1)들과 제1 로드 매칭 트랜지스터(LMT1)들에 연결될 수 있다. 제1 공통 스캔 배선(SCL1)은 제1 더미 화소(DPX1)들과 제1 로드 매칭 트랜지스터(LMT1)들 사이에 배치될 수 있다.
- [0253] 제2 공통 스캔 배선(SCL2)은 제2 더미 화소(DPX2)들과 제2 로드 매칭 트랜지스터(LMT2)들에 연결될 수 있다. 제2 공통 스캔 배선(SCL2)은 제2 더미 화소(DPX2)들과 제2 로드 매칭 트랜지스터(LMT2)들 사이에 배치될 수 있다.
- [0254] 제1 더미 화소(DPX1)들과 제2 더미 화소(DPX2)들은 화상을 표시하지 않으므로, 제1 더미 화소(DPX1)들과 제2 더미 화소(DPX2)들 각각은 광을 발광하지 않을 수 있다. 제1 더미 화소(DPX1)들과 제2 더미 화소(DPX2)들은 제1 표시 영역(DA1)의 상측에 배치될 수 있다. 제1 더미 화소(DPX1)들과 제2 더미 화소(DPX2)들은 노치부(NTA)의 하측에 배치될 수 있다. 제1 더미 화소(DPX1)들은 제1 방향(X축 방향)으로 배열될 수 있다. 제1 더미 화소(DPX1)들은 제1 공통 스캔 배선(SCL1)에 연결될 수 있다. 제2 더미 화소(DPX2)들은 제1 방향(X축 방향)으로 배열될 수 있다. 제2 더미 화소(DPX2)들은 제2 공통 스캔 배선(SCL2)에 연결될 수 있다.
- [0255] 도 16과 같이, 제1 로드 매칭 구동 회로(130)는 로드 매칭 제어 신호들을 순차적으로 출력함으로써, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 연결된 제1 로드 매칭 트랜지스터(LMT1)들과 제2 로드 매칭 트랜지스터

(LMT2)들을 순차적으로 턴-온시킬 수 있다. 그러므로, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들은 제1 공통 스캔 배선(CSL1)에 연결된 제1 더미 화소(DPX1)들과 제2 공통 스캔 배선(CSL2)에 연결된 제2 더미 화소(DPX2)들에 교번하여 접속될 수 있다. 이 경우, 기입 스캔 배선(GWL)들에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 제1 더미 화소(DPX1)들 또는 제2 더미 화소(DPX2)들에 걸리는 로드를 포함할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.

[0256] 한편, 표시 패널(100)의 제3 표시 영역(DA3)은 도 16에 도시된 표시 패널(100)의 제2 표시 영역(DA2)이 좌우 반전되는 것을 제외하고는, 도 16을 결부하여 설명한 바와 실질적으로 동일하게 형성될 수 있다.

[0257] 도 17은 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.

[0258] 도 17의 실시예는 제k 로드 매칭 스캔 신호(LMSk)들의 펄스가 제k 발광 신호(EMk)의 펄스와 동일한 기간에 발생하고, 제k 로드 매칭 스캔 신호(LMSk)들의 펄스 폭이 제k 발광 신호(EMk)의 펄스 폭과 실질적으로 동일한 것에서 도 9의 실시예와 차이점이 있다.

[0259] 도 17을 참조하면, 제k 로드 매칭 제어 신호(LMCK)가 인가되는 제1 로드 매칭 트랜지스터(LMT1)는 제k 기입 스캔 신호(GWsk)가 인가되는 제k 기입 스캔 배선(GWLk)에 연결될 수 있다. 제k 기입 스캔 배선(GWLk)의 펄스는 제k 로드 매칭 제어 신호(LMCK)의 펄스에 완전히 중첩할 수 있다. 즉, 제k 기입 스캔 배선(GWLk)의 펄스 폭은 제k 로드 매칭 제어 신호(LMCK)의 펄스 폭보다 작을 수 있다. 그러므로, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWsk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)에 연결된 제1 로드 매칭 트랜지스터(LMT1)는 턴-온될 수 있다. 이로 인해, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWsk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)은 제1 공통 연결 배선(SCL1)을 통해 제1 더미 화소(DPX1)들에 연결될 수 있다.

[0260] 이때, 제k 로드 매칭 제어 신호(LMCK)의 펄스는 제k+1 기입 스캔 배선(GWLk+1)의 펄스에도 중첩하므로, 제k 기입 스캔 배선(GWLk)에 연결된 제1 로드 매칭 트랜지스터(LMT1)와 제k+1 기입 스캔 배선(GWLk+1)에 연결된 제2 로드 매칭 트랜지스터(LMT2)가 동일한 공통 스캔 배선에 연결되는 경우, 제k 기입 스캔 배선(GWLk)과 제k+1 기입 스캔 배선(GWLk+1)은 동일한 공통 스캔 배선의 더미 화소들에 연결될 수 있다. 이 경우, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 서브 화소(PX)들에 걸리는 로드와 더미 화소(DPX)들에 걸리는 로드의 절반일 수 있다.

[0261] 더미 화소(DPX)들에 걸리는 로드가 절반으로 줄어드는 것을 방지하기 위해, 도 16과 같이 제k 기입 스캔 배선(GWLk)은 제1 로드 매칭 트랜지스터(LMT1)를 통해 제1 더미 화소(DPX1)들에 연결되는 제1 공통 스캔 배선(SCL1)에 연결되고, 제k+1 기입 스캔 배선(GWLk+1)은 제2 로드 매칭 트랜지스터(LMT2)를 통해 제2 더미 화소(DPX2)들에 연결되는 제2 공통 스캔 배선(SCL2)에 연결될 수 있다. 즉, 제k 기입 스캔 배선(GWLk)과 제k+1 기입 스캔 배선(GWLk+1)은 서로 다른 공통 스캔 배선들에 연결될 수 있다.

[0262] 한편, 제1 발광 구동 회로(121)에서 출력되는 발광 스캔 신호들(EMk, EMk+1)과 제1 로드 매칭 구동 회로(130)에서 출력되는 로드 매칭 제어 신호들(LMSk, LMSk+1)이 실질적으로 동일하기 위해서는, 제1 발광 타이밍 배선(도 2의 ETL1)들을 통해 제1 발광 구동 회로(121)에 입력되는 발광 클럭 신호들과 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 클럭 신호들은 실질적으로 동일할 수 있다. 이 경우, 제1 발광 타이밍 배선(도 2의 ETL1)들을 통해 제1 발광 구동 회로(121)에 입력되는 발광 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 실질적으로 동일하거나 상이할 수 있다.

[0263] 예를 들어, 제1 발광 구동 회로(121)는 노치부(NTA)가 형성되는 표시 패널(100)의 상측부터 발광 신호들(EMk, EMk+1)을 출력하고, 제1 로드 매칭 구동 회로(130)는 표시 패널(100)의 상측부터 제1 로드 매칭 제어 신호들(LMSk, LMSk+1)을 출력할 수 있다. 이 경우, 제1 발광 구동 회로(121)에서 출력되는 제1 발광 신호와 제1 로드 매칭 구동 회로(130)에서 출력되는 제1 로드 매칭 제어 신호는 동시에 출력되어야 한다. 그러므로, 제1 발광 타이밍 배선(도 2의 ETL1)들을 통해 제1 발광 구동 회로(121)에 입력되는 발광 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 실질적으로 동일할 수 있다.

- [0264] 또는, 제1 발광 구동 회로(121)는 표시 패드(DP)들이 배치되는 표시 패널(100)의 하측부터 발광 신호들(EMk, EMk+1)을 출력하고, 제1 로드 매칭 구동 회로(130)는 제2 표시 영역(DA2)의 하측부터 제1 로드 매칭 제어 신호들(LMSk, LMSk+1)을 출력할 수 있다. 이 경우, 제1 발광 구동 회로(121)에서 출력되는 제1 발광 신호와 제1 로드 매칭 구동 회로(130)에서 출력되는 제1 로드 매칭 제어 신호는 동시에 출력되지 않는다. 그러므로, 제1 발광 타이밍 배선(도 2의 ETL1)들을 통해 제1 발광 구동 회로(121)에 입력되는 발광 스타트 신호와 제1 로드 타이밍 배선(LTL1)들을 통해 제1 로드 매칭 구동 회로(130)에 입력되는 로드 매칭 스타트 신호는 상이할 수 있다.
- [0265] 도 18은 도 3의 표시 패널의 제1 표시 영역, 제2 표시 영역, 제1 비표시 영역, 및 제2 비표시 영역의 또 다른 예를 상세히 보여주는 레이아웃도이다.
- [0266] 도 18의 실시예는 제1 스캔 구동 회로(111)가 기입 스캔 배선(GWL)들에 기입 스캔 신호들만을 출력하고, 초기화 스캔 배선(GIL)들에 초기화 스캔 신호들을 출력하는 제1 초기화 구동 회로(211)와 제어 스캔 배선(GCL)들에 제어 스캔 신호들을 출력하는 제1 제어 구동 회로(221)가 추가된 것에서 도 16의 실시예와 차이점이 있다. 또한, 도 18의 실시예는 제1 방향(X축 방향)으로 나란하게 배열되는 제3 더미 화소(DPX3)들에 연결되는 제3 공통 스캔 배선(CSL3)이 추가되고, 제2 로드 매칭 트랜지스터(LMT2)들이 제2 공통 스캔 배선(CSL2)에 연결되는 것에서 도 16의 실시예와 차이점이 있다.
- [0267] 제1 스캔 구동 회로(111), 제1 초기화 구동 회로(211), 및 제1 제어 구동 회로(221)는 도 11을 결부하여 설명한 바와 실질적으로 동일하므로, 생략한다.
- [0268] 도 18을 참조하면, 제1 로드 매칭 트랜지스터(LMT1)들, 제2 로드 매칭 트랜지스터(LMT2)들, 및 제3 로드 매칭 트랜지스터(LMT3)들은 제2 방향(Y축 방향)에서 교번하여 배치될 수 있다. 로드 매칭 제어 신호들은 로드 매칭 제어 배선(LCL)들에 순차적으로 인가되므로, 제1 로드 매칭 트랜지스터(LMT1)들, 제2 로드 매칭 트랜지스터(LMT2)들, 및 제3 로드 매칭 트랜지스터(LMT3)들은 교번하여 턴-온될 수 있다. 예를 들어, 제1 로드 매칭 트랜지스터(LMT1)의 턴-온에 의해 제k 기입 스캔 배선(GWL)이 제1 더미 화소(DPX1)들에 연결된 제1 공통 스캔 배선(CSL1)에 연결된 후, 제2 로드 매칭 트랜지스터(LMT2)의 턴-온에 의해 제k+1 기입 스캔 배선(GWL)이 제2 더미 화소(DPX2)들에 연결된 제2 공통 스캔 배선(CSL2)에 연결될 수 있다. 그리고 나서, 제3 로드 매칭 트랜지스터(LMT3)의 턴-온에 의해 제k+2 기입 스캔 배선(GWL)이 제3 더미 화소(DPX3)들에 연결된 제3 공통 스캔 배선(CSL3)에 연결될 수 있다.
- [0269] 도 18과 같이, 제1 로드 매칭 구동 회로(130)는 로드 매칭 제어 신호들을 순차적으로 출력함으로써, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들에 연결된 제1 로드 매칭 트랜지스터(LMT1)들, 제2 로드 매칭 트랜지스터(LMT2)들, 및 제3 로드 매칭 트랜지스터(LMT3)들을 순차적으로 턴-온시킬 수 있다. 그러므로, 제2 표시 영역(DA2)의 기입 스캔 배선(GWL)들은 제1 공통 스캔 배선(CSL1)에 연결된 제1 더미 화소(DPX1)들, 제2 공통 스캔 배선(CSL2)에 연결된 제2 더미 화소(DPX2)들, 및 제3 공통 스캔 배선(CSL3)에 연결된 제3 더미 화소(DPX3)들에 교번하여 접속될 수 있다. 이 경우, 기입 스캔 배선(GWL)들에 걸리는 로드는 제2 표시 영역(DA2)의 서브 화소(PX)들에 걸리는 로드뿐만 아니라, 제1 비표시 영역(NDA1)의 제1 더미 화소(DPX1)들, 제2 더미 화소(DPX2)들, 또는 제3 더미 화소(DPX3)들에 걸리는 로드를 포함할 수 있다. 그러므로, 제2 표시 영역(DA2)에서 기입 스캔 배선(GWL)들에 걸리는 로드와 제1 표시 영역(DA1)에서 기입 스캔 배선(GWL)들에 걸리는 로드 간에 차이를 최소화할 수 있다. 따라서, 제2 표시 영역(DA2)과 제3 표시 영역(DA3)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭과 제1 표시 영역(DA1)의 기입 스캔 배선(GWL)의 기입 스캔 신호의 펄스 폭에 차이가 발생하는 것을 줄일 수 있으므로, 서브 화소(PX)들 간에 휘도 차이가 발생하는 것을 방지할 수 있다.
- [0270] 한편, 표시 패널(100)의 제3 표시 영역(DA3)은 도 18에 도시된 표시 패널(100)의 제2 표시 영역(DA2)이 좌우 반전되는 것을 제외하고는, 도 18을 결부하여 설명한 바와 실질적으로 동일하게 형성될 수 있다.
- [0271] 도 19는 또 다른 실시예에 따른 초기화 스캔 신호들, 기입 스캔 신호들, 바이어스 스캔 신호들, 발광 신호들, 및 로드 매칭 제어 신호들을 보여주는 파형도이다.
- [0272] 도 19의 실시예는 제k 로드 매칭 스캔 신호(LMSk)들의 펄스가 제k 발광 신호(EMk)의 펄스와 동일한 기간에 발생하고, 제k 로드 매칭 스캔 신호(LMSk)들의 펄스 폭이 제k 발광 신호(EMk)의 펄스 폭과 실질적으로 동일한 것에서 도 14의 실시예와 차이점이 있다.
- [0273] 도 19를 참조하면, 제k 로드 매칭 제어 신호(LMCK)가 인가되는 제1 로드 매칭 트랜지스터(LMT1)는 제k 기입 스캔 신호(GWSk)가 인가되는 제k 기입 스캔 배선(GWLk)에 연결될 수 있다. 제k 기입 스캔 배선(GWLk)의 펄스는 제k 로드 매칭 제어 신호(LMCK)의 펄스에 완전히 중첩할 수 있다. 즉, 제k 기입 스캔 배선(GWLk)의 펄스 폭은 제k

로드 매칭 제어 신호(LMck)의 펄스 폭보다 작을 수 있다. 그러므로, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWsk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)에 연결된 제1 로드 매칭 트랜지스터(LMT1)는 턴-온될 수 있다. 이로 인해, 제1 로직 레벨 전압(V1)의 제k 기입 스캔 신호(GWsk)가 인가되는 기간 동안, 제k 기입 스캔 배선(GWLk)은 제1 공통 연결 배선(SCL1)을 통해 제1 더미 화소(DPX1)들에 연결될 수 있다.

[0274] 이때, 제k 로드 매칭 제어 신호(LMck)의 펄스는 제k+1 기입 스캔 배선(GWLk+1)의 펄스, 및 제k+2 기입 스캔 배선(GWLk+2)에도 중첩하므로, 제k 기입 스캔 배선(GWLk)에 연결된 제1 로드 매칭 트랜지스터(LMT1), 제k+1 기입 스캔 배선(GWLk+1)에 연결된 제2 로드 매칭 트랜지스터(LMT2), 및 제k+2 기입 스캔 배선(GWLk+2)에 연결된 제3 로드 매칭 트랜지스터(LMT3)가 동일한 공통 스캔 배선에 연결되는 경우, 제k 기입 스캔 배선(GWLk), 제k+1 기입 스캔 배선(GWLk+1), 및 제k+2 기입 스캔 배선(GWLk+2)은 동일한 공통 스캔 배선의 더미 화소들에 연결될 수 있다. 이 경우, 제k 기입 스캔 배선(GWLk)에 걸리는 로드는 서브 화소(PX)들에 걸리는 로드와 더미 화소(DPX)들에 걸리는 로드의 1/3일 수 있다.

[0275] 더미 화소(DPX)들에 걸리는 로드가 1/3으로 줄어드는 것을 방지하기 위해, 도 18과 같이 제k 기입 스캔 배선(GWLk)은 제1 로드 매칭 트랜지스터(LMT1)를 통해 제1 더미 화소(DPX1)들에 연결되는 제1 공통 스캔 배선(SCL1)에 연결되고, 제k+1 기입 스캔 배선(GWLk+1)은 제2 로드 매칭 트랜지스터(LMT2)를 통해 제2 더미 화소(DPX2)들에 연결되는 제2 공통 스캔 배선(SCL2)에 연결되며, 제k+2 기입 스캔 배선(GWLk+2)은 제3 로드 매칭 트랜지스터(LMT3)를 통해 제3 더미 화소(DPX3)들에 연결되는 제2 공통 스캔 배선(SCL2)에 연결될 수 있다. 즉, 제k 기입 스캔 배선(GWLk), 제k+1 기입 스캔 배선(GWLk+1), 및 제k+2 기입 스캔 배선(GWLk+2)은 서로 다른 공통 스캔 배선들에 연결될 수 있다.

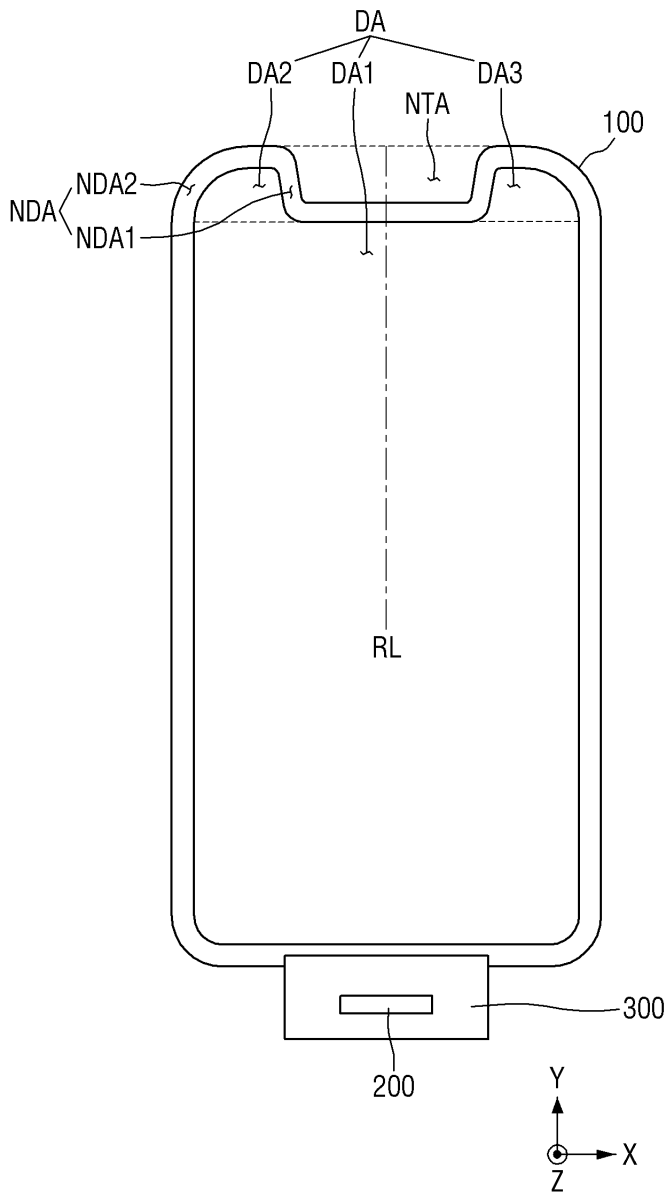
[0276] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

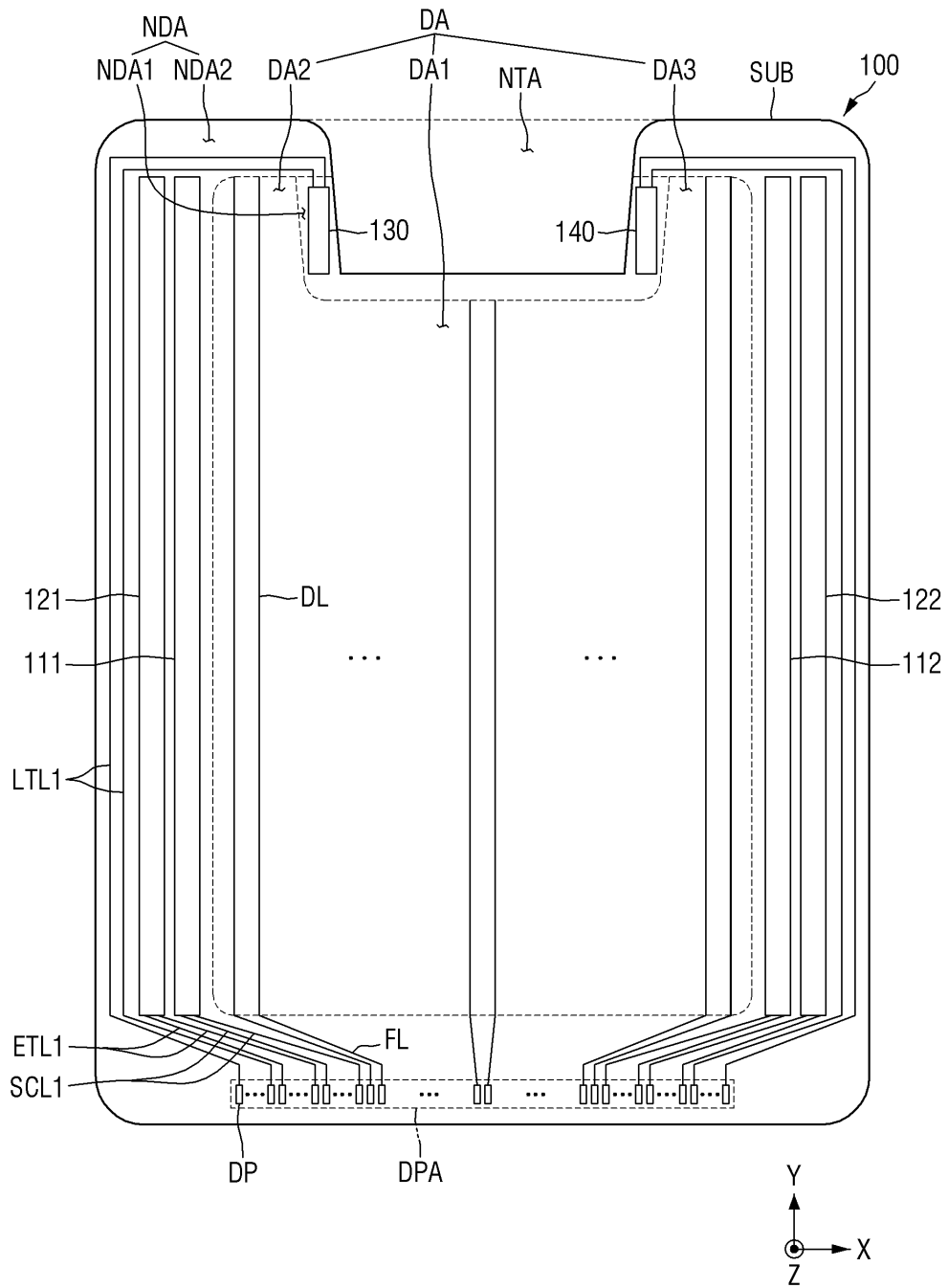
- [0277] 10: 표시 장치 100: 표시 패널
- 111: 제1 스캔 구동 회로 112: 제2 스캔 구동 회로
- 121: 제1 발광 구동 회로 122: 제2 발광 구동 회로
- 130: 제1 로드 매칭 구동 회로 140: 제2 로드 매칭 구동 회로
- 200: 표시 구동부 300: 표시 회로 보드
- DP: 표시 패드 FL: 팬 아웃 배선
- DL: 데이터 배선 SCL1: 제1 스캔 타이밍 배선
- SCL2: 제2 스캔 타이밍 배선 ETL1: 제1 발광 타이밍 배선
- ETL2: 제2 발광 타이밍 배선 LTL1: 제1 로드 타이밍 배선
- LTL2: 제2 로드 타이밍 배선

도면

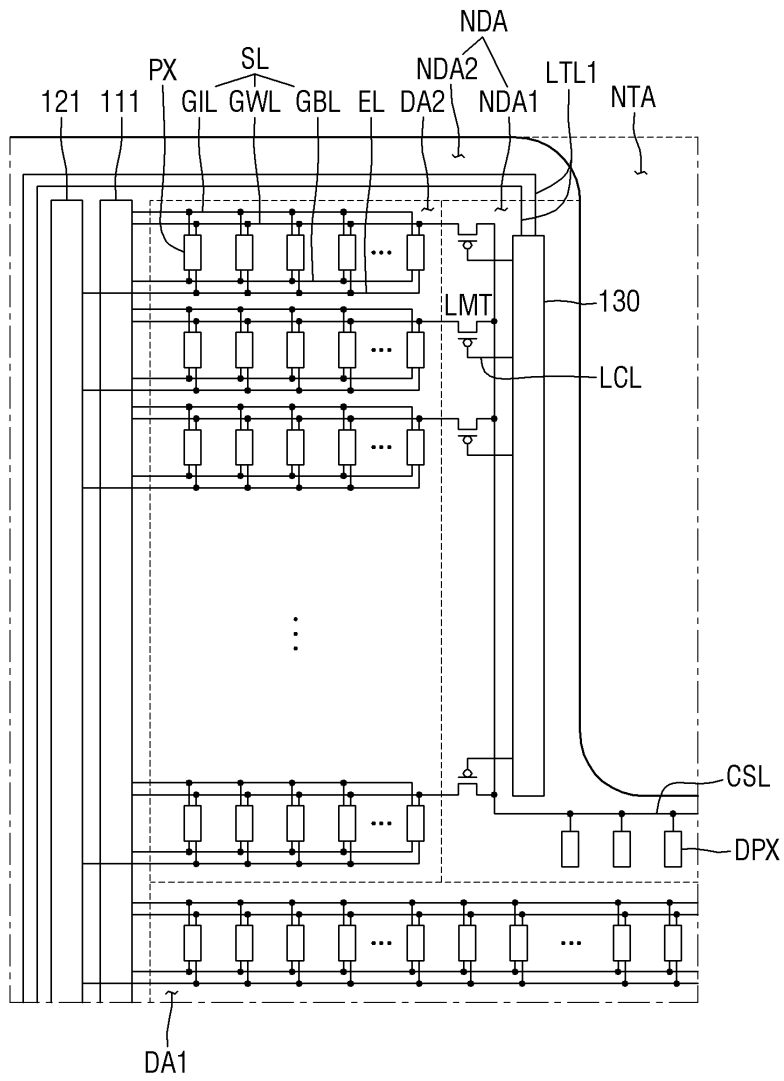
도면1



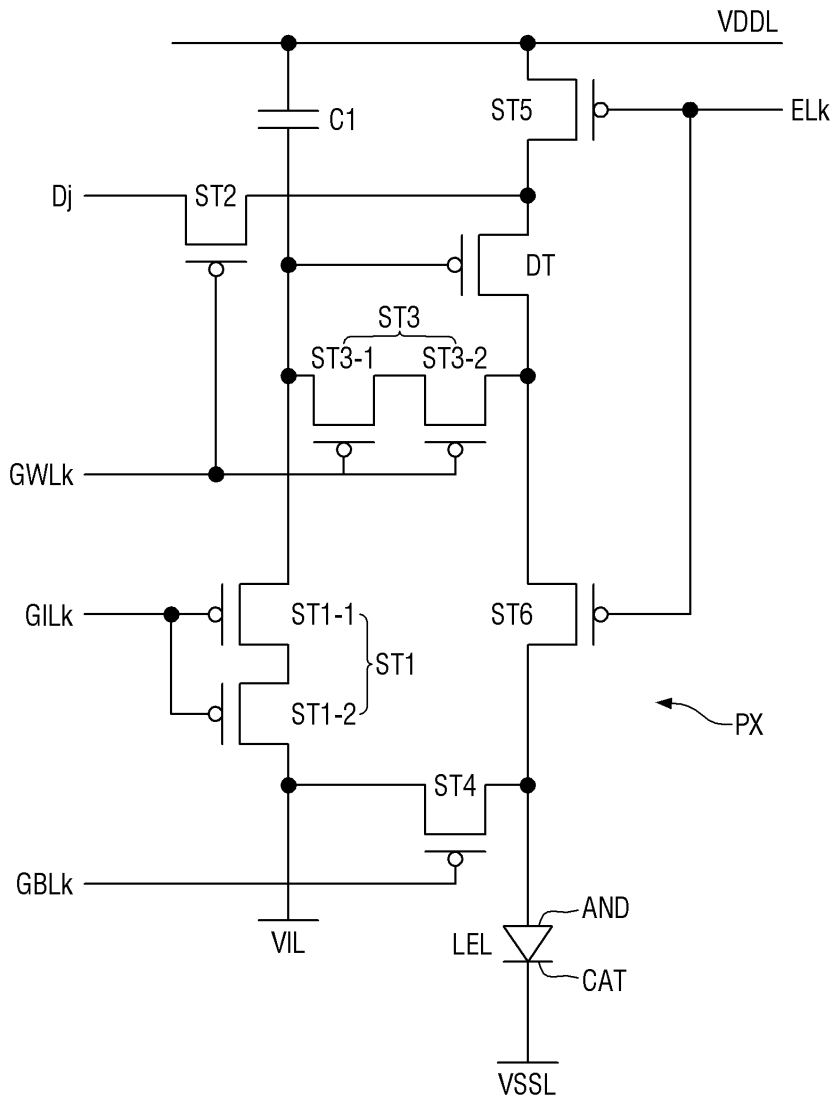
도면2



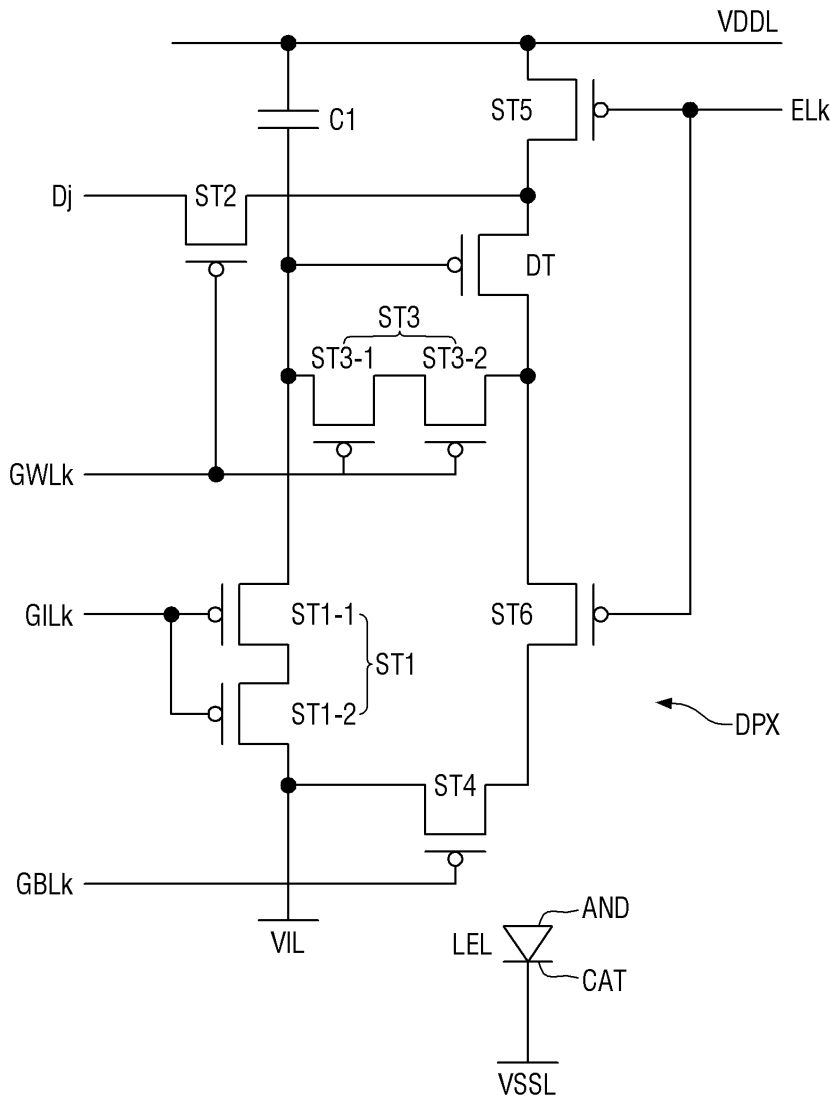
도면3



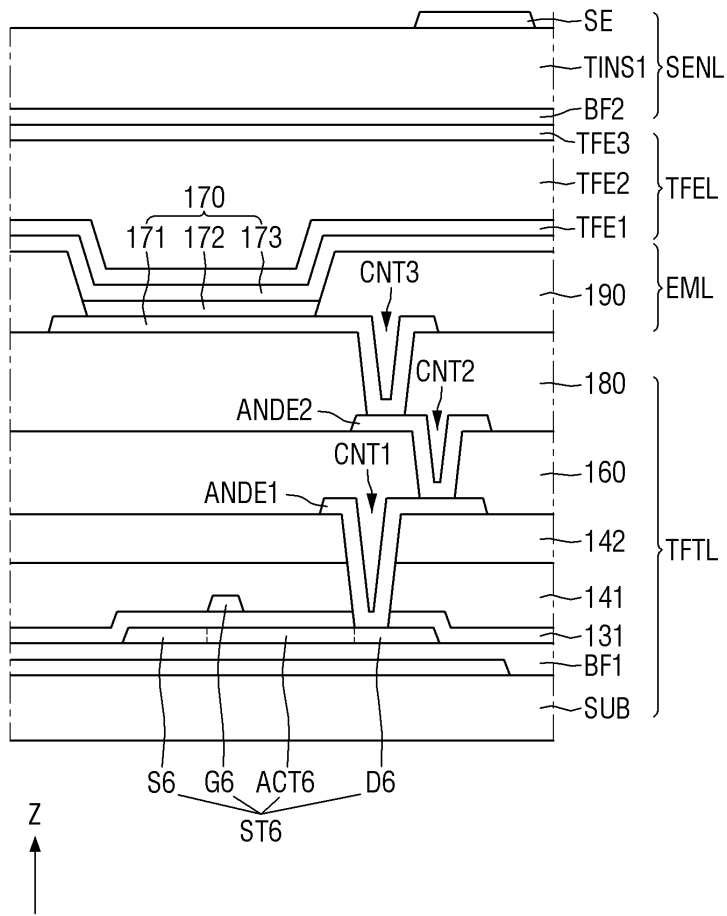
도면4



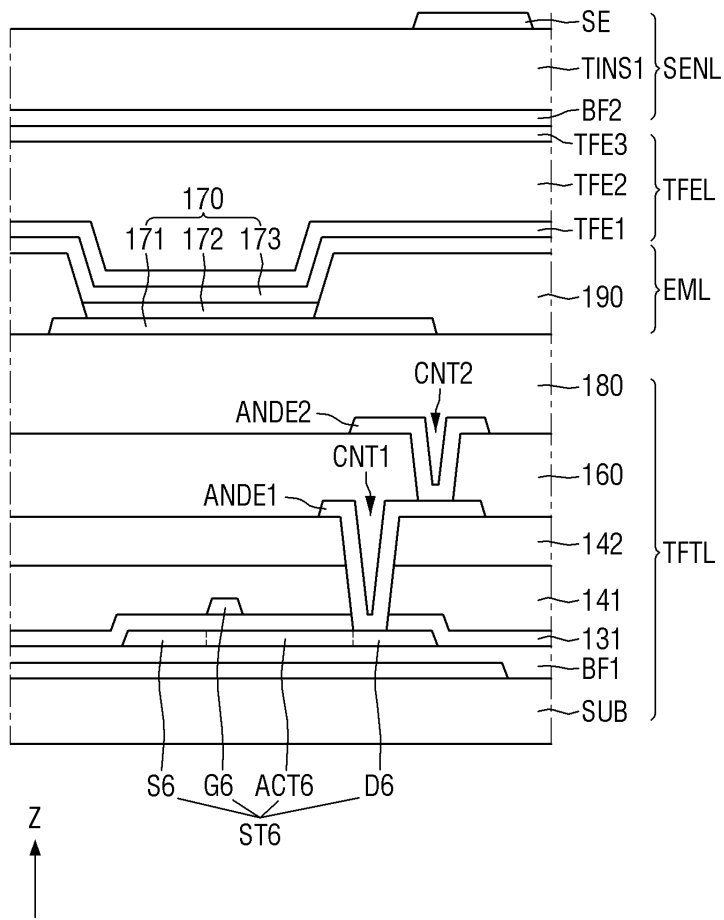
도면5



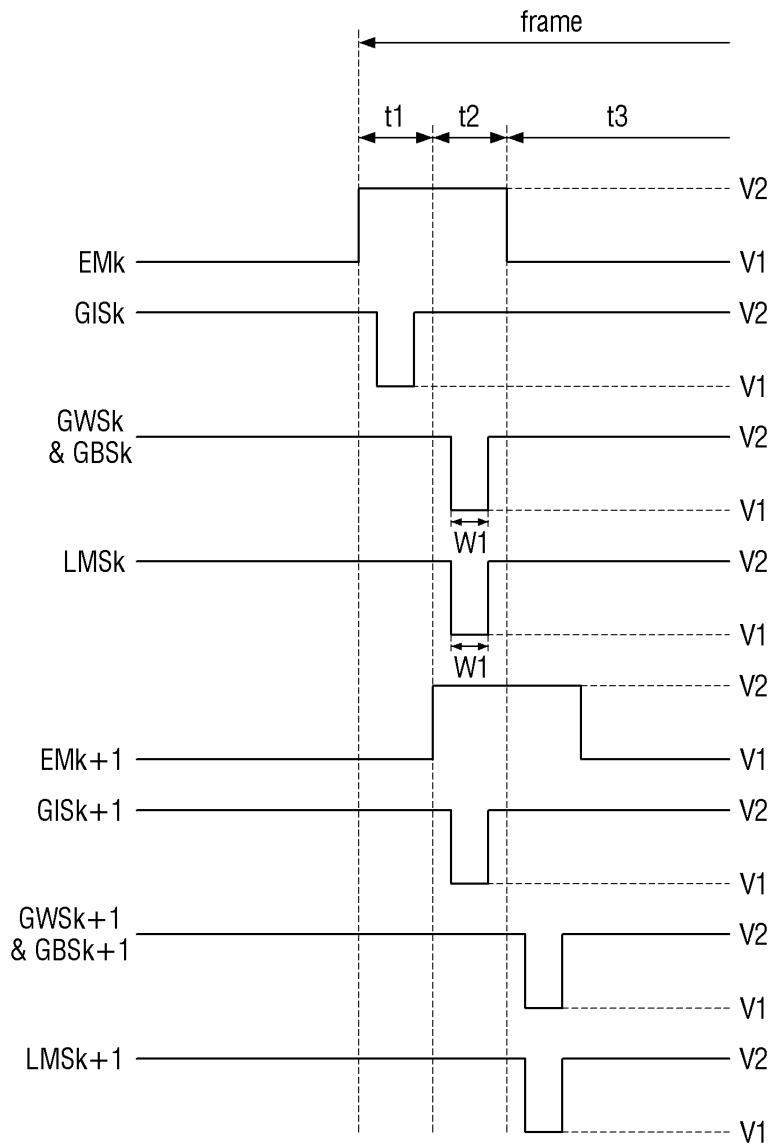
도면6



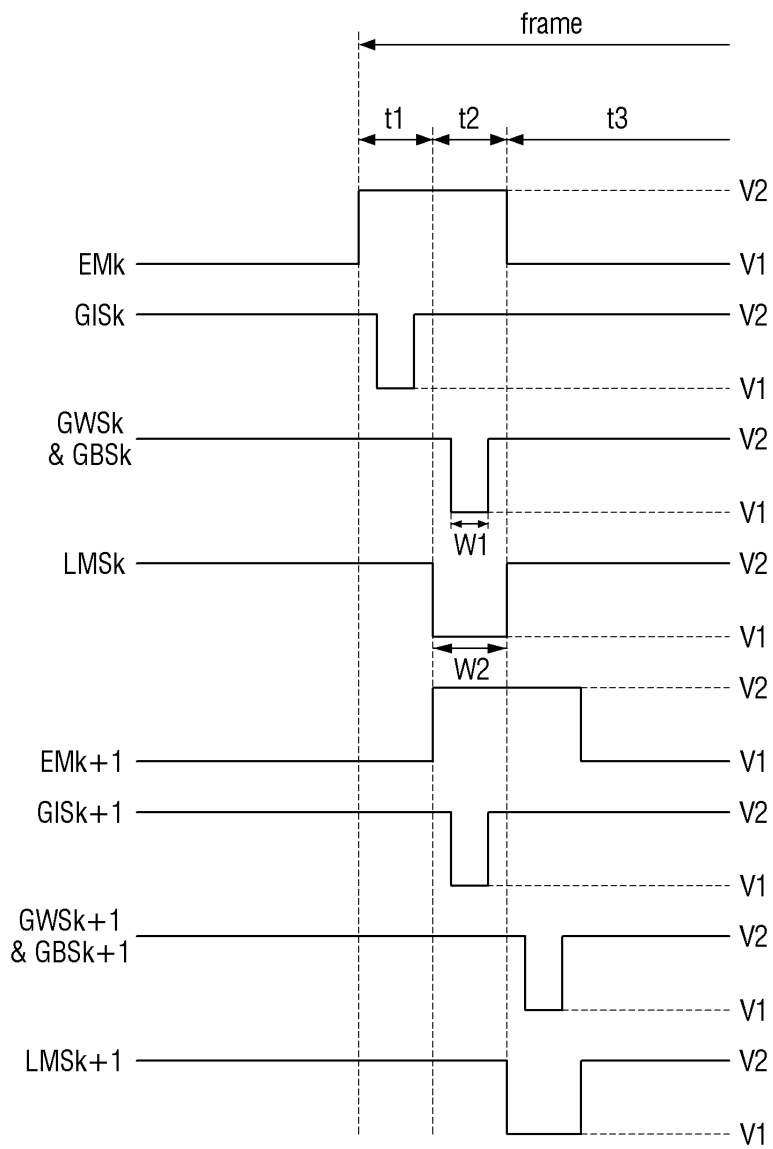
도면7



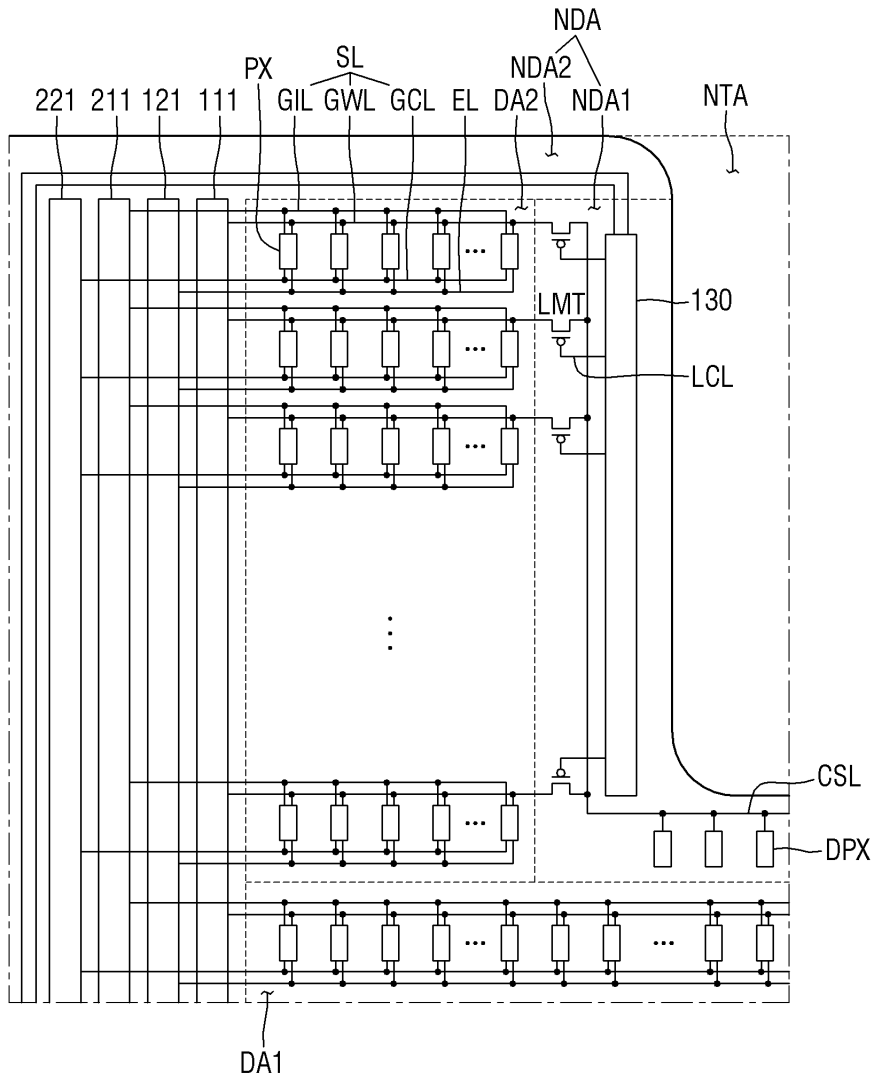
도면9



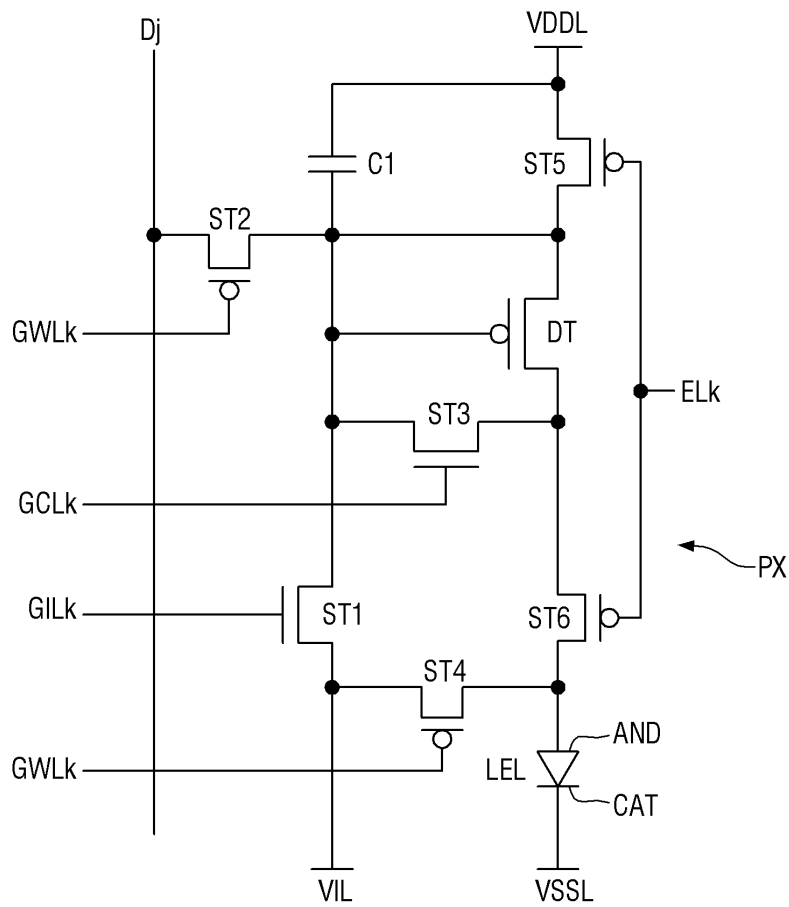
도면10



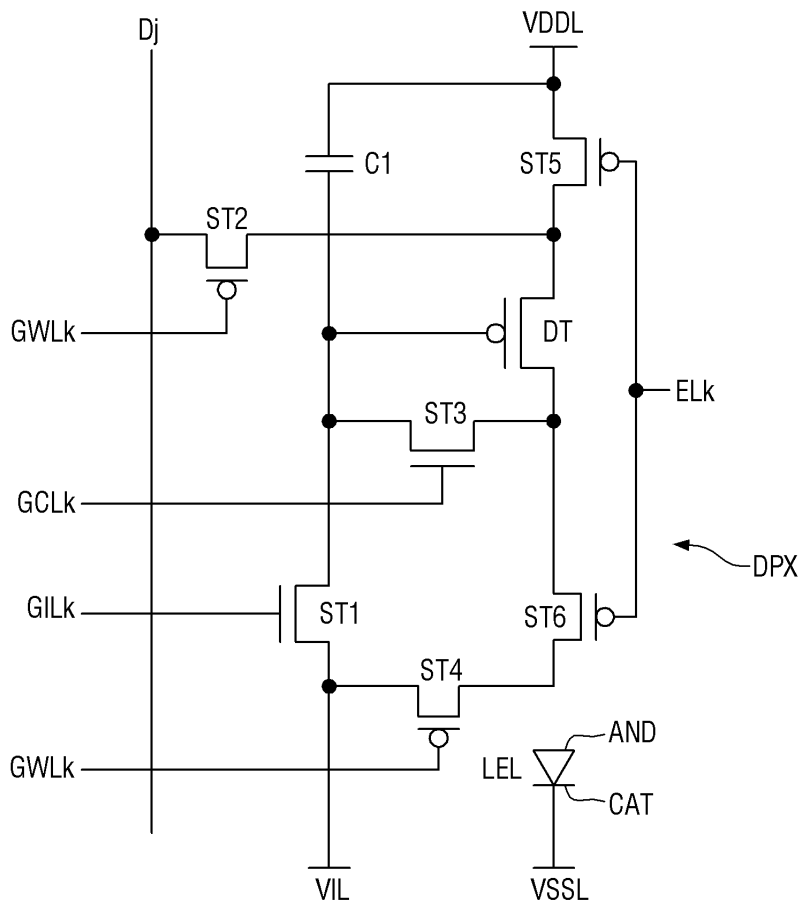
도면11



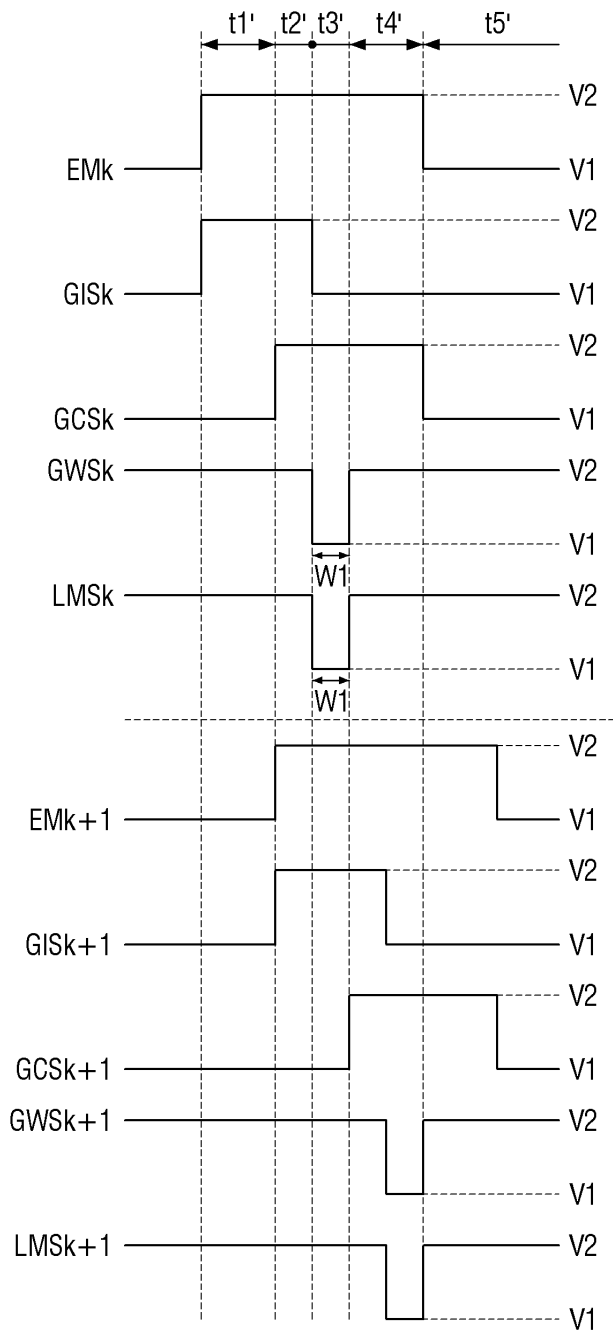
도면12



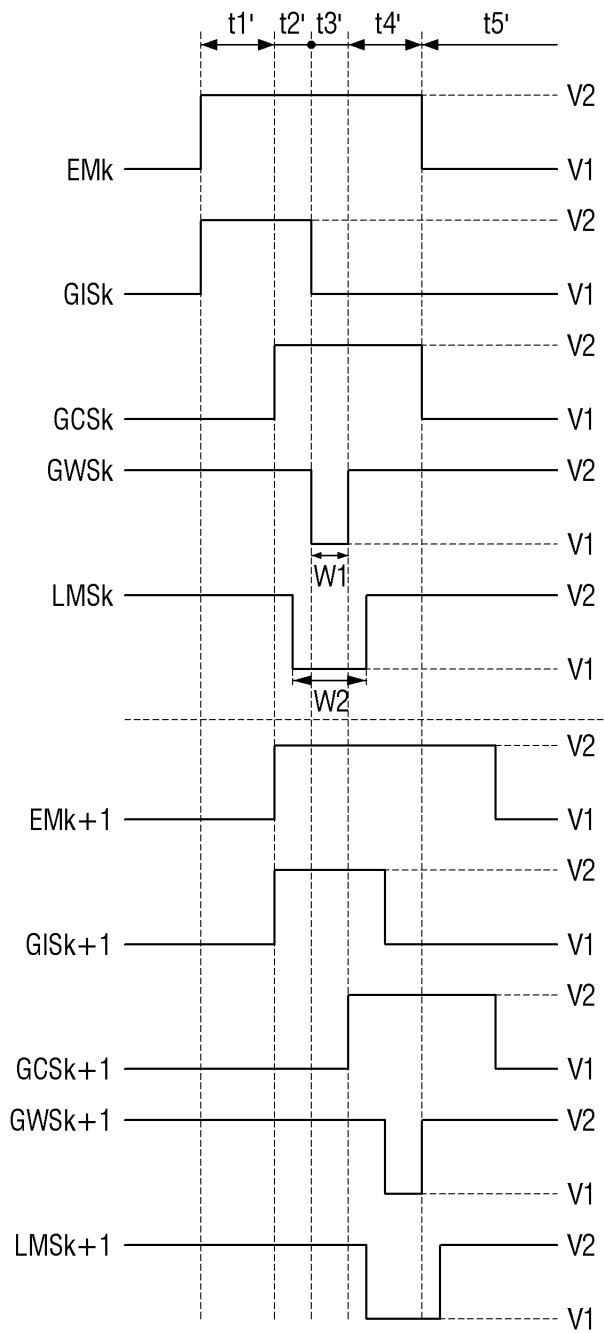
도면13



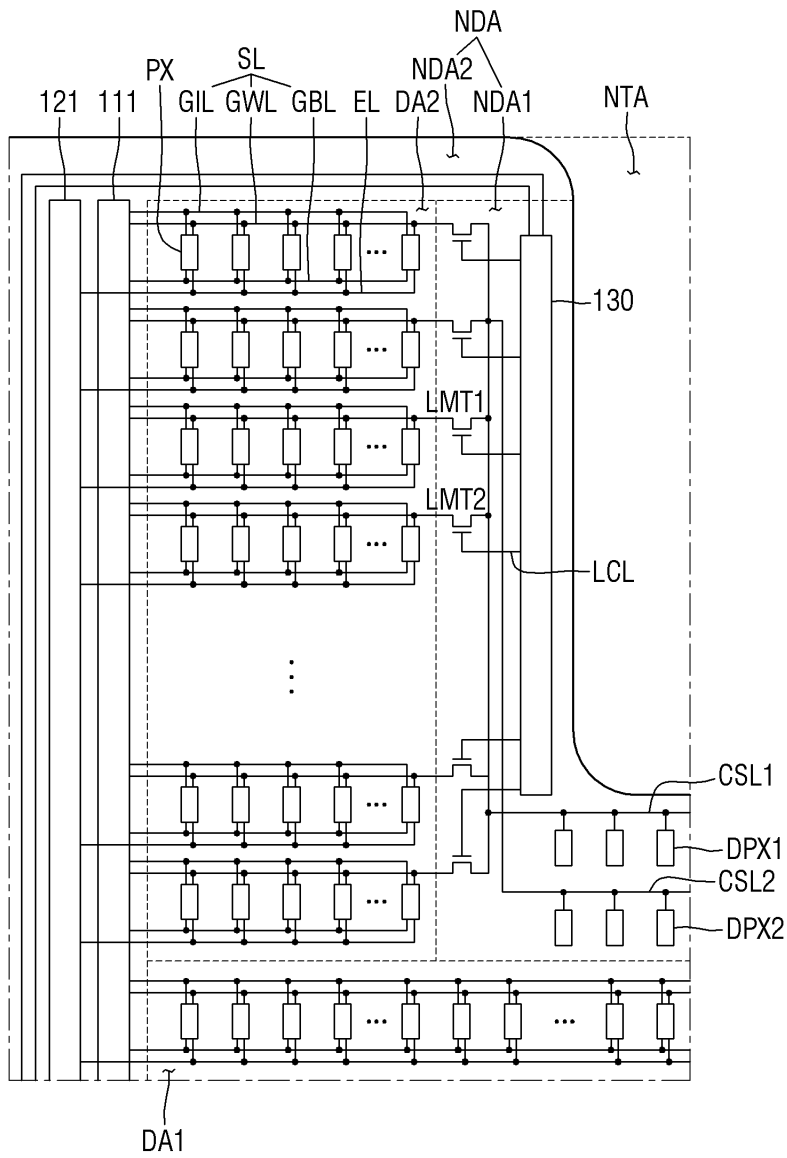
도면14



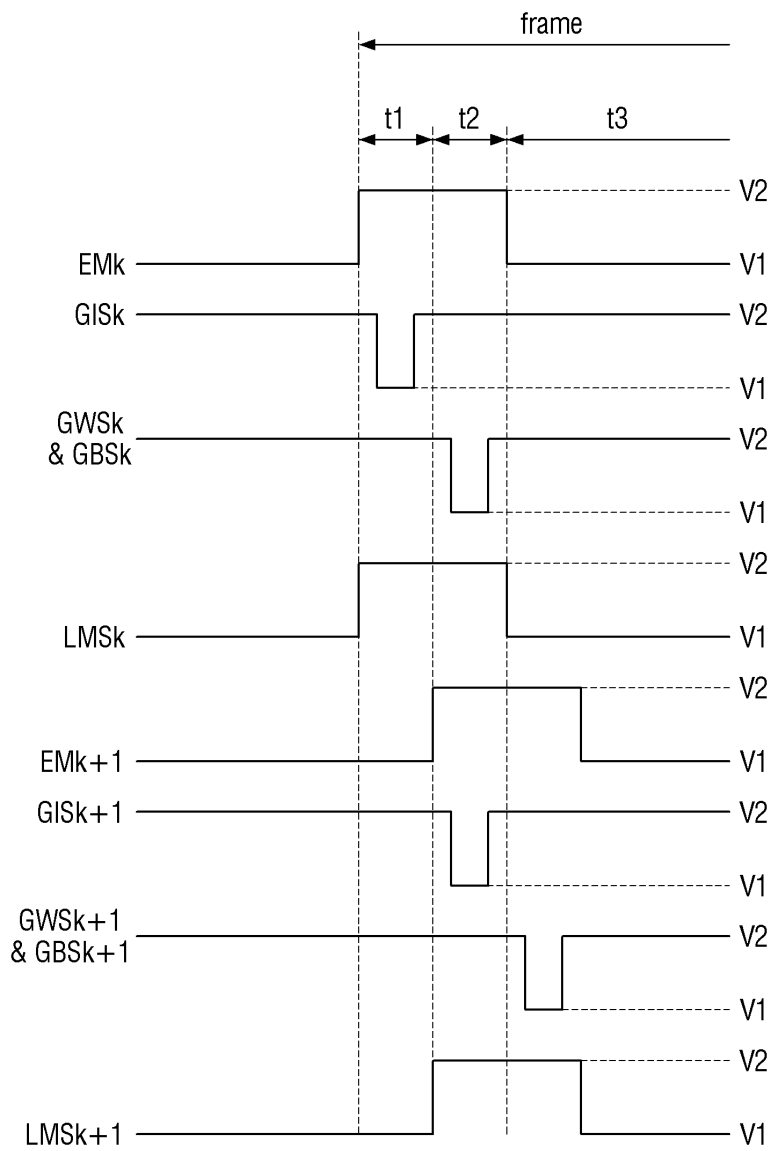
도면15



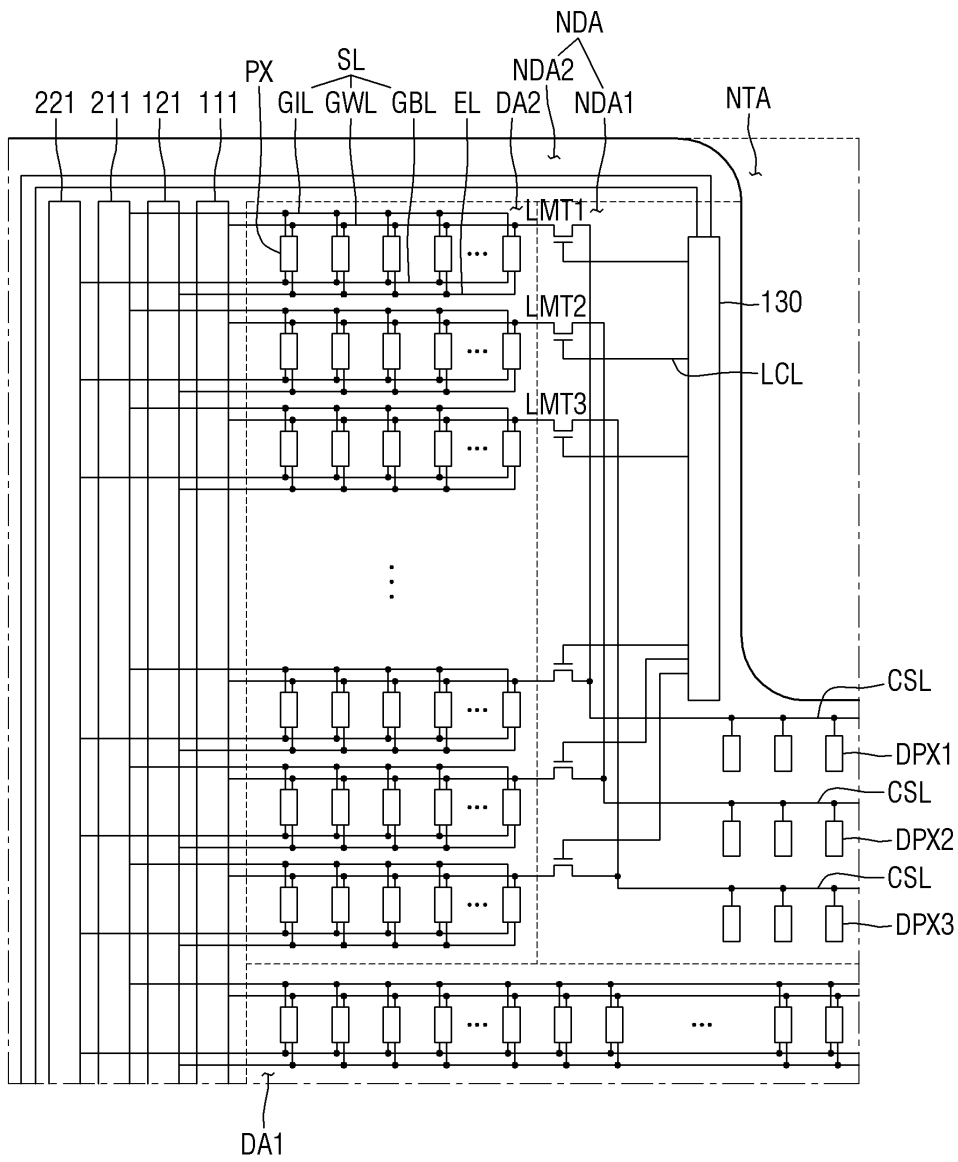
도면16



도면17



도면18



도면19

