

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4098701号  
(P4098701)

(45) 発行日 平成20年6月11日(2008.6.11)

(24) 登録日 平成20年3月21日(2008.3.21)

(51) Int.Cl.		F I	
<b>HO3H</b>	<b>11/04</b>	<b>(2006.01)</b>	HO3H 11/04 G
<b>HO3F</b>	<b>3/45</b>	<b>(2006.01)</b>	HO3F 3/45 B
<b>HO3H</b>	<b>11/12</b>	<b>(2006.01)</b>	HO3H 11/12 A

請求項の数 10 (全 12 頁)

(21) 出願番号	特願2003-372442 (P2003-372442)	(73) 特許権者	000003078
(22) 出願日	平成15年10月31日(2003.10.31)		株式会社東芝
(65) 公開番号	特開2004-222238 (P2004-222238A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年8月5日(2004.8.5)	(74) 代理人	100058479
審査請求日	平成17年2月9日(2005.2.9)		弁理士 鈴江 武彦
(31) 優先権主張番号	特願2002-382381 (P2002-382381)	(74) 代理人	100091351
(32) 優先日	平成14年12月27日(2002.12.27)		弁理士 河野 哲
(33) 優先権主張国	日本国(JP)	(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 可変時定数回路及びこれを用いたフィルタ回路

(57) 【特許請求の範囲】

【請求項1】

第1及び第2の信号入力端子と；

正相入力端子、逆相入力端子、逆相出力端子及び正相出力端子を有する反転増幅器と；

前記逆相出力端子及び正相出力端子にそれぞれ接続された第1及び第2の信号出力端子と；

前記第1の信号入力端子と前記正相入力端子との間に直列に接続された第1及び第2の抵抗と；

前記第2の信号入力端子と前記逆相入力端子との間に直列に接続された第3及び第4の抵抗と；

前記正相入力端子と逆相出力端子との間に接続された第1のキャパシタと；

前記逆相入力端子と正相出力端子との間に接続された第2のキャパシタと；

第1及び第2の抵抗の接続ノードに接続された第1ゲート端子、定電位に保持された第1ソース端子、及び前記正相入力端子及び逆相入力端子のうちの一方に接続された第1ドレイン端子を有し、前記第1ゲート端子と第1ソース端子間の電圧に対応して、前記第1ドレイン端子に第1の電圧-電流変換比に従った電流を流す第1の電界効果トランジスタと；

第3及び第4の抵抗の接続ノードに接続された第2ゲート端子、定電位に保持された第2ソース端子、及び前記正相入力端子及び逆相入力端子のうち他方に接続された第2ドレイン端子を有し、前記第2ゲート端子と第2ソース端子間の電圧に対応して、前記第2

ドレイン端子に第2の電圧 - 電流変換比に従った電流を流す第2の電界効果トランジスタと；

時定数制御信号を受け、該時定数制御信号に従って前記第1及び第2の電圧 - 電流変換比を制御する制御回路とを具備する可変時定数回路。

【請求項2】

前記制御回路は、前記時定数制御信号に従って前記第1及び第2の抵抗の第1の接続ノードの第1の動作点、及び前記第3及び第4の抵抗の接続ノードの第2の動作点を制御する請求項1に記載の可変時定数回路。

【請求項3】

前記制御回路は、第1の正相入力端子と第1の逆相入力端子を有する第1の差動入力端子対、第2の正相入力端子と第2の逆相入力端子を有する第2の差動入力端子対、及び第1及び第2の正相出力端子を有する差動増幅器を含み、

前記第1及び第2の正相入力端子は前記時定数信号を受け、前記第1の正相出力端子は前記第1の逆相入力端子及び前記第1の接続ノードに接続され、前記第2の正相出力端子は前記第2の逆相入力端子及び前記第2の接続ノードに接続される請求項1に記載の可変時定数回路。

【請求項4】

前記制御回路は、第1の正相入力端子と第1の逆相入力端子と第1及び第2の正相出力端子を有する第1の差動増幅器と、第2の正相入力端子と第2の逆相入力端子と第3及び第4の正相出力端子を有する第2の差動増幅器とを含み、

前記第1及び第2の正相入力端子は前記時定数制御信号を受け、前記第1及び第3の正相出力端子は前記第1の逆相入力端子及び前記第1の接続ノードに接続され、前記第2及び第4の正相出力端子は前記第2の逆相入力端子及び前記第2の接続ノードに接続される請求項1に記載の可変時定数回路。

【請求項5】

前記反転増幅器は、ソース接地増幅器である請求項1に記載の可変時定数回路。

【請求項6】

動作点設定信号を受け、該動作点設定信号に従って前記反転増幅器の前記正相入力端子及び逆相入力端子の動作点を設定する動作点設定回路をさらに具備する請求項1に記載の可変時定数回路。

【請求項7】

前記動作点設定回路は、第1の正相入力端子と第1の逆相入力端子を有する第1の差動入力端子対、第2の正相入力端子と第2の逆相入力端子を有する第2の差動入力端子対、及び第1及び第2の正相出力端子を有する差動増幅器を含み、

前記第1及び第2の正相入力端子は前記動作点設定信号を受け、前記第1の正相出力端子は前記第1の逆相入力端子及び前記第1の接続ノードに接続され、前記第2の正相出力端子は前記第2の逆相入力端子及び前記第2の接続ノードに接続される請求項6に記載の可変時定数回路。

【請求項8】

前記動作点設定回路は、第1の正相入力端子と第1の逆相入力端子と第1及び第2の正相出力端子を有する第1の差動増幅器と、第2の正相入力端子と第2の逆相入力端子と第3及び第4の正相出力端子を有する第2の差動増幅器とを含み、

前記第1及び第2の正相入力端子は前記動作点設定信号を受け、前記第1及び第3の正相出力端子は前記第1の逆相入力端子及び前記第1の接続ノードに接続され、前記第2及び第4の正相出力端子は前記第2の逆相入力端子及び前記第2の接続ノードに接続される請求項6に記載の可変時定数回路。

【請求項9】

縦続接続された複数の単位フィルタを有するフィルタ回路であって、前記単位フィルタの各々は請求項1乃至8のいずれか1項に記載の可変時定数回路を含むフィルタ回路。

【請求項10】

10

20

30

40

50

縦続接続された複数の単位フィルタを有するフィルタ回路であって、前記単位フィルタの各々は請求項 1 乃至 8 のいずれか 1 項に記載の可変時定数回路を含み、前記単位フィルタの少なくとも一つは、前記第 1 のキャパシタに並列に接続された第 5 の抵抗、及び前記第 2 のキャパシタに並列に接続された第 6 の抵抗を有するフィルタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、時定数可変の積分器や遮断周波数可変のフィルタなどの可変時定数回路に係り、特に電界効果トランジスタを用いた可変時定数回路に関する。

【背景技術】

10

【0002】

アクティブフィルタの伝達特性、例えば遮断周波数を可変するには、フィルタに含まれる時定数回路の時定数を変化させることが必要である。このために、三極管領域での電界効果トランジスタのドレイン - ソース間（オン抵抗）を可変時定数回路の可変抵抗として用い、トランジスタのゲート電圧を制御することで時定数を変える方法が知られている（例えば、特許文献 1 参照）。特許文献 1 では、ゲート電圧を異ならせた複数の FET（電界効果トランジスタ）を用いて奇数次の歪みをキャンセルする可変抵抗回路網を開示している。

【特許文献 1】米国特許第 4,710,726 号明細書

【発明の開示】

20

【発明が解決しようとする課題】

【0003】

特許文献 1 のように、FET のオン抵抗そのものを可変抵抗として用いる回路では、FET のドレイン - ソースが信号源に直列に接続される。従って、電源電圧が低くなると、FET のゲート - ソース間電圧を十分大きくとることができなくなり、結果的に FET がオンしなくなる。このように従来の可変時定数回路では、低電源電圧下では可変抵抗として用いられる FET がオン状態にならず、積分器やフィルタとしての動作ができなくなるとい問題がある。

【0004】

従って、本発明は低電源電圧下においても正常に動作できる可変時定数回路及びこれを用いたフィルタ回路を提供することを目的とする。

30

【課題を解決するための手段】

【0005】

上記課題を解決するため、本発明の一つの観点によると、信号入力端子と；増幅器入力端子及び該増幅器入力端子に入力された信号を反転させて出力する増幅器出力端子を有する反転増幅器と；前記増幅器出力端子に接続された信号出力端子と；前記信号入力端子と前記増幅器入力端子との間に直列に接続された第 1 及び第 2 の抵抗と；前記増幅器入力端子と前記増幅器出力端子との間に接続されたキャパシタと；前記第 1 及び第 2 の抵抗の接続ノードに接続されたゲート端子、一定電位に保持されたソース端子、及び前記増幅器入力端子に接続されたドレイン端子を有し、前記ゲート端子とソース端子間の電圧に対応して、前記ドレイン端子に電圧 - 電流変換比に従った電流を流す電界効果トランジスタと；時定数制御信号を受け、該時定数制御信号に従って前記電圧 - 電流変換比を制御する制御回路とを具備する可変時定数回路増幅器が提供される。制御回路は、例えば制御信号に従って第 1 及び第 2 の抵抗の接続ノードの動作点を制御するように構成される。反転増幅器の増幅器入力端子及び増幅器出力端子は複数個あってもよく、信号入力端子及び信号出力端子も複数個あってもよい。

40

【0006】

本発明の他の観点によると、第 1 及び第 2 の信号入力端子と；正相入力端子、逆相入力端子、逆相出力端子及び正相出力端子を有する反転増幅器と；前記逆相出力端子及び正相出力端子にそれぞれ接続された第 1 及び第 2 の信号出力端子と；前記第 1 の信号入力端子

50

と前記正相入力端子との間に直列に接続された第 1 及び第 2 の抵抗と；前記第 2 の信号入力端子と前記逆相入力端子との間に直列に接続された第 3 及び第 4 の抵抗と；前記正相入力端子と逆相出力端子との間に接続された第 1 のキャパシタと；前記逆相入力端子と正相出力端子との間に接続された第 2 のキャパシタと；第 1 及び第 2 の抵抗の接続ノードに接続された第 1 ゲート端子、定電位に保持された第 1 ソース端子、及び前記正相入力端子及び逆相入力端子のうち一方に接続された第 1 ドレイン端子を有し、前記第 1 ゲート端子と第 1 ソース端子間の電圧に対応して、前記第 1 ドレイン端子に第 1 の電圧 - 電流変換比に従った電流を流す第 1 の電界効果トランジスタと；第 3 及び第 4 の抵抗の接続ノードに接続された第 2 ゲート端子、定電位に保持された第 2 ソース端子、及び前記正相入力端子及び逆相入力端子のうち他方に接続された第 2 ドレイン端子を有し、前記第 2 ゲート端子と第 2 ソース端子間の電圧に対応して、前記第 2 ドレイン端子に第 2 の電圧 - 電流変換比に従った電流を流す第 2 の電界効果トランジスタと；時定数制御信号を受け、該時定数制御信号に従って前記第 1 及び第 2 の電圧 - 電流変換比を制御する制御回路とを具備する可変時定数回路が提供される。制御回路は、例えば制御信号に従って第 1 及び第 2 の抵抗の接続ノードと第 3 及び第 4 の抵抗の接続ノードの動作点を制御するように構成される。

【 0 0 0 7 】

さらに、本発明の第 3 の観点によれば、第 1 または第 2 の観点による上述した複数の可変時定数回路を縦続接続して構成される高次のフィルタ回路を提供することができる。

【発明の効果】

【 0 0 0 8 】

本発明によれば、低電源電圧下でも正常に動作する可変時定数回路、すなわち遮断周波数が可変の 1 次のフィルタ回路または積分時定数が可変の積分器、あるいは遮断周波数が可変の高次のフィルタ回路を実現することができる。

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、図面を参照して本発明の実施形態を説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に従う可変時定数回路を示している。この可変時定数回路は、積分時定数が可変の積分器、または遮断周波数が可変の 1 次のフィルタ回路として機能する。本実施形態では、差動型の可変時定数回路を例にとって説明する。

【 0 0 1 0 】

図 1 において、第 1 及び第 2 の信号入力端子 1 0 A 及び 1 0 B (正相信号入力端子及び逆相信号入力端子) には、差動入力信号である  $V_{in+}$  (正相入力信号) 及び  $V_{in-}$  (逆相入力信号) が入力される。信号入力端子 1 0 A 及び 1 0 B には抵抗 1 1 及び 1 3 の一端がそれぞれ接続され、抵抗 1 1 及び 1 3 の他端には抵抗 1 2 及び 1 4 の一端がそれぞれ接続される。抵抗 1 2 及び 1 4 の他端は、差動入力・差動出力型の反転増幅器 1 5 の正相入力端子 (非反転入力端子ともいう) 及び逆相入力端子 (反転入力端子ともいう) にそれぞれ接続される。すなわち、信号入力端子 1 0 A と反転増幅器 1 5 の正相入力端子との間に抵抗 1 1 及び 1 2 が直列に接続され、信号入力端子 1 0 B と反転増幅器 1 5 の逆相入力端子との間に抵抗 1 3 及び 1 4 が直列に接続される。

【 0 0 1 1 】

反転増幅器 1 5 の正相入力端子と逆相出力端子 (反転出力端子ともいう) との間、及び逆相入力端子と正相出力端子 (非反転出力端子ともいう) との間に、それぞれ積分用のキャパシタ 1 6 及び 1 7 が接続される。反転増幅器 1 5 の逆相出力端子及び正相出力端子は、信号出力端子 1 8 A 及び 1 8 B にそれぞれ接続される。信号出力端子 1 8 A 及び 1 8 B からは、差動入力信号  $V_{in+}$  及び  $V_{in-}$  を積分あるいはフィルタリングした差動出力信号である  $V_{out+}$  (正相出力信号) 及び  $V_{out-}$  (逆相出力信号) が出力される。

【 0 0 1 2 】

抵抗 1 1 及び 1 2 の接続ノード及び抵抗 1 3 及び 1 4 の接続ノードに、F E T 2 1 及び 2 2 のゲート端子がそれぞれ接続される。F E T 2 1 のドレイン端子は反転増幅器 1 5 の

10

20

30

40

50

正相入力端子に接続され、F E T 2 2 のドレイン端子は反転増幅器 1 5 の逆相入力端子に接続される。F E T 2 1 及び 2 2 のソース端子は定電位点、この例ではグラウンドに接続される。

【 0 0 1 3 】

抵抗 1 1 及び 1 2 の接続ノード及び抵抗 1 3 及び 1 4 の接続ノード、すなわち F E T 2 1 及び 2 2 のゲート端子には、制御回路 2 3 の二つの制御出力端子がそれぞれ接続される。制御回路 2 3 は、可変時定数回路の外部から一つの制御入力端子に与えられる制御信号  $V_{cnt}$  に従って、F E T 2 1 及び 2 2 のゲートバイアス電圧を制御することにより、F E T 2 1 及び 2 2 の電圧 - 電流変換比 ( $g_m$ ) を制御する。本実施形態では、制御信号  $V_{cnt}$  は電圧信号であるので、以下制御電圧という。

10

【 0 0 1 4 】

反転増幅器 1 5 に関しては、制御電圧  $V_{cnt}$  の変化で F E T 2 1 及び 2 2 のゲート間にかかる差動信号電圧が変わらないように、外部から同相電圧を与える構成の回路構成が好ましい。本出願人が先に出願した特願 2 0 0 2 - 3 0 3 1 4 0 “平衡型増幅器及びこれを用いたフィルタ並びに電圧電流変換回路”には、低電圧動作を可能とし、外部から同相電圧を固定する平衡型増幅器の回路構成が開示されており、この平衡型増幅器を反転増幅器 1 5 として好適に利用できる。勿論、他の構成の反転増幅器も使用できる。

【 0 0 1 5 】

本実施形態に従う可変時定数回路では、制御電圧  $V_{cnt}$  に従って制御回路 2 3 により F E T 2 1 及び 2 2 のゲートバイアス電圧を変化させることで、キャパシタ 1 6 及び 1 7 から F E T 2 1 及び 2 2 のドレインに流れ込む電流を変化させる。これによって、キャパシタ 1 6 及び 1 7 の容量と共に時定数を決定する抵抗値を変化させ、時定数の可変を実現する。時定数の可変によって、可変時定数回路が積分器である場合は積分時定数が変化し、フィルタである場合は遮断周波数が変化する。

20

【 0 0 1 6 】

次に、本実施形態における時定数可変動作を詳細に説明する。

可変時定数回路の時定数は、信号入力端子 1 0 A 及び 1 0 B と反転増幅器 1 5 の正相入力端子及び逆相出力端子との間の抵抗値 ( $R$  とする) とキャパシタ 1 6 及び 1 7 の容量 ( $C$  とする) との積によって決定される。本実施形態では、制御電圧  $V_{cnt}$  に従って制御回路 2 3 が抵抗 1 1 及び 1 2 の接続ノード及び抵抗 1 3 及び 1 4 の接続ノードの動作点、すなわち F E T 2 1 及び 2 2 のゲートバイアス電圧を制御することによって、抵抗値  $R$  を変化させることができる。

30

【 0 0 1 7 】

すなわち、制御回路 2 3 は後述するようにボルテージフォロワによって構成されており、与えられる制御電圧  $V_{cnt}$  と同一の電圧を F E T 2 1 及び 2 2 のゲート端子に供給する。これにより制御電圧  $V_{cnt}$  に従って F E T 2 1 及び 2 2 の  $g_m$  が変化するため、キャパシタ 1 6 及び 1 7 に流れる電流が変化し、抵抗 1 2 及び 1 4 の抵抗値が見かけ上、変化する。

【 0 0 1 8 】

例えば、制御電圧  $V_{cnt}$  が大きくなれば、F E T 2 1 及び 2 2 の  $g_m$  が増加し、キャパシタ 1 6 及び 1 7 に流れる電流が減少するため、抵抗 1 2 及び 1 4 の抵抗値は見かけ上、大きくなる。これにより回路の時定数が変化する。数式で説明すると、F E T 2 1 及び 2 2 に流れ込むドレイン電流  $I_{d1}$  及び  $I_{d2}$  は、以下のように表される。

40

【 数 1 】

$$\begin{aligned} I_{d1} &= k'(V_{GS1} - V_{th})^2 = k'(v_1 - V_{CNT} - V_{th})^2 \\ I_{d2} &= k'(V_{GS2} - V_{th})^2 = k'(v_2 - V_{CNT} - V_{th})^2 \end{aligned} \quad (1)$$

【 0 0 1 9 】

ここで、 $k$  は伝達コンダクタンス・パラメータ、 $V_{GS1}$  及び  $V_{GS2}$  は F E T 2 1 及び 2

50

2のゲート-ソース間電圧、 $V_{th}$ は閾値電圧、 $v_1$ 及び $v_2$ はFET21及び22のゲート端子上での差動入力信号 $V_{in+}$ 及び $V_{in-}$ の変化分である。FET21及び22のゲート-ソース間電圧 $V_{GS1}$ 及び $V_{GS2}$ は、制御電圧 $V_{cnt}$ を中心として $v_1$ 及び $v_2$ の振幅で変化することになる。本実施形態に従う可変時定数回路は差動型構成となっているので、差動で見たときのFET21及び22の $g_m$ は、 $v_2 = -v_1$ から以下ようになる。

【数2】

$$g_m = 4k'(V_{CNT} - V_{th}) \quad (2)$$

【0020】

数式(2)より、制御電圧 $V_{cnt}$ に従って $g_m$ が変化することが分かる。このように本実施形態によれば、制御電圧 $V_{cnt}$ に従ってFET21及び22の $g_m$ を変化させることにより時定数が変化する可変時定数回路を実現できる。

10

【0021】

先に挙げた特許文献1(米国特許第4,710,726号明細書)の回路においては、FETのオン抵抗を可変抵抗として用い、FETのドレイン-ソースを信号源に直列に接続している。このため、低電源電圧下ではFETがオン状態になることができず、正常な動作が保証されないという問題がある。これに対し、本実施形態ではFET21及び22のゲート端子が抵抗11及び13をそれぞれ介して信号入力端子10A及び10Bに接続され、ソース端子が定電位点(例えば、グラウンド)に接続されている。従って、電源電圧が低くともFET21及び22はオン状態となり、可変時定数回路は正常に動作することができる。

20

【0022】

さらに、本実施形態に従う可変時定数回路は差動型構成となっているため、FET21及び22で発生する偶数次の歪のみならず、奇数次の歪もキャンセルされ、低歪特性が得られる。

【0023】

上述した実施形態では、差動型の可変時定数回路について述べたが、単相型の可変時定数回路にも同様に本発明を適用できる。単相型の可変時定数回路は、図1の上半分または下半分の構成で実現することが可能である。例えば、上半分の構成による可変時定数回路は、信号入力端子10A、抵抗11及び12、反転増幅器15、キャパシタ16、信号出力端子18A、FET21及び制御回路23のみで構成される。その場合、反転増幅器15は通常の1入力・1出力の構成でよい。制御回路23については、抵抗11及び12の接続ノードに接続されない方の端子を定電位点、例えばグラウンドに接続すればよい。

30

【0024】

(第2の実施形態)

図2に示されるように、本発明の第2の実施形態に従う可変時定数回路は、FET21及び22のドレイン端子の接続をクロスさせた点が図1に示した第1の実施形態に従う可変時定数回路と異なる。すなわち、本実施形態に従う可変時定数回路では、FET21のドレイン端子は反転増幅器15の逆相入力端子に接続され、FET22のドレイン端子は反転増幅器15の正相入力端子に接続される。

40

【0025】

本実施形態によると、第1の実施形態とは逆に差動入力信号 $V_{in+}$ 及び $V_{in-}$ の電圧及び制御電圧 $V_{cnt}$ の増加に対して、キャパシタ16及び17に流れる電流が増加し、信号入力端子10A及び10Bと反転増幅器15の正相入力端子及び逆相出力端子との間の抵抗値 $R$ は減少する。従って、本実施形態によっても制御電圧 $V_{cnt}$ によりFET21及び22の $g_m$ を変化させて回路の時定数を可変することができる。

【0026】

(制御回路23について)

次に、制御回路23について具体的に説明する。図3に、制御回路23の概略構成を示す。図3の制御回路23は、第1の正相入力端子と第1の逆相入力端子を有する第1の差

50

動入力端子対、第2の正相入力端子と第2の逆相入力端子を有する第2の差動入力端子対、そして第1及び第2の正相出力端子を有する差動増幅器30によって構成される。

【0027】

第1及び第2の正相入力端子は、制御電圧 $V_{cnt}$ 信号が入力される制御入力端子31に共通に接続される。第1の正相出力端子は、第1の逆相入力端子に接続されると共に、第1の制御出力端子32を介して図1中の抵抗11及び12の接続ノード及びFET21のゲート端子に接続される。第2の正相出力端子は、第2の逆相入力端子に接続されると共に、第2の制御出力端子33を介して図1中の抵抗13及び14の接続ノード及びFET22のゲート端子に接続される。

【0028】

この制御回路23は、同相で見ると制御電圧 $V_{cnt}$ が増幅器30の2つの正相出力端子に出力されるボルテージフォロワの構成となっている。従って、出力インピーダンスは低いので、増幅器30の利得が十分に高ければ制御出力端子32及び33側を見るとオープン状態となる。差動で見ると、制御電圧 $V_{cnt}$ はそのままFET21及び22のゲート端子間に印加される。

【0029】

図4は、図3の差動増幅器30をさらに詳しく示している。図4の回路では、差動入力端子対及び正相出力端子対をそれぞれ有する二つの差動増幅器41及び42の各々の正相出力端子対を相互に接続している。すなわち、図4の制御回路23は第1の正相入力端子と第1の逆相入力端子と第1及び第2の正相出力端子を有する第1の差動増幅器41と、第2の正相入力端子と第2の逆相入力端子と第3及び第4の正相出力端子を有する第2の差動増幅器42からなる。

【0030】

第1及び第2の正相入力端子は、制御入力端子31に共通に接続される。第1及び第3の正相出力端子は、第1の逆相入力端子に接続されると共に、第1の制御出力端子32を介して図1中の抵抗11及び12の接続ノードに接続される。第2及び第4の正相出力端子は、第2の逆相入力端子に接続されると共に、第2の制御出力端子33を介して図1中の抵抗13及び14の接続ノードに接続される。

【0031】

図5には、図4に示した二つの差動増幅器41及び42の一つの具体的な回路例を示す。図5の回路は、ソース接地トランジスタが電流源で折り返された構成を有する。すなわち、トランジスタM1、M2及びM3はソース接地トランジスタであり、トランジスタM1のゲート端子は正相入力端子 $In+$ となり、トランジスタM2及びM3のゲート端子は共通に接続されて逆相入力端子 $In-$ となる。トランジスタM4、M5及びM6は、カレントミラー回路を形成する。

【0032】

トランジスタM1のドレイン端子は、カレントミラー回路の電流入力端であるトランジスタM4のゲート端子とドレイン端子に接続される。トランジスタM2及びM3のドレイン端子は、カレントミラー回路の電流出力端であるトランジスタM5及びM6のドレイン端子にそれぞれ接続される。トランジスタM2及びM3のドレイン端子は、それぞれ正相出力端子 $Out1+$ 及び $Out2+$ となる。

【0033】

図6に、図5の差動増幅器を用いて図4に示す制御回路23を実現した回路例を示す。図4に示す制御回路23では、二つの差動増幅器41及び42の正相入力端子は制御入力端子31に共通に接続されているので、図6に示すように正相入力側の回路を共通にして簡単化することができる。図6において、トランジスタM11は図5のトランジスタM1に対応し、トランジスタM14は図5のトランジスタM4に対応する。図4の二つの差動増幅器41及び42の共通の正相入力端子が制御入力端子31に接続されるため、トランジスタM11及びM14は二つの差動増幅器41及び42で共通に用いられる。

【0034】

10

20

30

40

50

図6において、トランジスタM12及びM22は図5のトランジスタM2に対応し、トランジスタM13及びM23は図5のトランジスタM3に対応し、トランジスタM15及びM25は図5のトランジスタM5に対応し、トランジスタM16及びM26は図5のトランジスタM6に対応している。これらのトランジスタM12, M13, M15及びM16及びM22, M23, M25及びM26は、二つの差動増幅器41及び42でそれぞれ個別に設けられる。

#### 【0035】

(第3の実施形態)

図7に示されるように、本発明の第3の実施形態では図1に示した第1の実施形態に従う可変時定数回路に対して動作点設定回路24が追加されている。動作点設定回路24は、可変時定数回路の外部から与えられる動作点設定信号Vcomに従って、反転増幅器15の正相入力端子及び逆相入力端子の動作点を設定する。低電圧電源下での動作を考えた場合、十分な信号振幅を確保するために、反転増幅器15には例えば図8に示されるようなソース接地増幅器を用いることが望ましい。動作点設定回路24は、このように反転増幅器15がソース接地増幅器により実現される場合に、特に有用である。

#### 【0036】

図8を参照すると、正相入力端子in+にMOSトランジスタM31のゲート端子が接続され、逆相入力端子in-にMOSトランジスタM32のゲート端子が接続される。トランジスタM31及びM32のソース端子は、グラウンドGNDに接続される。トランジスタM31及びM32のドレイン端子は、負荷である電流源CS31及びCS32の一端にそれぞれ接続される。電流源CS31及びCS32の他端は、電源Vddに接続される。トランジスタM31のドレイン端子は逆相出力端子out-に接続され、トランジスタM32のドレイン端子は正相出力端子out+に接続される。

#### 【0037】

ソース接地のトランジスタM31, M32を飽和領域で安定に動作させるために、入力端子in+, in-の動作点の変動したときは、その変動に応じて電流源CS31及びCS32の電流、すなわちトランジスタM31及びM32のバイアス電流を変える必要がある。トランジスタM31及びM32のバイアス電流は、トランジスタM31及びM32のゲート端子に与えられるバイアス電圧biasによって決定される。具体的には、入力端子in+及びin-の動作点が上がるとバイアス電流を増やすことになり、消費電力が大きくなってしまふ。逆に、入力端子in+及びin-の動作点が下がるとバイアス電流を減らすことになる。バイアス電流が減ると、電圧-電流変換比(gm)も減少するため、周波数帯域が狭くなってしまふ。このような動作点の変動による問題点を解決するために、本実施形態によると動作点設定回路24が入力端子in+及びin-に接続される。

#### 【0038】

動作点設定回路24は、動作点設定信号Vcomに従って図8の入力端子in+及びin-の動作点を一定の値に設定する。動作点設定回路24は、制御回路23と同様に例えば図3及び図4に示したように構成される。その場合、図3または図4中の制御入力端子31に動作点設定信号Vcomが入力され、図3または図4中の制御出力端子32及び33は図8中の入力端子in+, in-に接続される。図2に示した第2の実施形態に従う可変時定数回路に同様の動作点設定回路を追加してもよい。

#### 【0039】

(第3の実施形態)

図9に、第1の実施形態で説明した可変時定数回路を2次のバイカッドフィルタに適用した実施形態を示す。このフィルタ回路では、二つの可変時定数回路51及び52が縦続接続されている。1段目の可変時定数回路51には、図1中のキャパシタ16及び17に相当するキャパシタに並列に接続された抵抗53及び54が追加されている。2段目の可変時定数回路52の出力から、抵抗55及び56によって1段目51の可変時定数回路51に帰還が施されている。信号入力端子50A及び50Bに入力された差動入力信号は、可変時定数回路51及び52を通過して信号出力端子58A及び58Bから出力される。



## 【 0 0 4 0 】

このような2次のバイカッドフィルタに代表される高次のフィルタ回路において、可変時定数回路51及び52の時定数を各々の制御回路23Aおよび23Bに与えられる制御電圧Vcnt1及びVcnt2によって変化させることにより、遮断周波数の可変ができる。第2の実施形態で説明した可変時定数回路を用いて、同様のフィルタ回路を実現することもできる。本実施形態では、バイカッドフィルタを例に示したが、他の種々のアクティブフィルタにも先に説明した可変時定数回路を適用することが可能である。

## 【 図面の簡単な説明 】

## 【 0 0 4 1 】

【 図 1 】 本発明の第1の実施形態に従う可変時定数回路の回路図

10

【 図 2 】 本発明の第2の実施形態に従う可変時定数回路の回路図

【 図 3 】 図1及び図2中の制御回路の概略構成を示すブロック図

【 図 4 】 図3の制御回路をより詳しく示すブロック図

【 図 5 】 図4の制御回路に含まれる一つの差動増幅器の具体的な例を示す回路図

【 図 6 】 図5の差動増幅器を用いて図4の制御回路を実現した具体的な回路図

【 図 7 】 本発明の第3の実施形態に従う可変時定数回路の回路図

【 図 8 】 図7中の反転増幅器の具体的な例を示す回路図

【 図 9 】 本発明の第4の実施形態に従うフィルタ回路の回路図

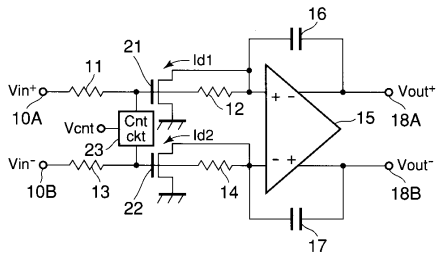
## 【 符号の説明 】

## 【 0 0 4 2 】

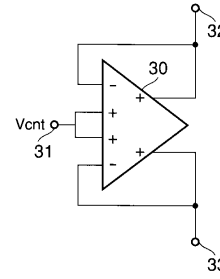
20

10A, 10B ... 第1及び第2の信号入力端子、11~14 ... 第1乃至第4の抵抗、15 ... 反転増幅器、16, 17 ... 第1及び第2のキャパシタ、18A, 18B ... 第1及び第2の信号出力端子、21, 22 ... 第1及び第2の電界効果トランジスタ、23 ... 制御回路、24 ... 動作点設定回路、31 ... 制御入力端子、32, 33 ... 第1及び第2の制御出力端子、50A, 50B ... 第1及び第2の信号入力端子、51, 52 ... 可変時定数回路、58A, 58B ... 第1及び第2の信号出力端子。

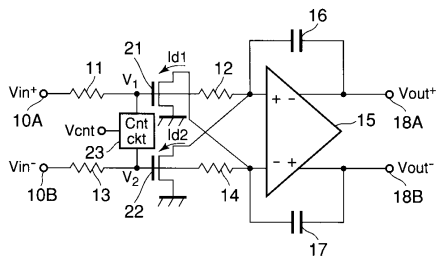
【 図 1 】



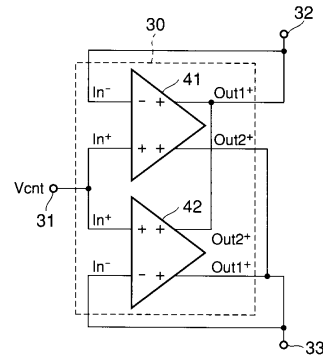
【 図 3 】



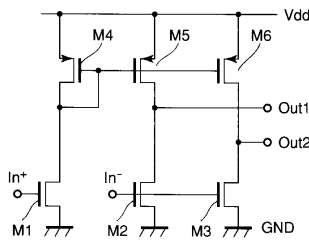
【 図 2 】



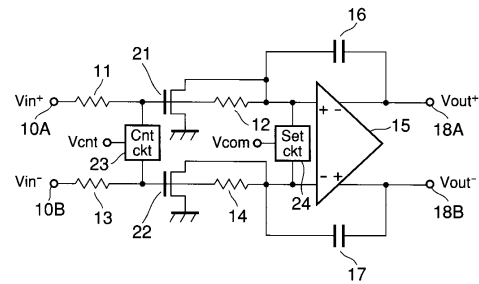
【 図 4 】



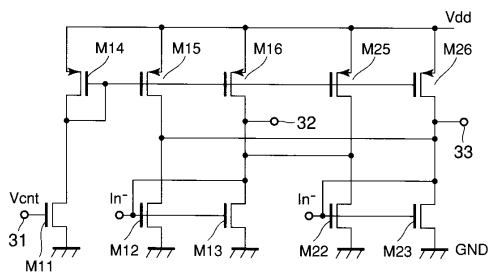
【 図 5 】



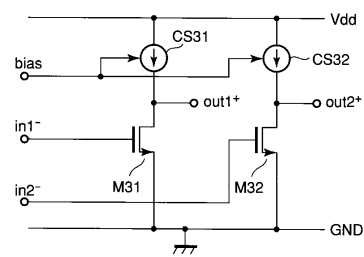
【 図 7 】



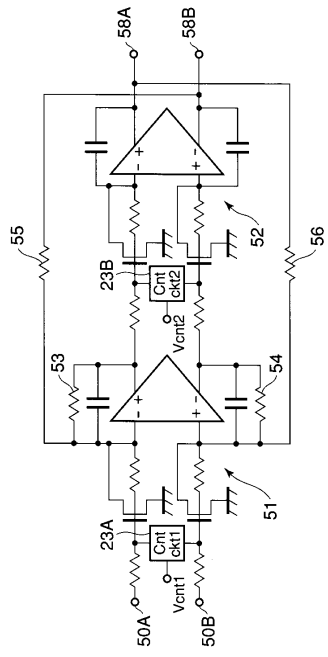
【 図 6 】



【 図 8 】



【 図 9 】



---

フロントページの続き

- (72)発明者 黒瀬 大介  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 板倉 哲朗  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 伊藤 類  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 崎間 伸洋

- (56)参考文献 特開昭63-136708(JP,A)  
米国特許第05880634(US,A)  
米国特許第04780690(US,A)  
特開昭63-136707(JP,A)  
特開平02-145009(JP,A)  
特表2000-508868(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03H11/00-11/54、H03F3/45