(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월23일
(11) 등록번호 10-1699165
(24) 등록일자 2017년01월17일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 23/48* (2006.01)
(52) CPC특허분류
H01L 21/76897 (2013.01)
H01L 21/76877 (2013.01)
(21) 출원번호 10-2015-0089013
(22) 출원일자 2015년06월23일
심사청구일자 2015년06월23일
(65) 공개번호 10-2016-0089842
(43) 공개일자 2016년07월28일
(30) 우선권주장
14/600,695 2015년01월20일 미국(US)
(56) 선행기술조사문헌
KR1020130124428 A*
KR1020130122894 A*
KR1020080070995 A
KR1020140014798 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
(72) 발명자
린 웨이 쳉
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호
영 찰스 추 옌
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

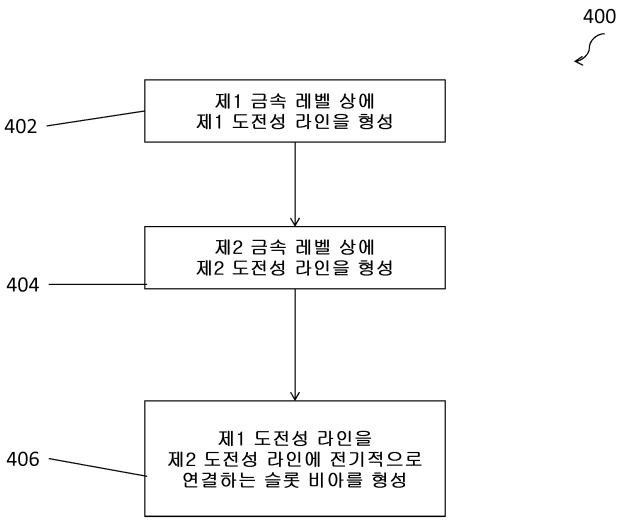
전체 청구항 수 : 총 8 항 심사관 : 김종희

(54) 발명의 명칭 **슬롯 비아를 갖는 집적 회로 및 그 형성 방법**

(57) 요 약

집적 회로는 집적 회로의 제1 금속 레벨 상의 제1 도전성 라인을 포함한다. 집적 회로는 집적 회로의 제2 금속 레벨 상의 제2 도전성 라인을 더 포함한다. 집적 회로는 제1 도전성 라인을 제2 도전성 라인과 전기적으로 연결하는 슬롯 비아를 더 포함한다. 슬롯 비아는 제1 도전성 라인과 그리고 제2 도전성 라인과 중첩한다. 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나의 도전성 라인의 외면(periphery) 너머까지 연장된다.

대 표 도 - 도4



(52) CPC특허분류
H01L 23/481 (2013.01)
H01L 2223/6616 (2013.01)
H01L 2224/05093 (2013.01)
(72) 발명자
징 지안 팅
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호
나라야나세티 프라네스
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호

명 세 서

청구범위

청구항 1

기판 상의 집적 회로에 있어서,

상기 집적 회로의 제1 금속 레벨 상의 제1 도전성 라인으로서, 상기 제1 도전성 라인은 상기 기판의 상면과 평행한 제1 방향으로 연장하는 것인, 상기 제1 도전성 라인;

상기 제1 금속 레벨 위의 상기 집적 회로의 제2 금속 레벨 상의 제2 도전성 라인으로서, 상기 제2 도전성 라인은 상기 기판의 상기 상면과 평행한 제2 방향으로 연장하고, 상기 제2 방향은 상기 제1 방향과 수직인 것인, 상기 제2 도전성 라인; 및

상기 제1 도전성 라인을 상기 제2 도전성 라인과 전기적으로 연결하는 슬롯 비아

를 포함하며,

상기 슬롯 비아는 제1 방향의 길이 및 제2 방향의 폭을 가지며, 상기 길이는 상기 폭보다 크고, 상기 슬롯 비아는 상기 제1 도전성 라인과 그리고 상기 제2 도전성 라인과 중첩하고, 상기 슬롯 비아는 상기 제2 도전성 라인의 외면(periphery) 너머까지 연장하고, 상기 제1 방향의 상기 슬롯 비아의 상기 길이의 전체가 상기 제1 도전성 라인과 접하는(interface) 것인, 집적 회로.

청구항 2

제1항에 있어서,

상기 슬롯 비아의 전체 폭은 상기 제2 도전성 라인과 중첩하는 것인, 집적 회로.

청구항 3

제1항에 있어서,

상기 제1 도전성 라인의 측벽은 상기 제2 도전성 라인과 상기 기판의 상기 상면의 사이에 배치되는 것인, 집적 회로.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 집적 회로의 상기 제2 금속 레벨 상의 제3 도전성 라인을 더 포함하며, 상기 제3 도전성 라인은 상기 제2 방향으로 연장하는 길이와 상기 제1 방향으로 연장하는 폭을 갖고, 상기 제3 도전성 라인의 상기 폭은 상기 제3 도전성 라인의 상기 길이보다 작고, 다른 슬롯 비아가 상기 제3 도전성 라인의 상기 폭의 전체와 중첩(overlap)하도록, 그리고 상기 다른 슬롯 비아가 제1 측벽 및 제2 측벽 상의 상기 제3 도전성 라인의 외면(periphery) 너머까지 연장하도록 상기 다른 슬롯 비아가 상기 제3 도전성 라인과 중첩하며, 상기 제3 도전성 라인의 상기 폭은 상기 제1 및 제2 측벽들의 사이로 규정되는 것인, 집적 회로.

청구항 7

제1항에 있어서,

상기 슬롯 비아의 길이는, 상기 슬롯 비아와 상기 제1 도전성 라인 사이의 중첩 영역의 길이와 상기 슬롯 비아와 상기 제2 도전성 라인 사이의 중첩 영역의 길이의 합보다 더 큰 것인, 집적 회로.

청구항 8

제1항에 있어서,

상기 집적 회로의 상기 기판 내의 도핑된 영역을 더 포함하며, 상기 제1 도전성 라인은 상기 도핑된 영역과 접하고(interface), 상기 제2 도전성 라인은 상기 슬롯 비아를 통해 상기 도핑된 영역에 전기적으로 연결되는 것인, 집적 회로.

청구항 9

집적 회로에 있어서,

기판 내의 제1 도핑된 영역;

상기 기판의 상면 위의 제1 도전성 라인 - 상기 제1 도전성 라인은 제1 방향으로 연장하는 제1 길이 및 제2 방향으로 연장하는 제1 폭을 가지고, 상기 제1 길이는 상기 제1 폭보다 크고, 상기 제1 길이 및 상기 제1 폭의 각각은 상기 기판의 상기 상면과 평행함 - ;

상기 제1 도전성 라인 위의 제2 도전성 라인 - 상기 제2 도전성 라인은 제2 길이 및 제2 폭을 가지고, 상기 제2 폭은 상기 제2 길이보다 작고, 상기 제2 폭 및 상기 제2 길이의 각각은 상기 기판의 상면과 평행함 - ; 및

상기 제1 및 제2 도전성 라인과 접하고(interface), 상기 제1 도전성 라인을 상기 제2 도전성 라인에 전기적으로 연결하는 슬롯 비아

를 포함하며, 상기 슬롯 비아는 각각 상기 기판의 상기 상면과 평행한 제3 길이 및 제3 폭을 가지고, 상기 제3 길이는 상기 제3 폭보다 크며, 상기 슬롯 비아의 제1 부분은 상기 제1 도전성 라인과 직접 접촉하고, 상기 슬롯 비아의 제2 부분은 상기 제2 도전성 라인과 직접 접촉하며, 상기 제1 부분의 길이와 상기 제2 부분의 길이의 합이 상기 슬롯 비아의 상기 제3 길이보다 작도록 상기 슬롯 비아는 상기 제1 도전성 라인 또는 상기 제2 도전성 라인 중 적어도 하나의 도전성 라인의 외면 너머까지 연장되는 것인, 집적 회로.

청구항 10

집적 회로를 제조하는 방법에 있어서,

상기 집적 회로의 제1 금속 레벨 상에 제1 도전성 라인을 형성하는 단계;

상기 제1 도전성 라인 위의 상기 집적 회로의 제2 금속 레벨 상에 제2 도전성 라인을 형성하는 단계; 및

상기 제1 도전성 라인을 상기 제2 도전성 라인에 전기적으로 연결하기 위해 슬롯 비아를 형성하는 단계

를 포함하며,

상기 슬롯 비아의 형성은 제1 방향의 폭과 제2 방향의 길이를 가지는 비아를 형성하는 것을 포함하고, 상기 길이는 상기 폭보다 크고, 상기 제1 및 제2 방향의 각각은 상기 제1 도전성 라인의 상면과 동일 평면 상(coplanar)에 있고, 상기 슬롯 비아의 제1 부분은 상기 제2 도전성 라인과 중첩하고, 상기 슬롯 비아는 상기 제2 도전성 라인의 외면 너머까지 연장되고, 상기 슬롯 비아의 길이의 전체는 상기 제1 도전성 라인과 중첩하는 것인, 집적 회로를 제조하는 방법.

발명의 설명

배 경 기 술

[0001] 집적 회로는 상호접속 구조물에 의해 함께 전기적으로 연결되는 복수의 반도체 디바이스들을 포함한다. 상호접속 구조물은 집적 회로의 기판의 상부면과 평행한 방향으로 반도체 디바이스들 간의 라우팅을 제공하는 도전성 라인들을 포함한다. 도전성 라인들은 도전성 비아들에 의하여 함께 전기적으로 연결된다. 도전성 비아들은 도전성 비아들 위에 도전성 라인들에 연결된 전체 상부면을 갖도록, 즉, 기판으로부터 멀게, 그리고 도전성 비아 아래에 도전성 라인에 연결된 하부면을 갖도록, 즉, 기판에 가깝게 형성된다.

[0002] 상호접속 구조물의 도전성 라인들 및 도전성 비아들을 관통하는 전류는 상호접속 구조물 내에 캐패시턴스를 도입한다. 몇몇 예시들에서, 이러한 캐패시턴스는 기생 캐패시턴스로 불리는, 상호접속 구조물 내를 라우팅하는 도전성 비아 및 도전성 라인의 의도치 않은 결과이다. 기생 캐패시턴스는 집적 회로의 퍼포먼스에 영향을 미치고, 집적 회로의 퍼포먼스 특징을 결정하기 위하여 컴퓨터-모델링 프로그램들을 사용하여 집적 회로를 형성하기 이전에 시뮬레이팅된다.

[0003] 도전성 비아들은 집적 회로 내의 단락의 위험성을 감소시키기 위하여 서로로부터 이격된다. 도전성 비아의 저항은 도전성 비아의 사이즈에 부분적으로 기반하여 결정된다. 더 작은 도전성 비아는 더 큰 도전성 비아보다 더 높은 저항을 갖는다. 집적 회로들에 대한 노드 사이즈들이 감소함에 따라, 도전성 비아들의 사이즈들은 단락의 위험성을 감소시키기 위해 비아들 간의 충분한 이격을 유지시키도록 또한 감소한다. 집적 회로 내의 저항이 증가함에 따라, 집적 회로의 전력 소모는 또한 증가한다.

[0004] 본 개시물의 양상들은 첨부 도면들과 함께 판독될 때, 하기의 상세한 설명으로부터 가장 잘 이해된다. 산업 분야의 표준 관행에 따라, 다양한 피쳐들은 축적에 따라 도시되지는 않는다는 것에 유념한다. 사실 상, 다양한 피쳐들의 치수들은 논의의 명료성을 위하여 임의적으로 증가되거나 감소될 수 있다.

발명의 내용

[0005] 이 설명의 일 양상은 집적 회로에 관련된다. 집적 회로는 집적 회로의 제1 금속 레벨 상의 제1 도전성 라인을 포함한다. 집적 회로는 집적 회로의 제2 금속 레벨 상의 제2 도전성 라인을 더 포함한다. 집적 회로는 제1 도전성 라인을 제2 도전성 라인과 전기적으로 연결하는 슬롯 비아를 더 포함한다. 슬롯 비아는 제1 도전성 라인과 그리고 제2 도전성 라인과 중첩한다. 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나의 도전성 라인의 외면(periphery) 너머까지 연장된다.

[0006] 이 설명의 다른 양상은 집적 회로에 관련된다. 집적 회로는 기판 내의 제1 도핑된 영역을 포함한다. 집적 회로는 제1 도전성 라인을 더 포함하며, 제1 도전성 라인의 하부면은 제1 거리만큼 기판으로부터 이격된다. 집적 회로는 제2 도전성 라인을 더 포함하며, 제2 도전성 라인의 하부면은 제2 거리만큼 기판으로부터 이격된다. 집적 회로는 제1 도전성 라인을 제2 도전성 라인에 전기적으로 연결하는 슬롯 비아를 더 포함한다. 슬롯 비아의 제1 부분은 제1 도전성 라인과 직접 접촉한다. 슬롯 비아의 제2 부분은 제2 도전성 라인과 직접 접촉한다. 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나 도전성 라인의 외면 너머까지 연장된다.

[0007] 이 설명의 또 다른 양상은 집적 회로를 제조하는 방법에 관련된다. 방법은 집적 회로의 제1 금속 레벨 상에 제1 도전성 라인을 형성하는 단계를 포함한다. 방법은 집적 회로의 제2 금속 레벨 상에 제2 도전성 라인을 형성하는 단계를 더 포함한다. 방법은 제1 도전성 라인을 제2 도전성 라인에 전기적으로 연결하기 위해 슬롯 비아를 형성하는 단계를 더 포함한다. 슬롯 비아의 제1 부분은 제1 도전성 라인과 중첩하고, 슬롯 비아의 제2 부분은 제2 도전성 라인과 중첩한다. 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나의 도전성 라인의 외면 너머까지 연장된다.

도면의 간단한 설명

[0008] 도 1a는 몇몇 실시예들에 따른 집적 회로의 상면도이다.

도 1b는 몇몇 실시예들에 따른 집적 회로의 연결 영역의 단면도이다.

도 1c는 몇몇 실시예들에 따른 집적 회로의 연결 영역의 단면도이다.

도 2a는 몇몇 실시예들에 따른 집적 회로의 상면도이다.

도 2b는 몇몇 실시예들에 따른 집적 회로의 연결 영역의 단면도이다.

도 2c는 몇몇 실시예들에 따른 집적 회로의 연결 영역의 단면도이다.

도 3a는 몇몇 실시예들에 따른 집적 회로의 상면도이다.

도 3b는 몇몇 실시예들에 따른 집적 회로의 연결 영역의 단면도이다.

도 4는 몇몇 실시예들에 따른 집적 회로를 제조하는 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 하기의 개시내용은 제공된 주제의 상이한 피처들을 구현하기 위한 복수의 상이한 실시예들 또는 예시들을 제공한다. 컴포넌트들 및 배열들의 특정 예시들은 하기에서 본 개시내용을 간략화하기 위하여 설명된다. 물론, 이들은 단지 예씨들이며, 제한하는 것으로 의도되지 않는다. 예를 들어, 뒤따르는 설명에서 제2 피쳐 위의 또는 제2 피쳐 상의 제1 피쳐의 형성은 제1 피쳐 및 제2 피쳐가 직접 접촉하여 형성되는 실시예들을 포함할 수 있으며, 제1 피쳐 및 제2 피쳐가 직접 접촉하지 않을 수 있도록 제1 피쳐와 제2 피쳐 사이에 부가적인 피쳐들이 형성될 수 있는 실시예들을 또한 포함할 수 있다. 또한, 본 개시내용은 다양한 예시들에서 참조 번호들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 명료성 및 명확성을 목적으로 하며, 그 자체로 논의된 다양한 실시예들 및/또는 구성들 간의 관계를 지시하는 것이 아니다.

[0010] 뿐만 아니라, 공간적으로 상대적인 용어들, 예컨대 "밑", "아래", "하부", "위", "상부" 등은 본 명세서에서 도면들에 예시된 바와 같이 하나의 엘리먼트 또는 피쳐의 다른 엘리먼트(들) 또는 피쳐(들)에 대한 관계를 설명하기 위하여 설명의 용이성을 위해 사용될 수 있다. 공간적으로 상대적인 용어들은 도면들에 도시된 배향 이외에 사용 시 또는 동작 시 디바이스의 상이한 배향들을 포함하도록 의도된다. 장치는 다르게 배향(90도 회전 또는 다른 배향으로 회전)될 수 있으며, 따라서 본 명세서에서 사용되는 공간적으로 상대적인 기술자들은 유사하게 해석될 수 있다.

[0011] 도 1a는 몇몇 실시예들에 따른 집적 회로(100)의 상면도이다. 집적 회로(100)는 연결 영역(110)을 포함한다. 연결 영역(110)은 집적 회로의 기판(도 1b의 150)의 상부면과 평행한 방향으로 집적 회로(100) 내의 디바이스들 간의 라우팅을 제공하도록 구성된 제1 도전성 라인(112)을 포함한다. 제1 슬롯 비아(114)는 제1 도전성 라인(112)에 전기적으로 연결된다. 슬롯 비아(114)의 상부면은 제1 도전성 라인(112)의 하부면에 전기적으로 연결된다. 제1 슬롯 비아(114)는 기판(도 1b의 150)의 상부면에 평행한 길이(L1)를 갖는다. 제1 슬롯 비아(114)는 상부 평면도로 보았을 때 제1 도전성 라인(112)의 외면 너머까지 연장된다. 중첩 영역(R1)은 제1 도전성 라인(112)과 인터페이싱하는 제1 슬롯 비아(114)의 일부분이다. 적어도 몇몇 실시예들에서, R1은 길이(L1)의 길이 부분이다. 제1 슬롯 비아(114)는 집적 회로(100)의 기판(도 1b의 150)의 상부면에 직각인 방향으로 전기적 라우팅을 제공하도록 구성된다. 연결 영역(110)은 제1 슬롯 비아(114)에 전기적으로 연결된 제2 도전성 라인(116)을 더 포함한다. 제2 도전성 라인(116)은 집적 회로(100)의 상부면에 평행한 방향으로 전기적 라우팅을 제공하도록 구성된다. 도전성 라인(116)의 상부면은 제1 슬롯 비아(114)의 하부면에 전기적으로 연결된다. 제2 도전성 라인(116)은 제1 도전성 라인(112) 아래로 연장된다. 제1 슬롯 비아(114)의 길이(L1) 전체는 제2 도전성 라인(116)과 인터페이싱한다. 제2 도전성 라인(116)은 도핑된 영역(118)에 전기적으로 연결된다. 도핑된 영역(118)은 집적 회로(100)의 기판(도 1b의 150) 내에 있다. 제1 도전성 라인(112)은 제1 슬롯 비아(114) 및 제2 도전성 라인(116)을 통해 도핑된 영역(128)에 전기적으로 연결된다.

[0012] 집적 회로(100)는 제2 연결 영역(120)을 포함한다. 제2 연결 영역(120)은 집적 회로(100)의 기판(도 1c의 150)의 상부면과 평행한 방향으로 전기적 라우팅을 제공하도록 구성된 제3 도전성 라인(122)을 포함한다. 제2 슬롯 비아(124)는 제3 도전성 라인(122)에 전기적으로 연결된다. 제2 슬롯 비아(124)의 상부면은 제3 도전성 라인(122)의 하부면에 전기적으로 연결된다. 제2 슬롯 비아(124)는 기판(도 1c의 150)의 상부면과 평행한 길이(L2)를 갖는다. 제2 슬롯 비아(124)는 제3 도전성 라인(122)의 외면 너머까지 연장된다. 중첩 영역(R2)은 제3 도전성 라인(122)과 인터페이싱하는 제2 슬롯 비아(124)의 일부분이다. 제2 슬롯 비아(124)는 집적 회로(100)의 기판(도 1c의 150)의 상부면에 수직한 방향으로 전기적 라우팅을 제공하도록 구성된다. 연결 영역(120)은 제2 슬롯 비아(124)에 전기적으로 연결되는 제4 도전성 라인(126)을 더 포함한다. 제4 도전성 라인(126)은 집적 회로(100)의 상부면에 평행한 방향으로 전기적 라우팅을 제공하도록 구성된다. 제4 도전성 라인(126)의 상부면은 제2 슬롯 비아(124)의 하부면에 전기적으로 연결된다. 제4 도전성 라인(126)은 제3 도전성 라인(122) 아래로 연장된다. 제2 슬롯 비아(124)의 길이(L2) 전체는 제4 도전성 라인(126)과 인터페이싱한다. 제4 도전성 라인(126)은 도핑된 영역(118)에 그리고 도핑된 영역(128)에 전기적으로 연결된다. 도핑된 영역(128)은 집적 회로(100)의 기판(도 1c의 150) 내에 있다. 도핑된 영역(128)은 도핑된 영역(118)으로부터 분리된다. 제3 도전성 라인(122)은 제2 슬롯 비아(124) 및 제4 도전성 라인(126)을 통해 도핑된 영역(118) 및 도핑된 영역(128)에 전기적으로 연결된다.

[0013] 집적 회로들의 노드들의 사이즈가 감소함에 따라, 집적 회로들 내의 비아들의 전기 저항의 효과는 증가한다. 비아의 전기 저항은 비아의 사이즈에 기반하여 결정되어, 노드 사이즈의 감소는 더 작은 비아를 초래하고, 그에 의해 비아의 저항을 증가시킨다. 제1 슬롯 비아(114)는 비아의 전체 길이를 따르는 제1 도전성 라인과 인터페이싱하는 다른 비아에 비하여, 제1 도전성 라인(112)으로부터 제2 도전성 라인(116)까지 흐르는 전기 저항 대 전류를 감소시키도록 돕는다. 몇몇 실시예들에서, 제1 슬롯 비아(114)의 전기 저항은 비아의 전체 길이를 따르

는 도전성 라인들 모두와 인터페이싱하는 비아들에 비해 감소된다. 제2 슬롯 비아(124)는 비아의 전체 길이를 따르는 제3 도전성 라인과 인터페이싱하는 다른 비아에 비하여, 제3 도전성 라인(122)으로부터 제4 도전성 라인(126)까지 흐르는 전기 저항 대 전류를 감소시키도록 돕는다. 몇몇 실시예들에서, 제2 슬롯 비아(124)의 전기 저항은 비아의 전체 길이를 따르는 도전성 라인들 모두와 인터페이싱하는 비아들에 비해 감소된다. 제1 슬롯 비아(114) 및 제2 슬롯 비아(124)에 의하여 제공되는 감소된 저항은 집적 회로(100)의 속도를 증가시키도록 돕는다. 또한, 감소된 저항은 집적 회로(100)에서의 전력 소모를 감소시킨다.

[0014] 제1 도전성 라인(112)은 집적 회로(100)의 상이한 부분들을 전기적으로 연결하는 상호접속 구조물의 일부분이다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 구리, 알루미늄, 텅스텐, 이들의 합금들 또는 다른 적절한 금속성 재료들과 같은 금속성 재료를 포함한다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다. 제1 도전성 라인(112)은 제2 도전성 라인(116)에 직각인 방향으로 연장된다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 제1 방향으로 연장되는 제1 부분 및 제1 방향과 상이한 제2 방향으로 연장되는 제2 부분을 포함한다.

[0015] 제1 도전성 라인(112)은 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구들은 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 개구는 화학 기상 증착(CVD), 물리 기상 증착(PVD), 스퍼터링, 원자 층 증착(ALD) 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0016] 집적 회로(100)의 제1 도전성 라인(112)은 제1 금속 레벨(M1)에 있다. 제1 금속 레벨은 콘택 레벨 위의 기판(도 1b의 150)의 상부면과 평행한 방향의 제1 라우팅 층이다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 제1 금속 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다. 몇몇 실시예들에서, 제1 도전성 라인(112)은 VDD, VSS와 같은 파워 서플라이에 연결된다.

[0017] 제1 슬롯 비아(114)는 제1 도전성 라인(112)을 제2 도전성 라인(116)에 전기적으로 연결한다. 제1 슬롯 비아(114)는 도전성 재료이다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료를 포함한다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다.

[0018] 제1 슬롯 비아(114)는 집적 회로(100)의 기판(도 1b의 150)의 상부면에 평행한 방향으로 제1 도전성 라인(112)의 외면 너머까지 연장된다. 중첩 영역(R1)은 제1 도전성 라인(112)과 인터페이싱하는 제1 슬롯 비아(114)의 일부분이다. 중첩 영역(R1)의 길이는 제1 슬롯 비아(114)의 길이(L1)보다 작다. 몇몇 실시예들에서, 중첩 영역(R1)의 길이 대 길이(L1)의 비는 약 0.2 내지 약 0.8의 범위이다. 몇몇 실시예들에서, 중첩 영역(R1)의 길이 대 길이(L1)의 비는 약 0.1 내지 약 0.2의 범위이다. 몇몇 실시예들에서, 중첩 영역(R1)의 길이 대 길이(L1)의 비는 약 0.8 내지 약 0.9의 범위이다.

[0019] 제1 슬롯 비아(114)는 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구는 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 동일한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)을 형성하기 위하여 사용된 것과 상이한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 동시에 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 순차적으로 형성된다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)을 형성하는데 사용된 것과 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 동시에 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제1 도전성 라인(112)에 대한 개구와 순차적으로 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0020] 몇몇 실시예들에서, 집적 회로(100) 내에 하나의 콘택 레벨이 존재한다. 몇몇 실시예들에서, 집적 회로(100) 내에 적어도 2개의 콘택 레벨들이 존재한다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 집적 회로(100)의 제1 콘택 레벨에 있다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 집적 회로(100)의 제2 콘택 레벨에 있다. 제1

슬롯 비아(114)는 집적 회로(100)의 콘택 레벨에 있다 . 몇몇 실시예들에서, 집적 회로의 콘택 레벨은 금속 제로(M0) 레벨로 불린다. 콘택 레벨은 제1 금속 레벨보다 집적 회로(100)의 기판(도 1b의 150)에 더 가깝다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 콘택 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다.

[0021] 몇몇 실시예들에서, 제1 슬롯 비아(114)는 제1 도전성 라인(112)과 직접 접촉한다. 몇몇 실시예들에서, 제1 슬롯 비아(114)는 제2 도전성 라인(116)과 직접 접촉한다.

[0022] 제2 도전성 라인(116)은 도핑된 영역(118)을 집적 회로(100)의 다른 부분들에 전기적으로 연결하는 상호접속 구조물의 일부분이다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료들을 포함한다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다. 제2 도전성 라인(116)은 제1 도전성 라인(112)에 직각인 방향으로 연장된다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 제1 방향으로 연장되는 제1 부분 및 제1 방향과 상이한 제2 방향으로 연장되는 제2 부분을 포함한다.

[0023] 제2 도전성 라인(116)은 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구는 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 제2 도전성 라인(116)에 대한 개구는 제1 슬롯 비아(114)에 대한 개구와 동일한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)을 형성하는데 사용되는 프로세스와 상이한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)에 대한 개구와 동시에 형성된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)에 대한 개구와 순차적으로 형성된다. 몇몇 실시예들에서, 제2 도전성 라인(116)에 대한 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)을 형성하는데 사용되는 프로세스와 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)에 대한 개구와 동시에 충진된다. 몇몇 실시예들에서, 제1 슬롯 비아(114)에 대한 개구는 제2 도전성 라인(116)에 대한 개구와 순차적으로 충진된다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0024] 집적 회로(100)의 제2 도전성 라인(116)은 콘택 레벨(M0)에 있다. 몇몇 실시예들에서, 제2 도전성 라인(116)은 콘택 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다.

[0025] 도핑된 영역(118)은 집적 회로의 기판(도 1b의 150)의 도핑된 부분이다. 몇몇 실시예들에서, 도핑된 영역(118)은 집적 회로(100)의 트랜지스터의 소스 또는 드레인이다. 몇몇 실시예들에서, 도핑된 영역(118)은 기판(도 1b의 150) 내에 형성된 웰(well)이다. 몇몇 실시예들에서, 도핑된 영역(118)은 p-형 도펀트를 포함한다. 몇몇 실시예들에서, 도핑된 영역(118)은 n-형 도펀트를 포함한다.

[0026] 제3 도전성 라인(122)은 집적 회로(100)의 상이한 부분들을 전기적으로 연결하는 상호접속 구조물의 일부분이다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료들을 포함한다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다. 제3 도전성 라인(122)은 제4 도전성 라인(126)에 직각인 방향으로 연장된다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 제1 방향으로 연장되는 제1 부분 및 제1 방향과 상이한 제2 방향으로 연장되는 제2 부분을 포함한다.

[0027] 제3 도전성 라인(122)은 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구는 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0028] 집적 회로(100)의 제3 도전성 라인(122)은 제1 금속 레벨(M1)에 있다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 제1 금속 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다. 몇몇 실시예들에서, 제3 도전성 라인(122)은 VDD, VSS와 같은 기준 전압에 연결된다.

[0029] 제2 슬롯 비아(124)는 제3 도전성 라인(122)을 제4 도전성 라인(126)에 전기적으로 연결한다. 제2 슬롯 비아(124)는 도전성 재료이다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 구리, 알루미늄, 텅스텐, 이들의 합금들

과 같은 금속성 재료, 또는 다른 적절한 금속성 재료를 포함한다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다.

[0030] 제2 슬롯 비아(124)는 집적 회로(100)의 기판(도 1c의 150)의 상부면과 평행한 방향으로 제3 도전성 라인(122)의 외면 너머까지 연장된다. 중첩 영역(R2)은 제3 도전성 라인(122)과 인터페이싱하는 제2 슬롯 비아(124)의 일부분이다. 중첩 영역(R2)의 길이는 제2 슬롯 비아(124)의 길이(L2)보다 작다. 몇몇 실시예들에서, 중첩 영역(R2)의 길이 대 길이(L2)의 비는 약 0.2 내지 약 0.8의 범위이다. 몇몇 실시예들에서, 중첩 영역(R2)의 길이 대 길이(L2)의 비는 약 0.1 내지 약 0.2의 범위이다. 몇몇 실시예들에서, 중첩 영역(R2)의 길이 대 길이(L2)의 비는 약 0.8 내지 약 0.9의 범위이다. 몇몇 실시예들에서, 중첩 영역(R2)의 길이 대 길이(L2)의 비는 중첩 영역(R1)의 길이 대 길이(L1)의 비와 동일하다. 몇몇 실시예들에서, 중첩 영역(R2)의 길이 대 길이(L2)의 비는 중첩 영역(R1)의 길이 대 길이(L1)의 비와 상이하다.

[0031] 제2 슬롯 비아(124)는 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구는 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 동일한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)을 형성하는데 사용되는 것과 상이한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 동시에 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 순차적으로 형성된다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)을 형성하는데 사용되는 것과 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 동시에 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제3 도전성 라인(122)에 대한 개구와 순차적으로 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0032] 몇몇 실시예들에서, 집적 회로(100) 내에 하나의 콘택 레벨이 존재한다. 몇몇 실시예들에서, 집적 회로(100) 내에 적어도 2개의 콘택 레벨들이 존재한다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 집적 회로(100)의 제1 콘택 레벨에 있다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 집적 회로(100)의 제2 콘택 레벨에 있다. 제2 슬롯 비아(124)는 집적 회로(100)의 콘택 레벨에 있다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 콘택 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다.

[0033] 몇몇 실시예들에서, 제2 슬롯 비아(124)는 제3 도전성 라인(122)과 직접 접촉한다. 몇몇 실시예들에서, 제2 슬롯 비아(124)는 제4 도전성 라인(126)과 직접 접촉한다.

[0034] 제4 도전성 라인(126)은 도핑된 영역(118) 및 도핑된 영역(128)을 집적 회로(100)의 다른 부분들에 전기적으로 연결하는 상호접속 구조물의 일부분이다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료들을 포함한다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 도전성 폴리머와 같은 금속성 재료를 제외한 도전성 재료, 또는 다른 적절한 도전성 재료를 포함한다. 제4 도전성 라인(126)운 제3 도전성 라인(122)에 직각인 방향으로 연장된다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 제1 방향으로 연장되는 제1 부분 및 제1 방향과 상이한 제2 방향으로 연장되는 제2 부분을 포함한다.

[0035] 제4 도전성 라인(126)은 유전체 재료 내에 개구를 형성하고 도전성 재료로 개구를 충진함으로써 형성된다. 몇몇 실시예들에서, 개구는 에칭 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 에칭 프로세스는 리소그래피 프로세스를 포함한다. 몇몇 실시예들에서, 제4 도전성 라인(126)에 대한 개구는 제2 슬롯 비아(124)에 대한 개구와 동일한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)을 형성하는데 사용되는 것과 상이한 프로세스를 사용하여 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)에 대한 개구와 동시에 형성된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)에 대한 개구와 순차적으로 형성된다. 몇몇 실시예들에서, 제4 도전성 라인(126)에 대한 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)

을 형성하는데 사용되는 것과 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)에 대한 개구와 동시에 충진된다. 몇몇 실시예들에서, 제2 슬롯 비아(124)에 대한 개구는 제4 도전성 라인(126)에 대한 개구와 순차적으로 충진된다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 듀얼 다마신 프로세스와 같은 다마신 프로세스를 사용하여 형성된다.

[0036] 집적 회로(100)의 제4 도전성 라인(126)은 콘택 레벨(M0)에 있다. 몇몇 실시예들에서, 제4 도전성 라인(126)은 콘택 레벨과 상이한 집적 회로(100)의 금속 레벨에 있다.

[0037] 도핑된 영역(128)은 집적 회로의 기판(도 1c의 150)의 도핑된 부분이다. 몇몇 실시예들에서, 도핑된 영역(128)은 집적 회로(100)의 트랜지스터의 소스 또는 드레인이다. 몇몇 실시예들에서, 도핑된 영역(128)은 기판(도 1c의 150)에 형성된 웰이다. 몇몇 실시예들에서, 도핑된 영역(128)은 p-형 도펀트를 포함한다. 몇몇 실시예들에서, 도핑된 영역(128)은 n-형 도펀트를 포함한다. 몇몇 실시예들에서, 도핑된 영역(128)은 도핑된 영역(128)과 동일한 도펀트 타입을 포함한다. 몇몇 실시예들에서, 도핑된 영역(128)은 도핑된 영역(118)과 상이한 도펀트 타입을 포함한다.

[0038] 도 1b는 몇몇 실시예들에 따른 집적 회로(100)의 연결 영역(110)의 단면도이다. 연결 영역(110)은 집적 회로(100)의 기판(150)을 포함한다. 도핑된 영역(118)은 기판(150) 내에 있다. 제2 도전성 라인(116)은 도핑된 영역(118)에 전기적으로 연결된다. 제1 슬롯 비아(114)는 제2 도전성 라인(116)에 전기적으로 연결되고; 제1 도전성 라인(112)은 제2 도전성 라인과 대향되는 제1 슬롯 비아의 측 상에서 제1 슬롯 비아에 전기적으로 연결된다.

[0039] 제1 슬롯 비아(114)는 제1 도전성 라인(112)의 외면(periphery) 너머까지 연장되고, 중첩 영역(R1)에서 제1 도전성 라인과 중첩한다. 제1 슬롯 비아(114)의 길이(L1)는 제2 도전성 라인(116)과 인터페이싱한다. 도 1a에 도시된 바와 같이, 몇몇 실시예들에서, 제2 도전성 라인(116)은 중첩 영역(R1)의, 도핑된 영역(118)으로부터 가장 먼 측 너머까지 연장된다. 도 1b에 도시된 바와 같이, 몇몇 실시예들에서, 제2 도전성 라인(116)의 종단면(end face)은 실질적으로 중첩 영역(R1)의 종단면과 정렬된다.

[0040] 제1 도전성 라인(112)의 외면 너머까지 연장되지 않는 비아를 포함하는 다른 접근법들에 비해, 슬롯 비아(114)는 제2 도전성 라인(116)과 인터페이싱하는 증가된 표면적을 제공한다. 이러한 증가된 표면적은 제1 슬롯 비아(114)와 제2 도전성 라인(116) 사이의 전기 전달을 위한 더 큰 영역을 제공하며, 이는 제1 도전성 라인(112)의 외면 너머까지 연장되지 않는 비아에 비하여, 제1 슬롯 비아의 전기 저항을 감소시킨다.

[0041] 도 1c는 몇몇 실시예들에 따른 집적 회로(100)의 연결 영역(120)의 단면도이다. 연결 영역(120)은 집적 회로(100)의 기판(150)을 포함한다. 도핑된 영역(118) 및 도핑된 영역(128)은 기판(150) 내에 있다. 제4 도전성 라인(126)은 도핑된 영역(118) 및 도핑된 영역(128)에 전기적으로 연결된다. 제2 슬롯 비아(124)는 제4 도전성 라인(126)에 전기적으로 연결되고; 제3 도전성 라인(122)은 제4 도전성 라인과 대향되는 제2 슬롯 비아의 측 상에서 제2 슬롯 비아에 전기적으로 연결된다.

[0042] 제2 슬롯 비아(124)는 제3 도전성 라인(122)의 외면 너머까지 연장되고, 중첩 영역(R2)에서 제3 도전성 라인과 중첩한다. 제2 슬롯 비아(124)의 전체 길이(L2)는 제4 도전성 라인(126)과 인터페이싱한다. 제4 도전성 라인(126)은 중첩 영역(R2) 너머까지 연장된다.

[0043] 제3 도전성 라인(122)의 외면 너머까지 연장되지 않는 비아를 포함하는 다른 접근법들에 비하여, 제2 슬롯 비아(124)는 제4 도전성 라인(126)과 인터페이싱하는 증가된 표면적을 제공한다. 이러한 증가된 표면적은 제2 슬롯 비아(124)와 제4 도전성 라인(126) 사이에 전기 전달을 위한 더 큰 영역을 제공하며, 이는 제3 도전성 라인(122)의 외면 너머까지 연장되지 않는 비아에 비해, 제2 슬롯 비아의 전기 저항을 감소시킨다.

[0044] 도 2a는 몇몇 실시예들에 따른 집적 회로(200)의 상면도이다. 집적 회로(200)는 집적 회로(100)(도 1a)와 유사하다. 유사한 엘리먼트들은 100만큼 증가된 동일한 참조 번호를 갖는다. 집적 회로(100)에 비해, 도 1a의 제4 도전성 라인(126)은 2개의 개별적 도전성 라인들(226a 및 226b)로 분할된다. 도전성 라인(226a)은 제2 슬롯 비아(224)를 도핑된 영역(218)에 전기적으로 연결한다. 도전성 라인(226b)은 제2 슬롯 비아(224)를 도핑된 영역(228)에 전기적으로 연결한다. 집적 회로(100)에 비해, 집적 회로(200)는 제2 도전성 라인(216)의 외면 너머까지 연장되는 제1 슬롯 비아(214)를 포함한다. 제2 슬롯 비아(224)는 도전성 라인(226a) 및 도전성 라인(226b)의 외면 너머까지 연장된다. 집적 회로(100)에 비해, 제2 도전성 라인(216)은 제1 도전성 라인(212)과 중첩하지 않는다. 도전성 라인(226a) 및 도전성 라인(226b)은 제3 도전성 라인(222)과 중첩하지 않는다.

[0045] 제1 슬롯 비아(214)는 제2 도전성 라인(216)과 인터페이싱하는 중첩 영역(R3)을 포함한다. 중첩 영역(R3)은 제

1 도전성 라인(212)의 외면 너머에 위치된다. 중첩 영역(R3)의 길이는 제1 슬롯 비아(214)의 길이(L3)) 미만이다. 몇몇 실시예들에서, 중첩 영역(R3)의 길이 대 길이(L3)의 비는 약 0.2 내지 약 0.8의 범위이다. 몇몇 실시예들에서, 중첩 영역(R3)의 길이 대 길이(L3)의 비는 약 0.1 내지 약 0.2의 범위이다. 몇몇 실시예들에서, 중첩 영역(R3)의 길이 대 길이(L3)의 비는 약 0.8 내지 약 0.9의 범위이다. 몇몇 실시예들에서, 중첩 영역(R3)은 제1 도전성 라인(212)의 측벽과 정렬된다. 몇몇 실시예들에서, 제1 슬롯 비아(214)의 일부분은 제1 도전성 라인(212)와도 제2 도전성 라인(216)와도 인터페이싱하지 않는다.

[0046] 제2 슬롯 비아(224)는 도전성 라인(226a)과 인터페이싱하는 중첩 영역(R4)을 포함한다. 제2 슬롯 비아(224)는 도전성 라인(226b)과 인터페이싱하는 중첩 영역(R5)을 더 포함한다. 중첩 영역(R4)은 제3 도전성 라인(222)의 외면 너머에 위치된다. 중첩 영역(R4)의 길이는 제2 슬롯 비아(224)의 길이(L4) 미만이다. 몇몇 실시예들에서, 중첩 영역(R4)의 길이 대 길이(L4)의 비는 약 0.1 내지 약 0.4의 범위이다. 몇몇 실시예들에서, 중첩 영역(R4)의 길이 대 길이(L4)의 비는 약 0.4 내지 약 0.9의 범위이다. 몇몇 실시예들에서, 중첩 영역(R4)은 제3 도전성 라인(222)의 측벽과 정렬된다. 몇몇 실시예들에서, 도핑된 영역(218)을 향해 연장되는 제2 슬롯 비아(224)는 제3 도전성 라인(222)과도 그리고 도전성 라인(226a)과도 인터페이싱하지 않는다. 중첩 영역(R5)은 제3 도전성 라인(222)의 외면 너머에 위치된다. 중첩 영역(R5)의 길이는 제2 슬롯 비아(224)의 길이(L4) 미만이다. 몇몇 실시예들에서, 중첩 영역(R5)의 길이 대 길이(L4)의 비는 약 0.1 내지 약 0.4의 범위이다. 몇몇 실시예들에서, 중첩 영역(R5)의 길이 대 길이(L4)의 비는 약 0.4 내지 약 0.9의 범위이다. 몇몇 실시예들에서, 중첩 영역(R4)의 길이 대 길이(L4)의 비는 중첩 영역(R5)의 길이 대 길이(L4)의 비와 동일하다. 몇몇 실시예들에서, 중첩 영역(R4)의 길이 대 길이(L4)의 비는 중첩 영역(R5)의 길이 대 길이(L4)의 비와 상이하다. 몇몇 실시예들에서, 중첩 영역(R5)은 제3 도전성 라인(222)의 측벽과 정렬된다. 몇몇 실시예들에서, 도핑된 영역(228)을 향해서 연장되는 제2 슬롯 비아(224)의 일부분은 제3 도전성 라인(222)과도 그리고 도전성 라인(226b)과도 인터페이싱하지 않는다.

[0047] 집적 회로(100)에 비해, 집적 회로(200)는 제1 도전성 라인(212)과 제2 도전성 라인(216) 사이의 캐패시턴스를 감소시킨다. 제1 도전성 라인(212) 아래에 제2 도전성 라인(216)을 연장시키지 않음으로써, 제1 도전성 라인과 제2 도전성 라인 사이에 의도치 않은 캐패시턴스는 감소된다. 몇몇 실시예들에서, 의도치 않은 캐패시턴스는 기생 캐패시턴스로 불린다. 기생 캐패시턴스를 감소시킴으로써, 집적 회로(200)는 저항을 감소시켜, 제1 도전성 라인(212) 또는 제2 도전성 라인(216)을 따르는 전압을 변화시키고, 이는 결국 집적 회로의 속도를 증가시키는 것을 돕는다.

[0048] 집적 회로(200)는 제3 도전성 라인과 도전성 라인(226b) 사이 뿐 아니라, 제3 도전성 라인(222)과 도전성 라인(226a) 사이의 캐패시턴스도 또한 감소시킨다. 제3 도전성 라인(222) 아래에 도전성 라인(226a) 또는 도전성 라인(226b)을 연장시키지 않음으로써, 집적 회로(200) 내의 기생 캐패시턴스는 집적 회로(100)에 비해 감소된다. 기생 캐패시턴스를 감소시킴으로써, 집적 회로(200)는 저항을 감소시켜, 제3 도전성 라인(222), 도전성 라인(226a) 또는 도전성 라인(226b)을 따르는 전압을 변화시키고, 이는 결국 집적 회로의 속도를 증가시키도록 돕는다. 몇몇 실시예들에서, 집적 회로(200)의 속도는 제1 도전성 라인(212)의 외면 너머까지 연장되지 않는 비아를 갖는 집적 회로의 속도보다 더 높다.

[0049] 도 2b는 몇몇 실시예들에 따른 집적 회로(200)의 연결 영역(210)의 단면도이다. 연결 영역(210)은 연결 영역(110)과 유사하다. 연결 영역(110)에 비해, 연결 영역(210)은 제1 도전성 라인(212) 아래에 콘택 층(260) 내에 제2 도전성 라인(216)의 부분을 포함하지 않는다.

[0050] 제1 슬롯 비아(214)는 제1 도전성 라인(212)의 외면 너머까지 연장되고, 중첩 영역(R3)에서 제2 도전성 라인(216)과 중첩한다. 전체 제1 슬롯 비아(214)의 길이(L3)보다 더 적게 제2 도전성 라인(216)과 인터페이싱한다. 몇몇 실시예들에서, 제2 도전성 라인(216)의 측벽은 제1 도전성 라인(212)의 측벽과 정렬된다. 몇몇 실시예들에서, 제1 슬롯 비아(214)의 일부분은 제1 도전성 라인(212) 및 제2 도전성 라인(216)과 전기적으로 인터페이싱하지 않는다.

[0051] 몇몇 실시예들에서, 제2 도전성 라인(216)의 측벽은 기판(250)의 도핑된 영역(218)의 에지와 정렬된다. 몇몇 실시예들에서, 제2 도전성 라인(216)의 측벽은 제1 도전성 라인(212)의 측벽과 정렬된다. 몇몇 실시예들에서, 제2 도전성 라인(216)의 측벽은 제1 도전성 라인(212)의 측벽 또는 도핑된 영역(218)의 측벽 중 어느 하나와도 정렬되지 않는다.

[0052] 도 2c는 몇몇 실시예들에 따른 집적 회로(200)의 연결 영역(220)의 단면도이다. 연결 영역(120)에 비교해, 연결 영역(220)은 기판(250)의 도핑된 영역(218)에 전기적으로 연결된 콘택 층(260)의 도전성 라인(226a) 및 도핑

된 영역(228)에 전기적으로 연결된 도전성 라인(226b)을 포함한다. 몇몇 실시예들에서, 도전성 라인(226a) 또는 도전성 라인(226b) 중 어느 하나도 제3 도전성 라인(222) 아래에서 연장되지 않는다. 몇몇 실시예들에서, 도전성 라인(226a) 또는 도전성 라인(226b) 중 적어도 하나는 제3 도전성 라인(222) 아래에서 연장된다.

[0053] 제2 슬롯 비아(224)는 제3 도전성 라인(222)의 외면 너머까지 연장되고, 중첩 영역(R4)에서 도전성 라인(226a)과 중첩한다. 제2 슬롯 비아(224)는 제3 도전성 라인(222)의 외면 너머까지 연장되고, 중첩 영역(R5)에서 도전성 라인(226b)과 중첩한다. 제2 슬롯 비아(224)의 전체 길이(L4)보다 더 적게 도전성 라인(226a)과 인터페이싱하고; 제2 슬롯 비아의 전체 길이(L4)보다 더 적게 도전성 라인(226b)과 인터페이싱한다. 몇몇 실시예들에서, 제2 슬롯 비아(224)의 일부분은 제3 도전성 라인(222), 도전성 라인(226a) 및 도전성 라인(226b)과 전기적으로 인터페이싱하지 않는다.

[0054] 몇몇 실시예들에서, 도전성 라인(226a)의 측벽은 도핑된 영역(218)의 에지와 정렬된다. 몇몇 실시예들에서, 도전성 라인(226a)의 측벽은 제3 도전성 라인(222)의 측벽과 정렬된다. 몇몇 실시예들에서, 도전성 라인(226a)의 측벽은 제3 도전성 라인(222)의 측벽 또는 도핑된 영역(218)의 에지 중 어느 것과도 정렬되지 않는다.

[0055] 몇몇 실시예들에서, 도전성 라인(226b)의 측벽은 도핑된 영역(228)의 에지와 정렬된다. 몇몇 실시예들에서, 도전성 라인(226b)의 측벽은 제3 도전성 라인(222)의 측벽과 정렬된다. 몇몇 실시예들에서, 도전성 라인(226b)의 측벽은 제3 도전성 라인(222)의 측벽 또는 도핑된 영역(228)의 에지 중 어느 것과도 정렬되지 않는다.

[0056] 도 3a는 몇몇 실시예들에 따른 집적 회로(300)의 상면도이다. 집적 회로(300)는 집적 회로(100)(도 1a)와 유사하다. 유사한 엘리먼트들은 200만큼 증가된 동일한 참조 번호를 갖는다. 집적 회로(100)에 비하여, 집적 회로(300)는 제1 도전성 라인(312)와 동일한 금속 레벨 상에 제2 도전성 라인(316)을 포함한다. 제2 도전성 라인(316)은 제1 도전성 라인(312)과 물리적으로 이격된다. 제2 도전성 라인(316)은 제1 슬롯 비아(314)에 의해 제1 도전성 라인(312)에 전기적으로 연결된다. 제1 도전성 라인(312)도 제2 도전성 라인(316)도 도핑된 영역(318)에 전기적으로 연결되지 않는다.

[0057] 제1 슬롯 비아(314)는 제1 도전성 라인(312) 및 제2 도전성 라인(316) 모두의 외면 너머까지 연장된다. 제1 슬롯 비아(314)는 중첩 영역(R6)에서 제1 도전성 라인(312)과 인터페이싱한다. 중첩 영역(R6)의 길이는 제1 슬롯 비아(314)의 길이(L5) 미만이다. 몇몇 실시예들에서, 중첩 영역(R6)의 길이 대 길이(L5)의 비는 약 0.1 내지 약 0.4의 범위이다. 몇몇 실시예들에서, 중첩 영역(R6)의 길이 대 길이(L5)의 비는 약 0.4 내지 약 0.9의 범위이다. 제1 슬롯 비아(314)는 중첩 영역(R7)에서 제2 도전성 라인(316)과 인터페이싱한다. 중첩 영역(R7)의 길이는 제1 슬롯 비아(314)의 길이(L5) 미만이다. 몇몇 실시예들에서, 중첩 영역(R7)의 길이 대 길이(L5)의 비는 약 0.1 내지 약 0.4의 범위이다. 몇몇 실시예들에서, 중첩 영역(R7)의 길이 대 길이(L5)의 비는 약 0.4 내지 약 0.9의 범위이다. 몇몇 실시예들에서, 중첩 영역(R6)의 길이 대 길이(L5)의 비는 중첩 영역(R7)의 길이 대 길이(L5)의 비와 동일하다. 몇몇 실시예들에서, 중첩 영역(R6)의 길이 대 길이(L5)의 비는 중첩 영역(R7)의 길이 대 길이(L5)의 비와 상이하다.

[0058] 도전성 라인의 외면 너머까지 연장되지 않는 비아를 갖는 집적 회로에 비하여, 집적 회로(300)는 상호접속 구조물 내에 더 적은 엘리먼트들을 포함한다. 제1 도전성 라인(312) 또는 제2 도전성 라인(316)의 외면 너머까지 연장되지 않는 비아를 갖는 집적 회로에서, 제1 도전성 라인 및 제2 도전성 라인에 연결된 비아들 간에 전기적 연결을 제공하는데 추가의 도전성 라인이 사용된다. 집적 회로(300)의 상호접속 구조물 내의 도전성 라인들의 수를 감소시킴으로써, 집적 회로의 복잡성 및 비용이 감소된다.

[0059] 도 3b는 몇몇 실시예들에 따른 집적 회로(300)의 연결 영역(310)의 단면도이다. 연결 영역(310)은 제1 도전성 라인과 동일한 금속 레벨 상에 있는 제2 도전성 라인(316)에 제1 도전성 라인(312)을 전기적으로 연결하는 제1 슬롯 비아(314)를 포함한다. 연결 영역(310)은 제1 도전성 라인(312) 및 제2 도전성 라인(316) 아래에 위치된 제1 슬롯 비아(314)를 포함한다. 몇몇 실시예들에서, 제1 슬롯 비아(314)는 제1 도전성 라인(312) 및 제2 도전성 라인(314) 위에 위치된다. 제1 슬롯 비아(314)는 제1 도전성 라인(312)의 폭보다 작은 중첩 영역(R6)에서 제1 도전성 라인(312)과 인터페이싱한다. 몇몇 실시예들에서, 중첩 영역(R6)의 길이가 제1 도전성 라인(312)의 폭과 동일하도록, 제1 슬롯 비아(314)의 측벽은 제2 도전성 라인(316)으로부터 가장 먼 제1 도전성 라인(312)의 측벽과 정렬된다. 제1 슬롯 비아(314)는 제2 도전성 라인(316)의 폭보다 작은 중첩 영역(R7)에서 제2 도전성 라인(316)과 인터페이싱한다. 몇몇 실시예들에서, 중첩 영역(R7)의 길이가 제2 도전성 라인(316)의 폭과 동일하도록, 제1 슬롯 비아(314)의 측벽은 제1 도전성 라인(312)으로부터 가장 먼 제2 도전성 라인(316)의 측벽과 정렬된다. 몇몇 실시예들에서, 제1 슬롯 비아(314)는 콘택 층(360)만큼 도핑된 영역(318)으로부터 분리된다. 몇몇 실시예들에서, 제1 슬롯 비아(314)는 콘택 층(360)의 도전성 피처에 의하여 기판(350) 내의 도핑된 영역

(318)에 연결된다. 몇몇 실시예들에서, 콘택 층(360)은 생략되고, 제1 슬롯 비아(314)는 도핑된 영역(318)과 직접 접촉한다.

[0060] 도 4는 몇몇 실시예들에 따른 집적 회로를 제조하는 방법(400)의 흐름도이다. 방법(400)은 제1 도전성 라인이 제1 금속 레벨 상에 형성되는 동작(402)으로 시작된다. 몇몇 실시예들에서, 제1 도전성 라인은 유전체 층 내에 개구를 형성하고 개구를 도전성 재료로 충진함으로써 형성된다. 몇몇 실시예들에서, 유전체 층 내의 개구는 에칭 프로세스에 의하여 형성된다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 충진 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 개구는 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료로 충진된다. 몇몇 실시예들에서, 개구는 도전성 폴리머와 같은 비-금속성 재료로 충진된다. 몇몇 실시예들에서, 제1 금속 레벨은 콘택 레벨(M0)이다. 몇몇 실시예들에서, 제1 금속 레벨은 제1 금속 레벨(M1)이다. 몇몇 실시예들에서, 제1 금속 레벨은 제1 금속 레벨(M1) 및 콘택 레벨(M0)과 상이하다.

[0061] 동작(404)에서, 제2 도전성 라인이 제2 금속 레벨 상에 형성된다. 몇몇 실시예들에서, 제2 도전성 라인은 유전체 층 내에 개구를 형성하고 개구를 도전성 재료로 충진함으로써 형성된다. 몇몇 실시예들에서, 유전체 층 내의 개구는 에칭 프로세스에 의하여 형성된다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 충진 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 도전성 라인에 대한 개구는 제1 도전성 라인에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 제2 도전성 라인에 대한 개구는 제1 도전성 라인의 개구를 충진하기 위한 프로세스와 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 개구는 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료로 충진된다. 몇몇 실시예들에서, 개구는 도전성 폴리머와 같은 비-금속성 재료로 충진된다. 몇몇 실시예들에서, 제2 금속 레벨은 콘택 레벨(M0)이다. 몇몇 실시예들에서, 제2 금속 레벨은 제1 금속 레벨(M1)이다. 몇몇 실시예들에서, 제2 금속 레벨은 제1 금속 레벨(M1) 및 콘택 레벨(M0)과 상이하다. 몇몇 실시예들에서, 제2 도전성 라인에 대한 제2 금속 레벨은 제1 도전성 라인에 대한 제1 금속 레벨과 동일한 금속 레벨이다. 몇몇 실시예들에서, 제2 도전성 라인에 대한 제2 금속 레벨은 제1 도전성 라인에 대한 제1 금속 레벨의 금속 레벨과 상이하다. 몇몇 실시예들에서, 제2 도전성 라인은 제1 도전성 라인과 동시에 형성된다. 몇몇 실시예들에서, 제2 도전성 라인은 제1 도전성 라인과 순차적으로 형성된다.

[0062] 몇몇 실시예들에서, 제2 도전성 라인의 적어도 일부분은 제1 도전성 라인 밑에서 연장된다. 몇몇 실시예들에서, 제2 도전성 라인의 측벽은 제1 도전성 라인의 측벽과 정렬된다. 몇몇 실시예들에서, 제2 도전성 라인의 측벽은 집적 회로의 기판의 상부면과 평행한 방향으로 제1 도전성 라인의 측벽과 이격된다.

[0063] 동작(406)에서, 제1 도전성 라인을 제2 도전성 라인에 전기적으로 연결하기 위하여 슬롯 비아가 형성된다. 몇몇 실시예들에서, 슬롯 비아는 유전체 층 내에 개구를 형성하고 개구를 도전성 재료로 충진함으로써 형성된다. 몇몇 실시예들에서, 유전체 층 내의 개구는 에칭 프로세스에 의하여 형성된다. 몇몇 실시예들에서, 개구는 CVD, PVD, 스퍼터링, ALD 또는 다른 적절한 충진 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 슬롯 비아에 대한 개구는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나에 대한 개구와 동일한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 슬롯 비아에 대한 개구는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나를 충진하기 위한 프로세스와 상이한 프로세스를 사용하여 충진된다. 몇몇 실시예들에서, 개구는 구리, 알루미늄, 텅스텐, 이들의 합금들과 같은 금속성 재료, 또는 다른 적절한 금속성 재료로 충진된다. 몇몇 실시예들에서, 개구는 도전성 폴리머와 같은 비-금속성 재료로 충진된다. 몇몇 실시예들에서, 슬롯 비아는 콘택 레벨(M0) 상에 있다. 몇몇 실시예들에서, 슬롯 비아는 제1 금속 레벨(M1) 상에 있다. 몇몇 실시예들에서, 슬롯 비아는 제1 금속 레벨 또는 제2 금속 레벨과 동일한 금속 레벨 상에 있다. 몇몇 실시예들에서, 슬롯 비아는 제1 금속 레벨 또는 제2 금속 레벨 중 적어도 하나와 상이한 금속 레벨 상에 있다. 몇몇 실시예들에서, 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나와 동시에 형성된다. 몇몇 실시예들에서, 슬롯 비아는 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나와 순차적으로 형성된다.

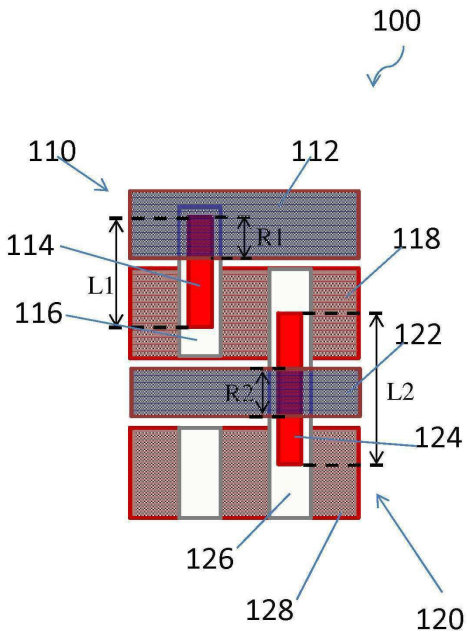
[0064] 슬롯 비아의 적어도 일부분은 제1 도전성 라인과 중첩한다. 슬롯 비아의 적어도 일부분은 제2 도전성 라인과 중첩한다. 슬롯 비아의 적어도 일부분은 제1 도전성 라인 또는 제2 도전성 라인 중 적어도 하나의 외면 너머까지 연장된다. 몇몇 실시예들에서, 슬롯 비아 전체는 제1 도전성 라인 또는 제2 도전성 라인과 중첩한다. 몇몇 실시예들에서, 슬롯 비아의 일부분은 제1 도전성 라인 및 제2 도전성 라인 모두와 인터페이싱하지 않는다.

[0065] 몇몇 실시예들에서, 방법(400)의 동작들의 순서는 변화된다. 몇몇 실시예들에서, 방법(400)에 추가의 동작들이 포함된다. 몇몇 실시예들에서, 방법(400)의 동작들 중 몇몇은 단일 동작으로 조합된다.

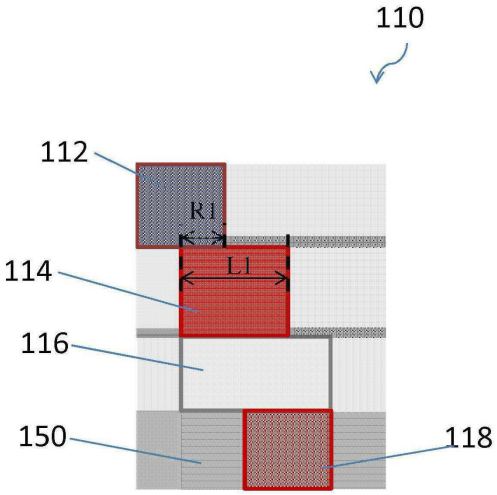
[0066] 전술한 내용은 본 기술분야의 당업자들이 본 개시물의 양상들을 더욱 잘 이해하도록, 수 개의 실시예들의 피처들을 약술한 것이다. 본 기술분야의 당업자들은 그들이 본 명세서에 도입된 실시예들의 동일한 목적들을 실행하고 및/또는 동일한 장점들을 달성하기 위하여 다른 프로세스들 및 구조물들을 설계 또는 변형하기 위한 기반으로서, 본 개시내용을 용이하게 이용할 수 있음을 인식해야 한다. 본 기술분야의 당업자들은 그러한 등가적 구조들이 본 개시물의 사상 및 범위를 벗어나지 않음을, 그리고 그들이 본 개시물의 사상 및 범위를 벗어나지 않고서 본 명세서에서 다양한 변화들, 대체들 및 변경들을 수행할 수 있음을 또한 인식해야 한다.

도면

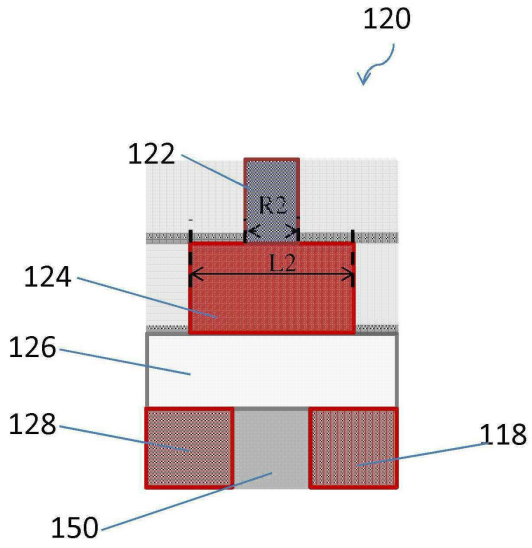
도면1a



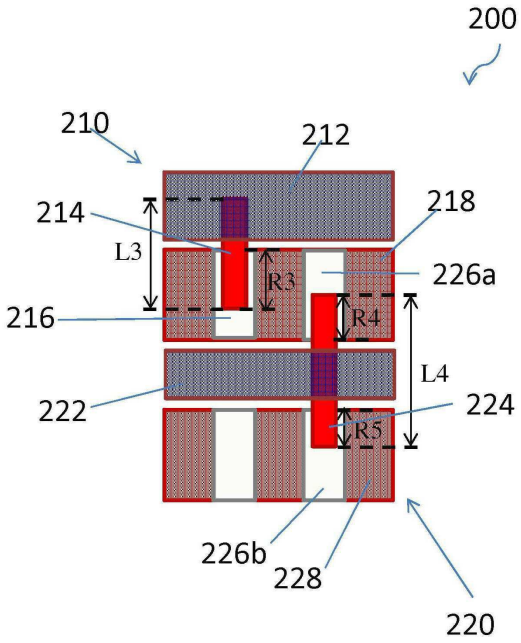
도면1b



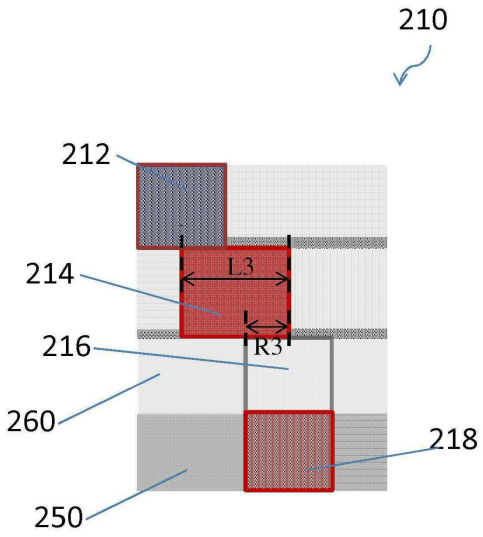
도면1c


120
122
R2
L2
124
126
128
118
150

도면2a


200
210
212
214
218
L3
R3
226a
216
R4
L4
222
224
R5
226b
228
220

도면2b



도면2c

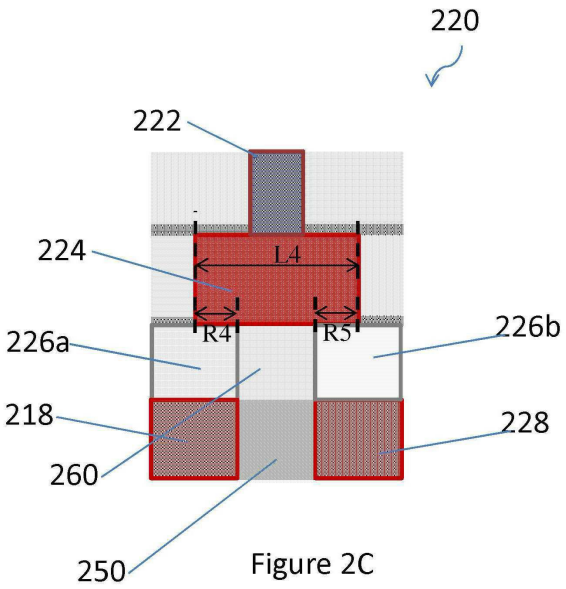
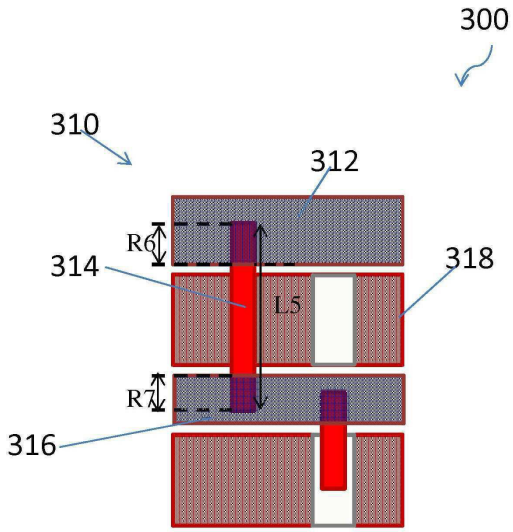
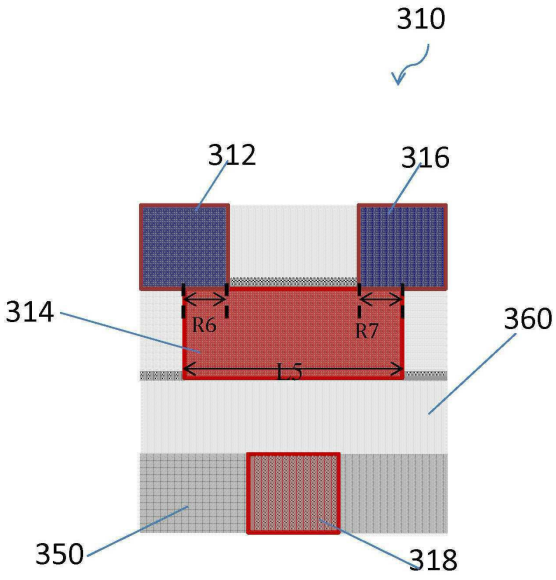


Figure 2C

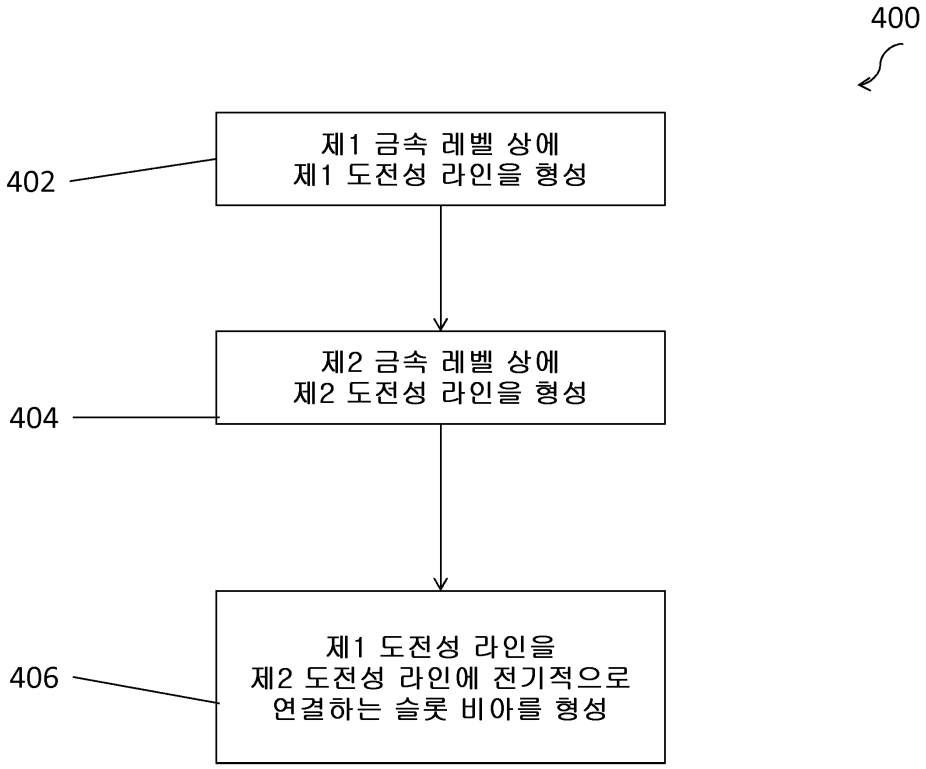
도면3a


300
310
312
R6
314
318
L5
R7
316

도면3b


310
312
316
314
R6
R7
360
L5
350
318

도면4


400
402
제1 금속 레벨 상에
제1 도전성 라인을 형성
404
제2 금속 레벨 상에
제2 도전성 라인을 형성
406
제1 도전성 라인을
제2 도전성 라인에 전기적으로
연결하는 슬롯 비아를 형성