



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2005 005 063 A1** 2006.08.17

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2005 005 063.8**

(22) Anmeldetag: **03.02.2005**

(43) Offenlegungstag: **17.08.2006**

(51) Int Cl.⁸: **H05K 1/02 (2006.01)**

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

**Epping Hermann Fischer,
 Patentanwaltsgesellschaft mbH, 80339 München**

(72) Erfinder:

**Hoppe, Wolfgang, 83646 Bad Tölz, DE; Djordjevic,
 Srdjan, 81547 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

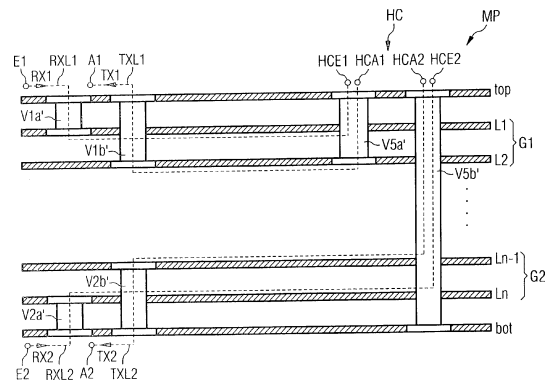
US 61 81 004 B4

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Platine zur Reduzierung des Übersprechens von Signalen**

(57) Zusammenfassung: Eine Platine (MP) weist eine erste Gruppe (G1) von Layern (L1, L2), die nahe an einer Oberseite (TOP) der Platine liegen, und eine zweite Gruppe (G2) von Layern (Ln-1, Ln), die nahe an einer Unterseite (BOT) der Platine liegen, auf. Signale, die Ein- und Ausgangskontaktanschlüssen (E1, A1) auf der Oberseite der Platine zugeführt werden, werden entlang von mindestens einem der Layer (L1, L2) der Gruppe (G1) geführt. Signale (RX2, TX2), die Eingangs- und Ausgangskontaktanschlüssen (E2, A2) auf der Unterseite der Platine zugeführt werden, werden entlang von mindestens einem der Layer (Ln, Ln-1) der zweiten Gruppe (G2) geführt. Vorzugsweise sind die Kontaktierungslöcher zur Verbindung der Ein- und Ausgangskontaktanschlüsse mit den Layern der ersten und zweiten Gruppe als blinde Kontaktierungslöcher (V1a', V1b', V2a', V2b') ausgebildet.



Beschreibung

Stand der Technik

[0001] Die Erfindung betrifft eine Platine, bei der Eingangs- und Ausgangssignale Kontaktanschlüssen auf der Oberseite und der Unterseite der Platine zugeführt werden.

[0002] Bei einem Halbleiterspeichermodul, beispielsweise einem FBDIMM (Fully Buffered Dual-In Line Memory Module), gemäß der **Fig. 1A** sind auf einer Platine MP beidseitig Halbleiterspeicherbausteine B angeordnet. Die Halbleiterspeicherbausteine werden von einem Steuerbaustein SB angesteuert. Der Steuerbaustein sowie die Halbleiterspeicherbausteine haben ein Ball-Grid-Array Gehäuse BGA.

[0003] **Fig. 1B** zeigt eine erste Oberfläche, beispielsweise die Oberseite eines FBDIMM-Speichermoduls. Im Zentrum der Platine MP ist der Steuerbaustein, der einen Hub-Chip HC enthält, zur Ansteuerung der Halbleiterspeicherbausteine angeordnet. Die Halbleiterspeicherbausteine befinden sich auf der linken und rechten Seite des Hub-Chips auf der Platine in zwei parallel zueinander angeordneten Reihen.

[0004] **Fig. 1B** zeigt eine zweite Oberfläche, beispielsweise die Unterseite BOT des FBDIMM-Speichermoduls der **Fig. 1A**. Auch hier sind die Halbleiterspeicherbausteine in zwei Reihen angeordnet. In der Mitte der Unterseite der Platine MP befinden sich vier Speicherchips ECC, die mit einer Fehlerkorrekturschaltung (Error Correction Circuit) zur Korrektur von Speicherfehlern ausgestattet sind. Zur linken und rechten Seite der vier ECC-Speicherchips sind wie auch auf der Oberseite jeweils vier Halbleiterspeicherbausteine in zwei Reihen angeordnet.

[0005] Bei dem in den **Fig. 1A** und **1B** dargestellten planaren FBDIMM-Speichermoduldesign befindet sich in jedem der Halbleiterspeicherbausteine genau ein Speicherchip. Die Speicherchips können beispielsweise DRAM (Dynamic Random Access Memory)-Speicherzellen enthalten.

[0006] **Fig. 2** zeigt in vereinfachter Darstellung einen Ausschnitt eines Speicherzellenfeldes SZF, das auf jedem der Speicherchips SP vorhanden ist. Innerhalb des Speicherzellenfeldes SZF sind DRAM-Speicherzellen SZ entlang von Wortleitungen WL und Bitleitungen BL matrixartig angeordnet. Eine DRAM-Speicherzelle umfasst einen Auswahltransistor AT und einen Speicherkondensator SC. Zum Auslesen einer Information aus der Speicherzelle bzw. zum Einschreiben einer Information in die Speicherzelle wird der Auswahltransistor AT durch ein entsprechendes Steuersignal auf der Wortleitung WL in den leitenden Zustand geschaltet. In diesem Fall ist der Speicher-

kondensator SC niederohmig mit der Bitleitung BL verbunden. Über die Bitleitung BL kann somit im Falle eines Lesezugriffs der Ladungszustand des Speicherkondensators ausgelesen werden bzw. im Fall eines Schreibzugriffs ein Ladezustand in dem Speicherkondensator abgespeichert werden.

[0007] Zur Durchführung von Lese- und Schreibzugriffen auf die Speicherzellen der Speicherchips wird der Hubchip HC von einem Speichercontroller angesteuert. Die Steuersignale des Speichercontrollers werden dem FBDIMM-Speichermodul über einen ersten und zweiten Bus zugeführt. Der erste Bus ist dazu mit Eingangs- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite TOP der Platine MP verbunden. Der zweite Bus ist mit Eingangs- und Ausgangskontaktanschlüssen E2 und A2 auf der Unterseite BOT der Platine MP verbunden. Jeder der beiden Busse kann sowohl Steuersignale an den Hubchip senden als auch von dem Hub-Chip empfangen.

[0008] Wenn im Gegensatz zu den in den **Fig. 1A** und **1B** dargestellten planaren FBDIMM-Speichermoduldesign ein sogenanntes "Stacked" FBDIMM-Speichermoduldesign verwendet wird, so sind innerhalb der Halbleiterspeicherbausteine jeweils zwei Speicherchips (Dual Stacked) oder vier Speicherchips (Quad Stacked) gestapelt angeordnet. In diesem Fall befindet sich auf der Oberseite und der Unterseite des Halbleiterspeichermoduls nur jeweils eine Reihe mit Halbleiterbausteinen. Bei einem derartigen "Stacked" Speichermoduldesign werden gemäß einer Standardisierung die an die Eingangskontaktanschlüsse E1 zugeführten Signale über Leiterbahnen, die auf der Oberfläche TOP der Platine MP verlaufen, dem Hubchip HC zugeführt. Entsprechend werden auch die vom Hubchip den Ausgangsanschlüssen A1 auf der Oberseite TOP zugeführten Signale über Leiterbahnen, die auf der Oberseite der Platine MP verlaufen, zugeführt.

[0009] Hingegen werden die Eingangssignale, die den Eingangskontaktanschlüssen E2 auf der Unterseite BOT der Platine zugeführt werden, über kurze Leiterbahnen auf der Unterseite der Platine einem durch die Platine hindurch laufenden Kontaktloch (Plated Through Hole) zugeführt. Über das Durchkontaktierungsloch sind die Eingangskontaktanschlüsse E2 mit Leiterbahnen, die auf einem inneren Layer der mehrlagigen Platine MP verlaufen, verbunden. Die Leiterbahnen werden durch ein weiteres Durchkontaktierungsloch im Bereich des Hubchips an die Oberseite TOP der Platine geführt. Von dort werden sie über ein kurzes Leiterstück auf der Oberseite der Platine dem Hubchip zugeführt.

[0010] Ebenso werden die Signale, die vom Hubchip den Ausgangsanschlüssen A2 auf der Unterseite BOT der Platine zugeführt werden, über ein kurzes

Leiterstück auf der Oberseite der Platine einem weiteren Durchkontaktierungsloch zugeführt. Durch das weitere Durchkontaktierungsloch werden sie bis zu einem inneren Layer der Platine geführt, verlaufen dann über eine Leiterbahn auf dem inneren Layer der Platine bis zu einem weiteren Durchgangskontaktierungsloch, durch das sie auf der Unterseite BOT der Platine wieder hervortreten. Von dort werden sie über ein kurzes Leiterstück auf der Unterseite der Platine den Ausgangskontaktanschlüssen A2 zugeführt.

[0011] Eine derartige Zuführung von Signalen vom Speichercontroller zum Hubchip bzw. vom Hubchip zum Speichercontroller ist bei einem FBDIMM-Speichermodul im planaren Design jedoch nicht möglich. **Fig. 3** zeigt einen Ausschnitt der Oberseite TOP des FBDIMM-Speichermoduls der **Fig. 1B**. Dargestellt ist der Hubchip HC und die in zwei Reihen auf der linken Seite des Hubchips angeordneten Speicherchips SP. Des Weiteren sind am Rand der Speicherkarte die Eingangskontaktanschlüsse E1 und die Ausgangskontaktanschlüsse A1, an die der erste Bus angeschlossen ist, der das FBDIMM-Speichermodul mit dem Speichercontroller verbindet, angeordnet.

[0012] Aufgrund des nur gering zur Verfügung stehenden Platzes können nur einige von den Eingangskontaktanschlüssen E1 zu dem Hubchip HC hinführende Leiterbahnen RXL1 und nur einige von den von dem Hubchip HC zu den Ausgangskontaktanschlüssen A1 zurückführende Leiterbahnen TXL1 auf der Oberseite TOP der Platine verlaufen. Die restlichen Eingangs- und Ausgangskontaktanschlüsse werden über Leiterbahnen, die auf inneren Layern der mehrlagigen Platine MP verlaufen, dem Hubchip zugeführt bzw. vom Hubchip wieder den Ausgangskontaktanschlüssen zugeführt. Die Eingangs- und Ausgangskontaktanschlüsse sind dazu über kurze Leiterstücke mit Durchkontaktierungsloch verbunden, die sich von der Oberseite TOP bis zur Unterseite BOT der Platine erstrecken. Über diese Durchkontaktierungslöcher sind die Ein- und Ausgangskontaktanschlüsse mit den Leiterbahnen im Inneren der Platine verbunden. Im Bereich des Hubchips befinden sich weitere Durchkontaktierungslöcher, durch die die Leiterbahnen von den inneren Layern wieder zur Oberfläche TOP geführt werden, von wo sie dem Hubchip unmittelbar zugeführt werden.

[0013] **Fig. 4** zeigt einen Querschnitt durch die Mehrerebenen-Platine (Multilayer-Platine) MP. Die Platine weist eine Oberseite TOP und eine Unterseite BOT auf, zwischen denen mehrere innere Layer übereinander angeordnet sind. Ein Layer L1 und L2 gehören zu einer Gruppe G1 von Layern, die nahe an der Oberseite TOP der Platine angeordnet sind. Ein Layer Ln-1 und Ln gehören zu einer Gruppe G2 von Layern, die nahe an einer Unterseite BOT der Platine angeordnet sind.

[0014] Die Platine MP weist im Bereich eines Eingangskontaktanschlusses E1 und eines Ausgangskontaktanschlusses A1 auf der Oberseite TOP der Platine zwei durchgehende Kontaktierungslöcher V1a und V1b auf, die sich von der Oberseite TOP der Platine zur Unterseite BOT der Platine erstrecken. Im Bereich eines Eingangskontaktanschlusses E2 und eines Ausgangskontaktanschlusses A2 auf der Unterseite der Platine sind zwei weitere durchgehende Kontaktierungslöcher V2a und V2b angeordnet, die sich ebenfalls von der Oberseite TOP zur Unterseite BOT der Platine erstrecken. Neben den durchgehenden Kontaktierungslochern im Bereich der Ein- und Ausgangskontaktanschlüsse existieren noch zwei weitere durchgehende Kontaktierungslöcher V5a und V5b, die sich ebenfalls von der Oberseite TOP zur Unterseite BOT der Platine erstrecken. Im Bereich dieser beiden durchgehenden Kontaktierungslöcher ist der Hubchip HC angeordnet.

[0015] An dem Eingangskontaktanschluss E1 auf der Oberseite TOP der Platine wird ein von dem Speichercontroller über den ersten Bus zugeführtes Eingangssignal RX1 angelegt. Das Eingangssignal RX1 wird über eine Leiterbahn RXL1 einem Eingangsanschluss HCE1 des Hubchips HC zugeführt. Die Leiterbahn RXL1 verläuft vom Eingangskontaktanschluss E1 über ein kurzes Leiterstück auf der Oberseite der Platine bis zu dem durchgehenden Kontaktierungsloch V1a, verläuft dann innerhalb des durchgehenden Kontaktierungslochs V1a bis zu dem Layer L1. Die Leiterbahn RXL1 wird dann entlang des Layers L1 geführt und dem durchgehenden Kontaktierungsloch V5a zugeführt, durch das sie an die Oberseite TOP der Platine zu dem Eingangsanschluss HCE1 des Hubchips gelangt. Ebenso verläuft im Bereich des Layers L1 eine Leiterbahn RXL2, die den Eingangskontaktanschluss E2 auf der Unterseite der Platine mit dem Eingangsanschluss HCE2 des Hubchips verbindet. An dem Eingangskontaktanschluss E2 auf der Unterseite BOT der Platine liegt ein Eingangssignal RX2 an, das den Eingangskontaktanschluss E2 von dem Speichercontroller über den zweiten Bus zugeführt wird. Auf der Layerebene L1 verlaufen somit nur Leitungen, die Eingangssignale RX1 und RX2 führen, die von dem Speichercontroller zu dem Hubchip laufen.

[0016] An einem Ausgangsanschluss HCA1 erzeugt der Hubchip ein Ausgangssignal TX1, das über eine Leiterbahn TXL1 dem Ausgangskontaktanschluss A1 auf der Oberseite TOP der Platine zugeführt wird. Die Leiterbahn TXL1 verläuft durch das durchgehende Kontaktierungsloch V5b bis zu der Layerebene Ln, auf der die Leiterbahn TXL1 bis zu dem durchgehenden Kontaktierungsloch V1b geführt wird. Durch das durchgehende Kontaktierungsloch V1b wird die Leiterbahn TXL1 wieder an die Oberseite TOP der Platine geführt und von dort dem Ausgangskontaktanschluss A1 zugeführt. Der Aus-

gangskontaktanschluss A1 ist mit dem ersten Bus verbunden, über den das Ausgangssignal TX1 dem Speichercontroller zugeführt wird. Der erste Bus ist somit als ein bidirektionaler Bus ausgebildet.

[0017] Ein weiterer Ausgangsanschluss HCA2 des Hubchips ist über eine Leiterbahn TXL2 mit dem Ausgangskontaktanschluss A2 auf der Unterseite BOT der Platine verbunden. Die Leiterbahn TXL2 wird von dem Ausgangsanschluss HCA2 des Hub-Chips durch das durchgehende Kontaktierungsloch V5b ebenfalls bis zu der Layerebene Ln geführt, entlang derer die Leiterbahn TXL2 bis zu dem durchgehenden Kontaktierungsloch V2b weiter geführt wird. Durch das durchgehende Kontaktierungsloch V2b wird die Leiterbahn TXL2 der Unterseite BOT der Platine zugeführt. Über ein kurzes Leiterstück gelangt das Ausgangssignal TX2 an den Ausgangskontaktanschluss A2, der mit dem zweiten Bus zur Übertragung des Ausgangssignals TX2 von dem Hubchip zum Speichercontroller verbunden ist. Die Ausgangssignale TX1 und TX2 vom Hubchip zum Speichercontroller verlaufen somit über Leiterbahnen auf dem inneren Layer Ln der Platine. Der zweite Bus ist als ein bidirektionaler Bus ausgebildet, da er sowohl Eingangssignale RX2 als auch Ausgangssignale TX2 zwischen dem Hubchip und dem Speichercontroller überträgt.

[0018] Ein "Routing" von Leiterbahnen, wie in **Fig. 4** gezeigt, hat jedoch ein großes Übersprechen von Signalen zur Folge, das durch Verwendung von durchgehenden Kontaktierungslöchern, die eine hohe Induktivität darstellen noch verstärkt wird. Die wesentliche Ursache des Übersprechens liegt jedoch darin begründet, dass die Signale, die vom Speichercontroller zum Hubchip gesendet werden, über Leiterbahnen in einer Layerebene, die nahe an der Oberseite TOP der Platine angeordnet ist, übertragen werden und alle Signale, die vom Hubchip zum Speichercontroller gesendet werden, auf Leiterbahnen in einer Layerebene verlaufen, die nahe an der Unterseite BOT der Platine angeordnet ist. Problematisch wirkt sich dabei insbesondere aus, dass beispielsweise das Eingangssignal RX2 beim Durchgang durch das Kontaktierungsloch V2a mehrere Referenzebenen im Inneren der Platine durchqueren muss, bis es von der Unterseite BOT zur Layerebene L1 gelangt. Ebenso muss das Ausgangssignal TX1 mehrere Referenzebenen im Inneren der Platine über das durchgehende Kontaktierungsloch V5b durchqueren, bis es zur Layerebene Ln gelangt.

Aufgabenstellung

[0019] Es ist daher Aufgabe der vorliegenden Erfindung, eine Platine anzugeben, bei der das Übersprechen zwischen Signalen, die auf Layern innerhalb der Platine verlaufen, reduziert ist.

[0020] Die Aufgabe wird gelöst durch eine Platine mit den Merkmalen des Patentanspruchs 1.

[0021] Die erfindungsgemäße Platine weist eine erste Oberfläche und eine zweite Oberfläche auf. Sie umfasst des Weiteren mehrere Layer, die in einer übereinander gestapelten Anordnung zwischen der ersten Oberfläche und der zweiten Oberfläche angeordnet sind, wobei eine erste Gruppe der Layer näher an der ersten Oberfläche der Platine und eine zweite Gruppe der Layer näher an der zweiten Oberfläche der Platine liegen. Auf der ersten Oberfläche der Platine ist ein Halbleitersteuerbaustein angeordnet. Die Platine weist ferner mindestens zwei erste Kontaktanschlüssen auf, die auf der ersten Oberfläche der Platine angeordnet sind, wobei einer der beiden ersten Kontaktanschlüsse zum Anlegen eines ersten Eingangssignals und der andere der beiden ersten Kontaktanschlüsse zum Erzeugen eines ersten Ausgangssignals verwendet wird. Sie umfasst des Weiteren mindestens zwei zweite Kontaktanschlüsse, die auf der zweiten Oberfläche der Platine angeordnet sind, wobei einer der beiden zweiten Kontaktanschlüsse zum Anlegen eines zweiten Eingangssignals und der andere der beiden zweiten Kontaktanschlüsse zum Erzeugen eines zweiten Ausgangssignals verwendet wird. Die Platine weist des Weiteren zwei erste Leiterbahnen auf, wobei eine der beiden ersten Leiterbahnen zur Übertragung des ersten Eingangssignals von dem einen der beiden ersten Kontaktanschlüsse zu dem Halbleitersteuerbaustein und die andere der beiden ersten Leiterbahnen zur Übertragung des ersten Ausgangssignals von dem Halbleitersteuerbaustein zu dem anderen der beiden ersten Kontaktanschlüsse verwendet wird. Sie umfasst des Weiteren zwei zweite Leiterbahnen, wobei eine der beiden zweiten Leiterbahnen zur Übertragung des zweiten Eingangssignals von dem einen der beiden zweiten Kontaktanschlüsse zu dem Halbleitersteuerbaustein und die andere der beiden zweiten Leiterbahnen zur Übertragung des zweiten Ausgangssignals von dem Halbleitersteuerbaustein zu dem anderen der beiden zweiten Kontaktanschlüsse verwendet wird. Die beiden ersten Leiterbahnen verlaufen in mindestens einem der Layer der ersten Gruppe der Layer, wohingegen die beiden zweiten Leiterbahnen in mindestens einem der Layer der zweiten Gruppe der Layer verlaufen.

[0022] Durch das erfindungsgemäße Routing-Verfahren wird das Übersprechen zwischen Signalen deutlich reduziert. Die Routing-Technik ist dabei unabhängig von der Anzahl der Layer der Mehrebenen-Platine. Sie lässt sich sowohl bei "single-ended" Signalen als auch bei differentiellen Signalen anwenden.

[0023] Gemäß einer Weiterbildung der Platine umfassen die Layer der ersten Gruppe einen ersten Layer und mindestens einen zweiten Layer, wobei der

erste Layer der ersten Gruppe näher an der ersten Oberfläche der Platine liegt als der zweite Layer der ersten Gruppe. Die Layer der zweiten Gruppe umfassen einen ersten Layer und mindestens einen zweiten Layer, wobei der erste Layer der zweiten Gruppe näher an der zweiten Oberfläche der Platine liegt als der zweite Layer der zweiten Gruppe. Die beiden ersten Leiterbahnen verlaufen in dem ersten Layer der ersten Gruppe und die beiden zweiten Leiterbahnen verlaufen in dem zweiten Layer der zweiten Gruppe.

[0024] Gemäß einem weiteren Merkmal der erfindungsgemäßen Platine sind ein erstes und ein zweites durchgehendes Kontaktierungsloch vorgesehen, die sich jeweils von der ersten Oberfläche zu der zweiten Oberfläche der Platine erstrecken. Die ersten Leiterbahnen verlaufen von den ersten Kontaktanschlüssen durch das erste durchgehende Kontaktierungsloch bis zu dem ersten Layer der ersten Gruppe. Die zweiten Leiterbahnen verlaufen von den zweiten Kontaktanschlüssen durch das zweite durchgehende Kontaktierungsloch bis zu dem ersten Layer der zweiten Gruppe.

[0025] Die erfindungsgemäße Platine umfasst vorzugsweise ein erstes blindes Kontaktierungsloch, das sich von der ersten Oberfläche der Platine bis zu dem ersten Layer der ersten Gruppe erstreckt. Des Weiteren ist ein zweites blindes Kontaktierungsloch vorgesehen, das sich von der zweiten Oberfläche der Platine bis zu dem ersten Layer der zweiten Gruppe erstreckt. Die ersten Leiterbahnen verlaufen von den ersten Kontaktanschlüssen durch das erste blinde Kontaktierungsloch zu dem ersten Layer der ersten Gruppe. Die zweiten Leiterbahnen verlaufen von den zweiten Kontaktanschlüssen durch das zweite blinde Kontaktierungsloch zu dem ersten Layer der zweiten Gruppe.

[0026] Nach einer weiteren Ausgestaltungsvariante der Platine verläuft ein erster Teil der ersten Leiterbahnen in dem ersten Layer der ersten Gruppe. Ein zweiter Teil der ersten Leiterbahnen verläuft in dem zweiten Layer der ersten Gruppe. Ein erster Teil der zweiten Leiterbahnen verläuft in dem ersten Layer der zweiten Gruppe. Ein zweiter Teil der zweiten Leiterbahnen verläuft in dem zweiten Layer der zweiten Gruppe.

[0027] Eine andere Ausgestaltung der erfindungsgemäßen Platine sieht ein erstes, zweites, drittes und viertes durchgehendes Kontaktierungsloch vor, die sich jeweils von der ersten Oberfläche zu der zweiten Oberfläche der Platine erstrecken. Der erste Teil der ersten Leiterbahnen verläuft von den ersten Kontaktanschlüssen durch das erste durchgehende Kontaktierungsloch bis zu dem ersten Layer der ersten Gruppe. Der zweite Teil der zweiten Leiterbahnen verläuft von den zweiten Kontaktanschlüssen durch das zweite durchgehende Kontaktierungsloch zu

dem ersten Layer der zweiten Gruppe. Der zweite Teil der ersten Leiterbahnen verläuft von den ersten Kontaktanschlüssen durch das dritte durchgehende Kontaktierungsloch bis zu dem zweiten Layer der ersten Gruppe. Der zweite Teil der zweiten Leiterbahnen verläuft von den zweiten Kontaktanschlüssen durch das vierte durchgehende Kontaktierungsloch bis zu dem zweiten Layer der zweiten Gruppe.

[0028] Eine andere Ausbildung der erfindungsgemäßen Platine sieht ein erstes blindes Kontaktierungsloch vor, das sich von der ersten Oberfläche der Platine bis zu dem ersten Layer der ersten Gruppe erstreckt. Ein zweites blindes Kontaktierungsloch erstreckt sich von der zweiten Oberfläche der Platine bis zu dem ersten Layer der zweiten Gruppe. Ein drittes blindes Kontaktierungsloch erstreckt sich von der ersten Oberfläche der Platine bis zu dem zweiten Layer der ersten Gruppe. Ein viertes blindes Kontaktierungsloch erstreckt sich von der zweiten Oberfläche der Platine bis zu dem zweiten Layer der zweiten Gruppe. Der erste Teil der ersten Leiterbahnen verläuft von den ersten Kontaktanschlüssen durch das erste blinde Kontaktierungsloch bis zu dem ersten Layer der ersten Gruppe. Der erste Teil der zweiten Leiterbahnen verläuft von den zweiten Kontaktanschlüssen durch das zweite blinde Kontaktierungsloch bis zu dem ersten Layer der zweiten Gruppe. Der zweite Teil der ersten Leiterbahnen verläuft von den ersten Kontaktanschlüssen in dem dritten blinden Kontaktierungsloch bis zu dem zweiten Layer der ersten Gruppe. Der zweite Teil der zweiten Leiterbahnen verläuft von den zweiten Kontaktanschlüssen durch das vierte blinde Kontaktierungsloch bis zu dem zweiten Layer der zweiten Gruppe.

[0029] Eine Weiterbildung der Platine sieht ein fünftes blindes Kontaktierungsloch vor, das sich von einem der Layer der ersten Gruppe zu der ersten Oberfläche der Platine erstreckt. Des Weiteren ist ein fünftes durchgehendes Kontaktierungsloch vorgesehen, das sich von der ersten Oberfläche zu der zweiten Oberfläche der Platine erstreckt. Die ersten Leiterbahnen verlaufen von dem einen der Layer der ersten Gruppe durch das fünfte blinde Kontaktierungsloch bis zu dem Halbleitersteuerbaustein. Die zweiten Leiterbahnen verlaufen von dem der Layer der zweiten Gruppe durch das fünfte durchgehende Kontaktierungsloch zu dem Halbleitersteuerbaustein.

[0030] Auf der Platine sind vorzugsweise Halbleiterspeicherbausteine angeordnet. Der Halbleitersteuerbaustein steuert das Durchführen von Lese- und Schreibzugriffen auf die Halbleiterspeicherbausteine.

[0031] Gemäß einer weiteren Ausführungsform der Platine enthalten die Halbleiterspeicherbausteine jeweils einen Speicherchip mit dynamischen Speicherzellen mit wahlfreiem Zugriff.

[0032] Der Halbleitersteuerbaustein ist vorzugsweise als ein Hub-Chip ausgebildet.

[0033] Der Hub-Chip des Halbleitersteuerbausteins befindet sich vorzugsweise in einem Ball-Grid-Array-Gehäuse.

[0034] Die erfindungsgemäße Platine ist vorzugsweise als eine Fully Buffered Dual-In Line Memory Platine ausgebildet.

Ausführungsbeispiel

[0035] Die Erfindung wird im Folgenden anhand von Figuren, die Ausführungsbeispiele der vorliegenden Erfindung zeigen, näher erläutert. Es zeigen:

[0036] [Fig. 1A](#) einen Querschnitt durch ein FB-DIMM Speichermodul

[0037] [Fig. 1B](#) eine Oberseite eines FBDIMM Speichermoduls,

[0038] [Fig. 1C](#) eine Unterseite eines FBDIMM Speichermoduls,

[0039] [Fig. 2](#) ein Speicherzellenfeld eines Speicherchips auf dem FBDIMM Speichermodul,

[0040] [Fig. 3](#) ein Ausschnitt der Unterseite der Platine eines FBDIMM-Speichermoduls im planaren Design,

[0041] [Fig. 4](#) ein Routing von Leiterbahnen auf inneren Layern einer Platine eines FBDIMM Speichermoduls gemäß dem Stand der Technik,

[0042] [Fig. 5](#) eine erste Ausführungsform eines Routings von Leiterbahnen auf inneren Layern einer Platine eines FBDIMM Speichermoduls gemäß der Erfindung,

[0043] [Fig. 6](#) eine zweite Ausführungsform eines Routings von Leiterbahnen auf inneren Layern einer Platine eines FBDIMM Speichermoduls gemäß der Erfindung.

[0044] [Fig. 5](#) zeigt eine Mehrebenen-Platine MP mit einer Oberseite TOP und Unterseite BOT. Zwischen der Oberseite und der Unterseite sind mehrere innere Layerebenen L1, L2, ..., Ln-1, Ln angeordnet. Die Layerebenen L1 und L2 gehören dabei zu einer Gruppe G1 von Layerebenen, die nahe an der Oberseite TOP der Platine angeordnet sind und die Layerebenen Ln-1 und Ln gehören zu einer Gruppe G2, die nahe an der Unterseite BOT der Platine angeordnet sind. Im Bereich der Eingangs- und Ausgangskontaktanschlüsse weist die Platine vier durchgehende Kontaktierungsöffnungen V1a, V1b, V2a und V2b auf, die sich von der Oberseite TOP zur Unterseite BOT

der Platine erstrecken. Im Bereich des Hubchips HC sind zwei durchgehende Kontaktierungsöffnungen V5a und V5b vorhanden, die sich ebenfalls von der Oberfläche TOP bis zu der Unterseite BOT der Platine erstrecken.

[0045] Erfindungsgemäß verlaufen alle Leiterbahnen, die Signale führen, die Kontaktanschlüssen auf der Oberseite der Platine zugeführt werden, auf mindestens einer Layerebene der Gruppe G1. Dabei ist es unabhängig, ob es sich bei den Signalen um Eingangssignale, die vom Speichercontroller zu dem Hubchip übertragen werden, oder ob es sich um Ausgangssignale, die von dem Hubchip zu dem Speichercontroller übertragen werden, handelt. Ebenso werden alle Signale, die Kontaktanschlüssen auf der Unterseite BOT der Platine zugeführt werden, auf inneren Layerebenen der Gruppe G2 übertragen. Dabei ist es auch hier unabhängig davon, ob es sich bei den Signalen um Eingangssignale, die vom Speichercontroller zum Hubchip gelangen, handelt oder ob es sich um Ausgangssignale, die vom Hub-Chip zum Speichercontroller übertragen werden, handelt.

[0046] Die an dem Eingangskontaktanschluss E1 dem FBDIMM-Speichermodul zugeführten Eingangssignale RX1 werden über das durchgehende Kontaktierungsloch V1a dem inneren Layer L1 zugeführt und verlaufen über die Leiterbahn RXL1 auf dem Layer L1 bis zu dem durchgehenden Kontaktierungsloch V5a, durch das sie auf die Oberseite TOP der Platine zu dem Eingangsanschluss HC1A des Hubchips gelangen. Die an dem Ausgangskontaktanschluss A1 erzeugten Signale TX1 werden von einem Ausgangsanschluss HCA1 des Hubchips über eine Leiterbahn TXL1, die durch das durchgehende Kontaktierungsloch V5a bis zur Layerebene L2 geführt, entlang der Layerebene L2 bis zum durchgehenden Kontaktierungsloch V1b geführt und von dort über das durchgehende Kontaktierungsloch V1b dem Ausgangskontaktanschluss A1 auf der Oberseite der Platine zugeführt.

[0047] Der auf der Unterseite der Platine angeordnete Eingangskontaktanschluss E2 ist über eine Leiterbahn RXL2 mit dem Eingangsanschluss HCE2 des Hubchips verbunden. Die Leiterbahn RXL2 verläuft dabei durch das durchgehende Kontaktierungsloch V2a bis zum inneren Layer Ln, entlang des inneren Layers Ln bis zu dem durchgehenden Kontaktierungsloch V5b und von dort bis zum Eingangsanschluss HCE2 des Hubchips auf der Oberseite TOP der Platine.

[0048] Das Ausgangssignal TX2 verläuft über eine Leiterbahn TXL2 von dem Ausgangsanschluss HCA2 auf der Oberseite der Platine durch das durchgehende Kontaktierungsloch V5b bis zu dem inneren Layer Ln-1, entlang dem inneren Layer Ln-1 bis zu dem durchgehenden Kontaktierungsloch V2b und

von dort zu dem Ausgangskontaktanschluss A2 auf der Unterseite BOT der Platine.

[0049] Vorzugsweise werden sämtliche Leiterbahnen, die zwischen den Eingangs- und Ausgangsanschlüssen HCE1 und HCA1 des Hubchips und den Eingangs- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite der Platine verlaufen, entlang eines der inneren Layer der Gruppe G1 geführt, der der Oberfläche TOP am nächsten liegt. Im Beispiel der [Fig. 5](#) werden also vorzugsweise alle Leiterbahnen RXL1 und TXL1 entlang dem inneren Layer L1 der Gruppe G1 geführt. Ebenso werden alle Leiterbahnen RXL2 und TXL2, die zwischen dem Eingangsanschluss HCE2 bzw. dem Ausgangsanschluss HCA2 des Hubchips und den Ein- bzw. Ausgangskontaktanschlüssen E2 bzw. A2 auf der Unterseite der Platine verlaufen, auf demjenigen inneren Layer der Gruppe G2 geführt, der der Unterseite BOT am nächsten liegt. Im Beispiel der [Fig. 5](#) werden also vorzugsweise die Leiterbahnen RXL2 und TXL2 entlang des Layers Ln geführt.

[0050] Ein Routing sämtlicher Leiterbahnen, die mit den Eingangs- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite der Platine verbunden sind, über einen gemeinsamen Layer, beispielsweise den Layer L1, und ein Routing aller Leiterbahnen, die mit den Ein- und Ausgangskontaktanschlüssen E2 und A2 auf der Unterseite der Platine verbunden sind, über einen gemeinsamen Layer, beispielsweise den Layer Ln, ist jedoch aus Platzgründen in den meisten Fällen unmöglich. Daher wird ein Teil der Leiterbahnen RXL1 und TXL1, die mit den Ein- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite der Platine verbunden sind, entlang des Layers L1 und ein zweiter Teil dieser Leiterbahnen auf dem nächsten darunter liegenden Layer L2 geführt. Ebenso werden ein Teil der Leiterbahnen RXL2 und TXL2, die mit den Ein- und Ausgangskontaktanschlüssen E2 und A2 auf der Unterseite der Platine verbunden sind, auf dem Layer Ln und ein weiterer Teil dieser Leiterbahnen auf dem nächst entfernten Layer Ln-1 geführt.

[0051] Der besseren Übersicht halber werden in [Fig. 5](#) die Eingangssignale RX1 entlang des Layers L1 und die Ausgangssignale TXL1 entlang des Layers L2 geführt. Eine derartige Trennung von Eingangs- und Ausgangssignalen ist jedoch nicht zwingend erforderlich. Dies bedeutet, dass sowohl entlang des Layers L1 als auch entlang des Layers L2 sowohl Eingangs- als auch Ausgangssignale verlaufen können, die den Ein- und Ausgangskontaktanschlüssen auf der Oberseite der Platine zugeführt werden. Ebenso ist die in [Fig. 5](#) dargestellte Aufteilung der Eingangs- und Ausgangssignale RX2 auf den Layer Ln und TX2 auf den Layer Ln-1 nicht zwingend erforderlich. Sowohl auf dem Layer Ln als auch auf dem Layer Ln-1 lassen sich sowohl Eingangs- als auch Ausgangssignale gemeinsam führen, die mit

den Ein- und Ausgangskontaktanschlüssen auf der Unterseite der Platine verbunden sind.

[0052] [Fig. 6](#) zeigt eine weitere Ausführungsform eines Routings von Leiterbahnen zwischen dem Hubchip und dem Speichercontroller. Im Gegensatz zur [Fig. 5](#) werden bei dieser Ausführungsform bevorzugt blinde Kontaktierungs Löcher verwendet. So verbinden im Bereich der Ein- und Ausgangskontaktanschlüsse das blinde Kontaktierungsloch V1a' die Oberseite TOP der Platine mit dem inneren Layer L1, das blinde Kontaktierungsloch V1b' die Oberseite TOP der Platine mit dem inneren Layer L2, das blinde Kontaktierungsloch V2a' die Unterseite BOT mit dem Layer Ln, das blinde Kontaktierungsloch V2b' die Unterseite BOT mit dem Layer Ln-1 und das blinde Kontaktierungsloch V5a' im Bereich des Hubchips die Layerebene L2 mit der Oberseite TOP der Platine.

[0053] Die Leiterbahn RXL1 verläuft vom Eingangskontaktanschluss E1 auf der Oberseite der Platine durch das blinde Kontaktierungsloch V1a' bis zu dem Layer L1, entlang des Layers L1 bis zu dem blinden Kontaktierungsloch V5a' und von dort bis zu dem Eingangsanschluss HCE1 des Hubchips. Die Leiterbahn TXL1 verläuft vom Ausgangsanschluss HCA1 des Hubchips durch das blinde Kontaktierungsloch V5a' bis zu dem inneren Layer L2, anschließend entlang des inneren Layers L2 bis zu dem blinden Kontaktierungsloch V1b' und von dort zu dem Ausgangskontaktanschluss A1 auf der Oberseite der Platine. Der Eingangskontaktanschluss E2 auf der Unterseite der Platine ist über die Leiterbahn RXL2, die durch das blinde Kontaktierungsloch V2a' bis zu der Layerebene Ln geführt wird und anschließend entlang der Layerebene Ln bis zu dem durchgehenden Kontaktierungsloch V5b' und danach durch das durchgehende Kontaktierungsloch V5b' bis zu dem Eingangsanschluss HCE2 des Hub-Chips verläuft, mit dem Eingangsanschluss HCE2 des Hubchips verbunden. Die Leiterbahn TXL2, die den Ausgangsanschluss HCA2 des Hubchips mit dem Ausgangskontaktanschluss A2 auf der Unterseite der Platine verbindet, wird durch das durchgehende Kontaktierungsloch V5b' bis zu dem Layer Ln-1 geführt, von dort entlang des Layers Ln-1 bis zu dem blinden Kontaktierungsloch V2b' geführt und von dort dem Ausgangskontaktanschluss A2 auf der Unterseite der Platine zugeführt.

[0054] Vorzugsweise sollen auch hier, wie bei der Ausführungsform der [Fig. 5](#), sämtliche Leiterbahnen, die mit den Ein- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite der Platine verbunden sind, entlang demjenigen inneren Layer der Gruppe G1 verlaufen, der der Oberseite TOP der Platine am nächsten liegt. Entsprechend sollen alle Leiterbahnen, die mit den Ein- und Ausgangskontaktanschlüssen E2 und A2 auf der Unterseite der Platine verbunden sind, entlang desjenigen inneren Layers der Gruppe G2 geführt werden, der der Unterseite BOT

der Platine am nächsten liegt.

[0055] Da im Beispiel der [Fig. 6](#) der zur Verfügung stehende Platz auf dem Layer L1 als auch auf dem Layer Ln begrenzt ist, wird ein Teil der Leiterbahnen, die mit den Ein- und Ausgangskontaktanschlüssen E1 und A1 auf der Oberseite der Platine verbunden sind, entlang des Layers L1 und ein anderer Teil dieser Leiterbahnen entlang des nach dem Layer L1 von der Oberseite nächst entfernteren Layers L2 geführt. Ebenso werden ein Teil der Leiterbahnen, die mit den Ein- und Ausgangskontaktanschlüssen E2 und A2 auf der Unterseite der Platine verbunden sind, entlang des zur Unterseite der Platine nächst gelegenen Layers Ln und ein weiterer Teil auf dem nach dem Layer Ln zur Unterseite nächst liegenden Layer Ln-1 geführt.

[0056] Wie bereits bei [Fig. 5](#) angemerkt, ist es dabei nicht zwingend erforderlich, wie in [Fig. 6](#) der Einfachheit halber dargestellt, dass entlang eines der beiden Layer Eingangssignale RX und auf dem nächsten darunter bzw. darüber liegenden Layer Ausgangssignale TX geführt werden. Stattdessen kann jeder der Layer L1 und L2 als auch jeder der Layer Ln und Ln-1 sowohl Eingangs- als auch Ausgangssignale führen.

[0057] Durch Verwendung der in [Fig. 5](#) und [Fig. 6](#) vorgeschlagenen Technik des Routings von Leiterbahnen kann das Übersprechen zwischen den einzelnen Leiterbahnen erheblich reduziert werden. Durch Verwendung der in [Fig. 6](#) vorgesehenen blinden Kontaktierungslöcher wird eine weitere Verbesserung des Übersprechens erzielt. Durch Verwendung von blinden Kontaktierungslöchern, insbesondere vorzugsweise der Verwendung kurzer blinder Kontaktierungslöcher, wie beispielsweise die Verwendung der Kontaktierungslöcher V1a' und V2a' lässt sich die Induktivität im Bereich der Kontaktierungslöcher deutlich reduzieren. Die Folge ist eine verbesserte Signalintegrität, sowie eine Reduzierung des Übersprechens. Des Weiteren lassen sich durch die erfindungsgemäße Technik des Routings von Leiterbahnen Reflektionen von Signalen deutlich reduzieren und die Intersymbolinterferenz verbessern.

Bezugszeichenliste

MP	Platine
SP	Speicherchip
HC	Hubchip
E	Eingangskontaktanschluss
A	Ausgangskontaktanschluss
TOP	Oberseite
BOT	Unterseite
ECC	Error Correction Speicherchip
SZF	Speicherzellenfeld
SZ	Speicherzelle
BL	Bitleitung
WL	Wortleitung

AT	Auswahltransistor
SC	Speicher kondensator
RXL, TXL	Leiterbahnen
HCE, HCA	Ein- und Ausgangsanschlüsse des Hubchips
L	Layer Ebenen
V	durchgehende Kontaktierungslöcher
V'	blinde Kontaktierungslöcher

Patentansprüche

1. Platine zur Reduzierung des Übersprechens von Signalen,
 - die eine erste Oberfläche (TOP) und eine zweite Oberfläche (BOT) aufweist,
 - die mehrere Layer (L1, L2, ..., Ln-1, Ln) umfasst, die in einer übereinander gestapelten Anordnung zwischen der ersten Oberfläche (TOP) und der zweiten Oberfläche (BOT) angeordnet sind, wobei eine erste Gruppe (G1) der Layer (L1, L2) näher an der ersten Oberfläche (TOP) der Platine und eine zweite Gruppe (G2) der Layer (Ln-1, Ln) näher an der zweiten Oberfläche (BOT) der Platine liegen,
 - mit einem Halbleitersteuerbaustein (HC), der auf der ersten Oberfläche (TOP) der Platine angeordnet ist,
 - mit mindestens zwei ersten Kontaktanschlüssen (E1, A1), die auf der ersten Oberfläche (TOP) der Platine angeordnet sind, wobei einer der beiden ersten Kontaktanschlüsse (E1) zum Anlegen eines ersten Eingangssignals (RX1) und der andere der beiden ersten Kontaktanschlüsse (A1) zum Erzeugen eines ersten Ausgangssignals (TX1) verwendet wird,
 - mit mindestens zwei zweiten Kontaktanschlüssen (E2, A2), die auf der zweiten Oberfläche (BOT) der Platine angeordnet sind, wobei einer der beiden zweiten Kontaktanschlüsse (E2) zum Anlegen eines zweiten Eingangssignals (RX2) und der andere der beiden zweiten Kontaktanschlüsse (A2) zum Erzeugen eines zweiten Ausgangssignals (TX2) verwendet wird,
 - mit mindestens zwei ersten Leiterbahnen (RXL1, TXL1), wobei eine der beiden ersten Leiterbahnen (RXL1) zur Übertragung des ersten Eingangssignals (RX1) von dem einen der beiden ersten Kontaktanschlüsse (E1) zu dem Halbleitersteuerbaustein (HC) und die andere der beiden ersten Leiterbahnen (TXL1) zur Übertragung des ersten Ausgangssignals (TX1) von dem Halbleitersteuerbaustein (HC) zu dem anderen der beiden ersten Kontaktanschlüsse (E2) verwendet wird,
 - mit mindestens zwei zweiten Leiterbahnen (RXL2, TXL2), wobei eine der beiden zweiten Leiterbahnen (RXL2) zur Übertragung des zweiten Eingangssignals (RX2) von dem einen der beiden zweiten Kontaktanschlüsse (E2) zu dem Halbleitersteuerbaustein (HC) und die andere der beiden zweiten Leiterbahnen (TXL2) zur Übertragung des zweiten Ausgangssignals (TX2) von dem Halbleitersteuerbaustein (HC) zu dem anderen der beiden zweiten Kontaktan-

schlüsse (A2) verwendet wird,

- bei dem die beiden ersten Leiterbahnen (RXL1, TXL1) in mindestens einem der Layer (L1, L2) der ersten Gruppe (G1) der Layer verlaufen,
- bei dem die beiden zweiten Leiterbahnen (RXL2, TXL2) in mindestens einem der Layer (Ln-1, Ln) der zweiten Gruppe (G2) der Layer verlaufen.

2. Platine nach Anspruch 1,

- bei dem die Layer der ersten Gruppe (G1) einen ersten Layer (L1) und mindestens einen zweiten Layer (L2) umfassen, wobei der erste Layer (L1) der ersten Gruppe (G1) näher an der ersten Oberfläche (TOP) der Platine liegt als der zweite Layer (L2) der ersten Gruppe (G1),
- bei dem die Layer der zweiten Gruppe (G2) einen ersten Layer (Ln) und mindestens einen zweiten Layer (Ln-1) umfassen, wobei der erste Layer (Ln) der zweiten Gruppe (G2) näher an der zweiten Oberfläche (BOT) der Platine liegt als der zweite Layer (Ln-1) der zweiten Gruppe (G2),
- bei dem die beiden ersten Leiterbahnen (RXL1, TXL1) in dem ersten Layer (L1) der ersten Gruppe (G1) und die beiden zweiten Leiterbahnen (RXL2, TXL2) in dem zweiten Layer (L2) der zweiten Gruppe (G2) verlaufen.

3. Platine nach Anspruch 2,

- mit einem ersten und zweiten durchgehenden Kontaktierungsloch (V1R, V2A), die sich jeweils von der ersten Oberfläche (TOP) zu der zweiten Oberfläche (BOT) der Platine erstrecken,
- bei dem die ersten Leiterbahnen (RXL1, TXL1) von den ersten Kontaktanschlüssen (E1, A1) durch das erste durchgehende Kontaktierungsloch (V1A) bis zu dem ersten Layer (L1) der ersten Gruppe (G1) und die zweiten Leiterbahnen (RXL2, TXL2) von den zweiten Kontaktanschlüssen (E2, A2) durch das zweite durchgehende Kontaktierungsloch (V2A) zu dem ersten Layer (Ln) der zweiten Gruppe (G2) verlaufen.

4. Platine nach Anspruch 2,

- mit einem ersten blinden Kontaktierungsloch (V1A'), das sich von der ersten Oberfläche (TOP) der Platine bis zu dem ersten Layer (L1) der ersten Gruppe (G1) erstreckt,
- mit einem zweiten blinden Kontaktierungsloch (V2A'), das sich von der zweiten Oberfläche (BOT) der Platine bis zu dem ersten Layer (Ln) der zweiten Gruppe (G2) erstreckt,
- bei dem die ersten Leiterbahnen (RXL1, TXL1) von den ersten Kontaktanschlüssen (E1, A1) durch das erste blinde Kontaktierungsloch (V1A') zu dem ersten Layer (L1) der ersten Gruppe (G1) und die zweiten Leiterbahnen (RXL2, TXL2) von den zweiten Kontaktanschlüssen (E2, A2) durch das zweite blinde Kontaktierungsloch (V2A') zu dem ersten Layer (Ln) der zweiten Gruppe (G2) verlaufen.

5. Platine nach Anspruch 2,

- bei dem ein erster Teil der ersten Leiterbahnen (RXL1) in dem ersten Layer (L1) der ersten Gruppe (G1) verläuft,
- bei dem ein zweiter Teil der ersten Leiterbahnen (TXL1) in dem zweiten Layer (L2) der ersten Gruppe (G1) verläuft,
- bei dem ein erster Teil der zweiten Leiterbahnen (RXL2) in dem ersten Layer (Ln) der zweiten Gruppe (G2) verläuft,
- bei dem ein zweiter Teil der zweiten Leiterbahnen (TXL2) in dem zweiten Layer (Ln-1) der zweiten Gruppe (G2) verläuft.

6. Platine nach Anspruch 5,

- mit einem ersten, zweiten, dritten und vierten durchgehenden Kontaktierungsloch (V1A, V2A, V1B, V2B), die sich jeweils von der ersten Oberfläche (TOP) zu der zweiten Oberfläche (BOT) der Platine erstrecken,
- bei dem der erste Teil der ersten Leiterbahnen (RXL1) von den ersten Kontaktanschlüssen (E1) durch das erste durchgehende Kontaktierungsloch (V1A) bis zu dem ersten Layer (L1) der ersten Gruppe (G1) und der erste Teil der zweiten Leiterbahnen (RXL2) von den zweiten Kontaktanschlüssen (A2) durch das zweite durchgehende Kontaktierungsloch (V2A) zu dem ersten Layer (Ln) der zweiten Gruppe (G2) verläuft,
- bei dem der zweite Teil der ersten Leiterbahnen (TXL1) von den ersten Kontaktanschlüssen (A1) durch das dritte durchgehende Kontaktierungsloch (V1B) bis zu dem zweiten Layer (L2) der ersten Gruppe (G1) und der zweite Teil der zweiten Leiterbahnen (TXL2) von den zweiten Kontaktanschlüssen (A2) durch das vierte durchgehende Kontaktierungsloch (V2B) bis zu dem zweiten Layer (Ln-1) der zweiten Gruppe (G2) verläuft.

7. Platine nach Anspruch 5,

- mit einem ersten blinden Kontaktierungsloch (V1A'), das sich von der ersten Oberfläche (TOP) der Platine bis zu dem ersten Layer (L1) der ersten Gruppe (G1) erstreckt,
- mit einem zweiten blinden Kontaktierungsloch (V2A'), das sich von der zweiten Oberfläche (BOT) der Platine bis zu dem ersten Layer (Ln) der zweiten Gruppe (G2) erstreckt,
- mit einem dritten blinden Kontaktierungsloch (V1B'), das sich von der ersten Oberfläche (TOP) der Platine bis zu dem zweiten Layer (L2) der ersten Gruppe (G1) erstreckt,
- mit einem vierten blinden Kontaktierungsloch (V2B'), das sich von der zweiten Oberfläche (BOT) der Platine bis zu dem zweiten Layer (Ln-1) der zweiten Gruppe (G2) erstreckt,
- bei dem der erste Teil der ersten Leiterbahnen (RXL1) von den ersten Kontaktanschlüssen (E1) durch das erste blinde Kontaktierungsloch (V1A') bis zu dem ersten Layer (L1) der ersten Gruppe (G1) und

der erste Teil der zweiten Leiterbahnen (RXL2) von den zweiten Kontaktanschlüssen (E2) durch das zweite blinde Kontaktierungsloch (V2A') bis zu dem ersten Layer (Ln) der zweiten Gruppe (G2) verläuft,
– bei dem der zweite Teil der ersten Leiterbahnen (TXL1) von den ersten Kontaktanschlüssen (A1) in dem dritten blinden Kontaktierungsloch (V1B') bis zu dem zweiten Layer (L2) der ersten Gruppe (G1) und der zweite Teil der zweiten Leiterbahnen (TXL2) von den zweiten Kontaktanschlüssen (A2) durch das vierte blinde Kontaktierungsloch (V2B') bis zu dem zweiten Layer (Ln-1) der zweiten Gruppe (G2) verläuft.

8. Platine nach einem der Ansprüche 1 bis 7,
– mit einem fünften blinden Kontaktierungsloch (V5A'), das sich von einem der Layer (L1, L2) der ersten Gruppe (G1) zu der ersten Oberfläche (TOP) der Platine erstreckt,
– mit einem fünften durchgehenden Kontaktierungsloch (V5B'), das sich von der ersten Oberfläche (TOP) zu der zweiten Oberfläche (BOT) der Platine erstreckt,
– bei dem die ersten Leiterbahnen (RXL1, TXL1) von dem einen der Layer (L1, L2) der ersten Gruppe (G1) durch das fünfte blinde Kontaktierungsloch (V5A') bis zu dem Halbleitersteuerbaustein (HC) verlaufen,
– bei dem die zweiten Leiterbahnen (RXL2, TXL2) von dem einen der Layer (Ln-1, Ln) der zweiten Gruppe (G2) durch das fünfte durchgehende Kontaktierungsloch (V5B') zu dem Halbleitersteuerbaustein (HC) verlaufen.

9. Platine nach einem der Ansprüche 1 bis 8,
– auf der Halbleiterspeicherbausteine (B) angeordnet sind,
– bei der der Halbleitersteuerbaustein (HC) das Durchführen von Lese- und Schreibzugriffen auf die Halbleiterspeicherbausteine steuert.

10. Platine nach Anspruch 9, bei dem die Halbleiterspeicherbausteine (B) jeweils einen Speicherchip (SP) mit dynamischen Speicherzellen (SZ) mit wahlfreiem Zugriff enthalten.

11. Platine nach einem der Ansprüche 1 bis 10, bei der der Halbleitersteuerbaustein einen Hubchip (HC) enthält.

12. Platine nach Anspruch 11, bei der sich der Hubchip (HC) des Halbleitersteuerbausteins in einem Ball-Grid-Array Gehäuse befindet.

13. Platine nach einem der Ansprüche 1 bis 12, die als eine Fully Buffered Dual-In Line Memory Platine (MP) ausgebildet ist.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1A

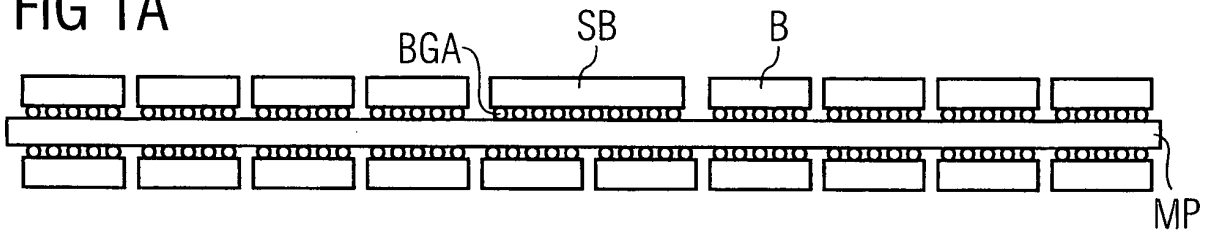


FIG 1B

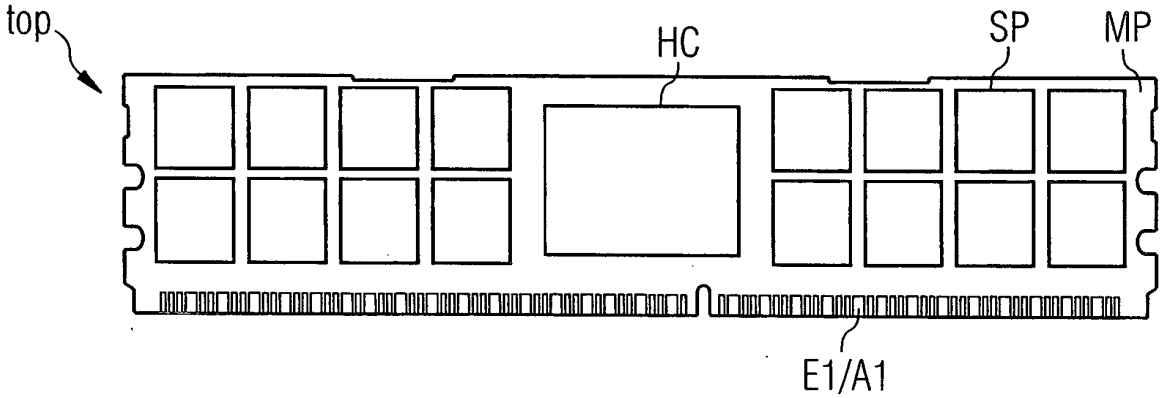


FIG 1C

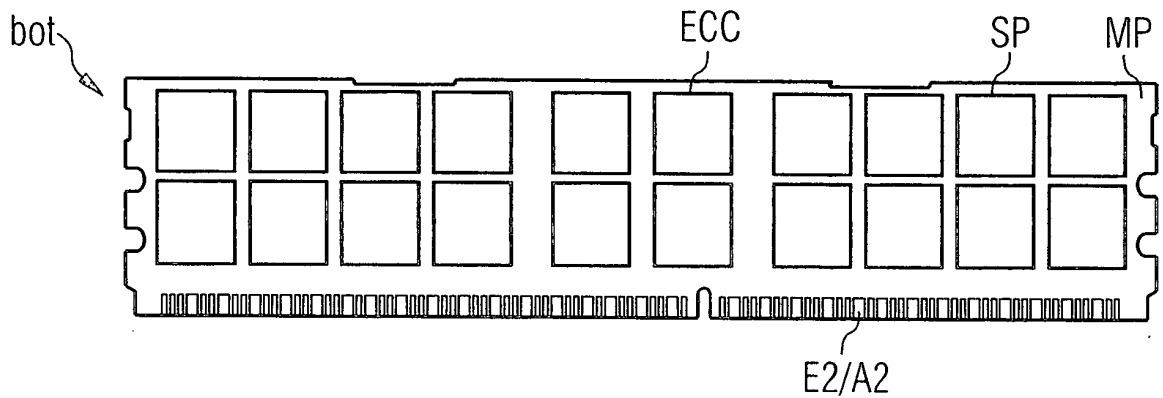


FIG 2

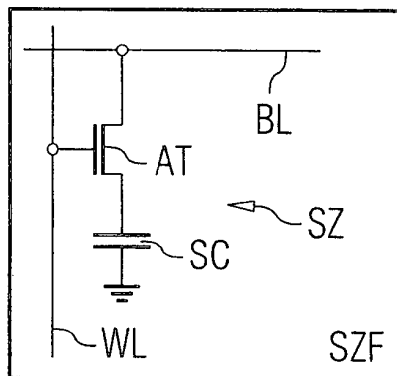
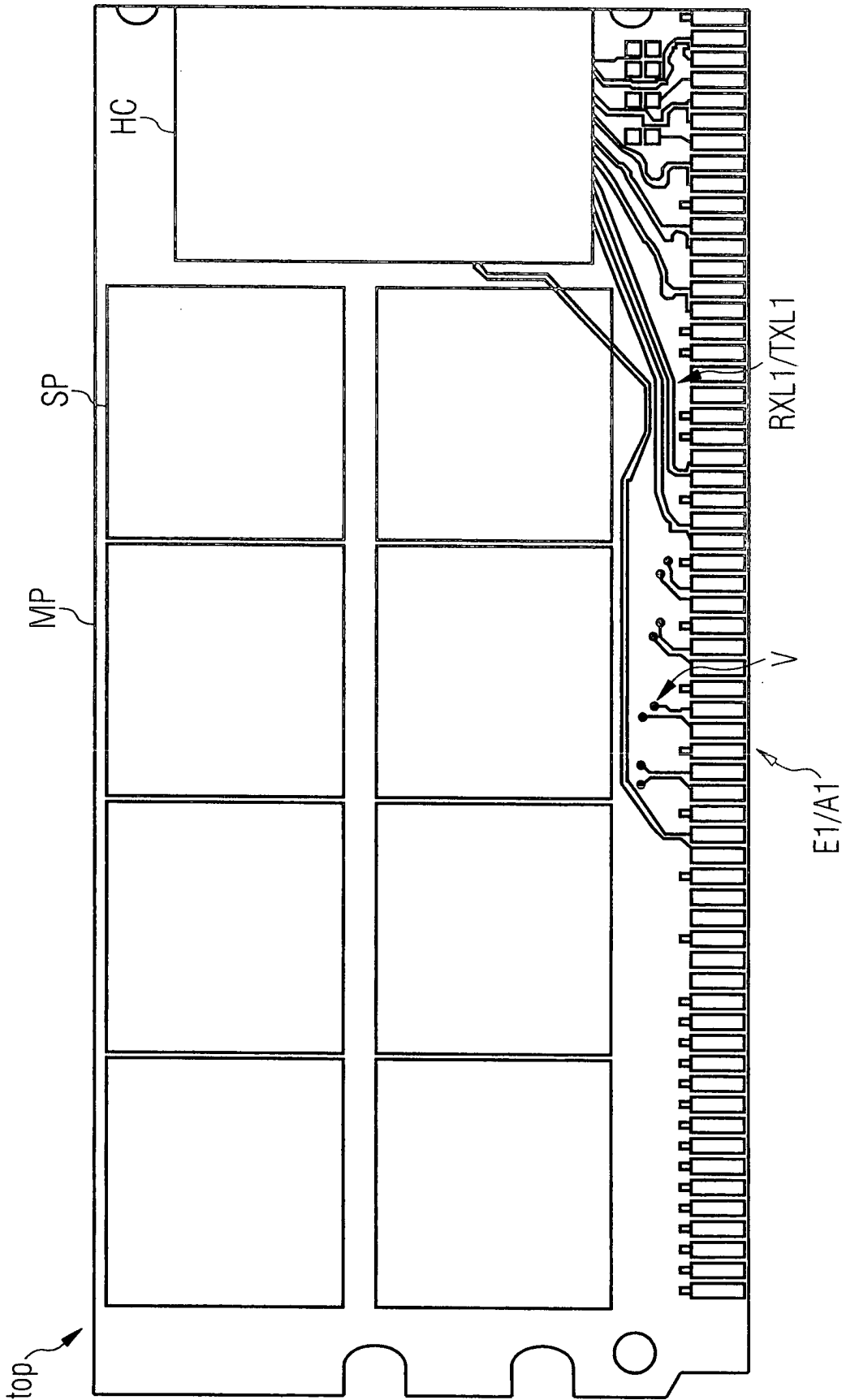


FIG 3



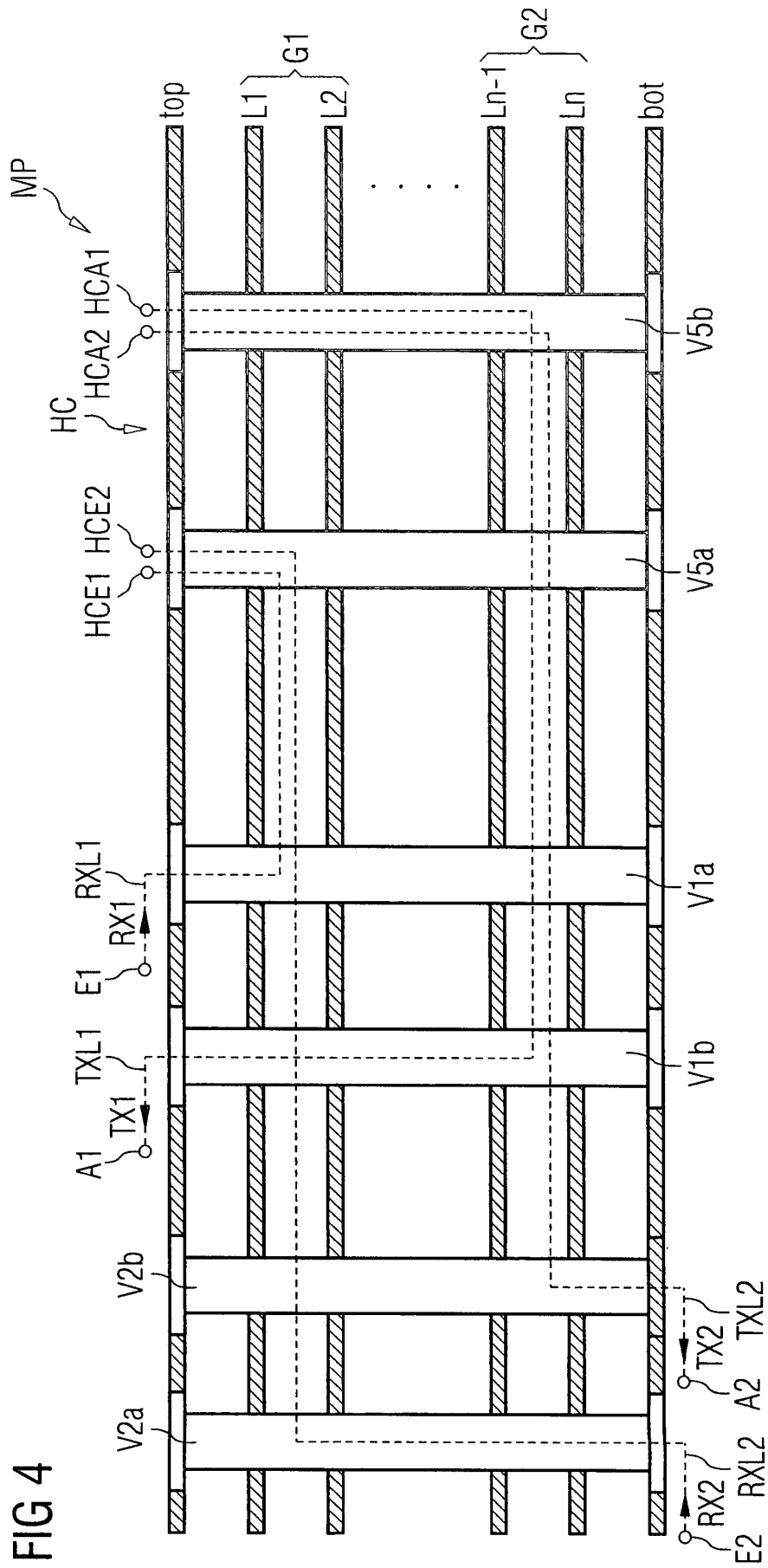


FIG 4

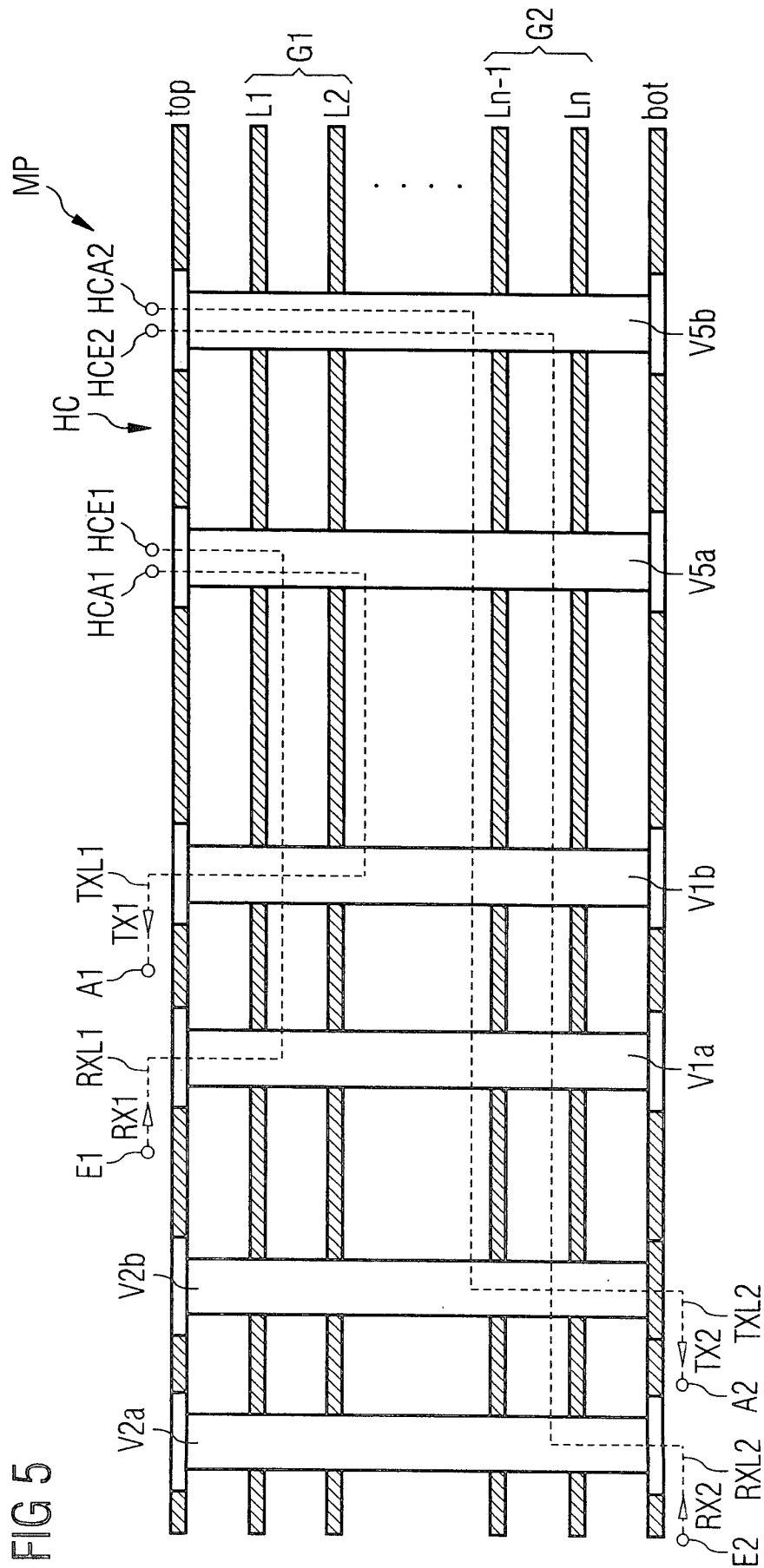


FIG 5

