

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-147940

(P2008-147940A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO4L 25/02 (2006.01)</b>	HO4L 25/02 S	5J056
<b>HO3K 19/0175 (2006.01)</b>	HO3K 19/00 IO1F	5J500
<b>HO3F 3/45 (2006.01)</b>	HO3K 19/00 IO1Q	5K029
<b>HO4L 25/03 (2006.01)</b>	HO3F 3/45 Z	
	HO4L 25/03 C	

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2006-332152 (P2006-332152)  
 (22) 出願日 平成18年12月8日 (2006.12.8)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100109830  
 弁理士 福原 淑弘

最終頁に続く

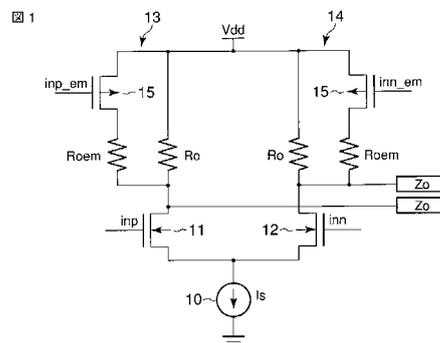
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】半導体集積回路の電流出力バッファ回路の電流を増加させずに、または、少ない電流増加量で、伝送信号のエンファシスあるいはディエンファシスを実現する。

【解決手段】半導体集積回路において、定電流  $I_s$  で駆動され、差動的な伝送信号入力  $inp$ 、 $inn$  のビットレートに応じて出力インピーダンスが制御される電流出力バッファ回路を具備し、電流出力バッファ回路から信号伝送路に出力される信号波形が伝送信号入力のビットレートに応じて制御される。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

定電流で駆動され、差動的な伝送信号入力のビットレートに応じて出力インピーダンスが制御される電流出力バッファ回路を具備し、前記電流出力バッファ回路から信号伝送路に出力される信号波形が伝送信号のビットレートに応じて制御されることを特徴とする半導体集積回路。

**【請求項 2】**

前記電流出力バッファ回路は、合成抵抗が前記信号伝送路のインピーダンスと等しくなる 2 つ以上の並列抵抗を具備し、前記並列抵抗の抵抗値が制御されることにより任意の出力インピーダンスとなるように制御されることを特徴とする請求項 1 記載の半導体集積回路。

10

**【請求項 3】**

前記電流出力バッファ回路は、伝送信号入力のビットレートが高い時に出力インピーダンスが高くなるように制御されることにより、高速信号の振幅を強調し、高速信号伝送における減衰を補償することを特徴とする請求項 2 記載の半導体集積回路。

**【請求項 4】**

前記電流出力バッファ回路は、前記並列抵抗に付加接続される制御抵抗をさらに具備し、伝送信号入力のビットレートに応じて前記制御抵抗の抵抗値が制御されることにより、伝送信号入力のビットレートが高い時にも信号伝送路インピーダンスと整合させることを特徴とする請求項 3 記載の半導体集積回路。

20

**【請求項 5】**

前記電流出力バッファ回路は、伝送信号入力のビットレートが低い時に出力インピーダンスが低くなるように制御されることにより、低速信号の振幅を減衰させることを特徴とする請求項 1 記載の半導体集積回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体集積回路に係り、特に出力バッファ回路に関するもので、例えば有線を用いた信号伝送線路における高速信号伝送時の損失を補償し高品質な波形品質を実現するために使用されるものである。

30

**【背景技術】****【0002】**

例えばパーソナルコンピュータと外部記憶装置との間、テレビジョン受像機とDVD記録再生装置との間で有線を用いて高速信号伝送を行う際、伝送信号のビットレートが高速の時には信号伝送線路における高周波成分の損失により十分な信号振幅を確保できない。このため、信号伝送線路における振幅損失を補償する技術としてエンファシスが用いられる。一般的なエンファシスでは、伝送信号の高速なビットレート時や、立ち上がり、立下り時のみ出力バッファに流れる電流を増加することによりエンファシスを実現する（特許文献 1 参照）。しかし、通常、出力バッファ回路に必要とされる電流は非常に大きいので、エンファシスを実現するために増加させる電流も非常に大きなものとなり、システム全体の消費電流の多大な増加を招く。

40

**【特許文献 1】**特開 2002 - 368600 号公報

**【発明の開示】****【発明が解決しようとする課題】****【0003】**

本発明は前記した従来の問題点を解決すべくなされたもので、電流出力バッファ回路の電流を増加させずに、または、少ない電流増加量で伝送信号のエンファシスあるいはディエンファシスを実現し得る半導体集積回路を提供することを目的とする。

**【課題を解決するための手段】****【0004】**

50

本発明の半導体集積回路は、定電流で駆動され、差動的な伝送信号入力のビットレートに応じて出力インピーダンスが制御される電流出力バッファ回路を具備し、前記電流出力バッファ回路から信号伝送路に出力される信号波形が伝送信号のビットレートに応じて制御されることを特徴とする。

【発明の効果】

【0005】

本発明の半導体集積回路によれば、電流出力バッファ回路の電流を増加させずに、または、少ない電流増加量で、伝送信号のエンファシスあるいはディエンファシスを実現することができる。

【発明を実施するための最良の形態】

10

【0006】

以下、図面を参照して本発明の実施形態を説明する。この説明に際して、全図にわたり共通する部分には共通する参照符号を付す。

【0007】

<第1の実施形態>

図1は、本発明の半導体集積回路における第1の実施形態に係るCML（電流結合論理）型の電流出力バッファ回路を示す回路図である。図1において、11および12は差動的な伝送信号入力inp、innが供給される差動入力用のNMOSトランジスタであり、ソース同士が共通接続されている。13および14は高電位側電源（電源電位V<sub>dd</sub>）と差動対トランジスタ11、12の各ドレインとの間にそれぞれ接続されている可変インピーダンス回路である。差動対トランジスタ11、12の各ドレインにはそれぞれ信号伝送路が接続されており、各信号伝送路はインピーダンスZ<sub>o</sub>を有する。10は上記差動対トランジスタ11、12のソース共通接続ノードと低電位側電源（接地電位V<sub>ss</sub>）との間に接続され、定電流I<sub>s</sub>を流す定電流源回路である。

20

【0008】

各可変インピーダンス回路13、14は、合成抵抗が信号伝送路インピーダンスZ<sub>o</sub>と等しくなる2つ以上の並列抵抗素子を具備し、制御信号により任意の抵抗値となるように制御される。本例では、各可変インピーダンス回路13、14は、固定接続用の抵抗R<sub>o</sub>に選択接続用の抵抗R<sub>oem</sub>が並列接続され、抵抗R<sub>oem</sub>に直列にスイッチ用のPMOSトランジスタ15が接続されている。そして、各可変インピーダンス回路13、14におけるスイッチ用のPMOSトランジスタ15のゲートには、対応して前記伝送信号入力inp、innに同期した制御信号inp<sub>em</sub>、inn<sub>em</sub>が印加される。この制御信号inp<sub>em</sub>、inn<sub>em</sub>は、差動的な伝送信号入力inp、innの立ち上がり時に一時的に活性状態（本例ではハイレベル）になり、伝送信号入力inp、innのビットレートが高い時には伝送信号入力inp、innの活性期間にわたって活性状態になる。

30

【0009】

図2は、図1の電流出力バッファ回路の伝送信号入力inpのビットレートと可変インピーダンス回路制御信号inp<sub>em</sub>と出力信号振幅との関係の一例を示すタイミング波形図である。伝送信号入力innと可変インピーダンス回路制御信号inp<sub>em</sub>は、それぞれ前記信号inp、inp<sub>em</sub>の反転信号である。伝送信号入力inp、innは、ビットレートが高い時は例えば1GHzであり、ビットレートが低い時は例えば500MHzである。

40

【0010】

以下、図2を参照しながら、図1の電流出力バッファ回路の動作例を説明する。

【0011】

この電流出力バッファ回路は、定電流I<sub>s</sub>で駆動され、差動対をなすNMOSトランジスタ11、12は、伝送信号入力inp、innにより差動的に駆動される。

【0012】

各可変インピーダンス回路13、14において2つの抵抗R<sub>o</sub>、R<sub>oem</sub>が並列接続された状態の抵抗値は、

$$R_o \times R_{oem} / (R_o + R_{oem}) = Z_o \quad \dots \quad (1)$$

50

$$R_{oem} = R_o \times Z_o / (R_o - Z_o) \quad \dots \quad (2)$$

である。

【0013】

差動対をなすNMOSトランジスタ11、12の一方側のドレインノード（出力ノード）の出力電圧のハイレベルをVdrh、ロウレベルをVdrlで表わすと、出力信号の振幅voは、

$$v_o = V_{drh} - V_{drl} \quad \dots \quad (3)$$

である。出力信号振幅voを増やす目的でVdrlを下げるためにIsを増加させると、消費電流が大きくなってしまふ。そこで、本例では、出力信号振幅voを増やすために、Vdrlを下げるタイミングで制御信号inp\_em、inn\_emにより一方の可変インピーダンス回路13または14の抵抗値を一時的に増やすように制御している。即ち、伝送信号入力inp、innの立ち上がり時およびビットレートが高い時の活性期間には、制御信号inp\_em、inn\_emが活性状態になり、一方の可変インピーダンス回路13または14ではスイッチ用のPMOSトランジスタ15がオフ状態に制御されて出力インピーダンスが高くなる。また、他方の可変インピーダンス回路14または13ではスイッチ用のPMOSトランジスタ15がオン状態に制御されて出力インピーダンスが低くなる（Zoに整合する）ように制御される。

【0014】

このように伝送信号入力inp、innの立ち上がり時およびビットレートが高い時の活性期間には、出力インピーダンスが任意の値に高くなるように切り替え制御されるので、伝送信号入力inp、innの立ち上がり時および高速時の信号振幅を強調し、信号伝送路へ出力する高速信号の振幅を強調し、高速信号伝送における減衰を補償することが可能になる。

【0015】

以下、数式を用いて動作例を説明する。可変インピーダンス回路13、14の2つの抵抗Ro、Roemが並列接続されている時の出力ノードの電圧は、出力信号のハイレベルVdrhである。これに対して、可変インピーダンス回路の2つの抵抗Ro、Roemのうちの一方の抵抗Roemの接続が切り離された時の出力ノードの電圧は、出力信号のロウレベルVdrlであり、

$$V_{drl} = V_{dd} - I_s \times R_o \quad \dots \quad (4)$$

である。したがって、出力信号の振幅voを所望値に増やすためには、Roの抵抗値を適切に設定してIs × Roを増やすことで可能になり、Isを増加させない（消費電流を増加させない）で済む。

【0016】

即ち、図1の電流出力バッファ回路によれば、通常時は伝送線路インピーダンスZoと整合のとれた出力インピーダンスRo × Roem / (Ro + Roem)とし、伝送信号のビットレートが高速な時、信号立上がり、立下り時のように出力信号振幅を増やしたい（エンファシスをかけたい）時は出力インピーダンスを大きくすることができる。

【0017】

< 第2の実施形態 >

図3は、第2の実施形態に係るCML型の電流出力バッファ回路を示す回路図である。第2の実施形態は、前述した第1の実施形態と比べて、基本的には同じであるが、各可変インピーダンス回路13、14に対してそれぞれ直列に制御抵抗Roemが接続され、接続された2つの制御抵抗Roemの各一端と接地ノードとの間に電流源30が挿入されている点が異なる。即ち、各可変インピーダンス回路13、14の出力ノード側の一端と電流源30との間に、制御抵抗Roemとスイッチ用のNMOSトランジスタ31との直列回路が接続されており、これらの各スイッチ用のNMOSトランジスタ31のゲートに相補的な制御信号inp\_em、inn\_emが対応して印加される。電流源30は、電流源10の定電流Isの（係数）倍の定電流 × Isを流す。

【0018】

次に、図3の電流出力バッファ回路の動作を説明する。伝送信号入力inp、innの立ち上

がり時およびビットレートが高い期間に、可変インピーダンス回路 13 または 14 のスイッチ用の P M O S トランジスタ 15 がオフになって選択接続用の抵抗  $R_{oem}$  が並列接続されなくなる。この時、当該可変インピーダンス回路 13 または 14 に直列に接続されているスイッチ用の N M O S トランジスタ 31 はオン状態に制御されるので、出力ノード（信号伝送路側）から見て可変インピーダンス回路 13 または 14 の抵抗  $R_o$  に対して制御抵抗  $R_{oem}$  が並列接続される。したがって、伝送信号入力  $inp$ 、 $inn$  の立ち上がり時およびビットレートが高い時にも出力インピーダンスを信号伝送路インピーダンス  $Z_o$  に整合させることが可能になり、伝送信号のビットレートに依存せずに信号伝送路インピーダンス  $Z_o$  に完全に整合させることが可能になる。

【0019】

10

なお、図3の電流出力バッファ回路においては、追加した制御抵抗  $R_{oem}$  側に余分な電流  $\times I_s$  が流れてしまうが、例えば、 $R_{oem} = R_o = 2 \times Z_o$  となるように設定し、 $\beta = 1/4$  に設定すると、図1の電流出力バッファ回路よりも電流が25%増加するだけで、信号振幅を2.5倍に増やすことが可能になる。エンファシスのために電流を増やすのみでは、2.5倍の信号振幅を得るためには250%の電流増加が必要になるのに対して、本実施形態では1/10の電流量増加で所望のエンファシス効果が得られる。

【図面の簡単な説明】

【0020】

20

【図1】本発明の半導体集積回路における第1の実施形態に係るCML型の電流出力バッファ回路を示す回路図。

【図2】図1の電流出力バッファ回路の伝送信号入力のビットレートと可変インピーダンス回路制御信号と出力信号振幅の関係の一例を示すタイミング波形図。

【図3】第2の実施形態に係るCML型の電流出力バッファ回路を示す回路図。

【符号の説明】

【0021】

10...定電流源回路、11、12...差動入力用のN M O S トランジスタ、13、14...可変インピーダンス回路、15...スイッチ用のP M O S トランジスタ、 $R_o$ ...固定接続用の抵抗、 $R_{oem}$ ...選択接続用の抵抗、 $Z_o$ ...信号伝送路インピーダンス。



---

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 高木 晋吾

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5J056 AA04 AA40 BB00 CC00 CC01 DD13 DD28 DD59 EE06 EE13

FF07 FF09 GG10 KK01

5J500 AA01 AA12 AC61 AF11 AH09 AH25 AK02 AK05 AM18 AS13

AT06 DN01 DN23 DP02

5K029 AA03 DD03 DD24 GG07 LL12