

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 085 240

21 N° d'enregistrement national : 18 57592

51 Int Cl⁸ : H 03 M 1/10 (2019.01), H 03 M 1/12

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 22.08.18.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 28.02.20 Bulletin 20/09.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension : Polynésie-Fr

71 Demandeur(s) : SCALINX Société par actions simplifiée — FR.

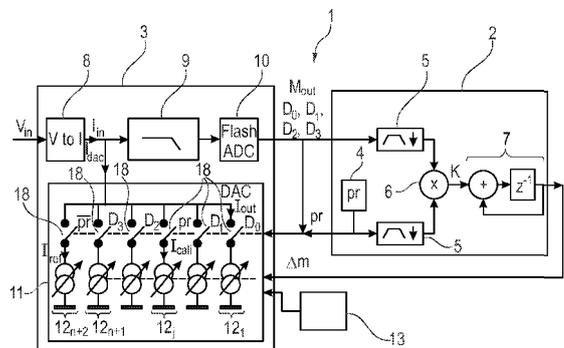
72 Inventeur(s) : MARIE HERVE.

73 Titulaire(s) : SCALINX Société par actions simplifiée.

74 Mandataire(s) : CABINET NONY.

54 CORRECTION D'ERREURS D'APPARIEMENT DANS UN MODULATEUR DELTA-SIGMA MULTI-BIT.

57 Procédé de calibration d'un modulateur Delta-Sigma multi-bit comportant au moins un convertisseur principal numérique-analogique multi-bit dans la boucle de retour (11) pour générer un signal de retour (I_{dac}) soustrait à l'entrée du modulateur, le convertisseur principal (11) comportant une pluralité de cellules sources élémentaires dont certaines au moins, dites actives ($12_{>1}, \dots, 12_{>n}$), sont associées aux différents bits d'entrée ($D_{>0}, \dots, D_{>n-1}$) du convertisseur pour générer le signal de retour, le niveau de sortie de ces cellules sources actives étant ajustable sous l'action d'un signal d'appariement (Δm), le signal d'appariement provenant d'un circuit de calibration (2) recevant en entrée un signal de sortie du modulateur (M_{out}), ce circuit de calibration (2) comportant un générateur d'une séquence de calibration (pr).



FR 3 085 240 - A1



CORRECTION D'ERREURS D'APPARIEMENT DANS UN MODULATEUR DELTA-SIGMA MULTI-BIT

La présente invention concerne la correction d'erreurs d'appariement (« *mismatch errors* » en anglais) dans un modulateur Delta-Sigma multi-bit.

5 Un modulateur Delta-Sigma comporte, de manière conventionnelle, un filtre de boucle analogique qui peut notamment être passe-bas, passe-haut ou passe-bande, suivi d'un convertisseur analogique-numérique. Le modulateur comporte également au moins un convertisseur numérique-analogique de retour. Ce convertisseur comporte, dans le cas d'un modulateur multi-bit, plusieurs sources de courant ou de tension, présentant des
10 erreurs d'appariement, ces erreurs pouvant évoluer en fonction des conditions environnementales : température, tension d'alimentation, ou vieillissement des composants.

L'intérêt d'un modulateur Delta-Sigma réside dans sa grande résolution de sortie possible (jusqu'à 16, 24, 32 bits, voire plus) pour des signaux d'entrée avec une
15 bande passante modérée. Toutefois, dans un modulateur Delta-Sigma multi-bit, les performances sont limitées par les erreurs d'appariement du convertisseur numérique-analogique de retour.

On connaît différentes techniques pour améliorer la linéarité du convertisseur numérique-analogique de retour.

20 L'article IEEE rédigé par Bolatkale et al., intitulé "A 4 GHz Continuous-Time $\Delta\Sigma$ ADC with 70 dB DR and -74 dBFS THD in 125 MHz BW", propose un convertisseur numérique-analogique de retour multi-bit dont les cellules unitaires sont dimensionnées pour minimiser l'erreur d'appariement. Comme la précision d'appariement est réduite proportionnellement à la racine carrée de la surface des cellules unitaires, une telle
25 implémentation engendre des circuits de grande taille, à vitesse réduite et forte consommation de puissance.

Il est aussi connu d'utiliser des techniques de brassage, notamment la technique DEM (Dynamic Element Matching), dans le convertisseur numérique-analogique de retour multi-bit. Cette technique consiste à interchanger dynamiquement la
30 sélection des cellules unitaires du convertisseur afin de moyenner le bruit d'erreurs d'appariement. La technique DEM n'est pas efficace à faible facteur de suréchantillonnage. De plus, le circuit numérique requis pour implémenter la technique

DEM ajoute de la latence sur le chemin entre le convertisseur analogique-numérique et le convertisseur numérique-analogique de retour, augmentant le délai de la boucle et pénalisant ainsi la vitesse de l'horloge et la largeur de bande du signal. Enfin, la technique DEM augmente le nombre de commutations des cellules unitaires ce qui rend le convertisseur numérique-analogique de la boucle de retour, plus vulnérable aux erreurs transitoires.

Une autre solution pour améliorer la linéarité du convertisseur numérique-analogique de retour est de calibrer ses cellules unitaires au démarrage, comme proposé dans l'article IEEE rédigé par Y. Dong et al., intitulé "A 72 dB-DR 465 MHz-BW Continuous-Time 1-2 MASH ADC in 28 nm CMOS". Cette solution est peu robuste car les conditions environnementales ainsi que les caractéristiques des cellules unitaires évoluent avec le temps. Cette technique de correction impose de plus que le modulateur soit en mode de veille pendant la calibration.

Dans les articles IEEE rédigés par P. Witte et al., intitulé "Background DAC Error Estimation Using a Pseudo Random Noise Based Correlation Technique for Sigma-Delta Analog-to-Digital Converters" et J. G. Kauffman et al., intitulé "An 8.5 mW Continuous-Time $\Delta\Sigma$ Modulator With 25 MHz Bandwidth Using Digital Background DAC Linearization to Achieve 63.5 dB SNDR and 81 dB SFDR", un circuit de correction en ligne des cellules unitaires du convertisseur numérique-analogique de retour multi-bit est proposé. Une cellule unitaire de test est ajoutée et pilotée par une séquence binaire pseudo-aléatoire. L'erreur d'appariement est détectée par une corrélation croisée entre la sortie du modulateur et la séquence binaire pseudo-aléatoire. La précision de la correction est limitée car les erreurs d'appariement ne sont pas adressées à la source mais dans le domaine numérique. En outre, le signal pseudo-aléatoire n'est pas parfaitement soustrait dans le domaine numérique et ajoute donc du bruit au signal utile. La dynamique du modulateur est également réduite à cause du signal pseudo-aléatoire ajouté, et le circuit de correction consomme une puissance significative, dégradant l'efficacité énergétique du modulateur.

Dans l'article IEEE rédigé par Kauffman et al. "A 72 dB DR, CT $\Delta\Sigma$ Modulator Using Digitally Estimated, Auxiliary DAC Linearization Achieving 88 fJ/conv-step in a 25 MHz BW", les auteurs ajoutent au convertisseur numérique-analogique de retour un convertisseur numérique-analogique auxiliaire qui compense la non-linéarité du

convertisseur principal. Toutefois, puisque la compensation se fait pour chaque erreur d'appariement des cellules unitaires, plusieurs difficultés font surface :

- La précision de la correction dépend de la linéarité du convertisseur auxiliaire,
- 5 - une LUT (Look Up Table) rapide est requise,
- le convertisseur auxiliaire opère à une fraction de la dynamique du convertisseur principal et l'erreur d'appariement entre les deux n'est pas négligeable.

Dans l'article IEEE rédigé par K. Falakshahi et al., intitulé "A 14-bit, 10-
 10 Msamples/s D/A Converter Using Multibit $\Sigma\Delta$ Modulation", les auteurs proposent de calibrer les cellules unitaires du convertisseur numérique-analogique de retour en sauvegardant une tension de référence dans un condensateur. A cause des courants de fuite aux jonctions drain-substrat, la calibration nécessite un rafraîchissement continu. De plus, l'injection de charges due au basculement des commutateurs de calibration dégrade la
 15 précision de la tension aux bornes du condensateur. Par ailleurs, un commutateur à trois voies est nécessaire, la troisième voie étant attribuée à la calibration, compliquant l'implémentation du circuit et limitant sa performance.

Il existe un besoin pour perfectionner encore les modulateurs Delta-Sigma pour corriger les erreurs d'appariement tout en gardant de bonnes performances, notamment en termes de précision, de vitesse et de consommation d'énergie.
 20

L'invention vise à répondre à ce besoin, et elle y parvient grâce à un procédé de calibration d'un modulateur Delta-Sigma multi-bit comportant un convertisseur principal numérique-analogique multi-bit de boucle de retour pour générer un signal de retour soustrait à l'entrée du modulateur, le convertisseur principal comportant une
 25 pluralité de cellules sources élémentaires dont certaines au moins, dites actives, sont associées aux différents bits d'entrée du convertisseur pour générer le signal de retour, le niveau de sortie de ces cellules sources actives étant ajustable sous l'action d'un signal d'appariement, le signal d'appariement provenant d'un circuit de calibration recevant en entrée un signal de sortie du modulateur, ce circuit de calibration comportant un
 30 générateur d'une séquence de calibration.

Selon un aspect du procédé selon l'invention, étant donnée une cellule de référence, on sélectionne parmi les cellules sources actives une cellule à calibrer, la cellule

source sélectionnée et la cellule de référence étant commandées à partir de la séquence de calibration de façon à injecter dans le signal de retour un signal de calibration dont l'amplitude diminue avec l'appariement entre la cellule source sélectionnée et la cellule de référence ainsi commandée, et le signal d'appariement envoyé à la cellule active en cours
5 de calibration est généré par traitement du signal de sortie du modulateur et de la séquence de calibration de façon à faire converger l'amplitude du signal de calibration injecté vers une valeur prédéfinie.

Grâce à l'invention, une amélioration significative, à la fois du rapport signal à bruit et du taux de distorsion harmonique du modulateur Delta-Sigma peut être obtenue.

10 L'invention permet, si on le souhaite, la calibration en tâche de fond du convertisseur numérique-analogique de retour, simultanément avec le fonctionnement habituel du modulateur.

La circuiterie additionnelle requise pour la mise en œuvre de l'invention est relativement peu conséquente.

15 L'invention permet d'avoir des composants plus petits car les erreurs d'appariement qui en résultent sont calibrées, et ce gain en surface permet d'avoir une vitesse plus grande et une consommation de puissance plus faible.

La valeur prédéfinie vers laquelle converge l'amplitude du signal de calibration injecté peut être nulle. Ainsi, il n'y a pas de biais introduit dans le signal de
20 sortie du modulateur.

Alternativement, la valeur prédéfinie vers laquelle converge l'amplitude du signal de calibration injecté est non nulle, étant de préférence égale à une constante.

L'invention permet d'effectuer un blanchiment du bruit (« *dithering* » en anglais) sans perturber outre mesure le signal utile, notamment quand l'ordre du filtre de
25 boucle que comprend classiquement le modulateur Delta-Sigma est faible ou encore lorsque le nombre de niveaux de quantification du convertisseur analogique-numérique est faible.

Le procédé selon l'invention peut être appliqué séquentiellement à chaque cellule élémentaire active. Alternativement, le procédé est appliqué de manière aléatoire à
30 chaque cellule élémentaire active. Ceci permet d'éviter l'apparition de pics indésirables dans le spectre de fréquences de sortie du modulateur.

La cellule de référence peut être choisie parmi l'une des cellules sources actives. De préférence, la cellule de référence est dédiée à la calibration de toutes les cellules sources actives, n'étant pas utilisée pour générer le signal de retour à partir de l'un des bits d'entrée. Avoir une cellule de référence dédiée simplifie la mise en œuvre du
5 procédé et peut améliorer la résolution du convertisseur.

De préférence, le convertisseur comporte un ensemble de cellules sources formé d'une cellule source additionnelle et d'autant de cellules sources actives que de bits d'entrée du convertisseur, le bit d'entrée de la cellule source active sélectionnée pour la calibration étant dirigé vers cette cellule additionnelle, pendant la calibration de la cellule
10 source active sélectionnée. La cellule source additionnelle permet d'éviter de réduire la résolution du convertisseur durant la calibration, et le nombre de bits du convertisseur de retour peut rester inchangé.

La cellule source additionnelle peut être choisie aléatoirement ou séquentiellement parmi ledit ensemble de cellules sources.

De préférence, par rapport à une conception sans calibration, le convertisseur
15 comporte deux cellules sources supplémentaires : la cellule de référence dédiée et la cellule source additionnelle. Ce sont avantageusement deux cellules de même nature. Ainsi, le signal de calibration est soustrait parfaitement en régime établi et il n'y a nul besoin de prévoir une dynamique supplémentaire à l'entrée du convertisseur.

De préférence, la séquence de calibration est choisie pour que la distribution
20 spectrale de son énergie soit principalement située en dehors de la bande passante du modulateur, étant de préférence centrée autour d'au moins une fréquence prédéfinie.

La séquence de calibration peut être périodique. Alternativement, la séquence de calibration est pseudo-aléatoire, étant générée, de préférence, à partir d'une séquence
25 binaire pseudo-aléatoire.

Le modulateur utilisant un signal d'horloge, le signal pseudo-aléatoire peut être obtenu en divisant le signal d'horloge du modulateur soit par N_1 soit par N_2 selon la valeur de la séquence binaire pseudo-aléatoire, N_1 et N_2 étant des nombres différents, par exemple des nombres entiers différents.

La densité spectrale de puissance du signal pseudo-aléatoire est ainsi centrée
30 sur une fréquence en dehors de la largeur de bande du signal utile du modulateur, qui n'est alors pas polluée outre mesure par ce bruit.

De préférence, le signal d'appariement est généré à partir d'une corrélation entre la séquence de calibration et le signal de sortie du modulateur.

La grandeur issue de la corrélation est, de préférence, intégrée pour générer le signal d'appariement.

5 De préférence, au moins l'un de la séquence de calibration et du signal de sortie du modulateur subit un filtrage, de préférence passe-bande, puis une décimation, avant la corrélation. La décimation apporte l'avantage de réduire la cadence d'échantillonnage pour le corrélateur et l'intégrateur, et de conduire à une réalisation plus économique en puissance de calcul.

10 La calibration des sources actives s'effectue ainsi de préférence à l'aide d'une boucle d'asservissement constituée :

- D'un corrélateur, de préférence avec au moins un filtre passe-bande en amont,
- d'un filtre intégrateur,
- 15 - d'une source à calibrer et d'une source de référence, délivrant ensemble le signal d'erreur de calibration I_{dac} par différence de leurs sorties respectives I_{cali} et I_{ref}
- du modulateur, utilisé ici pour numériser le signal $I_{dac} = I_{cali} - I_{ref}$.

20 Cette boucle est de préférence du premier ordre. On peut alors régler la fréquence de gain unité de cette boucle d'asservissement en ajustant le gain de l'intégrateur.

De préférence, la fréquence de la boucle de gain unité est faible pour davantage filtrer les perturbations liées au signal utile V_{in} d'entrée. Cela est possible, car le circuit de calibration compense essentiellement des erreurs
25 statiques, ou très lentes, liées au vieillissement des composants ou à des variations de température.

Comme le modulateur numérise le signal de calibration, puisque $pr = +/- 1$ on a $K = M_{out}.pr = \alpha [(I_{cali} - I_{ref}).pr].pr = \alpha(I_{cali} - I_{ref})$. Car $pr^2 = 1$

30 Mout désigne la sortie du modulateur, et pr la séquence de calibration, comme détaillé plus loin.

Le filtrage précité est, de préférence, réalisé par un filtre passe-bande centré sur $f_{clk} * (N1 + N2) / (2 * N1 * N2)$, f_{clk} étant la fréquence d'horloge du modulateur.

Le signal d'entrée du modulateur, constituant une source de bruit pour le corrélateur, est ainsi filtré afin de réduire le nombre de moyennages nécessaire pour amener le signal de calibration à tendre vers une valeur prédéfinie, notamment nulle, comme détaillé plus loin. Dans le cas où les deux signaux de calibration et de sortie du modulateur sont filtrés, le filtre appliqué à la séquence de calibration induit de préférence le même retard de phase que le filtre appliqué au signal de sortie du modulateur, afin de ne pas biaiser le corrélateur.

Les cellules sources élémentaires actives peuvent être des sources de courant.

De préférence, les cellules sources élémentaires actives comportent chacune une mémoire adressable pour enregistrer une valeur du signal d'appariement.

Avantageusement, comme mentionné plus haut, la calibration est effectuée en tâche de fond pendant le traitement du signal utile à l'entrée du modulateur.

De préférence, le signal d'appariement est transmis sous forme numérique aux cellules sources élémentaires actives.

Le nombre de cellules sources élémentaires actives servant à générer le signal de retour à partir des bits d'entrée du convertisseur principal est, de préférence, supérieur ou égal à 2, par exemple compris entre 2 et 64, notamment égal à 32.

Plus le nombre de cellules élémentaires est grand, plus le bruit de quantification engendré par la conversion analogique-numérique est faible.

L'invention a encore pour objet, selon un autre de ses aspects, un modulateur Delta-Sigma multi-bit comportant :

- un convertisseur principal numérique-analogique multi-bit de boucle de retour pour générer un signal de retour soustrait à l'entrée du modulateur, le convertisseur principal comportant une pluralité de cellules sources élémentaires dont certaines au moins, dites actives, sont associées aux différents bits d'entrée du convertisseur pour générer le signal de retour, le niveau de sortie de chaque cellule source active étant ajustable sous l'action d'un signal d'appariement,
- un circuit de contrôle pour sélectionner parmi les cellules sources actives une cellule à calibrer, la cellule source sélectionnée et une source de référence étant commandées à partir de la séquence de calibration de façon à injecter dans le signal de retour un signal de calibration dont l'amplitude diminue avec l'appariement entre la cellule active sélectionnée et la cellule source de référence,

- un circuit de calibration pour générer le signal d'appariement envoyé à la cellule active en cours de calibration, recevant en entrée un signal de sortie du modulateur, ce circuit de calibration comportant un générateur d'une séquence de calibration, le signal d'appariement envoyé à la cellule active en cours de calibration étant généré par traitement du signal de sortie du modulateur et de la séquence de calibration de façon à faire converger l'amplitude du signal de calibration vers une valeur prédéfinie, de préférence nulle.

Un tel modulateur convient à la mise en œuvre du procédé défini plus haut. Ainsi, le circuit de contrôle peut être agencé pour appliquer séquentiellement ou aléatoirement la séquence de calibration à chaque cellule source active.

De préférence, le convertisseur comporte une cellule de référence dédiée à la calibration et autre que les cellules sources actives.

Le convertisseur comporte préférentiellement un ensemble de cellules sources comportant une cellule source additionnelle et autant de cellules sources qu'il y a de bits d'entrée du convertisseur, de telle sorte que cette cellule source additionnelle puisse recevoir le bit d'entrée de la cellule source active sélectionnée pour être calibrée, pendant la calibration de celle-ci. La cellule source additionnelle n'est pas nécessairement la même lorsque la cellule active à calibrer change. Elle peut être choisie aléatoirement parmi toutes les sources actives.

De préférence, la séquence de calibration est choisie pour que la distribution spectrale de sa puissance soit principalement située en dehors de la bande passante du modulateur, étant de préférence centrée autour d'au moins une fréquence prédéfinie.

Avantageusement, la séquence de calibration est pseudo-aléatoire, générée à partir d'une séquence binaire pseudo-aléatoire, le modulateur utilisant un signal d'horloge, le signal pseudo-aléatoire étant de préférence obtenu en divisant le signal d'horloge du modulateur soit par $N1$ soit par $N2$ selon la valeur de la séquence binaire pseudo-aléatoire, $N1$ et $N2$ étant deux nombres, notamment entiers, différents, le signal d'appariement étant de préférence généré à partir d'une corrélation entre la séquence de calibration et le signal de sortie du modulateur, la grandeur issue de la corrélation étant intégrée pour générer le signal d'appariement, au moins l'un de la séquence de calibration et du signal de sortie du modulateur subissant un filtrage, de préférence passe-bande, puis une décimation, avant la corrélation, le filtrage étant de préférence réalisé par un filtre

5 passe-bande centré sur $f_{clk} (N1+N2)/(2*N1*N2)$, f_{clk} étant la fréquence d'horloge du modulateur.

Les cellules sources actives comportent de préférence chacune un élément mémoire pour enregistrer une valeur du signal d'appariement, le signal d'appariement étant transmis sous forme numérique aux cellules sources.

De préférence, le circuit de contrôle est agencé pour effectuer la calibration en tâche de fond pendant le traitement du signal utile à l'entrée du modulateur.

L'invention a encore pour objet, selon un autre de ses aspects, indépendamment ou en combinaison avec ce qui précède, une cellule source ajustable d'un convertisseur principal numérique-analogique multi-bit de boucle de retour d'un modulateur Delta-Sigma, la cellule comprenant un convertisseur numérique-analogique local comprenant :

- un inverseur ayant pour entrée l'un des bits d'entrée du convertisseur principal, et étant alimenté par des tensions haute et basse;
- 15 - un banc de réglage haut comportant des transistors, monté entre une tension de référence haute et la tension d'alimentation haute de l'inverseur, les transistors étant commandés par un signal d'appariement;
- un banc de réglage bas, comportant des transistors, monté entre une tension de référence basse et la tension d'alimentation basse de l'inverseur, les transistors étant commandés par le signal d'appariement;
- 20 les bancs de réglage haut et bas étant réalisés de telle sorte que selon le transistor qui est commandé le niveau de sortie haut ou bas de l'inverseur soit différent.

L'implémentation en inverseur CMOS présente des avantages en termes de rapidité et d'efficacité énergétique.

25 Le banc de réglage haut comporte, de préférence, un ensemble de transistors PMOS, par exemple montés en parallèle entre eux, leurs grilles recevant un premier signal de contrôle dépendant du signal d'appariement, ces transistors étant par exemple montés entre la tension de référence haute et la tension d'alimentation haute de l'inverseur.

30 Le banc de réglage bas comporte, de préférence, un ensemble de transistors NMOS, par exemple montés en parallèle entre eux, leurs grilles recevant un deuxième signal de contrôle dépendant du signal d'appariement, ces transistors étant par exemple

montés entre la tension de référence basse et la tension d'alimentation basse de l'inverseur.

De préférence, le deuxième signal de contrôle est le complémentaire du premier signal de contrôle.

5 Le banc de réglage haut ou bas peut comporter plusieurs branches parallèles de transistors en série.

Le banc de réglage peut comporter plusieurs branches composées chacune d'un transistor commandé par un code thermométrique et plusieurs branches composées chacune par deux transistors en série dont l'un est commandé par un code binaire.

10 Un mot numérique est dit « thermométrique » lorsque tous les bits ont la même pondération. Un mot numérique est dit « binaire » lorsque tous les bits ont une pondération différente.

Les transistors d'un banc de réglage peuvent être identiques.

15 De préférence, la topologie du banc de réglage haut est identique à la topologie du banc de réglage bas, de sorte à présenter la même résistance équivalente. Pour cela, on peut ajuster le ratio entre les tailles W/L des transistors PMOS et NMOS. Typiquement, les transistors PMOS ont une taille d'environ 2,5 fois supérieure à celle des NMOS pour compenser leur plus faible mobilité.

20 De préférence, les résistances drain-source dites résistances R_{ds_ON} des ensembles de transistors des bancs de réglage sont commandées par le signal d'appariement pour compenser les erreurs d'appariement entre les résistances des convertisseurs numérique-analogique locaux.

25 De préférence, la tension de référence haute et la tension de référence basse correspondent respectivement à la tension d'alimentation positive et à la tension d'alimentation négative.

L'invention a encore pour objet, indépendamment ou en combinaison avec ce qui précède un modulateur Delta-Sigma multi-bit comportant :

30 - un convertisseur principal numérique-analogique multi-bit de boucle de retour pour générer un signal de retour soustrait à l'entrée du modulateur, le convertisseur principal comportant n cellules sources élémentaires actives associées aux différents bits d'entrée du convertisseur pour générer le signal de retour, le niveau

de sortie de chaque cellule source active étant ajustable sous l'action d'un signal d'appariement,

- une cellule source de référence,
- une cellule source additionnelle,

5 - un circuit de contrôle pour sélectionner une cellule à calibrer parmi les cellules sources actives et la cellule source additionnelle, et commander la cellule source de référence et la cellule source à calibrer de façon à ajuster la source à calibrer pour minimiser une erreur de calibration entre la source de référence et la source à calibrer, et commander les n sources actives restantes pour générer le signal de
10 retour du convertisseur.

Le modulateur selon cet aspect de l'invention présente l'avantage de conserver n sources actives pour assurer le fonctionnement normal du convertisseur sans perte de résolution, les deux sources additionnelles étant utilisées en tâche de fond pour assurer la calibration du modulateur et corriger les défauts d'appariement apparaissant par exemple
15 suite au vieillissement des composants ou aux variations de température. Le modulateur peut présenter l'une quelconque des caractéristiques énoncées précédemment. En particulier, le circuit de contrôle peut être agencé pour sélectionner séquentiellement ou aléatoirement les sources actives autres que la source de référence, de façon à les calibrer successivement. L'invention pourra être mieux comprise à la lecture de la description qui
20 va suivre, d'exemples non limitatifs de mise en œuvre de celle-ci, et à l'examen du dessin annexé, sur lequel :

- la figure 1 représente schématiquement un exemple d'un modulateur Delta-Sigma selon l'invention ;
- la figure 2 illustre un exemple de sélection de la cellule source active à
25 calibrer ;
- la figure 3 représente schématiquement un exemple de structure d'une cellule active source de courant;
- la figure 4 représente un exemple d'implémentation en CMOS d'un convertisseur numérique-analogique local d'une cellule active source de courant ;
- 30 - la figure 5 illustre schématiquement un exemple de banc de réglage comportant plusieurs branches parallèles ;

- la figure 6 est un schéma illustrant la génération de la séquence de calibration dans le cas où celle-ci est pseudo-aléatoire ; et

- la figure 7 représente les chronogrammes des signaux de la figure 6.

La figure 1 représente, de façon schématique et partielle, un modulateur Delta-Sigma 1 multi-bit selon l'invention. Dans cet exemple, pour des raisons de simplicité du schéma, le modulateur a une résolution de 4 bits thermométriques. Mais en pratique, le modulateur peut avoir une résolution plus importante.

Le modulateur 1 comprend un sous-modulateur 3 et un circuit de calibration 2. Le sous-modulateur 3 a pour entrées la tension d'entrée V_{in} à numériser, une séquence de calibration pr et un signal d'appariement Δm , la séquence de calibration pr et le signal d'appariement Δm provenant du circuit de calibration 2. Le sous-modulateur 3 a pour sortie un signal numérique M_{out} sous forme de mot binaire constitué de n bits (D_0, \dots, D_{n-1} , soit D_0 à D_3 pour $n=4$ résultant de la numérisation. Ce signal M_{out} est injecté à l'entrée du circuit de calibration 2.

Le sous-modulateur 3 comporte dans cet exemple une conductance 8 transformant la tension d'entrée V_{in} en courant I_{in} . Le sous-modulateur 3 comporte dans cet exemple un filtre passe-bas 9 suivi d'un convertisseur analogique-numérique 10, par exemple de type Flash, et un convertisseur principal numérique-analogique 11 de boucle de retour fournissant un courant I_{dac} . Le filtre 9 intègre la différence ($I_{in} - I_{dac}$) qui est ensuite convertie en un code numérique (D_0, \dots, D_{n-1}). Ce code est thermométrique.

Le convertisseur principal numérique-analogique 11 de boucle de retour comprend $n+2$ cellules sources élémentaires 12_k , $1 \leq k \leq n+2$, n et k étant des nombres entiers positifs. Dans l'exemple illustré, ces cellules sources correspondent à des sources de courant, mais des sources de tension peuvent être utilisées.

Chaque cellule active 12_k , pour $1 \leq k \leq n+1$, comporte une source de courant ajustable pouvant être ajustée par le signal d'appariement Δm . Des interrupteurs électroniques 18 sont associés aux cellules et commandés par des bits respectifs D_0, \dots, D_{n-1} du signal M_{out} . Dans cet exemple, il y a quatre sources actives ($12_1, \dots, 12_n$) correspondant aux quatre bits du code en sortie (D_0, \dots, D_3), et deux sources supplémentaires. Ces sources supplémentaires sont une source de référence 12_{n+2} et une source additionnelle 12_{n+1} , permettant d'utiliser n sources pour générer le signal utile, choisies parmi les $(n+1)$ sources, pendant que la source 12_j non utilisée parmi ces $(n+1)$

sources pour générer le signal utile, est calibrée. Cette source 12_j est appelée source sous calibration.

Le courant en sortie I_{cali} de la cellule sous calibration 12_j est égal à $I_{\text{ref}} \cdot (1 + \delta)$, I_{ref} étant le courant de la source de référence 12_{n+2} et δ étant la valeur d'écart d'appariement en relatif par rapport à l'idéal. L'interrupteur 18 de la cellule sous calibration 12_j est commandé par la séquence de calibration pr , qui est de préférence pseudo-aléatoire.

La source de référence 12_{n+2} comporte une source de courant fixe et l'interrupteur correspondant est commandé par le signal complémentaire de pr .

La correction des erreurs d'appariement s'effectue en injectant dans le signal de retour I_{dac} un signal de calibration égal à $pr \cdot (I_{\text{cali}} - I_{\text{ref}})$. L'amplitude de ce signal diminue avec l'appariement entre la cellule sous calibration 12_j et la cellule de référence 12_{n+2} .

Pour le traitement du signal utile, n sources sont actives et commandées par le signal D_0, \dots, D_{n-1} .

On voit sur la figure 1 que la cellule sous calibration 12_j reçoit le signal pr , tandis que la cellule 12_{n+1} reçoit le signal correspondant au bit D_{n-1} .

La figure 2 est un tableau où l correspond à la position de la cellule et c correspond à une phase de fonctionnement du convertisseur numérique-analogique. On suppose que la cellule de référence commandée par le signal complémentaire de pr est fixe et reste à la sixième position ($l=6$). A la première phase ($c=1$), la troisième cellule ($l=3$) est celle sous calibration, ce qui correspond à la figure 1. La cellule occupant la quatrième position ($l=4$), commandée par D_2 à $c=1$, est ensuite sélectionnée pour être calibrée. Donc, à la phase suivante, le signal pr est dirigé vers cette cellule, alors que le bit D_2 remplace pr qui était à la troisième position à $c=1$. Dans la suite, si la cinquième cellule ($l=5$) est sélectionnée pour être calibrée, à $c=3$, pr est dirigé vers cette cellule, et le bit D_3 est dirigé vers la cellule qui était sous calibration au cycle précédent.

Le modulateur comporte ainsi un circuit de contrôle 13, représenté schématiquement à la figure 1, pour sélectionner parmi les cellules sources actives la cellule à calibrer.

Le choix de la cellule sous calibration peut être aléatoire ou séquentiel.

Le circuit de calibration 2 comprend un générateur 4 de la séquence de calibration pr. Ce signal pr et le mot binaire de sortie M_{out} subissent un filtrage passe-bande, puis une décimation, par le biais d'un filtre passe-bande décimateur 5, avant d'être corrélés par un multiplicateur 6. Le résultat K de la multiplication est égal à :

$$5 \quad M_{out.pr} = I_{in.pr} + I_{ref} \cdot \delta,$$

étant donné que $M_{out} = I_{in} - I_{dac} = I_{in} - pr \cdot I_{ref} + I_{cali} \cdot pr = I_{in} + I_{ref} \cdot \delta \cdot pr$ et que $pr = +/-1$ pour un signal pseudo-aléatoire. Donc, $K \rightarrow I_{ref} \cdot \delta$ quand , $t \rightarrow \infty$.

K est ensuite intégré par un intégrateur 7 pour donner le signal d'appariement Δm .

10 Le signal pseudo-aléatoire pr peut être obtenu à partir d'une séquence binaire pseudo-aléatoire PRBS et du signal d'horloge clk du modulateur.

Afin que la densité spectrale de puissance du signal pseudo-aléatoire pr soit centrée sur une fréquence en dehors de la bande du signal utile du modulateur, le signal pseudo-aléatoire est de préférence obtenu en divisant le signal d'horloge clk du modulateur soit par N1 soit par N2 selon la valeur de la séquence binaire pseudo-aléatoire PRBS, N1 et N2 étant dans l'exemple considéré des nombres entiers positifs différents. Ainsi, la densité de bruit du signal pr est centrée sur $f_{clk} \cdot (N1+N2)/(2 \cdot N1 \cdot N2)$, f_{clk} étant la fréquence d'horloge du modulateur.

Par exemple, à la figure 6, N1 = 3 et N2 = 5. Le schéma de la figure 6 repose sur un diviseur fractionnaire, tels que ceux utilisés dans les circuits à boucle de verrouillage de phase fractionnaire par exemple. Les chronogrammes correspondants sont donnés à la figure 7, où l'on voit que lorsque PRBS = 0, le signal pr est obtenu à partir du signal clk divisé par 3, et lorsque PRBS = 1, le signal pr est obtenu à partir du signal clk divisé par 5.

25 Une cellule source élémentaire active 12_k est représentée à la figure 3. Elle comporte une mémoire 15 adressable pour enregistrer une valeur du signal d'appariement Δm . Le signal s en sortie de la mémoire 15 agit sur une source de courant variable 19. Cette source de courant variable comprend un convertisseur numérique-analogique local.

La figure 4 représente schématiquement un exemple d'implémentation de ce convertisseur numérique-analogique local 16. Ce dernier comprend un inverseur CMOS 30 composé d'un transistor PMOS 24 et d'un transistor NMOS 25. Leurs grilles sont

commandées par un des bits d'entrée D_i et leurs drains sont connectés à une borne Q d'une résistance R_{dac} du convertisseur local.

Un banc de réglage haut 21, composé par exemple de transistors PMOS en parallèle entre eux, est connecté en série avec le transistor PMOS 24. Ces transistors 21
 5 sont reliés à la source du transistor 24, définissant la tension d'alimentation haute V^+ de l'inverseur, et sont reliés par ailleurs à la tension d'alimentation positive V_{dd} . Les grilles de ces transistors 21 reçoivent un premier signal de contrôle $ctrlp$ [0 :m-1] qui est par exemple un mot thermométrique de longueur m , m étant le nombre de transistors 21. Chacun des bits de $ctrlp$ commande une grille de transistor 21. Le signal $ctrlp$ est un code
 10 obtenu en sortie d'un décodeur 27 recevant en entrée le signal d'appariement Δm .

De façon symétrique, un banc de réglage bas 22 de transistors NMOS en parallèle entre eux est connecté en série avec le transistor NMOS 25. Ces transistors 22 sont reliés à la source du transistor 25, définissant la tension d'alimentation basse V^- de l'inverseur, et sont également reliés à la tension d'alimentation négative V_{ss} . Les grilles de
 15 ces transistors 22 reçoivent un deuxième signal de contrôle $ctrln$ [0 :m-1] qui est par exemple un mot thermométrique de longueur m , m étant le nombre de transistors 22. Chacun des bits de $ctrln$ commande une grille de transistor 22. Le signal $ctrln$ est le complémentaire du signal $ctrlp$.

Les résistances R_{ds_ON} des transistors de ces deux bancs de transistors 21 et 22
 20 sont ajustées par le signal d'appariement Δm pour compenser les erreurs d'appariement entre les résistances R_{dac} des convertisseurs numérique-analogique locaux 16.

Lorsque les transistors, préférentiellement identiques, d'un banc de réglage sont parallèles entre eux, la résistance équivalente est la résistance R_{ds_ON} d'un transistor divisée par le nombre de transistors activés par le signal de contrôle.

25 Le banc de réglage haut 21 ou bas 22 peut comporter plusieurs branches parallèles de transistors reliés entre eux comme illustré à la figure 5.

La topologie du banc est par exemple de type DAC segmenté, avec des bits de poids fort t1-t3 thermométriques et des bits de poids faible b0-b1 binaires, dans une structure R-2R, comme illustré.

30 L'invention n'est pas limitée aux exemples qui viennent d'être décrits. Dans les figures, pour des raisons de simplicité, seule une structure à une seule sortie du

modulateur (« *single-ended* » en anglais) a été représentée, mais une structure différentielle (« *double-ended* ») du modulateur est tout à fait possible.

REVENDICATIONS

1. Procédé de calibration d'un modulateur Delta-Sigma multi-bit comportant au moins un convertisseur principal numérique-analogique multi-bit dans la boucle de retour (11) pour générer un signal de retour (I_{dac}) soustrait à l'entrée du modulateur, le convertisseur principal (11) comportant une pluralité de cellules sources élémentaires dont certaines au moins, dites actives ($12_1, \dots, 12_n$), sont associées aux différents bits d'entrée (D_0, \dots, D_{n-1}) du convertisseur pour générer le signal de retour, le niveau de sortie de ces cellules sources actives étant ajustable sous l'action d'un signal d'appariement (Δm), le signal d'appariement provenant d'un circuit de calibration (2) recevant en entrée un signal de sortie du modulateur (M_{out}), ce circuit de calibration (2) comportant un générateur d'une séquence de calibration (pr), procédé dans lequel étant donnée une cellule de référence, on sélectionne parmi les cellules sources actives une cellule à calibrer (12_j), la cellule source sélectionnée et la cellule de référence étant commandées à partir de la séquence de calibration (pr) de façon à injecter dans le signal de retour un signal de calibration dont l'amplitude diminue avec l'appariement entre la cellule source sélectionnée et la cellule de référence ainsi commandées, et dans lequel le signal d'appariement (Δm) envoyé à la cellule active en cours de calibration est généré par traitement du signal de sortie du modulateur (M_{out}) et de la séquence de calibration (pr) de façon à faire converger l'amplitude du signal de calibration injecté vers une valeur prédéfinie.
2. Procédé selon la revendication précédente, la valeur prédéfinie étant nulle.
3. Procédé selon la revendication 1, la valeur prédéfinie étant non nulle.
4. Procédé selon l'une quelconque des revendications précédentes, étant appliqué séquentiellement à chaque cellule élémentaire active.
5. Procédé selon l'une quelconque des revendications 1 à 3, étant appliqué de manière aléatoire à chaque cellule élémentaire active.
6. Procédé selon l'une quelconque des revendications précédentes, la cellule de référence (12_{n+2}) étant choisie parmi l'une des cellules sources actives.

7. Procédé selon l'une quelconque des revendications 1 à 5, la cellule de référence (12_{n+2}) étant dédiée à la calibration de toutes les cellules sources actives et n'étant pas utilisée pour générer le signal de retour à partir de l'un des bits d'entrée (D_0, \dots, D_{n-1}).
- 5 8. Procédé selon l'une quelconque des revendications précédentes, le convertisseur comportant un ensemble de cellules sources formé d'une cellule source additionnelle (12_{n+1}) et d'autant de cellules sources actives que de bits d'entrée du convertisseur, le bit d'entrée de la cellule source active sélectionnée pour la calibration étant dirigé vers cette cellule additionnelle, pendant la calibration de la
10 cellule source active sélectionnée.
9. Procédé selon la revendication précédente, la cellule source additionnelle étant choisie aléatoirement ou séquentiellement parmi ledit ensemble de cellules sources.
10. Procédé selon l'une quelconque des revendications précédentes, la séquence de
15 calibration (pr) étant choisi pour que la distribution spectrale de puissance soit principalement située en dehors de la bande passante du modulateur, étant de préférence centrée autour d'au moins une fréquence prédéfinie.
11. Procédé selon l'une quelconque des revendications précédentes, la séquence de calibration (pr) étant périodique.
- 20 12. Procédé selon l'une quelconque des revendications 1 à 10, la séquence de calibration (pr) étant pseudo-aléatoire.
13. Procédé selon la revendication 12, la séquence de calibration (pr) étant générée à partir d'une séquence binaire pseudo-aléatoire (PRBS).
14. Procédé selon la revendication 13, le modulateur comportant une horloge générant
25 un signal d'horloge (clk), le signal pseudo-aléatoire (pr) étant obtenu en divisant le signal d'horloge (clk) du modulateur soit par $N1$ soit par $N2$ selon la valeur de la séquence binaire pseudo-aléatoire (PRBS), $N1$ et $N2$ étant deux nombres entiers différents.

15. Procédé selon l'une quelconque des revendications précédentes, le signal d'appariement étant généré à partir d'une corrélation entre la séquence de calibration (p_r) et le signal de sortie du modulateur (M_{out}).
- 5 16. Procédé selon la revendication précédente, la grandeur issue de la corrélation étant intégrée pour générer le signal d'appariement (Δm).
17. Procédé selon l'une des revendications 15 et 16, au moins l'un de la séquence de calibration (p_r) et du signal de sortie du modulateur (M_{out}) subissant un filtrage, de préférence passe-bande, puis une décimation, avant la corrélation.
- 10 18. Procédé selon la revendication 17, le filtrage étant réalisé par un filtre passe-bande centré sur $f_{clk} \cdot (N1+N2)/(2 \cdot N1 \cdot N2)$, f_{clk} étant la fréquence d'horloge du modulateur.
19. Procédé selon l'une quelconque des revendications précédentes, les cellules sources élémentaires actives étant des sources de courant.
- 15 20. Procédé selon l'une quelconque des revendications précédentes, les cellules sources élémentaires actives comportant chacune un élément mémoire (15) adressable pour enregistrer une valeur du signal d'appariement (Δm).
21. Procédé selon l'une quelconque des revendications précédentes, la calibration étant effectuée en tâche de fond pendant le traitement du signal utile à l'entrée du modulateur.
- 20 22. Procédé selon l'une quelconque des revendications précédentes, le signal d'appariement (Δm) étant transmis sous forme numérique aux cellules sources élémentaires actives.
- 25 23. Procédé selon l'une quelconque des revendications précédentes, le nombre (n) de cellules sources élémentaires actives servant à générer le signal de retour (I_{dac}) à partir des bits d'entrée (D_0, \dots, D_{n-1}) du convertisseur principal étant supérieur ou égal à 2, de préférence compris entre 2 et 64, notamment égal à 32.
24. Modulateur Delta-Sigma multi-bit (1) comportant :

- un convertisseur principal numérique-analogique multi-bit de boucle de retour (11) pour générer un signal de retour soustrait à l'entrée du modulateur, le convertisseur principal comportant une pluralité de cellules sources élémentaires dont certaines au moins, dites actives ($12_1, \dots, 12_n$), sont associées aux différents bits d'entrée (D_0, \dots, D_{n-1}) du convertisseur pour générer le signal de retour, le niveau de sortie de chaque cellule source active étant ajustable sous l'action d'un signal d'appariement (Δm),
 - un circuit de contrôle (13) pour sélectionner parmi les cellules sources actives une cellule à calibrer (12_j), la cellule source sélectionnée et une source de référence (12_{n+2}) étant commandées à partir de la séquence de calibration (pr) de façon à injecter dans le signal de retour un signal de calibration dont l'amplitude diminue avec l'appariement entre la cellule active sélectionnée (12_j) et la cellule source de référence (12_{n+2}),
 - un circuit de calibration (2) pour générer le signal d'appariement (Δm) envoyé à la cellule active en cours de calibration, recevant en entrée un signal de sortie du modulateur (M_{out}), ce circuit de calibration (2) comportant un générateur d'une séquence de calibration (pr), le signal d'appariement (Δm) envoyé à la cellule active en cours de calibration étant généré par traitement du signal de sortie (M_{out}) du modulateur et de la séquence de calibration (pr) de façon à faire converger l'amplitude du signal de calibration vers une valeur prédéfinie, de préférence nulle.
25. Modulateur (1) selon la revendication 24, le circuit de contrôle (13) étant agencé pour appliquer séquentiellement ou aléatoirement la séquence de calibration à chaque cellule source active.
26. Modulateur (1) selon l'une des revendications 24 et 25, le convertisseur (11) comportant une cellule de référence (12_{n+2}) dédiée à la calibration et autre que les cellules sources actives.
27. Modulateur (1) selon l'une quelconque des revendications 24 à 26, le convertisseur (11) comportant un ensemble de cellules sources comportant une cellule source additionnelle (12_{n+1}) et autant de cellules sources ($12_1, \dots, 12_n$) qu'il y a de bits d'entrée du convertisseur, de telle sorte que cette cellule source additionnelle

(12_{n+1}) puisse recevoir le bit d'entrée de la cellule source active sélectionnée pour être calibrée, pendant la calibration de celle-ci.

- 5 28. Modulateur (1) selon l'une quelconque des revendications 24 à 27, la séquence de calibration (pr) étant choisie pour que la distribution spectrale de sa puissance soit principalement située en dehors de la bande passante du modulateur, étant de préférence centrée autour d'au moins une fréquence prédéfinie.
- 10 29. Modulateur (1) selon l'une quelconque des revendications 24 à 28, la séquence de calibration (pr) étant pseudo-aléatoire, générée à partir d'une séquence binaire pseudo-aléatoire (PRBS), le modulateur comportant une horloge générant un signal d'horloge (clk), le signal pseudo-aléatoire (pr) étant de préférence obtenu en divisant le signal d'horloge (clk) du modulateur soit par N1 soit par N2 selon la valeur de la séquence binaire pseudo-aléatoire (PRBS), N1 et N2 étant deux nombres différents, le signal d'appariement étant de préférence généré à partir
- 15 d'une corrélation entre la séquence de calibration (pr) et le signal de sortie du modulateur (M_{out}), la grandeur issue de la corrélation étant intégrée pour générer le signal d'appariement (Δm), au moins l'un de la séquence de calibration (pr) et du signal de sortie du modulateur (M_{out}) subissant un filtrage, de préférence passe-bande, puis une décimation, avant la corrélation, le filtrage étant de préférence
- 20 réalisé par un filtre passe-bande centré sur $f_{clk} * (N1 + N2) / (2 * N1 * N2)$, f_{clk} étant la fréquence d'horloge du modulateur.
30. Modulateur (1) selon l'une quelconque des revendications 24 à 29, les cellules sources actives comportant chacune une mémoire (15) adressable pour enregistrer une valeur du signal d'appariement (Δm), le signal d'appariement (Δm) étant transmis sous forme numérique aux cellules sources.
- 25 31. Modulateur (1) selon l'une quelconque des revendications 24 à 30, le circuit de contrôle étant agencé pour effectuer la calibration en tâche de fond pendant le traitement du signal utile à l'entrée du modulateur.
32. Modulateur (1) selon l'une quelconque des revendications 24 à 31, les cellules sources actives comprenant un convertisseur numérique-analogique local (16).

33. Cellule source (12_k) ajustable d'un convertisseur principal numérique-analogique multi-bit (11) de boucle de retour principale d'un modulateur Delta-Sigma (1), notamment un modulateur selon l'une quelconque des revendications 24 à 32, la cellule comprenant un convertisseur numérique-analogique local (16) comprenant :

- 5 - un inverseur (24, 25) ayant pour entrée l'un des bits d'entrée (D0, ..., D3) du convertisseur principal (11), et étant alimenté par des tensions haute (V+) et basse (V-);
- un banc de réglage haut (21) comportant des transistors, monté entre une tension de référence haute (V_{refh}) et la tension d'alimentation haute (V+) de l'inverseur, les
10 transistors étant commandés par un signal d'appariement (Δm);
- un banc de réglage bas (22), comportant des transistors, monté entre une tension de référence basse (V_{refb}) et la tension d'alimentation basse (V-) de l'inverseur, les transistors étant commandés par le signal d'appariement (Δm);
les bancs de réglage haut et bas étant réalisés de telle sorte que selon le transistor
15 qui est commandé le niveau de sortie haut et bas de l'inverseur soit différent.

34. Cellule selon la revendication précédente, le banc de réglage haut (21) comportant un ensemble de transistors PMOS, notamment montés en parallèle entre eux, leurs grilles recevant un premier signal de contrôle (ctrlp) dépendant du signal d'appariement (Δm), ces transistors étant montés entre la tension de référence
20 haute (V_{refh}) et la tension d'alimentation haute (V+) de l'inverseur.

35. Cellule selon l'une des deux revendications précédentes, le banc de réglage bas (22) comportant un ensemble de transistors NMOS, notamment montés en parallèle entre eux, leurs grilles recevant un deuxième signal de contrôle (ctrln) dépendant du signal d'appariement (Δm), ces transistors étant montés entre la
25 tension de référence basse (V_{refb}) et la tension d'alimentation basse (V-) de l'inverseur.

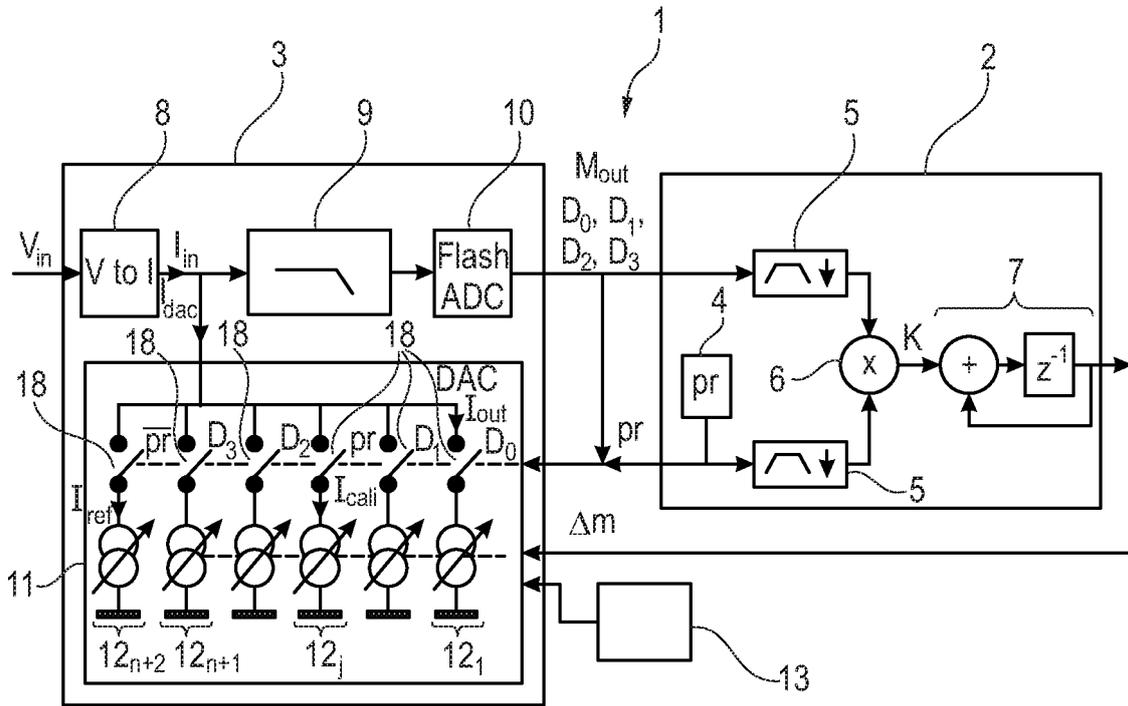


Fig. 1

$\begin{matrix} \backslash \\ c \\ / \end{matrix} \ell$	6	5	4	3	2	1
1	\bar{pr}	D3	D2	pr	D1	D0
2	\bar{pr}	D3	pr	D2	D1	D0
3	\bar{pr}	pr	D3	D2	D1	D0

Fig. 2

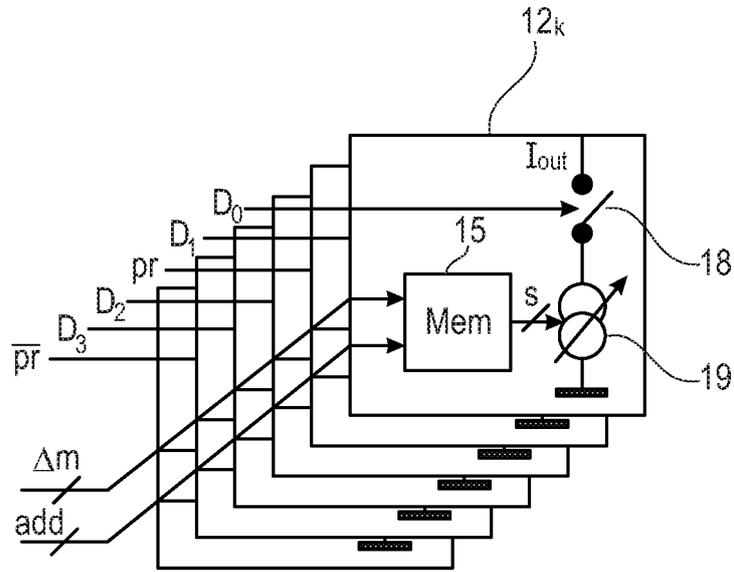


Fig. 3

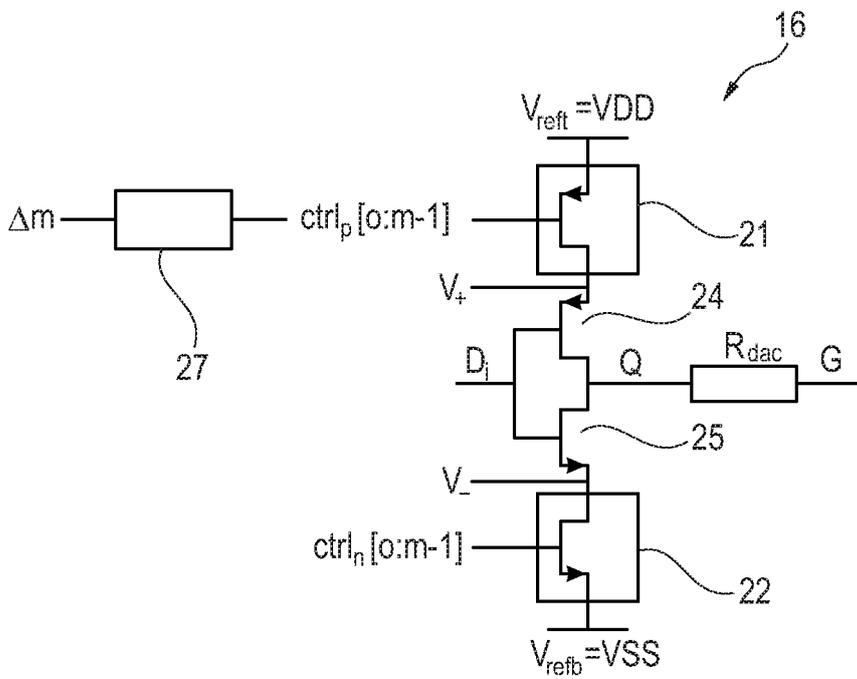


Fig. 4

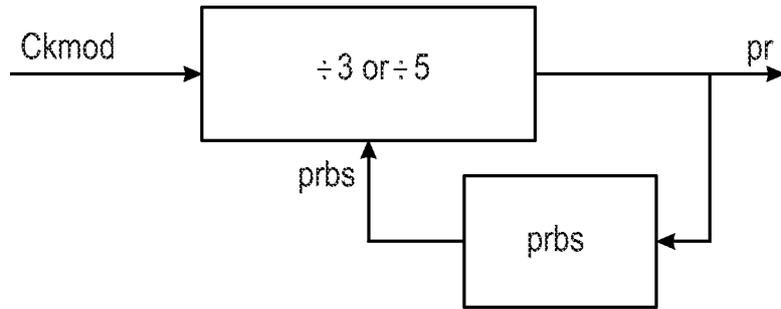


Fig. 6

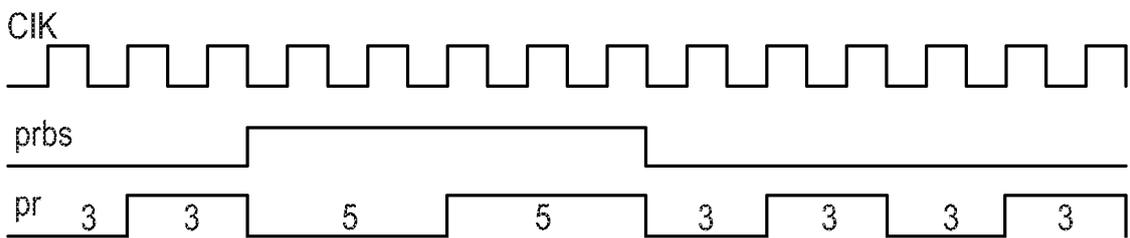
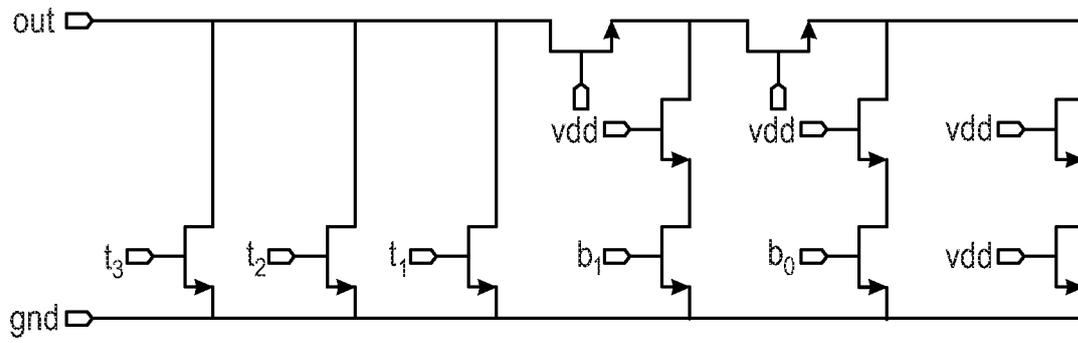


Fig. 7



b_1	b_0	t_3	t_2	t_1
0	0	0	0	0
0	1	0	0	1
1	0	0	1	1
1	1	1	1	1

Fig. 5



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 861691
FR 1857592

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X,D	KAUFFMAN JOHN G ET AL: "A 72 dB DR, CT [Delta][Sigma] Modulator Using Digitally Estimated, Auxiliary DAC Linearization Achieving 88 fJ/conv-step in a 2", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 49, no. 2, 1 février 2014 (2014-02-01), pages 392-404, XP011538051, ISSN: 0018-9200, DOI: 10.1109/JSSC.2013.2289887 [extrait le 2014-01-24] * Section II; Section III; figures 1,3,8-10 *	1-35	H03M1/10 H03M1/12
X,D	JOHN G KAUFFMAN ET AL: "An 8.5 mW Continuous-Time Δ Σ Modulator With 25 MHz Bandwidth Using Digital Background DAC Linearization to Achieve 63.5 dB SNDR and 81 dB SFDR", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 46, no. 12, 1 décembre 2011 (2011-12-01), pages 2869-2881, XP011379204, ISSN: 0018-9200, DOI: 10.1109/JSSC.2011.2164303 * Section II; Section III; figures 1,6,11 *	1-35	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H03M
Date d'achèvement de la recherche		Examineur	
16 juillet 2019		Jesus, Paulo	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

4

EPO FORM 1503 12.99 (P04C14)



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 861691
FR 1857592

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A,D	PASCAL WITTE ET AL: "Background DAC Error Estimation Using a Pseudo Random Noise Based Correlation Technique for Sigma-Delta Analog-to-Digital Converters", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I: REGULAR PAPERS, IEEE, US, vol. 57, no. 7, 1 juillet 2010 (2010-07-01), pages 1500-1512, XP011333729, ISSN: 1549-8328, DOI: 10.1109/TCSI.2009.2034232 * Section I; figure 1 *	1-35	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	YIANNOS MANOLI: "A SELF-CALIBRATION METHOD FOR FAST HIGH-RESOLUTION A/D AND D/A CONVERTERS", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 24, no. 3, 1 juin 1989 (1989-06-01), pages 603-608, XP000035153, ISSN: 0018-9200, DOI: 10.1109/4.32014 * Section III; figures 1,2 *	1-35	
A	FATTARUSO J W ET AL: "SELF-CALIBRATION TECHNIQUES FOR A SECOND-ORDER MULTIBIT SIGMA-DELTAMODULATOR", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 28, no. 12, 1 décembre 1993 (1993-12-01), pages 1216-1223, XP000435894, ISSN: 0018-9200, DOI: 10.1109/4.261995 * Section II; Section III; figures 1-6 *	1-35	
Date d'achèvement de la recherche		Examineur	
16 juillet 2019		Jesus, Paulo	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

4

EPO FORM 1503 12.99 (P04C14)

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 861691
FR 1857592

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	<p>SANCHEZ-SINENCIO E ET AL: "A Continuous-Time>tex<\$Sigma Delta \$>/tex<Modulator With 88-dB Dynamic Range and 1.1-MHz Signal Bandwidth", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 39, no. 1, 1 janvier 2004 (2004-01-01), pages 75-86, XP011105690, ISSN: 0018-9200, DOI: 10.1109/JSSC.2003.820856 * Section III; figures 2,13,14 *</p> <p style="text-align: center;">-----</p>	1-35	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
Date d'achèvement de la recherche		Examineur	
16 juillet 2019		Jesus, Paulo	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

4

EPO FORM 1503 12.99 (P04C14)