

公告本

申請日期	88.7.7
案 號	88111660
類 別	G06F 13/36

A4
C4

452697

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	控制記憶體時脈訊號之電腦系統及控制方法
	英 文	
二、發明 創作人	姓 名	李政根
	國 籍	韓國
	住、居所	大韓民國漢城市江南區浦里洞 198-9 西銓 B/D 503 號
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

裝 訂 線

經濟部中央標準局員工消費合作社印製

452697

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 韓國 1998/10/16 98-43756

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (/)

發明領域

本發明是有關於一種電腦系統，且特別是有關於一種控制記憶體時脈訊號之電腦系統及控制方法。

習知技藝

電腦系統之系統匯流排是一個中央處理器(CPU)，記憶體，以及周邊裝置互相傳輸資料的路徑。舉例來說，100MHz的系統匯流排傳輸速度，表示資料是以 100MHz 的速度在傳送。

想要提升系統匯流排速度的晶片組製造公司發現，現有的 66MHz 系統匯流排傳輸速度(以下寫為"PC66")跟不上 CPU 的發展速度。因此，為因應 CPU 的快速發展速度，Intel 公司發展了 100MHz 的系統匯流排傳輸速度(以下寫為"PC100")。

也就是說，PC100 表示系統匯流排傳輸速度被提升到 100MHz。舉例來說，PC100 可以用在裝置 Intel 440BX 晶片組的主機板上，並且使用 Pentium 350 或更快的高速 CPU。

PC100 有兩個優點。一個是系統效能的提升。舉例來說，66MHz 系統匯流排的操作時間是 66×10^8 /秒。既然一個單位時間內操作 64 位元，而 8 位元等於 1 位元組，所以傳送為 528MB/秒。另一方面，100MHz 系統匯流排操作時間是 10^8 /秒。因此，傳送為 800MB/秒。從這個事實來看，資料傳輸速度提升了 51%。

另外一個優點是周邊裝置的穩定性。既然 66MHz 系統匯流排的處理速度太快，周邊構件互連(PCI)匯流排以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

33MHz/秒來運作。因此，周邊裝置，如圖形卡以及硬碟，就以 33Mhz 在運作。

假如系統匯流排經由超頻從 66MHz 轉到 100MHz，PCI 匯流排就會以 37.5MHz 來運作(也就是說，超過極限 13%)。因此，像關閉這一種的錯誤可能會與超頻一樣多。

PCI 匯流排在 100MHz 系統匯流排中以 1/3 時脈運作，因此 33.3MHz 符合 PCI 的標準。儘管使用了高速系統匯流排時脈，高速的周邊裝置仍可以穩定的使用。更進一步，100MHz 系統匯流排可以使用下一代的高速 CPU。

第 1 圖顯示電腦系統的主機板，在上面安裝了一個處理器，像是 Intel Pentium II 處理器或是與其相容的 CPU。該主機板控制了輸出 66MHz 或 100MHz 的匯流排時脈。

參考第 1 圖，主機板包括一個安裝 CPU 的插座 10，以及主記憶體模組能插入的一群插座 20(22,24 以及 26)。

包含 3 或 4 個插座的插座 20 是爲了要擴充主記憶體。一個 DIMM 可以被插入任一插座 22，24 以及 26 中。適合 66MHz 或 100MHz 系統匯流排速度的記憶體匯流排時脈訊號輸入到此 DIMM 中，然後訊號的寫/讀運作才被實行。

此電腦系統更包含一個基本輸入/輸出系統(BIOS)50，以經由開機自我測試(POST，power on self test)、主體/PCI 橋樑控制器(Host to PCI bridge controller)30，以及 PCI/ISA 橋樑控制器(PCI to ISA bridge controller)40 來確定是否插入了主記憶體。

第 2 圖表示了顯示在第 1 圖中之電腦系統的排列情

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (3)

形。

參考第 2 圖，包含主機板的電腦系統，經由 BIOS ROM 50 的處理常式來確定是否安裝上記憶體模組，然後切斷未安裝於 DIMM 插座 20 中之插座的記憶體匯流排時脈訊號。

舉例來說，CPU 12 是 Intel Pentium II 處理器，並且包含一個內部快取記憶體(internal cache memory)14。

CPU 12 更包含位於主體(HOST)匯流排與 PCI 匯流排之間的主體/PCI 橋樑控制器 30，以及位於 PCI 匯流排與 ISA 橋樑控制器之間的 PCI/ISA 橋樑控制器 40。此主體/PCI 橋樑控制器 30，舉例來說，是 Intel 440BX 晶片組，有用來作為主體到 PCI 之介面、記憶體控制器與圖形加速埠(AGP, accelerated graphics ports)控制器的功能。此 PCI/ISA 橋樑控制器 40，舉例來說，是 Intel PIIX4E 晶片組或與其相容的晶片組，有用來作為 PCI-ISA 介面、IDE 控制器與 USB 控制器的功能。

CPU 12 輸出控制訊號 100_66#，以根據插入之記憶體模組的匯流排速度來選擇 66MHz 或 100MHz 的系統匯流排時脈訊號。然後，時脈產生器 18 根據此控制訊號 100_66#，輸出 66MHz 或 100MHz 主體時脈訊號 BXCLK 到主體/PCI 橋樑控制器 30。然後，主體/PCI 橋樑控制器 30 輸出任一個第一到一第四記憶體時脈訊號 CLK0-CLK3 到任一個記憶體模組插座 20(22, 24 與 26)之中。

當提供電腦系統電源時，CPU 在 BIOS 50 的開機自我測試中，確定是否有記憶體模組插入於記憶體模組插座 20

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

之中。

在這個時候，記憶體模組插座 20 的所有第一到第四記憶體時脈訊號 CLK0-CLK3 都被開啓，而根據該判斷，沒插入記憶體模組的記憶體模組插座之記憶體時脈訊號 CLK0-CLK3 則被關閉。第一到第四記憶體時脈訊號 CLK0-CLK3，則因應於系統匯流排傳輸速度來輸出到任一個記憶體模組插座中。

在傳統的電腦系統中，時脈訊號持續的提供到記憶體 DIMM 插座中的空插座上，或者如上所述，雖然未使用之 DIMM 插座的記憶體時脈訊號被切斷，使用中之插座的未使用時脈訊號還是被持續的提供著。因此，傳統電腦系統就暴露在電磁干擾中(EMI, electromagnetic interference)。

綜合說明

因此本發明的一個目的就是，提供一個電腦系統，此電腦系統能切斷電腦系統中未使用之記憶體模組的時脈訊號，以及切斷使用中之記憶體模組插座之時脈訊號裡的未使用時脈訊號。

本發明的另一個目的是，提供控制電腦系統之記憶體時脈訊號的方法。

根據本發明，電腦系統包含，輸出控制訊號以產生一個第一或第二匯流排訊號的處理器，以及由至少一個記憶體模組構成，從此記憶體模組讀取主要資料，然後根據記憶體資料輸出設定資料的第一系統控制器；根據響應此控制訊號之設定資料，輸出第一或第二主體時脈訊號的時脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

產生器；輸出第一或第二參考時脈訊號的第二系統控制器，此參考時脈訊號用來作為記憶體模組因應於第一或第二主體時脈訊號時，所產生之記憶體時脈訊號的參考；以及時脈緩衝器，接納此第一或第二參考時脈訊號，然後根據此設定資料輸出第一到第四記憶體時脈訊號到記憶體模組上。假如記憶體模組是單邊形式記憶體模組，時脈緩衝器經由設定資料，從第一到第四記憶體時脈訊號中，切斷此單邊形式記憶體模組的未使用之記憶體時脈訊號。

在本實施例中，第一系統控制器經由系統管理(SM, system management)匯流排來傳輸記憶體資料與設定資料。

在本實施例中，時脈產生器與時脈緩衝器包括儲存該設定資料的暫存器。

在本實施例中，假如記憶體模組是單邊形式記憶體模組，則當輸入第一參考時脈訊號時，時脈緩衝器關閉第二記憶體時脈訊號與第四記憶體時脈訊號；而當輸入第二參考時脈訊號時，則關閉第三記憶體時脈訊號與第四記憶體時脈訊號。

根據本發明，控制一個控制至少一組 DIMM 之記憶體時脈訊號的電腦系統的方法包括步驟：

開啓所有記憶體插座的第一到第四記憶體時脈訊號，確定是否有記憶體模組插入在開啓之記憶體插座之任一個插座中；

假如記憶體模組被插入於其中，則確定插入之記憶體模組的種類；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

假如記憶體模組是雙邊形式記憶體模組，則保持開啓的第一到第四記憶體時脈訊號；

假如記憶體模組是單邊形式記憶體模組，則確定記憶體模組的匯流排速度是第一速度或第二速度；

假如匯流排速度是第一速度，則根據第二速度，在第一到第四記憶體時脈訊號中關閉記憶體時脈訊號；以及

假如匯流排速度是第二速度，則根據第一速度，在第一到第四記憶體時脈訊號中關閉記憶體時脈訊號。

在本實例中，假如記憶體模組沒有插入於其中，則相對應之記憶體模組插座的第一到第四記憶體時脈訊號就會被關閉。

因此，微處理器經由 BIOS 的處理步驟，來確定記憶體模組是否插入記憶體模組插座中，而後從系統控制器確定的記憶體模組中讀取記憶體資料。更進一步，微處理器將讀出的資料儲存在時脈產生器與時脈緩衝器中。結果，插入之記憶體模組的未使用時脈訊號，被控制響應於第一或第二系統匯流排時脈訊號以及該記憶體模組的種類。

圖式說明

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是一透視圖，表示傳統電腦系統之主機板；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

第 2 圖繪示的是一方塊圖，表示顯示在第 1 圖中之電腦系統的排列方式；

第 3 圖繪示的是一方塊圖，表示根據本發明之電腦系統的排列方式；

第 4 圖繪示的是一方塊圖，表示根據顯示於第 3 圖之電腦系統的時脈訊號路徑排列方式；

第 5 圖繪示的是一透視圖，表示一組 DIMM(dual in-line memory module)

第 6A 圖繪示的是適用於 66MHz 系統匯流排時脈的單邊形式記憶體模組斷面圖；

第 6B 圖繪示的是適用於 100MHz 系統匯流排時脈的單邊形式記憶體模組斷面圖；

第 6C 圖繪示的是適用於 66/100MHz 系統匯流排時脈的雙邊形式記憶體模組斷面圖；

第 7 圖繪示的是顯示於第 3 圖之時脈產生器的詳細電路圖；

第 8 圖繪示的是顯示於第 3 圖之時脈緩衝器的詳細電路圖；

第 9 圖繪示的是顯示於第 3 圖之記憶體模組插座的詳細電路圖；

第 10 圖繪示的是一流程圖，表示未使用之記憶體模組插座之記憶體時脈訊號，以及使用中記憶體模組插座之未使用記憶體時脈訊號的控制步驟；以及

第 11 圖繪示的是一流程圖，表示如顯示於第 10 圖中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

之記憶體模組插座之記憶體時脈訊號的控制步驟。

主要元件標號

- 100：電腦系統
- 102：中央處理器(CPU)
- 104：中心(core)
- 106：第二快取記憶體(L2 cache)
- 108：主體/PCI 橋樑控制器(Host to PCI bridge controller)
- 110：主記憶體
- 114：PCI/ISA 橋樑控制器(PCI to ISA bridge controller)
- 116：基本輸出輸入系統(BIOS)
- 120, 122, 124：記憶體模組插座
- 126：時脈產生器
- 128, 132：暫存器
- 130：時脈緩衝器
- 200：記憶體模組
- 202：RAM
- 204：ROM

實施例

現在，參照與本發明之實施例有關的第 3-11 圖，詳細敘述該方法。

參考第 3 圖，電腦系統 100 包含了中央處理器(CPU，central processing unit)102，主記憶體 110，以及基本輸入輸出系統(BIOS，basic input/output system)116。

CPU 102，包括中心 104 以及第二快取記憶體 106，輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

出控制訊號 100_66#，來選擇 66MHz 或是 100MHz 的系統匯流排時脈訊號作為輸出。

主記憶體 110 被插入記憶模組插座 120, 122 與 124 中，而在此模組上至少會插入一組 DIMM。此擁有記憶體插排的插座，通常包含了 3 或 4 個插座。

電腦系統 100 包括主體/PCI 橋樑控制器 108，PCI/ISA 橋樑控制器，時脈產生器 126 以及時脈緩衝器 130。

位於電腦系統 100 之主體匯流排與 PCI 匯流排之間的主體/PCI 橋樑控制器 108，有作為主體到 PCI 介面，記憶體控制器，加速圖形埠控制器，一群時脈訊號以及測試控制的功能。更進一步，主體/PCI 橋樑控制器 108 根據 PC66 或 PC100，接納從時脈產生器 128 來的主體時脈訊號 BXCLK，然後輸出參考時脈訊號 DCLK0 到時脈緩衝器 130。

位於 PCI 匯流排與 ISA 匯流排之間的 PCI/ISA 橋樑控制器 114，包括 PCI 到 ISA 介面，IDE 控制器，USB 控制器以及 SM 匯流排控制器。因此，PCI/ISA 橋樑控制器 114，經由 SM 匯流排讀取記憶體模組的記憶體資料，然後根據此記憶體資料，輸出設定資料到時脈緩衝器 130 與時脈產生器 126。

儲存在顯示於第 5 圖中之記憶體模組 200 之 ROM (EEPROM) 204 中的記憶體資料，包括 RAM 202 的容量以及時間調節(timing)(例如：CAS 時間調節以及 RAS 時間調節)。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

顯示在第 5 圖中之記憶體模組 200，插入於記憶體模組插座 120，122 以及 124 中，包括 RAM 202 讀寫資料，以及 ROM 204 儲存記憶體資料，例如記憶體的容量與時間調節。此記憶體資料支援由 Intel Co.制訂的偵測串連存在 (SPD, serial presence detect)規格，並且經由電腦系統 100 的 SM 匯流排，傳輸相通的 SM 資料與時脈訊號到 PCI/ISA 控制器 114 中。

再度參考第 3 圖，時脈產生器 126 包括暫存器 128，儲存從 PCI/ISA 橋樑控制器 114 而來，對應於記憶體模組之記憶體資料的設定資料。更進一步，時脈產生器 126 響應於從 CPU 102 而來的控制訊號 100_66#，然後輸出主體時脈訊號 BXCLK(BXHCLK 與 BXPCLK)至主體/PCI 橋樑控制器 108，並且輸出對每一系統運作都必須的 CPU 時脈訊號 CPU CLK，以及 PCI 時脈訊號 PCI CLK。

時脈緩衝器 130 包括暫存器 132，儲存從 PCI/ISA 橋樑控制器 114 而來，對應於記憶體模組之記憶體資料的設定資料。更進一步，時脈緩衝器 130 接納從主體/PCI 橋樑控制器 108 而來的參考時脈訊號 DCLK0，然後響應於設定資料，輸出第一到第四記憶體時脈訊號 CLK0-CLK3 到任一記憶體模組插座 120，122 以及 124 上。

參考第 4 圖，電腦系統 100 支援 66/100MHz 系統匯流排傳輸速度。因此，CPU 102 以及主記憶體 110 支援 66/100MHz 系統匯流排速度。

假如提供電腦系統 100 電源，CPU 102 就被 BIOS 116

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

所控制，然後輸出選擇 PC66 或 PC100 之系統時脈訊號的一組控制訊號 100_66#到時脈產生器 128。更進一步，CPU 102 經由 BIOS 116 之處理常式的方法，確定記憶體模組是否插入記憶體模組插座 120，122 與 124，也確定記憶體模組的種類。

在這個時候，PCI/ISA 橋樑控制器 114 經由 SM 匯流排，讀取儲存於插入其中之記憶體模組中的 ROM 內的記憶體資料，然後對應於此記憶體資料，儲存設定資料到時脈產生器 126 與時脈緩衝器 130 的任一暫存器 128 與 132。接著，時脈產生器 126 響應控制訊號 100_66#，而後對應於系統時脈訊號，輸出主體時脈訊號 BXCLK 至主體/PCI 橋樑控制器 108。主體/PCI 橋樑控制器 108 響應主體時脈訊號 BXCLK，而後輸出參考時脈訊號 DCLK0 到時脈緩衝器 130。因此，時脈緩衝器 130 經由儲存於內部暫存器 132 的設定資料，輸出第一到第四記憶體時脈訊號 CLK0-CLK3，到任一記憶體模組插座 120，122 以及 124 中。更進一步，時脈緩衝器 130 切斷到空記憶體模組插座的時脈訊號。

如同顯示於第 6A-6C 圖中，記憶體模組 200 被分為單邊形式記憶體模組 200a 與 200b，以及支援 66MHz 或 100MHz 記憶體匯流排速度的雙邊形式記憶體模組 200c。該 66MHz 單邊記憶體模組 200a，以剛開始輸入第一時脈訊號 CLK0 與第二時脈訊號 CLK1，切斷第三時脈訊號 CLK2 與第四時脈訊號 CLK3 來操作。100MHz 單邊形式記憶體模組 200b，經由剛開始輸入第一時脈訊號 CLK0 與第三時脈訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

CLK2，切斷第二時脈訊號 CLK1 與第四時脈訊號 CLK3，來進行寫/讀操作。雙邊形式記憶體模組 200c，不論 66/100MHz 記憶體匯流排速度，都經由輸入第一到第四時脈訊號 CLK0-CLK3 來操作。

參考第 7 圖，時脈產生器 126 接納從 CPU 102 而來的控制訊號 100_66#，以選擇系統匯流排時脈訊號。更進一步，時脈產生器 126 經由 SM 匯流排，接納從 PCI/ISA 橋樑控制器來的記憶體資料 SMBDATA 與 SMBCLK，然後儲存資料 SMBDATA 與 SMBCLK 到暫存器 128 中。藉此，適用於 66MHz 或 100MHz 系統匯流排時脈訊號的主體時脈訊號 BXCLK，被輸出至主體/PCI 橋樑控制器 108，並且輸出 CPU 時脈訊號 CPU CLK(CPU0 與 CPU1)以及 PCI 時脈訊號 (PCIF-PCI6)。

參考第 8 圖，時脈緩衝器 130 經由 SM 匯流排，接納從 PCI/ISA 橋樑控制器 114 而來的記憶體資料 SMDATA 與 SMBCLK，而後儲存資料 SMBDATA 與 SMBCLK 在暫存器 132 中。更進一步，時脈暫存器 130 接納參考時脈訊號 DCLK0，此參考時脈與從主體/PCI 橋樑控制器 108 而來之 66MHz 或 100MHz 的系統匯流排時脈訊號相對應。因此，插入的記憶體模組對應於 66/100MHz 單邊形式，或雙邊形式記憶體模組，而後輸出第一到第四時脈訊號 CLK0-CLK3(DCLK[11:0])到記憶體模組插座 120，122 與 124 上。

第 9 圖顯示記憶體模組插座 120 或 122 或 124 的電路圖，並且顯示第一到第四時脈訊號 CLK0-CLK3 是從時脈緩

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（13）

衝器 130 接納而來；而 PCI/ISA 橋樑控制器 114 互通的 SM 資料 SMBDATA，以及時脈訊號 SMBCLK 是經由 SM 匯流排來傳輸。

參考第 10 圖，假如在步驟 S300 中供應電力給系統 100，BIOS 116 會開啓第一到第三 DIMM 記憶體模組插座 120，122 以及 124 的時脈訊號 CLK0-CLK3。在步驟 S310 中，根據記憶體模組是否插入第一 DIMM 記憶體模組插座 120 中，來控制相對應的時脈訊號 CLK0-CLK3。然後，第二記憶體插座 122 以及第三記憶體插座 124 的時脈訊號 CLK0-CLK3 就被控制。也就是，任一記憶體模組插座的的第一到第四時脈訊號 CLK0-CLK3，以對應於確定插入的記憶體模組是否支援系統匯流排，以及此記憶體模組是否為單邊或雙邊的記憶體模組來控制。

參考第 11 圖，在步驟 S340 中，本發明確定記憶體模組是否插入開啓第一到第四記憶體時脈訊號 CLK0-CLK3 的任一個記憶體模組插座 120 或 122 或 124 中。假如沒有插入，步驟 S340 進行到步驟 S352。在步驟 S352 中，全部的第一到第四時脈訊號 CLK0-CLK3 全部關閉。假如有插入，則步驟 S340 就進行到步驟 S342。在步驟 S342 中，本發明確定插入的記憶體模組是否為單邊形式記憶體模組。

假如此記憶體模組是雙邊形式記憶體模組，開啓的第一到第四時脈訊號 CLK0-CLK3 不論該記憶體匯流排時脈速度為何，都被保持在開啓的情況。假如此記憶體模組是單邊形式記憶體模組，步驟 S342 就會進行到步驟 S346。在

五、發明說明(14)

步驟 S346 中，本發明確定插入的記憶體模組是否支援 100MHz 記憶體匯流排時脈速度。假如支援，在 100MHz 記憶體匯流排時脈速度下不使用的時脈訊號會在步驟 S348 中被關閉。也就是說，第二時脈訊號 CLK1 與第四時脈訊號 CLK3 被關閉。假如不支援(亦即，支援 66MHz 記憶體匯流排時脈速度)，則步驟 S346 會進行到步驟 S350。在步驟 S350 中，在 66MHz 記憶體匯流排時脈速度下不使用的時脈訊號會在步驟 S348 中被關閉。也就是說，第三時脈訊號 CLK2 與第四時脈訊號 CLK3 被關閉。

本發明的電腦系統不但切斷未使用之記憶體模組插座的時脈訊號，還切斷插入之記憶體模組的時脈訊號，因此抑制了電磁干擾。

在不脫離本發明之精神和特徵的範圍內，本發明可以以其他的形式來施行。所述的實施例只用於說明而非限制。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 控制記憶體時脈訊號之電腦系統
及控制方法)

在此描述一種控制雙重同軸記憶體模組(DIMM, dual in-line memory module)插座之時脈訊號的電腦系統,而且本系統包含一個處理器,控制產生 66MHz 或 100MHz 的系統匯流排時脈訊號;支援本 66MHz 或 100MHz 系統匯流排時脈訊號的 DIMM 記憶體模組;經過接收處理器的控制,產生 66MHz 或 100MHz 系統匯流排時脈訊號的時脈產生器;時脈緩衝器以及一個第一與一個第二系統控制器。時脈產生器與時脈緩衝器,根據從第一系統控制器來的記憶體模組之記憶體資料,來儲存設定資料。第一與該第二系統控制器,對應於插入的單邊形式或雙邊形式之 DIMM 記憶體模組,控制輸出記憶體匯流排時脈訊號。結果,能阻斷到一

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱：)

未使用的記憶體模組插座上的時脈訊號；或者，對應於插入之記憶體模組之種類，來阻斷使用中之記憶體模組插座的未使用之時脈訊號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍

1.一種包括一處理器輸出一控制訊號以產生一第一或一第二匯流排時脈訊號與至少一記憶體模組之電腦系統，包括：

一第一系統控制器，從該記憶體模組讀取主要資料，而後根據該記憶體資料輸出設定資料；

一時脈產生器，根據該設定資料，輸出響應於該控制訊號的一第一或一第二主體(HOST)時脈訊號；

一第二系統控制器，輸出一第一或一第二參考時脈訊號，作為響應於該第一或該第二主體時脈訊號之該記憶體模組之一記憶體時脈訊號的參考；以及

一時脈緩衝器，接納該第一或該第二參考時脈訊號，而後根據該設定資料輸出一第一到一第四記憶體時脈訊號至該記憶體模組，其中，假如該記憶體模組是一單邊形式記憶體模組，該時脈緩衝器經由該設定資料，切斷該單邊形式記憶體模組中該第一到該第四記憶體時脈訊號裡，未使用的記憶體時脈訊號。

2.如申請專利範圍第1項所述之電腦系統，其中該第一系統控制器經由一系統管理(SM)匯流排傳輸該記憶體資料與該設定資料。

3.如申請專利範圍第1項所述之電腦系統，其中該時脈產生器與該時脈緩衝器包括一暫存器以儲存該設定資料。

4.如申請專利範圍第1項或第3項所述之電腦系統，其中，假如該記憶體模組是一單邊形式記憶體模組，則該時脈緩衝器，當該第一參考時脈訊號輸入時，關閉該第二記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

憶體時脈訊號與該第四記憶體時脈訊號，而當該第二參考時脈訊號輸入時，關閉該第三記憶體時脈訊號與該第四記憶體時脈訊號。

5.一控制至少一雙重同軸記憶模組(DIMM, dual in-line memory module)的一記憶體時脈訊號的電腦系統之控制方法，包括步驟：

開啓到所有記憶體插座的一第一到一第四記憶體時脈訊號；

確定一記憶體模組是否插入該開啓的記憶體插座中之一插座內；

假如該記憶體模組插入於其中，確定該插入之記憶體模組的種類；

假如該記憶體模組是一雙邊形式記憶體模組，則保持該第一到第四記憶體時脈訊號開啓；

假如該記憶體模組是一單邊形式記憶體模組，則確定該記憶體模組之匯流排速度是第一速度或是第二速度；

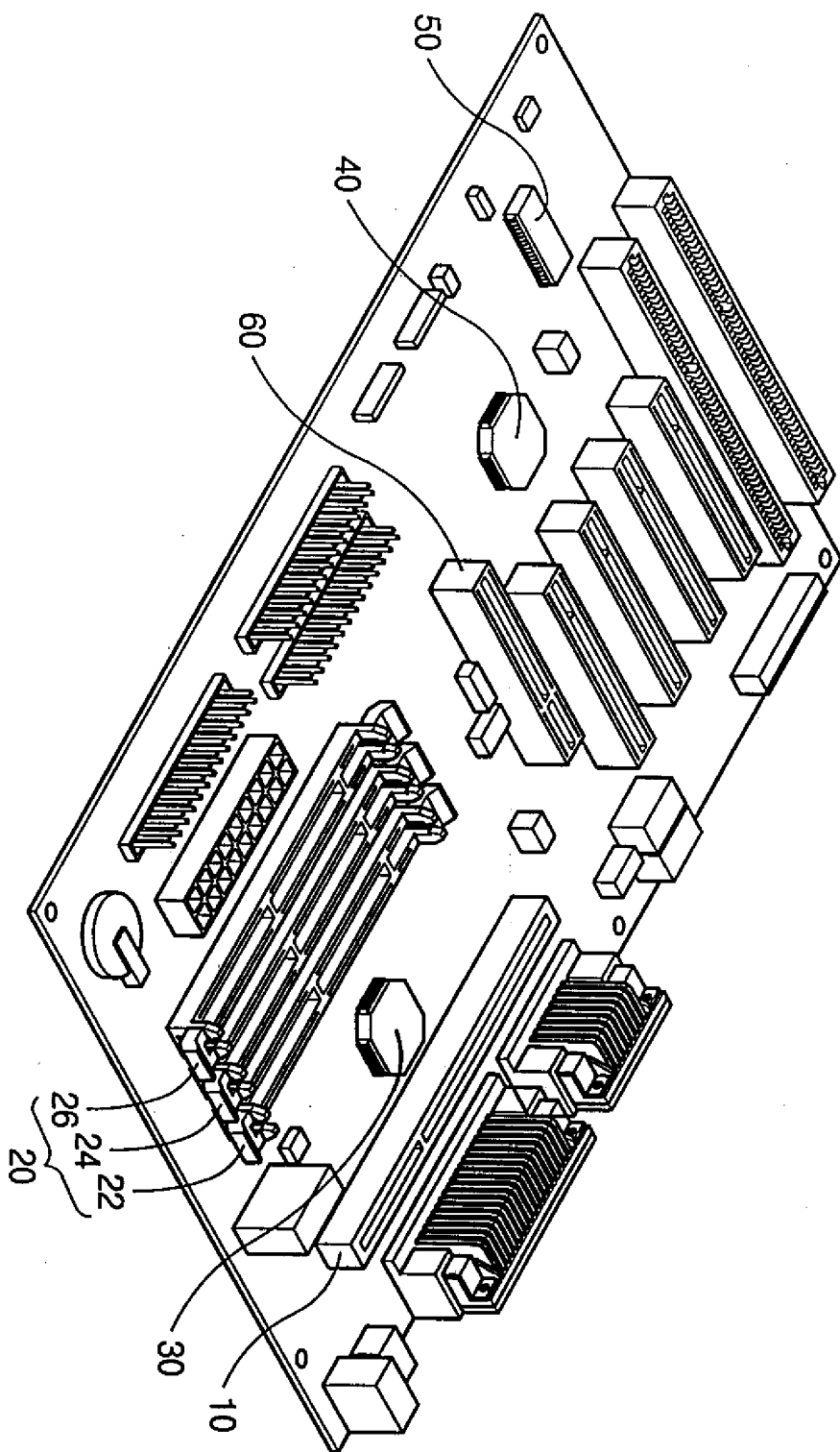
假如該匯流排速度是該第一速度，則根據該記憶體模組的該第二速度，從該第一到該第四記憶體時脈訊號中關閉記憶體時脈訊號；以及

假如該匯流排速度是該第二速度，則根據該記憶體模組的該第一速度，從該第一到該第四記憶體時脈訊號中關閉記憶體時脈訊號。

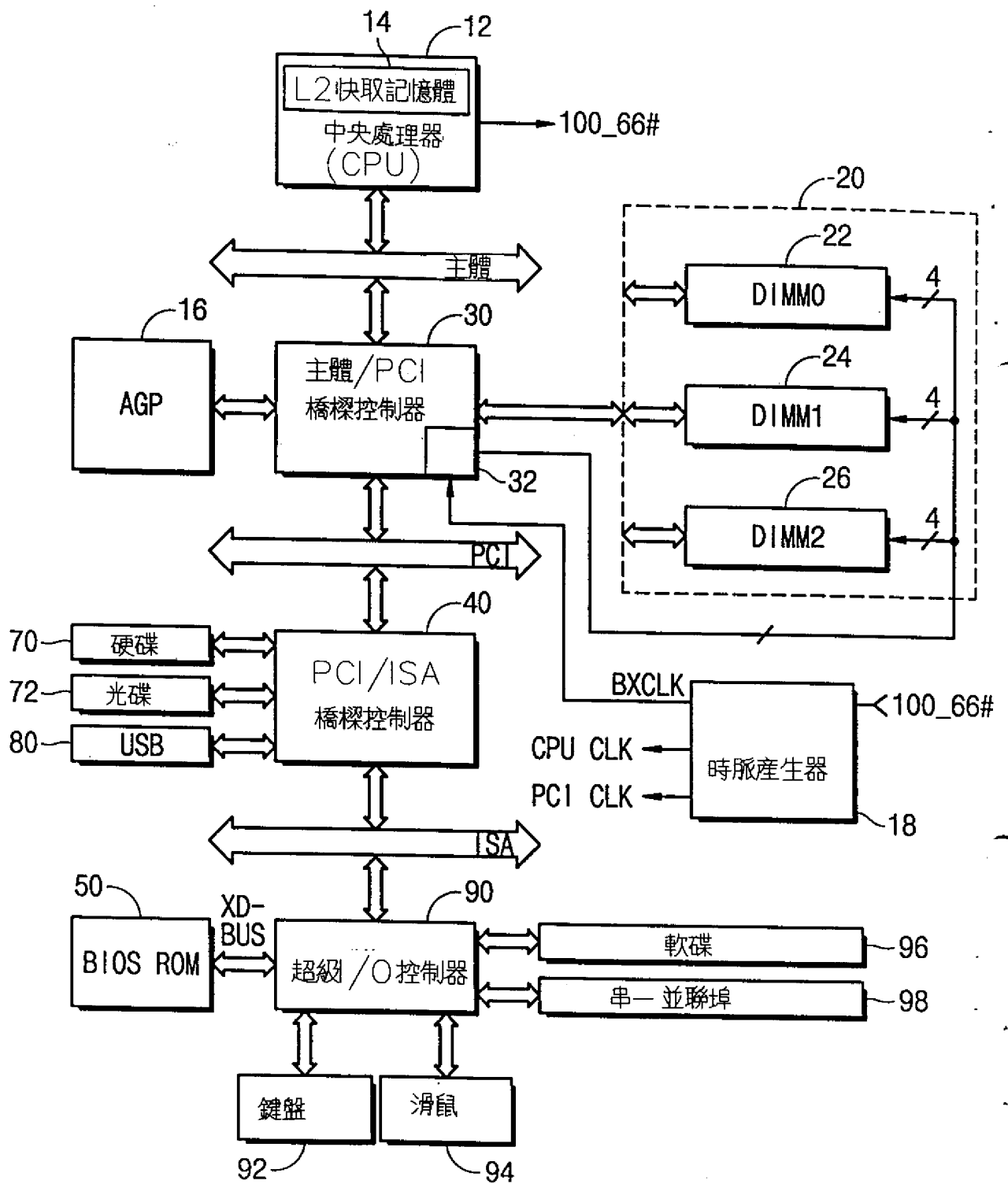
6.如申請專利範圍第5項所述之控制方法，其中假如該記憶體模組沒有插入於其中，則一相對應之記憶體模組插座之該第一到該第四記憶體時脈訊號會關閉。

(請先閱讀背面之注意事項再填寫本頁)

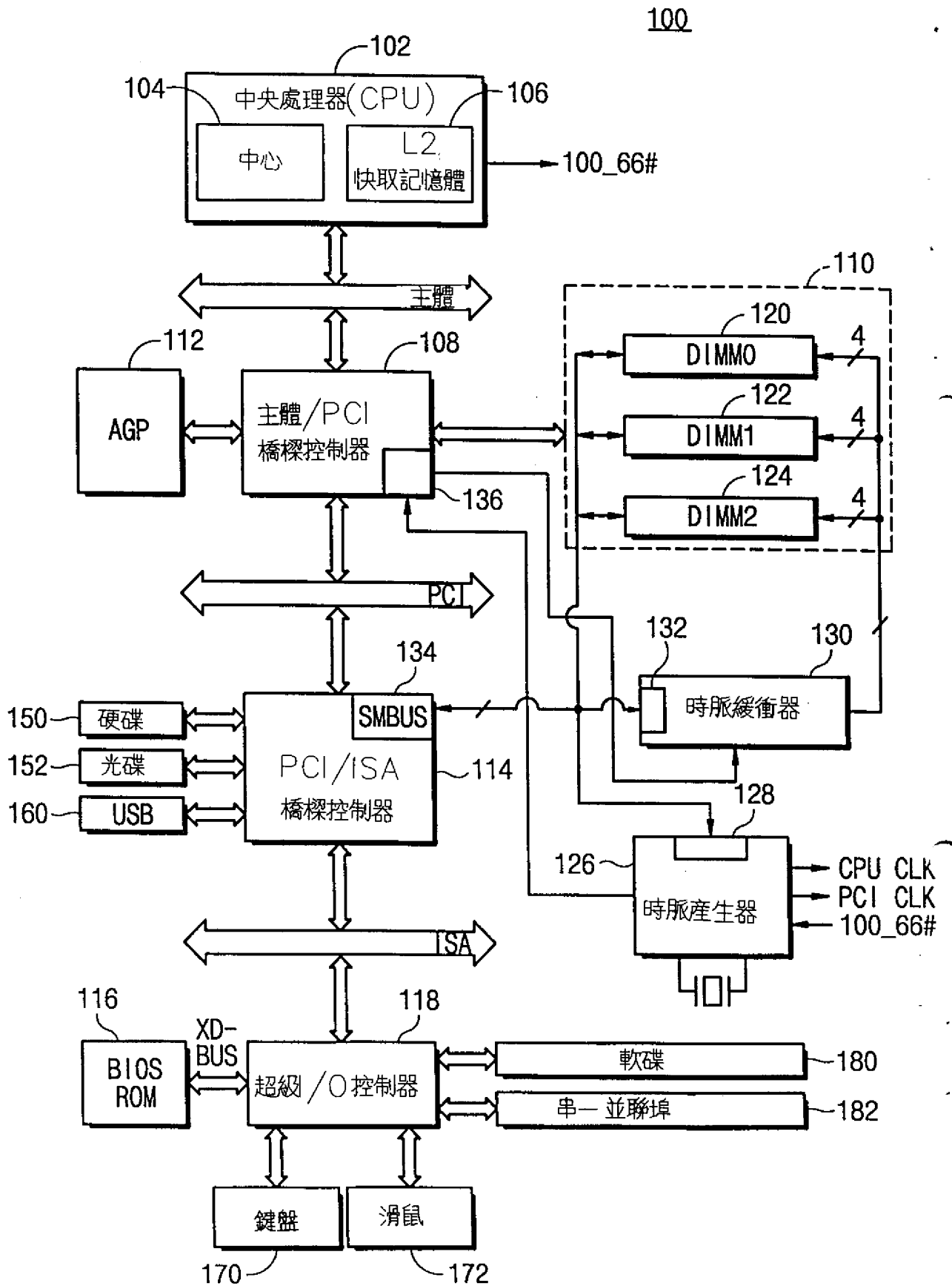
裝
訂
線



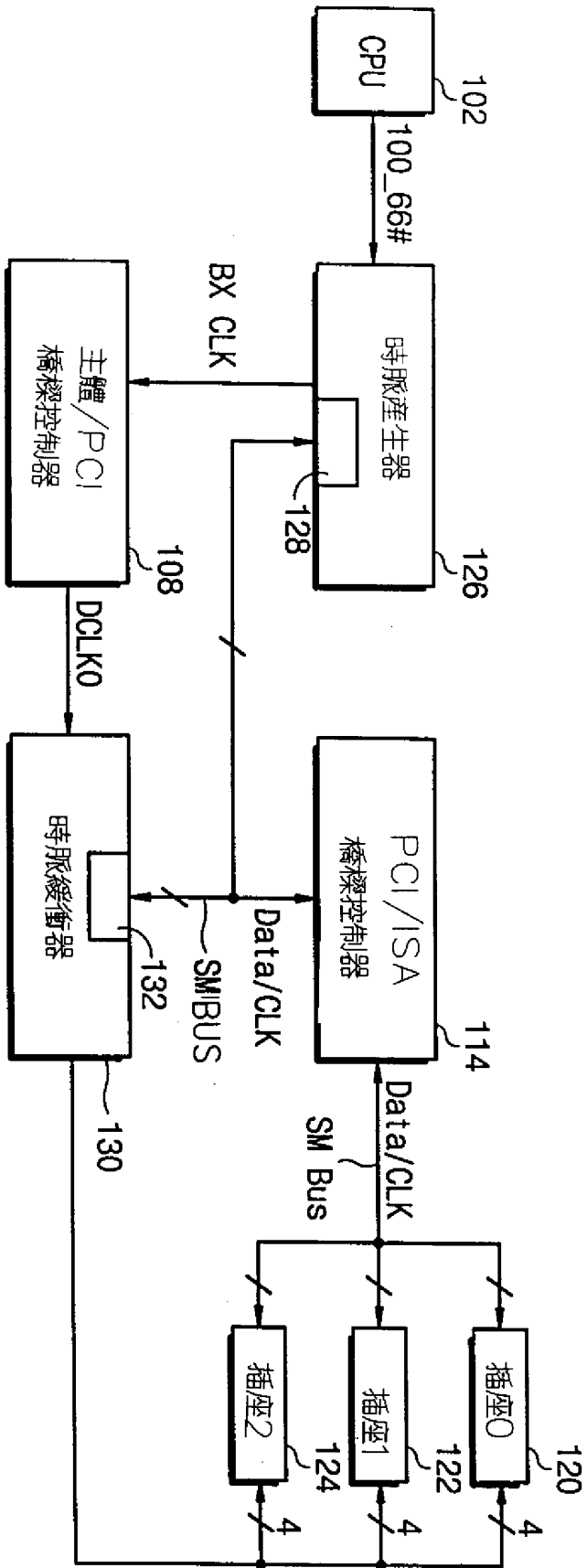
第 1 圖



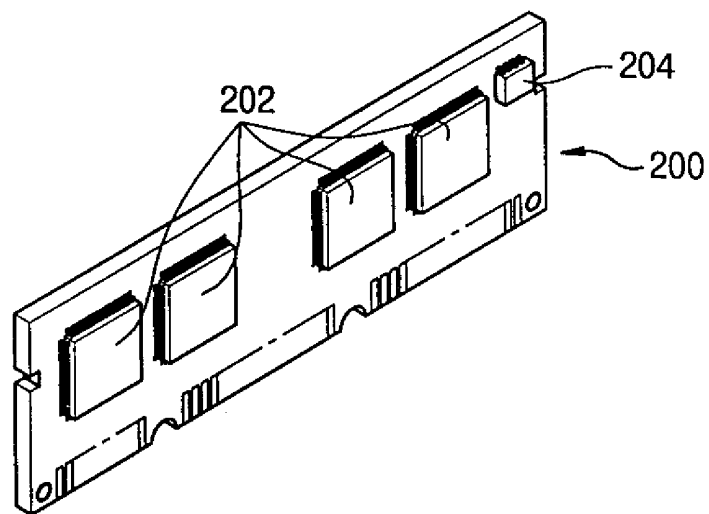
第 2 圖



第 3 圖



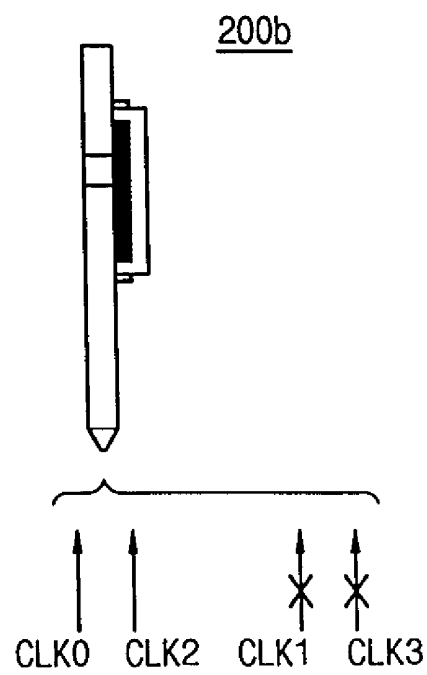
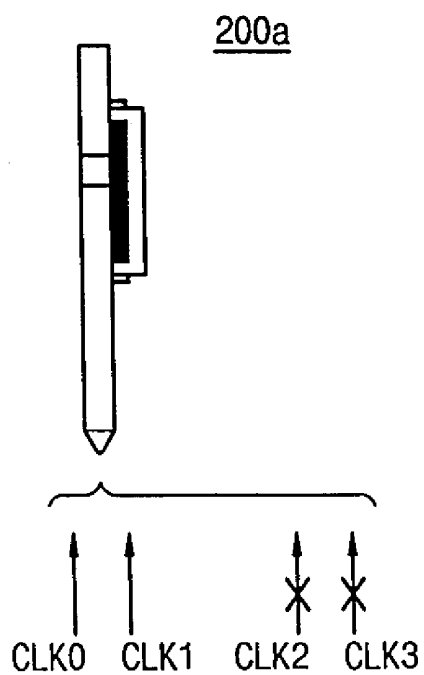
第 4 圖



第 5 圖

66MHz 單邊形式

100MHz 單邊形式



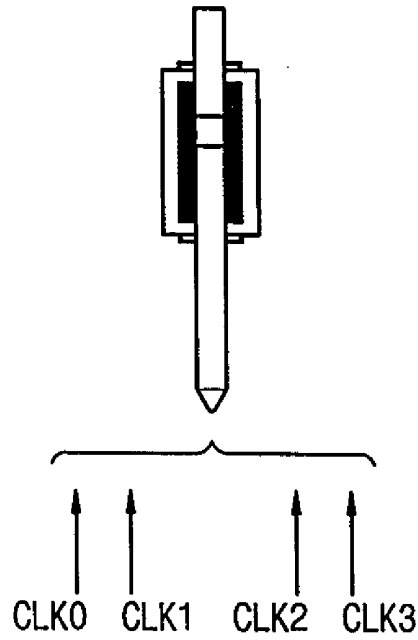
第 6A 圖

第 6B 圖

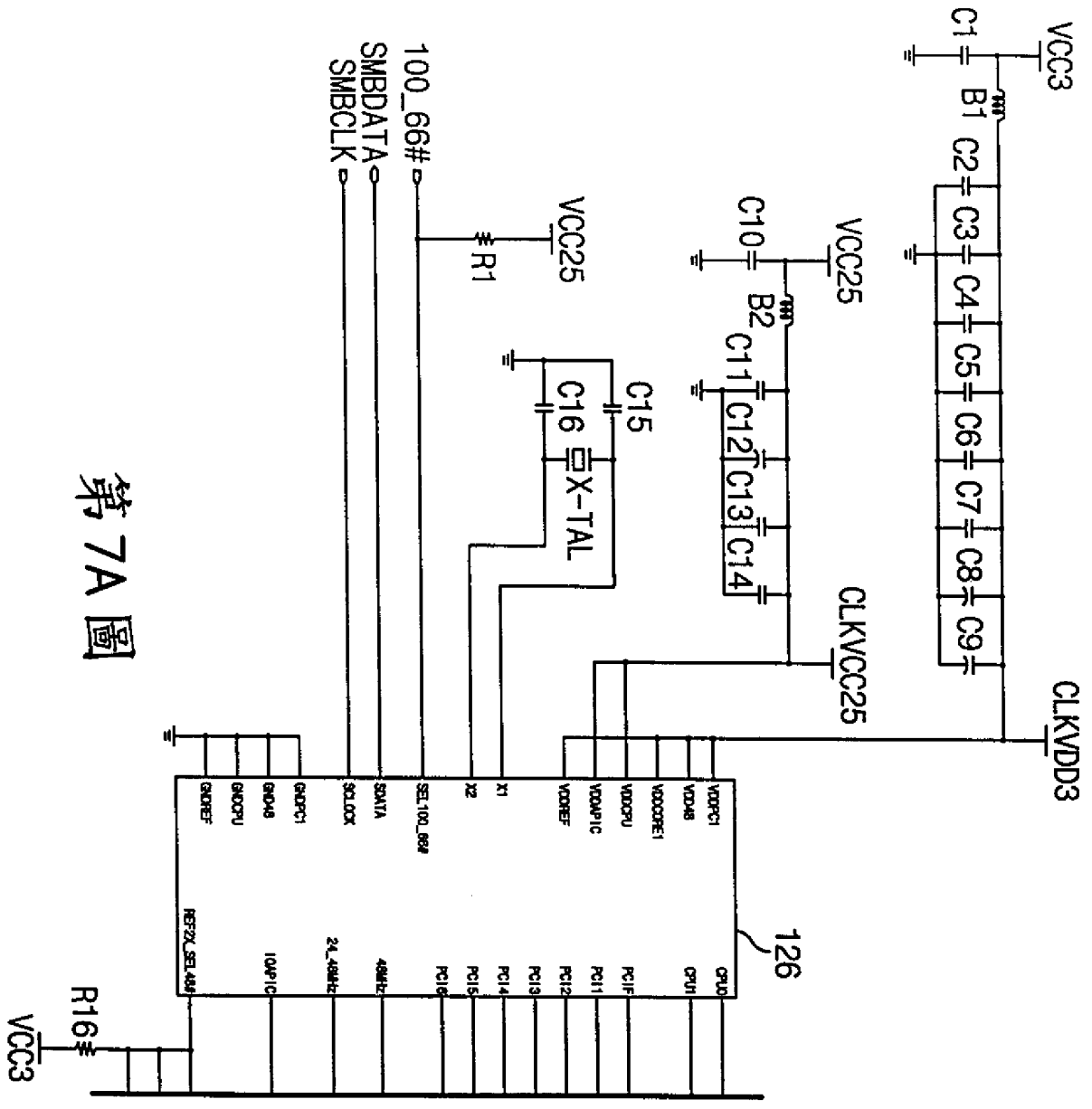
452697

66MHz, 100MHz 雙邊形式

200c



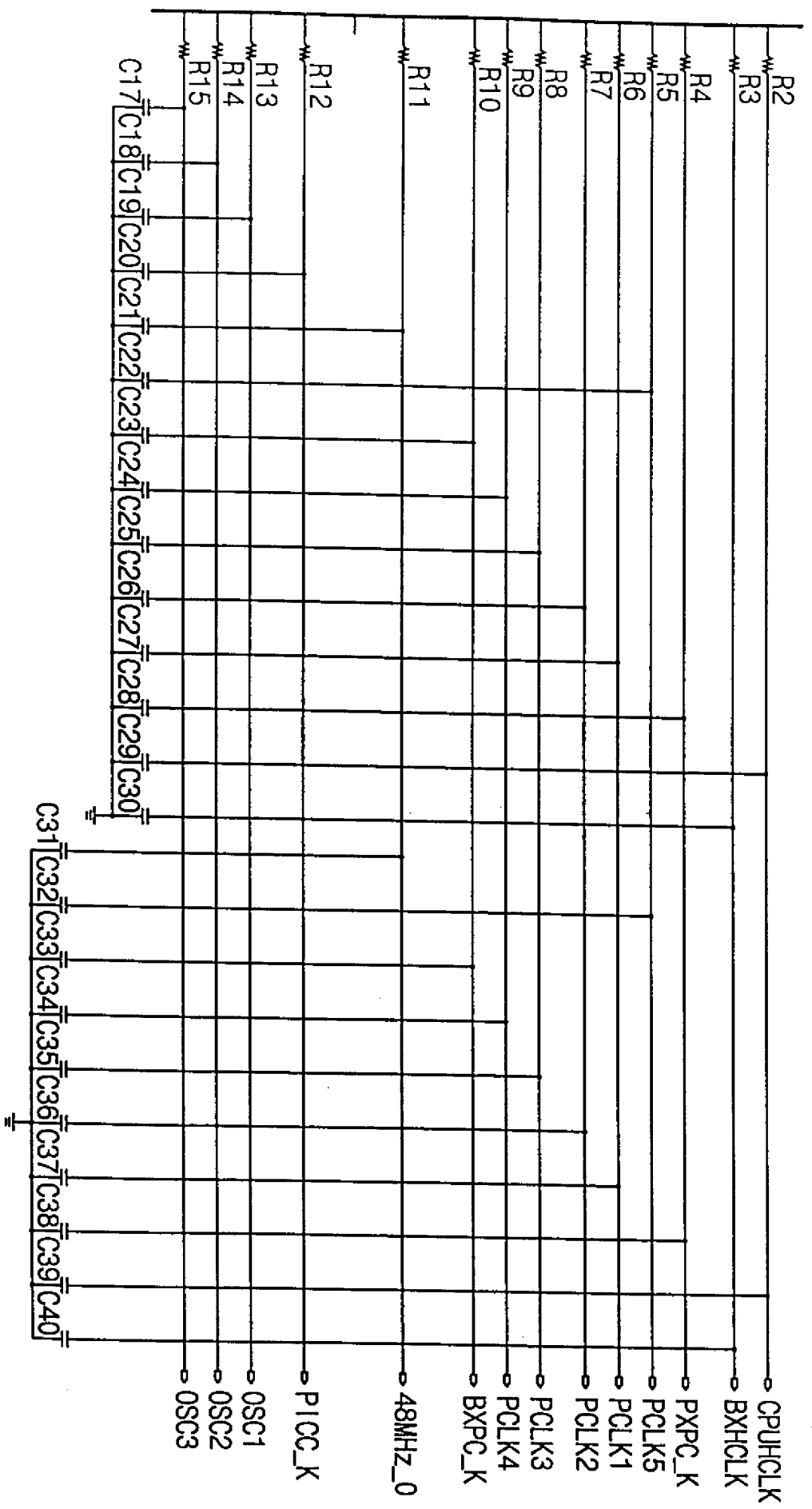
第 6C 圖



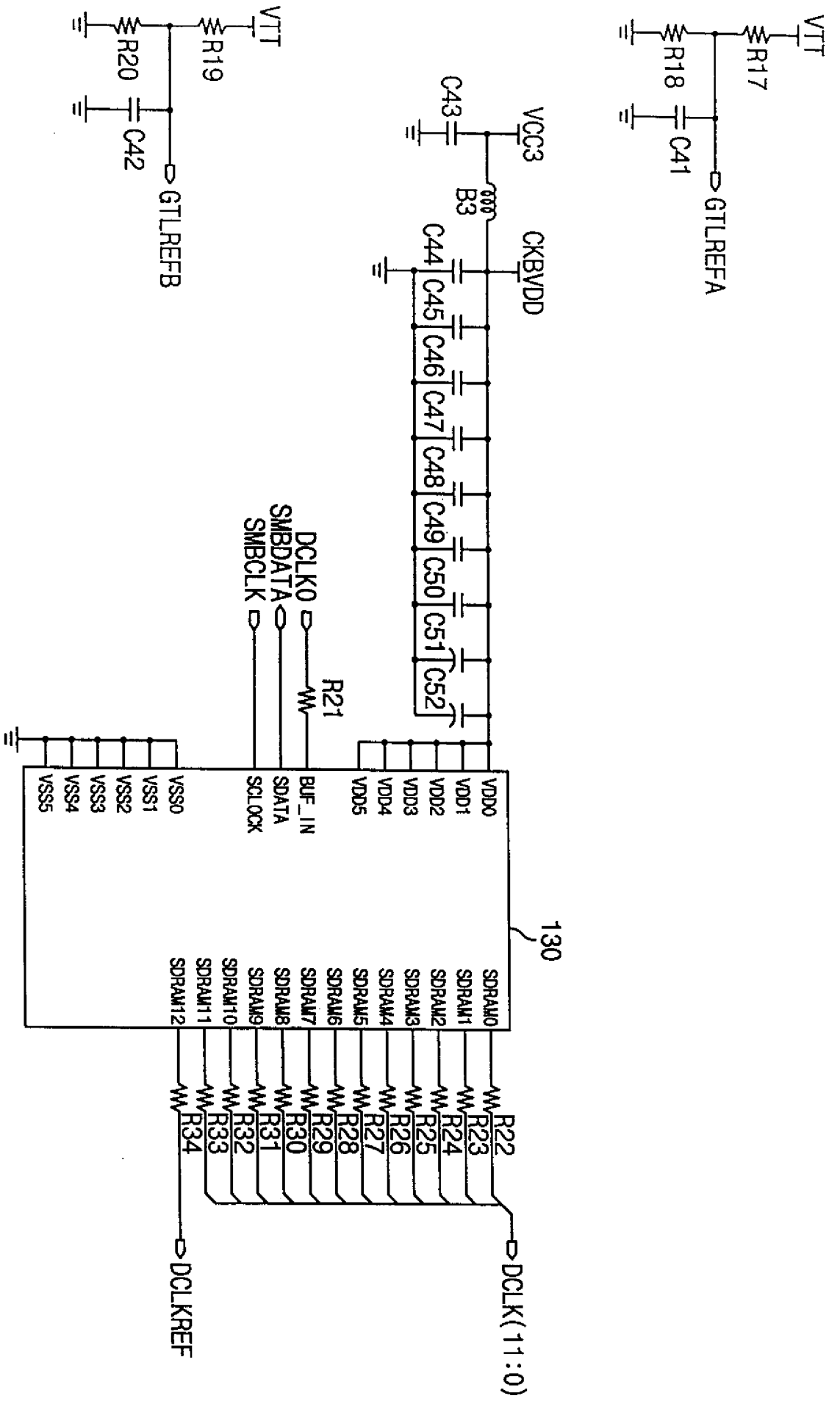
第7A圖

第7圖

第7A圖 第7B圖



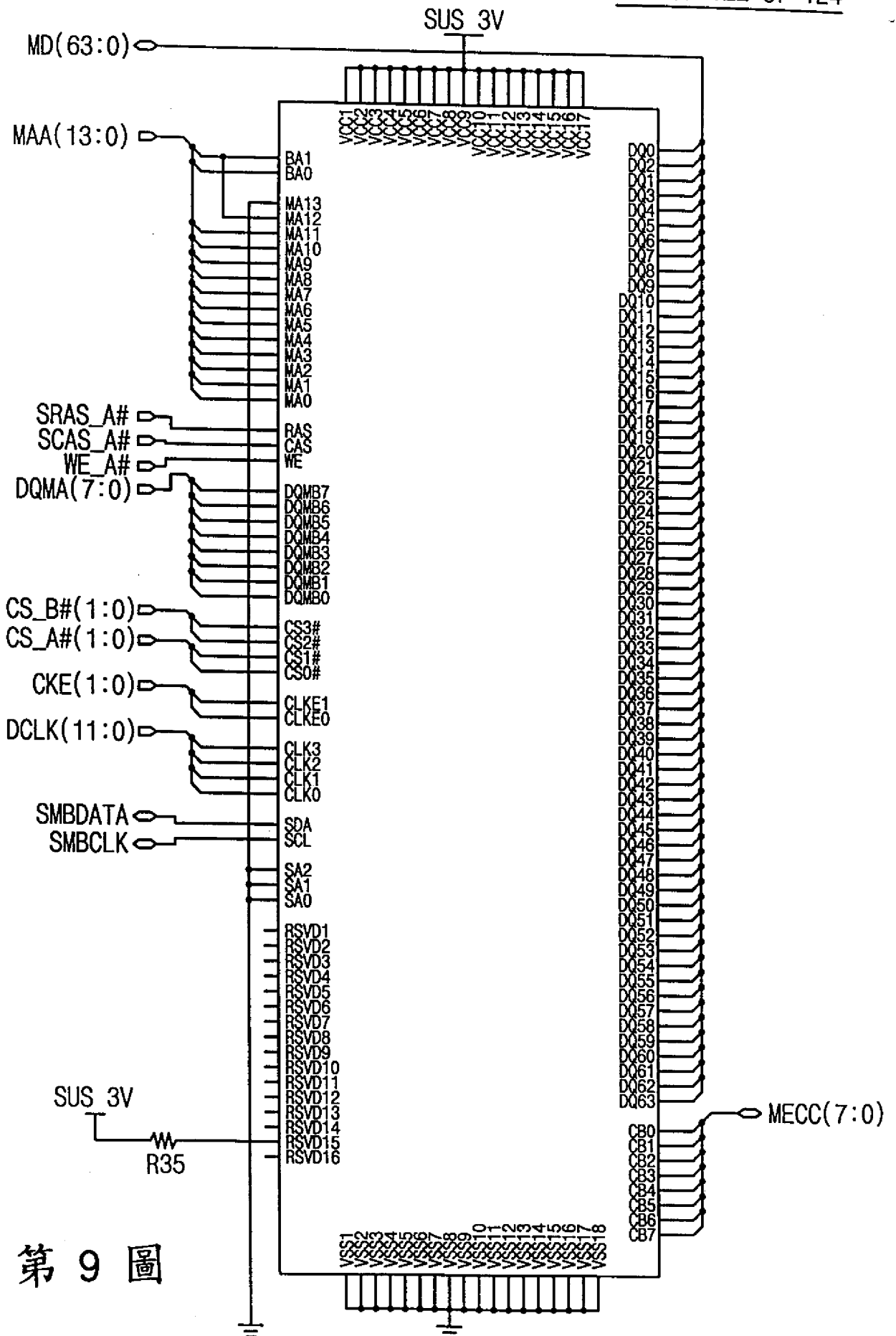
第7B圖



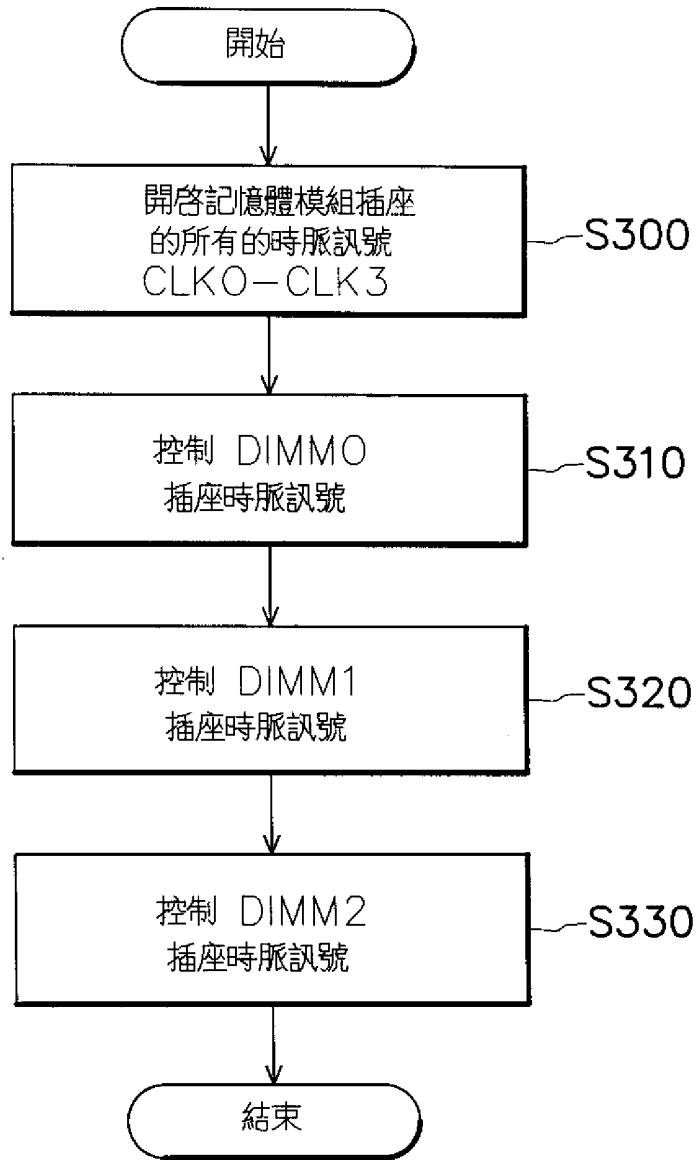
第 8 圖

452697

120 or 122 or 124

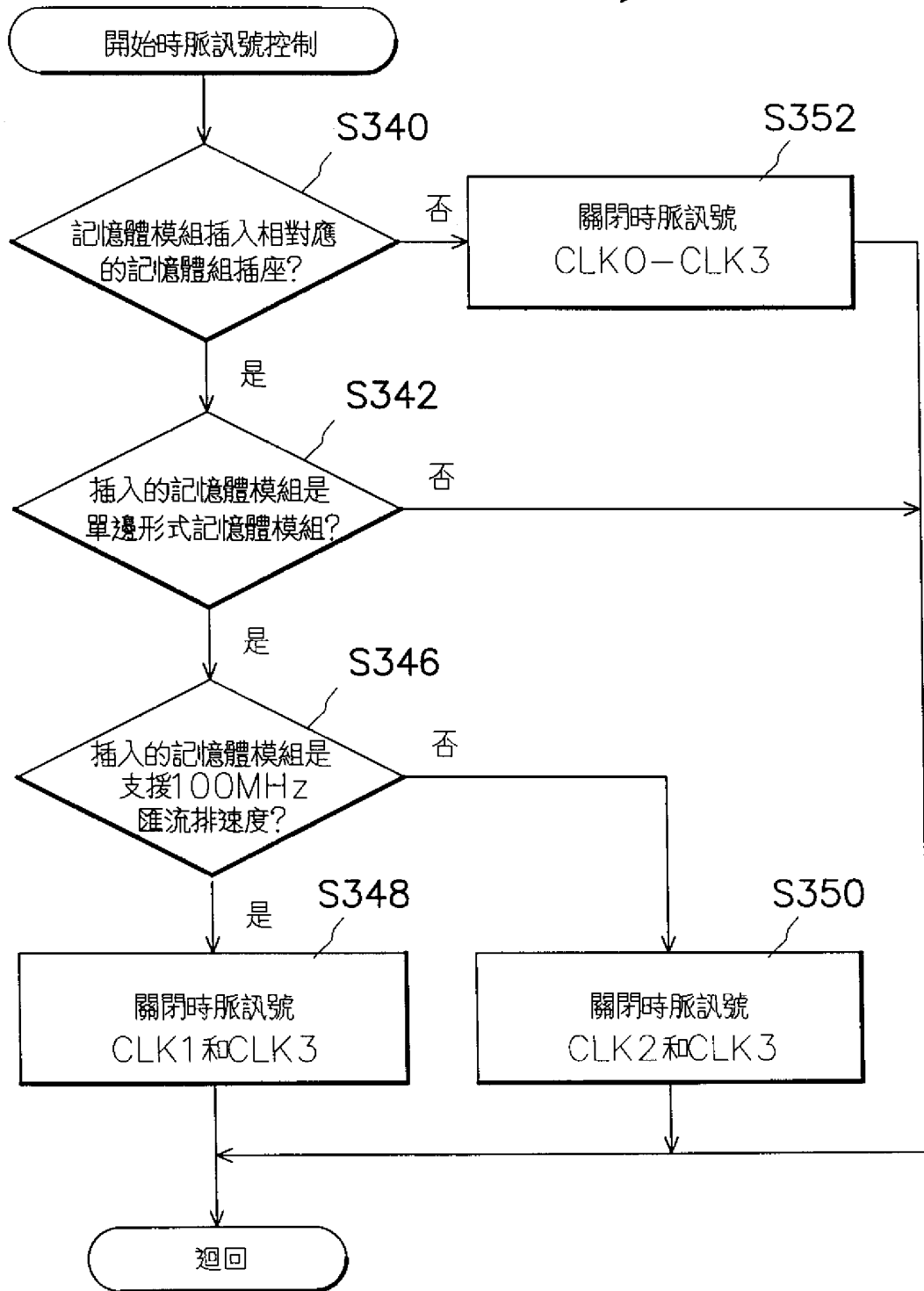


第 9 圖



第 10 圖

S310 or S320 or S330



第11圖