

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5633122号
(P5633122)

(45) 発行日 平成26年12月3日(2014.12.3)

(24) 登録日 平成26年10月24日(2014.10.24)

(51) Int. Cl.	F I	
G06F 15/80 (2006.01)	G06F 15/80	
G06T 1/20 (2006.01)	G06T 1/20	B
G06F 9/38 (2006.01)	G06F 9/38	370A
G06F 17/16 (2006.01)	G06F 17/16	M
G06F 9/34 (2006.01)	G06F 9/34	330

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2009-143648 (P2009-143648)	(73) 特許権者	308014341
(22) 出願日	平成21年6月16日(2009.6.16)		富士通セミコンダクター株式会社
(65) 公開番号	特開2011-2908 (P2011-2908A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成23年1月6日(2011.1.6)	(74) 代理人	100107766
審査請求日	平成24年3月8日(2012.3.8)		弁理士 伊東 忠重
前置審査		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100192636
			弁理士 加藤 隆夫
		(72) 発明者	辻 雅之
			東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内
		審査官	三坂 敏夫
			最終頁に続く

(54) 【発明の名称】 プロセッサ及び情報処理システム

(57) 【特許請求の範囲】

【請求項1】

S I M D 演算を実行可能な演算器と、
前記演算器に供給する演算対象のデータを格納するレジスタファイルと、
前記レジスタファイルとは別個に設けられ、各データ列が複数のデータ要素を含む整数 n 個のデータ列を列毎に書き込み、前記 n 個のデータ列の各々から同一位置のデータ要素を選択して得られる n 個のデータ要素を並べて 1 つに纏めて読み出し可能なバッファとを含む、

前記バッファは前記 S I M D 演算の並列数に等しい数の前記データ列を格納するだけの大きさであり、

前記バッファは 2 つのバッファであり、前記 2 つのバッファの一方のバッファから読み出した前記 n 個のデータ要素を前記演算器に前記 S I M D 演算の対象として供給し、前記 S I M D 演算の演算結果を前記 2 つのバッファの他方のバッファに格納することを特徴とするプロセッサ。

【請求項2】

前記バッファは、前記レジスタファイルのデータ格納容量以下のデータ格納容量を有することを特徴とする請求項1記載のプロセッサ。

【請求項3】

第1の演算命令にตอบสนองして、前記レジスタファイルから読み出したデータを前記 S I M D 演算命令の対象として前記演算器に供給し、前記第1の演算命令とは異なる第2の演算

命令にตอบสนองして、前記バッファから読み出した前記 n 個のデータ要素を前記 SIMD 演算命令の対象として前記演算器に供給することを特徴とする請求項 1 又は 2 記載のプロセッサ。

【請求項 4】

第 1 のストア命令にตอบสนองして、前記レジスタファイルから読み出したデータを外部に出力し、前記第 1 のストア命令とは異なる第 2 のストア命令にตอบสนองして、前記バッファから読み出したデータを外部に出力することを特徴とする請求項 1 乃至 3 の何れか一項記載のプロセッサ。

【請求項 5】

レジスタ設定命令にตอบสนองして格納値が設定される制御レジスタと、

前記制御レジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセクタ回路とを更に含むことを特徴とする請求項 1 乃至 4 の何れか一項記載のプロセッサ。

10

【請求項 6】

前記バッファが有効であるか否かを示す格納値を格納するバッファイネーブルレジスタと、

前記バッファイネーブルレジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセクタ回路と

を更に含むことを特徴とする請求項 1 乃至 4 の何れか一項記載のプロセッサ。

20

【請求項 7】

メモリと、

前記メモリに結合されるプロセッサとを含み、前記プロセッサは、

SIMD 演算を実行可能な演算器と、

前記演算器に供給する演算対象のデータを格納するレジスタファイルと、

前記レジスタファイルとは別個に設けられ、各データ列が複数個のデータ要素を含む整数 n 個のデータ列を列毎に書き込み、前記 n 個のデータ列の各々から同一位置のデータ要素を選択して得られる n 個のデータ要素を並べて 1 つに纏めて読み出し可能なバッファとを含み、

30

前記バッファは前記 SIMD 演算の並列数に等しい数の前記データ列を格納するだけの大きさであり、

前記バッファは 2 つのバッファであり、前記 2 つのバッファの一方のバッファから読み出した前記 n 個のデータ要素を前記演算器に前記 SIMD 演算の対象として供給し、前記 SIMD 演算の演算結果を前記 2 つのバッファの他方のバッファに格納することを特徴とする情報処理システム。

【請求項 8】

前記バッファは、前記レジスタファイルのデータ格納容量以下のデータ格納容量を有することを特徴とする請求項 7 記載の情報処理システム。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、一般に情報処理システムに関し、詳しくは SIMD 演算を実行可能なプロセッサに関する。

【背景技術】

【0002】

一般的な RISC (Reduced Instruction Set Computer) プロセッサや DSP (Digital Signal Processor) は、演算対象の 1 つのデータに対して 1 つの演算処理を行なうために一つの命令を実行する。それに対して SIMD (Single Instruction Multiple Data) 命令を有するプロセッサの場合は、一つの命令を実行することにより、演算対象の複数の

50

データに対して同一の演算処理を並列に行うことができる。SIMD命令を実行する際、レジスタファイルの一つのエントリに格納されたデータは、一エントリのデータサイズよりも小さなサイズのデータを複数並べたものとして扱われ、これら複数のデータに対して並列に演算処理が実行される。例えば最初に、Longサイズ(4バイト)の1つのデータが、外部メモリからプロセッサに内蔵するレジスタファイルの1つのエントリに転送される。次にSIMD命令により、レジスタファイルの1つのエントリに格納されているLongサイズの1つのデータを1バイトのサイズの4つのデータとして扱い、これら4つのデータに対して演算処理を並列に実行する。SIMD命令によって並列に処理された1バイトのサイズの4つのデータは、再び一纏まりのLongサイズのデータとして、レジスタファイルの一つのエントリに格納される。最後に、この処理結果をLongサイズのデータとして一括してデータ転送し、外部メモリに書き戻す。

10

【0003】

DCT(Discrete Cosine Transform)やフィルタ演算等ではSIMD演算が有効である。しかしSIMD演算機能を持つ従来のRISCプロセッサやDSPでは、SIMD演算を開始する前処理として、以下に説明するように、データの並び替えが必要になる。例えば画面の複数の水平ラインに対して水平方向にフィルタを掛けたい場合を考える。この場合、SIMD演算の並列処理の対象となる複数画素は画面の垂直方向に並んだ画素となる。しかしながら、外部メモリから一括してレジスタファイルの1つのエントリに転送することができる複数の画素は、メモリ空間で連続して格納されているデータであり、画像水平方向に並んだ複数の画素となる。例えばLongサイズのデータ転送の場合、外部メモリから一括してレジスタファイルの1つのエントリに転送するデータは、画像水平方向に並んだ各1バイトの4つの画素データとなってしまう。SIMD演算で並列処理したい対象の複数画素は画面の垂直方向に並んだ画素であるので、このSIMD演算前の準備として、垂直方向に並んだ画素を水平方向に並び替えておく必要が生じる。これは画像を90度回転させるコピー操作であり、数多くのメモリアクセスに加え、レジスタファイル上で数多くのシフト操作や論理演算等の処理を必要とする。その結果、数多くの処理サイクルを使用することになり、非常に大きなオーバーヘッドが発生してしまう。

20

【0004】

このオーバーヘッドを解消するための手段として、レジスタファイルの複数のエントリに跨ったSIMD演算の対象となる一組のデータ列を一度に読み出したり、書き込んだりすることが可能なプロセッサの構成が知られている(特許文献1)。このプロセッサでは、レジスタファイルを複数の部分に分割して、複数のメモリバンクにより構成している。この構成により、レジスタファイルの異なるエントリにある複数のデータを、一つのエントリにまとめることなしに、SIMD演算器との間で転送することが可能となる。即ち、SIMD演算前の前処理としてのデータ並び替え処理のオーバーヘッドが不要となり、大幅な性能向上が期待できる。

30

【0005】

しかし上記の技術では、複数のメモリバンクを必要とし、更に複数のバンクに跨って書き込みや読み出しを行うためのアドレス生成回路及び各バンク用の制御回路が必要である。このため、通常のレジスタファイルを用いる構成に対して回路規模が大きくなり、またレジスタファイルに対する書き込み及び読み出しの遅延が大きくなる。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2005-309499号公報

【特許文献2】特開平10-74141号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

以上を鑑みると、比較的小さな回路規模で且つレジスタファイルの遅延を増大させるこ

50

となく、SIMD演算の前処理としてのデータ並び替えを実行可能なプロセッサが望まれる。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、SIMD演算を実行可能な演算器と、前記演算器に供給する演算対象のデータを格納するレジスタファイルと、前記レジスタファイルとは別個に設けられ、各データ列が複数個のデータ要素を含む整数n個のデータ列を列毎に書き込み、前記n個のデータ列の各々から同一位置のデータ要素を選択して得られるn個のデータ要素を並べて1つに纏めて読み出し可能なバッファとを含み、前記バッファは前記SIMD演算の並列数に等しい数の前記データ列を格納するだけの大きさであり、前記バッファは2つのバッファであり、前記2つのバッファの一方のバッファから読み出した前記n個のデータ要素を前記演算器に前記SIMD演算の対象として供給し、前記SIMD演算の演算結果を前記2つのバッファの他方のバッファに格納するプロセッサが提供される。

10

【発明の効果】

【0009】

開示のプロセッサによれば、書き込み単位と読み出し単位とが異なるバッファをレジスタファイルと別個に設け、このバッファによりSIMD演算の前処理としてのデータ並び替えを実行する。これにより、比較的小さな回路規模で且つレジスタファイルの遅延を増大させることなく、SIMD演算の前処理としてのデータ並び替えが可能となる。

【図面の簡単な説明】

20

【0010】

【図1】情報処理システムの構成の一例を示す図である。

【図2】図1のプロセッサによるデータ並べ替え及びSIMD演算処理の流れを示すフローチャートである。

【図3】データ並べ替え及びSIMD演算処理時のバッファのデータ内容を示す図である。

【図4】図2のデータ並べ替え及びSIMD演算処理のパイプライン動作を示す図である。

【図5】バッファイネーブルレジスタの動作について説明するための図である。

【図6】プロセッサの変形例の構成を示す図である。

30

【図7】第1バッファ及び第2バッファの構成の一例を示す図である。

【図8】メディアプロセッサを用いた情報処理システムの構成の一例を示す図である。

【発明を実施するための形態】

【0011】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0012】

図1は、情報処理システムの構成の一例を示す図である。図1の情報処理システムは、プロセッサ10及び外部メモリ100を含む。プロセッサ10は外部メモリ100に結合され、外部メモリ100から命令及びデータを読み出す。外部メモリ100には画素データP0、P1、P2、・・・を含む画像データが格納されている。以下の説明において、各画素データP0、P1、P2、・・・の各々は8ビットであるとして説明するが、各画素を構成するビットの数はこれに限られるものではない。また外部メモリ100に格納されプロセッサ10による処理の対象となるデータは画像データに限られるものではない。

40

【0013】

プロセッサ10は、演算器11、レジスタファイル12、バッファ13、命令バッファ14、命令デコーダ15、ロードストア・アドレス生成部16、制御レジスタ17、バッファイネーブルレジスタ18、及びパイプラインレジスタ19を含む。プロセッサ10は更に、セクタ25及びセクタ26を含む。プロセッサ10は、プログラムカウンタ(図示せず)が示すアドレスに格納されている命令を外部メモリ100から読み出して、命令バッファ14に格納する。命令バッファ14にフェッチされた命令は、命令デコーダ1

50

5によりデコードされる。命令デコーダ15はプロセッサ10の動作シーケンスを制御するシーケンスを含み、命令デコード結果に応じて各種制御信号を生成する。この制御信号により、プロセッサ10の各部の動作シーケンスが制御される。例えばデコードした命令がロード命令或いはストア命令である場合、ロードストア・アドレス生成部16により、ロード対象或いはストア対象となるアドレスを生成する。ロード命令の場合、プロセッサ10は、ロード対象アドレスに格納されているデータを外部メモリ100から読み出す。ストア命令の場合、プロセッサ10は、外部メモリ100のストア対象アドレスにデータを格納する。

【0014】

演算器11は、命令デコーダ15からの制御信号に基づいて、命令デコーダ15の命令デコード結果に応じた演算処理を実行する。演算器11は、SIMD演算を実行可能な演算器であり、SISD (Single Instruction Single Data) の演算命令も実行可能であってよい。SIMD演算の場合、演算器11は、レジスタファイル12又はバッファ13から供給される複数のデータ要素に対して同一の演算処理を並列に実行する。

10

【0015】

レジスタファイル12は、n個のエントリとしてレジスタREG0乃至REGnを含む。レジスタファイル12は、演算器11に供給する演算対象のデータを格納するとともに、演算器11が実行した演算結果のデータを格納する。レジスタREG0乃至REGnの各々は、例えば32ビットのビット幅のデータを格納する。1つのエントリに格納される32ビット(4バイト)のビット幅のデータがSIMD演算の対象となる場合、例えば1 20
1バイトのサイズの4つのデータ要素に対して同一の演算処理が並列に実行される。以下の説明では、1つのレジスタに32ビットのビット幅のデータが格納され、SIMD演算の並列処理の対象となる複数のデータ要素は各々が1バイトのサイズの4つのデータである場合を例として用いる。但し、レジスタREG0乃至REGnのビット幅や、各データ要素のサイズ、複数のデータ要素の数は、この例に限定されるものではない。

【0016】

バッファ13は、複数のレジスタ要素20、セクタ22、及びセクタ23を含む。複数のレジスタ要素20の各々は、例えば8ビットのデータ要素を格納するように8個のフリップフロップを含んでよい。入力が信号線21-0に接続される4つのレジスタ要素20が1つのレジスタREG0'を構成する。入力が信号線21-1に接続される4つの 30
レジスタ要素20が1つのレジスタREG1'を構成する。入力が信号線21-2に接続される4つのレジスタ要素20が1つのレジスタREG2'を構成する。入力が信号線21-3に接続される4つのレジスタ要素20が1つのレジスタREG3'を構成する。

30

【0017】

外部メモリ100からロード命令により一塊のデータとして読み出されたLongサイズ(4バイト)の画像データ(例えばP0, P1, P2, P3)は、レジスタREG0'乃至REG3'のうちの指定された1つのレジスタに格納される。なおこのロード命令は、レジスタファイル12の指定レジスタにロードする命令であってよい。例えばレジスタファイル12のレジスタREG0にロードするロード命令を実行すると、外部メモリ100から読み出した4バイトの画像データがレジスタREG0に格納されるとともに、セ 40
クタ22を介してバッファ13のレジスタREG0'にも格納される。レジスタファイル12のレジスタREG0乃至REG3は、それぞれバッファ13のレジスタREG0'乃至REG3'に対応している。即ち、ロード命令によりレジスタファイル12の1つのレジスタREGk (k=0, 1, 2, 又は3)に格納したデータは、バッファ13の対応する1つのレジスタREGk'にも格納される。ロード命令により何れの1つのレジスタにデータが格納されるかは、命令デコーダ15からの制御信号により制御される。

40

【0018】

出力が信号線連結ユニット24-Aに接続される4つのレジスタ要素20が1つのレジスタREGAを構成する。出力が信号線連結ユニット24-Bに接続される4つのレジスタ要素20が1つのレジスタREGBを構成する。出力が信号線連結ユニット24-Cに 50

50

接続される4つのレジスタ要素20が1つのレジスタREGCを構成する。出力が信号線連結ユニット24-Dに接続される4つのレジスタ要素20が1つのレジスタREGDを構成する。信号線連結ユニット24-A乃至24-Dの各々は、各レジスタ要素20からの8ビットの出力を並べて纏めることで、32ビットのデータを構成する。各32ビットデータはセクタ23に供給される。セクタ23は、レジスタREGA乃至REGDの出力のうちの1つのレジスタの出力を選択して出力する。何れの1つのレジスタのデータが選択されるかは、命令デコーダ15からの制御信号により制御される。

【0019】

上記のようにしてバッファ13は、各データ列が複数個のデータ要素を含む整数n個のデータ列を列毎に書き込み、n個のデータ列の各々から同一位置のデータ要素を選択してn個のデータ要素として読み出し可能なバッファとして機能する。図1の構成例では、各データ列が複数4個の画素データを含む整数4個のデータ列を列毎に書き込む。即ち、まず4個の画素データP0乃至P3を含むデータ列をレジスタREG0'に格納する。次に4個の画素データP4乃至P7を含むデータ列をレジスタREG1'に格納する。更に、4個の画素データP8乃至P11を含むデータ列をレジスタREG2'に格納し、4個の画素データP12乃至P15を含むデータ列をレジスタREG3'に格納する。これにより4個のデータ列が4個のレジスタREG0'乃至REG3'にそれぞれ格納される。

【0020】

読み出し時には、4個のデータ列の各々から同一位置の画素データを選択して4個の画素データとして読み出す。例えば各データ列のうちで3番目の画素データ、即ちLongサイズの32ビットのうち15番目～8番目のビット[15:8]を選択するとする。この場合、4個のデータ列の各々のビット[15:8]を信号線連結ユニット24-Cにより纏めて4バイトのデータを構成し、この4バイトのデータをセクタ23により選択して出力する。これにより、4個の画素データP2、P6、P10、P14がセクタ23から出力される。同様に例えば、各データ列のうちで1番目の画素データ、即ちLongサイズの32ビットのうち31番目～24番目のビット[31:24]を選択するとする。この場合、4個のデータ列の各々のビット[31:24]を信号線連結ユニット24-Aにより纏めて4バイトのデータを構成し、この4バイトのデータをセクタ23により選択して出力する。これにより、4個の画素データP0、P4、P8、P12がセクタ23から出力される。

【0021】

演算器11がSIMD演算を行なう場合、SIMD演算の対象となるデータは、レジスタファイル12又はバッファ13から供給される。セクタ25が、レジスタファイル12のデータ又はバッファ13のデータの何れか一方を選択して演算器11に供給する。セクタ25の選択動作は、実行する演算命令に応じた命令デコーダ15からの制御信号により制御されてよい。例えば第1の演算命令に回答して、セクタ25は、レジスタファイル12から読み出したデータをSIMD演算命令の対象として演算器11に供給する。また第1の演算命令とは異なる第2の演算命令に回答して、セクタ25は、バッファ13から読み出したデータをSIMD演算命令の対象として演算器11に供給する。このように、レジスタファイル12のデータを対象とするSIMD演算命令とバッファ13のデータを対象とするSIMD演算命令とを、それぞれ別個に設け、実行する演算命令に応じて何れか一方のデータを選択してよい。

【0022】

プロセッサ10がデータストア命令を実行する場合、外部メモリ100にストアする対象となるデータは、レジスタファイル12又はバッファ13から供給される。セクタ26が、レジスタファイル12のデータ又はバッファ13のデータの何れか一方を選択して外部メモリ100に供給する。セクタ26の選択動作は、実行するストア命令に応じた命令デコーダ15からの制御信号により制御されてよい。例えば第1のストア命令に回答して、セクタ26は、レジスタファイル12から読み出したデータをストア命令の対象としてプロセッサ外部に出力する。また第1のストア命令とは異なる第2のストア命令に

10

20

30

40

50

応答して、セクタ 26 は、バッファ 13 から読み出したデータをストア命令の対象としてプロセッサ外部に出力する。このように、レジスタファイル 12 のデータを対象とするストア命令とバッファ 13 のデータを対象とするストア命令とを、それぞれ別個に設け、実行するストア命令に応じて何れか一方のデータを選択してよい。

【 0 0 2 3 】

また制御レジスタ 17 によりセクタ 25 及び 26 の選択動作を制御してもよい。実行するプログラム中にレジスタ設定命令を入れておき、命令デコーダ 15 がこのレジスタ設定命令をデコードすると、このデコード結果に応じた格納値が制御レジスタ 17 に設定される。セクタ 25 及び 26 は、制御レジスタ 17 の格納値に応じてレジスタファイル 12 から読み出したデータとバッファ 13 から読み出したデータの何れか一方を選択して出力する。これにより、レジスタファイル 12 のデータとバッファ 13 のデータとの何れか一方の選択を、ソフトウェアにより制御してよい。

10

【 0 0 2 4 】

またバッファイネーブルレジスタ 18 によりセクタ 25 及び 26 の選択動作を制御してもよい。バッファイネーブルレジスタ 18 は、バッファ 13 の格納データが有効であるか否かを示す値を格納する。セクタ 25 及び 26 は、バッファイネーブルレジスタ 18 の格納値に応じてレジスタファイル 12 から読み出したデータとバッファ 13 から読み出したデータの何れか一方を選択して出力する。

【 0 0 2 5 】

命令に応じた命令デコーダ 15 による選択制御、制御レジスタ 17 による選択制御、及びバッファイネーブルレジスタ 18 による選択制御は、何れか 1 つを設けてもよいし、複数を同時に設けてもよい。複数を同時に設けた場合、適宜、選択動作の優先順位を設けてもよい。例えば、バッファイネーブルレジスタ 18 による選択制御がバッファ 13 の出力を選択していても、実行中の命令がレジスタファイル 12 の出力を明示的に選択する命令である場合等があり得る。このような場合、例えば、命令に応じた命令デコーダ 15 による選択制御を優先して、レジスタファイル 12 の出力を選択するようにしてよい。

20

【 0 0 2 6 】

このようにして、列毎に順次データを格納し行毎に順次データを読み出し可能なバッファをレジスタファイルとは別個に設けることで、SIMD 演算の準備としてのデータ並び替えを小規模な回路で実現する。ここで、メモリ空間上に不連続に配置されたデータ（例えば P0、P4、P8、P12）を SIMD 演算の対象とする場合に用いるレジスタファイルのエントリ数は、SIMD 演算の並列度に等しい。従って、並列演算に用いる数（図 1 の例では 4 個）のバッファ（REG0' 乃至 REG3'）を設け、SIMD 演算の対象のデータ（例えば P0、P4、P8、P12）をこれらバッファに格納し、上述のように並び替えて読み出せばよい。フリップフロップを縦横に並べてバッファ 13 を構成することにより、単純な回路構成で SIMD 演算の前処理としての縦横のデータ並べ替えを行なうことができる。またレジスタファイル 12 自体は、単一のメモリバンクで構成可能な通常の構成であり、例えば複数のメモリバンクで構成する場合のように回路規模が増大することもない。またレジスタファイル 12 のデータ読み書きの速度についても、レジスタファイル 12 の出力とバッファ 13 の出力との何れかを選択するセクタ 25 及び 26 の分だけの僅かな遅延が追加されるに過ぎない。またレジスタファイル 12 と別個に設けるバッファ 13 は、最低限 SIMD 演算の並列度に等しい数だけ設ければよいので、それ程大きな回路規模が必要とされるものではない。

30

40

【 0 0 2 7 】

図 2 は、図 1 のプロセッサ 10 によるデータ並べ替え及び SIMD 演算処理の流れを示すフローチャートである。図 3 は、データ並べ替え及び SIMD 演算処理時のバッファ 13 のデータ内容を示す図である。図 2 及び図 3 を参照しながら、データ並べ替え及び SIMD 演算処理について以下に説明する。

【 0 0 2 8 】

ステップ S1 において、ロード命令により、外部メモリ 100 からレジスタファイル 1

50

2のレジスタREG0に画像データP0、P1、P2、及びP3を格納する。このときバッファ13のレジスタREG0'にも同一のデータが格納される。図3(a)には、レジスタREG0'に画像データP0、P1、P2、及びP3が格納されたバッファ13の様子が示される。

【0029】

ステップS2において、ロード命令により、外部メモリ100からレジスタファイル12のレジスタREG1に画像データP4、P5、P6、及びP7を格納する。このときバッファ13のレジスタREG1'にも同一のデータが格納される。図3(b)には、レジスタREG1'に画像データP4、P5、P6、及びP7が格納されたバッファ13の様子が示される。

10

【0030】

ステップS3において、上記ステップS1及びS2と同様にして、レジスタREG2に画像データP8、P9、P10、及びP11を格納するとともに、レジスタREG3に画像データP12、P13、P14、及びP15を格納する。このときバッファ13のレジスタREG2'及びREG3'にも同一のデータが格納される。図3(c)には、レジスタREG2'及びREG3'に画像データP8乃至P11及びP12乃至P15がそれぞれ格納されたバッファ13の様子が示される。

【0031】

ステップS4において、縦方向用SIMD演算命令によりレジスタREGA及びREGBのデータを読み出してSIMD演算を実行する。ここで縦方向用SIMD演算命令というのは、実行するSIMD演算により並列処理される複数のデータが画像縦方向に並ぶ複数の画素だからである。図3(d)において、画素データP0乃至P3は例えば画像中の第1水平ラインの一部のデータであり、画素データP4乃至P7は画像中の第2水平ラインの一部のデータである。同様に、画素データP8乃至P11は画像中の第3水平ラインの一部のデータであり、画素データP12乃至P15は画像中の第4水平ラインの一部のデータである。この場合、縦方向用SIMD演算に並列処理される複数のデータは、例えば第1水平ラインの先頭画素P0、第2水平ラインの先頭画素P4、第3水平ラインの先頭画素P8、及び第4水平ラインの先頭画素P12である。図3(d)の例では、画素データP0、P4、P8、P12をレジスタREGAから読み出し、画素データP1、P5、P9、P13をレジスタREGBから読み出し、これらのデータを演算器11に供給してSIMD演算を実行する。この例では、SIMD演算として、 $P0 + P1$ 、 $P4 + P5$ 、 $P8 + P9$ 、 $P12 + P13$ の4つの加算演算を並列に実行するものとする。即ちこの例のSIMD演算は、画像の水平方向に2画素を加算するフィルタリング処理である。

20

30

【0032】

ステップS5において、SIMD演算の演算結果($P0 = P0 + P1$ 、 $P4 = P4 + P5$ 、 $P8 = P8 + P9$ 、 $P12 = P12 + P13$)であるフィルタ処理後の画素データP0、P4、P8、P12を、レジスタファイル12のレジスタREG4に格納する。即ち、図1において、バッファ13から読み出したデータに対して演算器11によりSIMD演算を実行し、その演算結果をレジスタファイル12に格納する。このときバッファ13には演算結果を書き込まない。

40

【0033】

ステップS6において、ステップS4と同様に縦方向用SIMD演算命令により、レジスタREGB及びREGCのデータを読み出してSIMD演算を実行する。図3(e)の例では、画素データP1、P5、P9、P13をレジスタREGBから読み出し、画素データP2、P6、P10、P14をレジスタREGCから読み出し、これらのデータを演算器11に供給してSIMD演算を実行する。SIMD演算では、 $P1 + P2$ 、 $P5 + P6$ 、 $P9 + P10$ 、 $P13 + P14$ の4つの加算演算を並列に実行する。

【0034】

ステップS7において、SIMD演算の演算結果($P1 = P1 + P2$ 、 $P5 = P5 + P6$ 、 $P9 = P9 + P10$ 、 $P13 = P13 + P14$)であるフィルタ処理後の画素データ

50

P 1、P 5、P 9、P 1 3を、レジスタファイル1 2のレジスタREG 5に格納する。このときバッファ1 3には演算結果を書き込まない。

【0 0 3 5】

ステップS 8において、ステップS 4及びS 6と同様に縦方向用SIMD演算命令により、レジスタREG C及びREG Dのデータを読み出してSIMD演算を実行する。図3 (f)の例では、画素データP 2、P 6、P 1 0、P 1 4をレジスタREG Cから読み出し、画素データP 3、P 7、P 1 1、P 1 5をレジスタREG Dから読み出し、これらのデータを演算器1 1に供給してSIMD演算を実行する。

【0 0 3 6】

ステップS 9において、演算結果 (P 2 = P 2 + P 3、P 6 = P 6 + P 7、P 1 0 = P 1 0 + P 1 1、P 1 4 = P 1 4 + P 1 5) であるフィルタ処理後の画素データP 2、P 6、P 1 0、P 1 4を、レジスタファイル1 2のレジスタREG 6に格納する。このときバッファ1 3には演算結果を書き込まない。

【0 0 3 7】

ステップS 1 0において、ステップS 1乃至ステップS 9と同様の処理を後続する画像データに対して実行して、SIMD演算結果をレジスタファイル1 2のレジスタREG 7乃至REG 9に格納する。これにより、レジスタファイル1 2のレジスタREG 7には、SIMD演算の演算結果であるフィルタ処理後の画素データP 3、P 7、P 1 1、P 1 5が格納される。

【0 0 3 8】

ステップS 1 1において、レジスタファイル1 2のレジスタREG 4に格納されているSIMD演算結果をバッファ1 3のレジスタREG 0'に転送する。即ち、レジスタREG 4に格納されているフィルタ処理後の画素データP 0、P 4、P 8、P 1 2を、バッファ1 3のレジスタREG 0'に格納する。図3 (g)には、フィルタ処理後の画素データP 0、P 4、P 8、P 1 2がレジスタREG 0'に格納されたバッファ1 3の様子が示される。

【0 0 3 9】

ステップS 1 2において、ステップS 1 1と同様にして、レジスタファイル1 2のレジスタREG 4乃至REG 7に格納されているSIMD演算結果をバッファ1 3のレジスタREG 1'乃至REG 3'に転送する。図3 (h)には、フィルタ処理後の画素データがレジスタREG 1'乃至REG 3'に格納されたバッファ1 3の様子が示される。

【0 0 4 0】

ステップS 1 3において、バッファ1 3のレジスタREG Aの画像データを外部メモリ1 0 0にストアする。即ち、図3 (i)に示されるように、レジスタREG Aの画像データP 0、P 1、P 2、P 3をバッファ1 3から読み出して、読み出したデータをプロセッサ1 0の外部のメモリ1 0 0に書き込む。

【0 0 4 1】

ステップS 1 4において、ステップS 1 3と同様にして、バッファ1 3のレジスタREG B乃至REG Dの画像データを外部メモリ1 0 0にストアする。即ち、図3 (j)に示されるように、レジスタREG B乃至REG Dの画像データをバッファ1 3から読み出して、読み出したデータをプロセッサ1 0の外部のメモリ1 0 0に書き込む。以下同様にして画像全体に対するSIMD演算命令によるフィルタリング処理を実行する。

【0 0 4 2】

図4は、図2のデータ並べ替え及びSIMD演算処理のパイプライン動作を示す図である。(a)に示すように、ロード命令を実行する際には、命令フェッチF、命令デコードD、ロードアドレス生成A、及びメモリデータロードMが、各ロード命令間で一サイクルずつずれてパイプライン動作する。これにより複数のロード命令を順次実行する際に、1つのロード命令を見かけ上1サイクルで実行することができる。またSIMD命令を実行する際にも、命令フェッチF、命令デコードD、データリード及び演算E、及びデータライトWが、各SIMD命令間で一サイクルずつずれてパイプライン動作する。これにより

10

20

30

40

50

複数のSIMD命令を順次実行する際に、1つのSIMD命令を見かけ上1サイクルで実行することができる。

【0043】

また(b)に示すように、ムーブ命令(転送命令)を実行する際には、命令フェッチF、命令デコードD、レジスタリードE、及びレジスタライトWが、各ロード命令間で一サイクルずつずれてパイプライン動作する。またストア命令を実行する際には、命令フェッチF、命令デコードD、ストアアドレス生成A、及びメモリデータストアMが、各ストア命令間で一サイクルずつずれてパイプライン動作する。これにより各命令を見かけ上1サイクルで実行することができる。

【0044】

図5は、バッファイネーブルレジスタ18の動作について説明するための図である。図5(a)に示すように、バッファイネーブルレジスタ18は、イネーブルフラグ18-1、レジスタ18-2、及びAND回路18-3を含む。イネーブルフラグ18-1は、バッファイネーブルレジスタ18によるセクタ25及び26の制御動作を有効にするか否かを示すために使用される。イネーブルフラグ18-1が0の場合、バッファイネーブルレジスタ18による制御動作は行なわない。イネーブルフラグ18-1が1の場合、バッファイネーブルレジスタ18による制御動作を行なう。レジスタ18-2は、バッファ13の4つの列(4つのレジスタREG0'乃至REG3')に対応して、各レジスタに有効値が格納されているか否かを示す4ビットの値を格納する。あるビットの値が1であるとき、対応するレジスタには有効値が格納されていることを示す。ビット値が0であるとき、対応するレジスタには有効値が格納されていないことを示す。AND回路18-3は、レジスタ18-2の4つのビット値のANDを演算し、演算結果を出力する。このAND回路18-3の出力が1の場合、バッファ13の全体に有効なデータが格納されていることを示す。AND回路18-3の出力が0の場合、バッファ13には無効な部分があることを示す。このAND回路18-3の出力に応じて、セクタ25及び26の選択動作を制御してよい。

【0045】

図5(a)は、バッファ13に何らデータが格納されていない状態を示す。この状態では、レジスタ18-2の4つのビット値は全てゼロである。図5(b)は、イネーブルフラグ18-1を1に設定した後に、バッファ13のレジスタREG0'にデータが格納された状態を示す。この状態では、レジスタ18-2の4つのビット値のうちレジスタREG0'に対応するビット値のみが1であり、他は全てゼロである。従って、AND回路18-3の出力は0となっている。図5(c)は、図5(b)の状態から更にバッファ13のレジスタREG1'にデータが格納された状態を示す。この状態では、AND回路18-3の出力はまだ0となっている。図5(d)は、図5(c)の状態から更にバッファ13のレジスタREG2'及びREG3'にデータが格納された状態を示す。この状態では、AND回路18-3の出力は1となる。即ち、図5(d)に示すようにバッファ13の全てのレジスタ要素20に有効値が格納されると、AND回路18-3の出力は1となり、セクタ25及び26はバッファ13の出力を選択することができる。

【0046】

図5(e)は、図5(d)の状態から一旦イネーブルフラグ18-1を0に設定してレジスタ18-2を0にリセットし、その後イネーブルフラグ18-1を再度1に設定してからバッファ13のレジスタREG0'に新たなデータを格納した状態を示す。網掛けして示されているレジスタREG1'乃至REG3'の部分は、その格納値が古い無効な値となっている。この状態では、レジスタ18-2の4つのビット値のうちレジスタREG0'に対応するビット値のみが1であり、他は全てゼロである。従って、AND回路18-3の出力は0となっている。図5(f)は、図5(e)の状態から更にバッファ13のレジスタREG1'乃至REG3'に新たなデータが格納された状態を示す。この状態では、AND回路18-3の出力は1となる。即ち、図5(f)に示すようにバッファ13の全てのレジスタ要素20に新たな有効値が格納されると、AND回路18-3の出力は

10

20

30

40

50

再び1となり、セクタ25及び26はバッファ13の出力を選択することができる。

【0047】

図6は、プロセッサの変形例の構成を示す図である。図6に示すプロセッサ10Aにおいては、バッファ13の代りにバッファ13Aが設けられている。バッファ13Aは、第1バッファ13-1、第2バッファ13-2、セクタ22、及びセクタ33を含む。セクタ33は、第1バッファ13-1のレジスタREGA乃至REGD及び第2バッファ13-2のレジスタREG E乃至REG Hのうちから1つのレジスタのデータを選択して出力する。

【0048】

図7は、第1バッファ13-1及び第2バッファ13-2の構成の一例を示す図である。(a)に示す第1バッファ13-1は、複数のレジスタ要素40を含む。複数のレジスタ要素40の各々は、例えば8ビットのデータ要素を格納するように8個のフリップフロップを含んでよい。入力が信号線41-0に接続される4つのレジスタ要素40が1つのレジスタREG 0'を構成する。入力が信号線41-1に接続される4つのレジスタ要素40が1つのレジスタREG 1'を構成する。入力が信号線41-2に接続される4つのレジスタ要素40が1つのレジスタREG 2'を構成する。入力が信号線41-3に接続される4つのレジスタ要素40が1つのレジスタREG 3'を構成する。

10

【0049】

(b)に示す第2バッファ13-2は、複数のレジスタ要素40を含む。入力が信号線41-4に接続される4つのレジスタ要素40が1つのレジスタREG 4'を構成する。入力が信号線41-5に接続される4つのレジスタ要素40が1つのレジスタREG 5'を構成する。入力が信号線41-6に接続される4つのレジスタ要素40が1つのレジスタREG 6'を構成する。入力が信号線41-7に接続される4つのレジスタ要素40が1つのレジスタREG 7'を構成する。

20

【0050】

Longサイズ(4バイト)のデータが、レジスタREG 0'乃至REG 7'のうちの指定された1つのレジスタに格納される。何れの1つのレジスタにデータが格納されるかは、命令デコーダ15からの制御信号により制御してよい。

【0051】

(a)の第1バッファ13-1及び(b)の第2バッファ13-2において、出力が信号線連結ユニット24-X(X=A,B,C,又はD)に接続される4つのレジスタ要素40が1つのレジスタREG Xを構成する。信号線連結ユニット44-A乃至44-Hの各々は、各レジスタ要素40からの8ビットの出力を並べて纏めることで、32ビットのデータを構成する。各32ビットデータはセクタ33(図6参照)に供給される。セクタ33は、レジスタREG A乃至REG Hの出力のうちの1つのレジスタの出力を選択して出力する。何れの1つのレジスタのデータが選択されるかは、命令デコーダ15からの制御信号により制御される。

30

【0052】

上記のようにして第1バッファ13-1は、各データ列が4個のデータ要素を含む整数4個のデータ列を列毎に書き込み、4個のデータ列の各々から同一位置のデータ要素を選択して4個のデータ要素として読み出し可能なバッファとして機能する。また第2バッファ13-2も、各データ列が4個のデータ要素を含む整数4個のデータ列を列毎に書き込み、4個のデータ列の各々から同一位置のデータ要素を選択して4個のデータ要素として読み出し可能なバッファとして機能する。

40

【0053】

図6のように、バッファ13Aとして第1バッファ13-1及び第2バッファ13-2を設けることで、演算器11のSIMD演算結果を直接にバッファ13Aに格納し、バッファ13Aに格納した演算結果を外部メモリ100に書き込むことができる。図1に示す構成では、バッファ13から読み出したデータに対してSIMD演算した演算結果は、レジスタファイル12に格納している。これは、SIMD演算の演算結果をバッファ13に

50

直接に書き込むと、バッファ13に格納してある演算対象のデータが破壊されてしまうからである。また図1に示す構成では、レジスタファイル12に格納したSIMD演算結果をバッファ13に転送し、その後、バッファ13の演算結果を外部メモリ100に書き込むように動作する。これは、SIMD演算の前処理として画素配列の縦横を入れ替えたので、外部メモリ100に演算結果を書き込む前に、SIMD演算の後処理として画素配列の縦横を再度入れ替えて元に戻すことが好ましいからである。

【0054】

それに対して図6に示す構成では、外部メモリ100から読み出したデータを第1バッファ13-1に格納し、その後、第1バッファ13-1から読み出したデータをSIMD演算し、その演算結果を第2バッファ13-2に直接に書き込むことができる。この第2バッファ13-2から読み出した演算結果を外部メモリ100に書き込めばよい。第1バッファ13-1に対する書き込み及び読み出しによりSIMD演算の前処理としての画素配列の縦横入れ替えが実行され、第2バッファ13-2に対する書き込み及び読み出しによりSIMD演算の後処理としての画素配列の縦横入れ替えが実行される。これにより、元の画素配置に戻った画像データを外部メモリ100に格納することができる。

10

【0055】

図8は、メディアプロセッサを用いた情報処理システムの構成の一例を示す図である。図8に示す情報処理システムは、外部メモリ200、命令キャッシュ201、データキャッシュ202、及びメディアプロセッサ203を含む。

【0056】

メディアプロセッサ203は、命令フェッチ部211、実行制御部212、ロードストアユニット213、レジスタ部214、演算ユニット215、及びSIMD演算器216を含む。命令フェッチ部211は、プログラムカウンタ(図示せず)が示すアドレスに格納されている命令を、命令キャッシュ201からフェッチする。命令キャッシュ201にフェッチ対象の命令が格納されていない場合には、外部メモリ200から命令キャッシュ201に当該命令をロードし、その後命令キャッシュ201から当該命令を取得する。フェッチされた命令は、実行制御部212によりデコードされる。実行制御部212はメディアプロセッサ203の動作シーケンスを制御するシーケンサを含み、命令デコード結果に応じて各種制御信号を生成する。この制御信号により、メディアプロセッサ203の各部の動作シーケンスが制御される。例えばデコードした命令がロード命令或いはストア命令である場合、ロードストアユニット213により、ロード対象或いはストア対象となるアドレスを生成する。ロード命令の場合、ロードストアユニット213は、ロード対象アドレスに格納されているデータをデータキャッシュ202から読み出す。ロード対象のデータがデータキャッシュ202に格納されていない場合には、外部メモリ200からデータキャッシュ202に当該データをロードし、その後データキャッシュ202から当該データを取得する。ストア命令の場合、ロードストアユニット213は、データキャッシュ202にデータを格納する。

20

30

【0057】

レジスタ部214は、レジスタファイル12、バッファ13、制御レジスタ17、及びバッファイネーブルレジスタ18を含む。これらの各構成要素は、図1に示す同一の参照符号を有する構成要素と同一の構成及び機能を有する。

40

【0058】

演算ユニット215は、命令デコーダ15からの制御信号に基づいて、命令デコーダ15の命令デコード結果に応じた演算処理を実行する。SIMD演算器216は、命令デコーダ15からの制御信号に基づいて、命令デコーダ15の命令デコード結果に応じたSIMD演算処理を実行する。SIMD演算の場合、SIMD演算器216は、レジスタファイル12又はバッファ13から供給される複数のデータ要素に対して同一の演算処理を並列に実行する。

【0059】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるもので

50

はなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 0 0 6 0 】

以上の実施形態に関し、更に以下の付記を開示する。

(付記 1)

S I M D 演算を実行可能な演算器と、

前記演算器に供給する演算対象のデータを格納するレジスタファイルと、

前記レジスタファイルとは別個に設けられ、各データ列が複数個のデータ要素を含む整数 n 個のデータ列を列毎に書き込み、前記 n 個のデータ列の各々から同一位置のデータ要素を選択して n 個のデータ要素として読み出し可能なバッファと

を含み、前記バッファから読み出した前記 n 個のデータ要素を前記演算器に前記 S I M D 演算の対象として供給することを特徴とするプロセッサ。 10

(付記 2)

前記バッファは、前記レジスタファイルのデータ格納容量以下のデータ格納容量を有することを特徴とする付記 1 記載のプロセッサ。

(付記 3)

前記バッファは、前記 S I M D 演算の並列数に等しい数の前記データ列を格納可能であることを特徴とする付記 1 又は 2 記載のプロセッサ。

(付記 4)

第 1 の演算命令にตอบสนองして、前記レジスタファイルから読み出したデータを前記 S I M D 演算命令の対象として前記演算器に供給し、前記第 1 の演算命令とは異なる第 2 の演算命令にตอบสนองして、前記バッファから読み出した前記 n 個のデータ要素を前記 S I M D 演算命令の対象として前記演算器に供給することを特徴とする付記 1 乃至 3 の何れか一項記載のプロセッサ。 20

(付記 5)

第 1 のストア命令にตอบสนองして、前記レジスタファイルから読み出したデータを外部に出力し、前記第 1 のストア命令とは異なる第 2 のストア命令にตอบสนองして、前記バッファから読み出したデータを外部に出力することを特徴とする付記 1 乃至 4 の何れか一項記載のプロセッサ。

(付記 6)

レジスタ設定命令にตอบสนองして格納値が設定される制御レジスタと、 30

前記制御レジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセレクト回路とを更に含むことを特徴とする付記 1 乃至 5 の何れか一項記載のプロセッサ。

(付記 7)

前記バッファが有効であるか否かを示す格納値を格納するバッファイネーブルレジスタと、

前記バッファイネーブルレジスタレジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセレクト回路と

を更に含むことを特徴とする付記 1 乃至 5 の何れか一項記載のプロセッサ。 40

(付記 8)

メモリと、

前記メモリに結合されるプロセッサと

を含み、前記プロセッサは、

S I M D 演算を実行可能な演算器と、

前記演算器に供給する演算対象のデータを格納するレジスタファイルと、

前記レジスタファイルとは別個に設けられ、各データ列が複数個のデータ要素を含む整数 n 個のデータ列を列毎に書き込み、前記 n 個のデータ列の各々から同一位置のデータ要素を選択して n 個のデータ要素として読み出し可能なバッファと

を含み、前記バッファから読み出した前記 n 個のデータ要素を前記演算器に前記 S I M D 50

演算の対象として供給することを特徴とする情報処理システム。

(付記 9)

前記バッファは、前記レジスタファイルのデータ格納容量以下のデータ格納容量を有することを特徴とする付記 8 記載の情報処理システム。

(付記 10)

前記バッファは、前記 SIMD 演算の並列数に等しい数の前記データ列を格納可能であることを特徴とする付記 8 又は 9 記載の情報処理システム。

(付記 11)

第 1 の演算命令に応答して、前記レジスタファイルから読み出したデータを前記 SIMD 演算命令の対象として前記演算器に供給し、前記第 1 の演算命令とは異なる第 2 の演算命令に
10 応答して、前記バッファから読み出した前記 n 個のデータ要素を前記 SIMD 演算命令の対象として前記演算器に供給することを特徴とする付記 8 乃至 10 の何れか一項記載の情報処理システム。

(付記 12)

第 1 のストア命令に
10 応答して、前記レジスタファイルから読み出したデータを外部に出力し、前記第 1 のストア命令とは異なる第 2 のストア命令に
10 応答して、前記バッファから読み出したデータを外部に出力することを特徴とする付記 8 乃至 11 の何れか一項記載の情報処理システム。

(付記 13)

レジスタ設定命令に
20 応答して格納値が設定される制御レジスタと、
前記制御レジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセクタ回路とを更に含むことを特徴とする付記 8 乃至 12 の何れか一項記載の情報処理システム。

(付記 14)

前記バッファが有効であるか否かを示す格納値を格納するバッファイネーブルレジスタと、
前記バッファイネーブルレジスタレジスタの前記格納値に応じて前記レジスタファイルから読み出したデータと前記バッファから読み出したデータとの何れか一方を選択して出力するセクタ回路と
30 を更に含むことを特徴とする付記 8 乃至 12 の何れか一項記載の情報処理システム。

【符号の説明】

【 0 0 6 1 】

1 0 プロセッサ

1 1 演算器

1 2 レジスタファイル

1 3 バッファ

1 4 命令バッファ

1 5 命令デコーダ

1 6 ロードストア・アドレス生成部

1 7 制御レジスタ

1 8 バッファイネーブルレジスタ

1 9 パイプラインレジスタ

1 0 0 外部メモリ

10

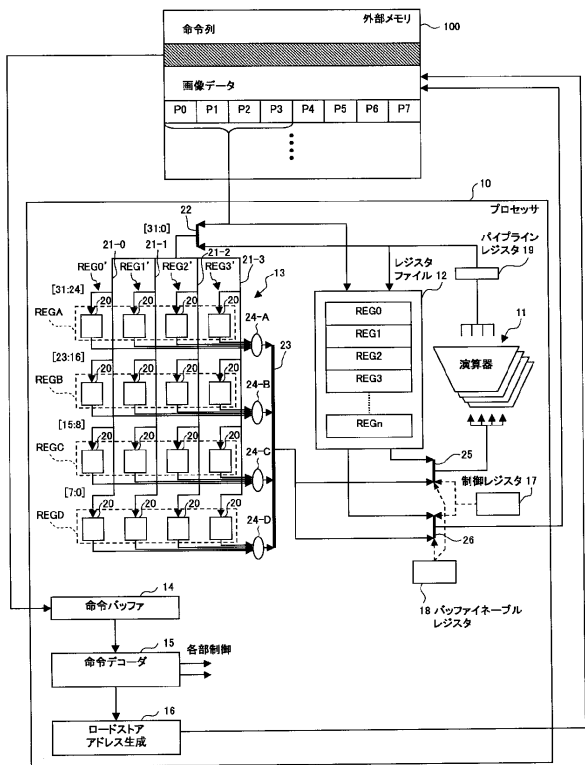
20

30

40

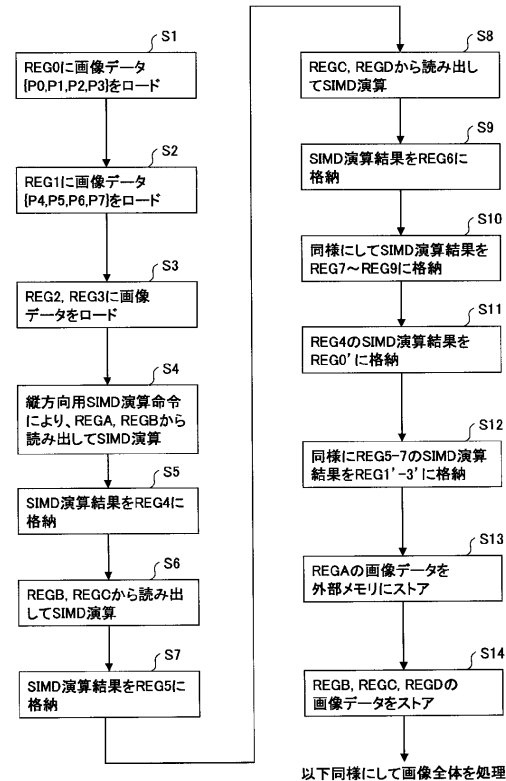
【図1】

情報処理システムの構成の一例を示す図



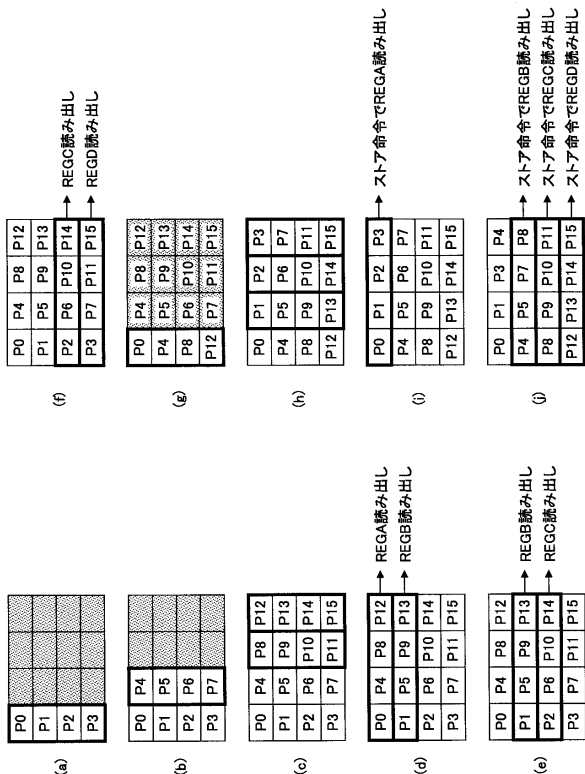
【図2】

図1のプロセッサによるデータ並べ替え及びSIMD演算処理の流れを示すフローチャート



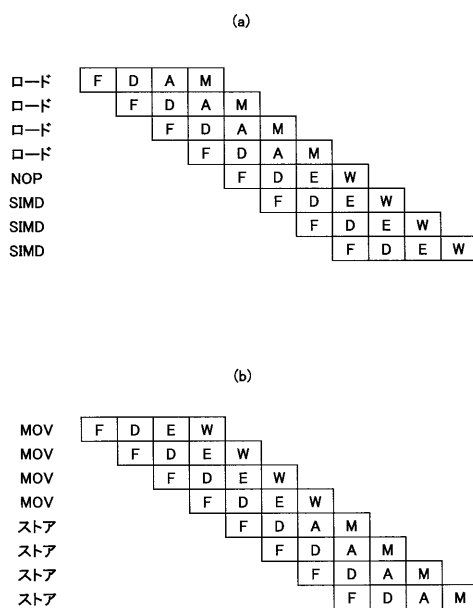
【図3】

データ並べ替え及びSIMD演算処理時のバッファのデータ内容を示す図



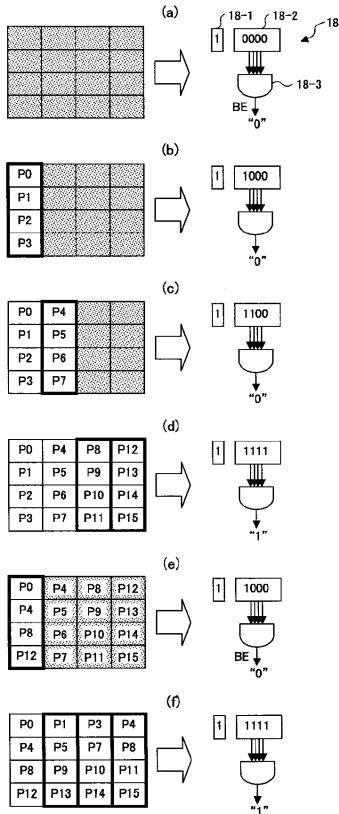
【図4】

図2のデータ並べ替え及びSIMD演算処理のパイプライン動作を示す図



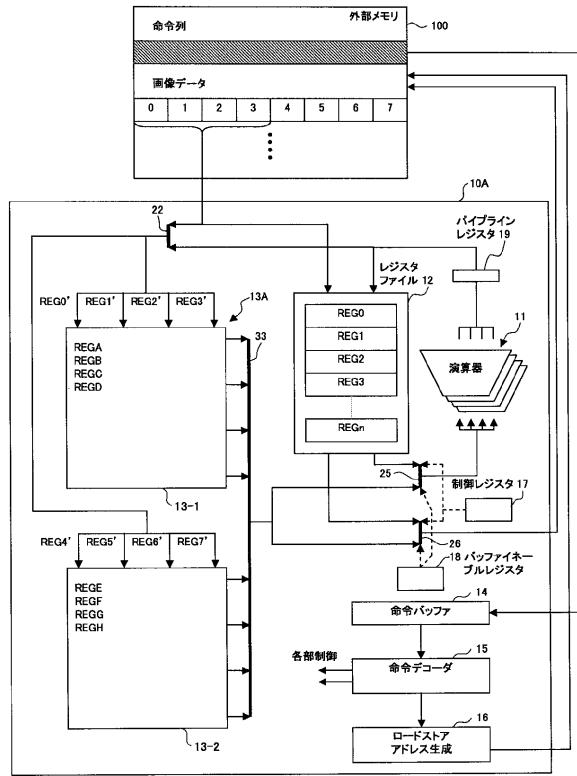
【図5】

バッファイネーブルレジスタの動作について説明するための図



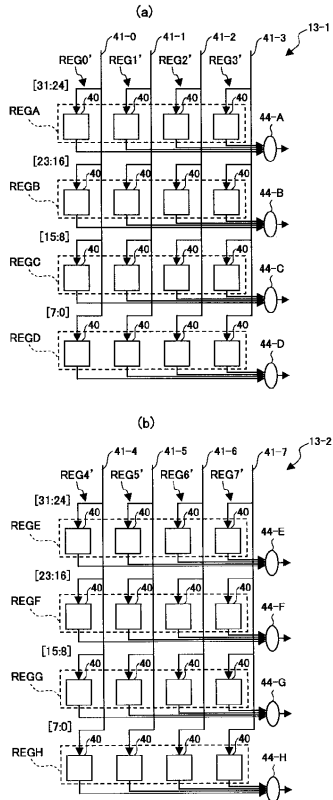
【図6】

プロセッサの変形例の構成を示す図



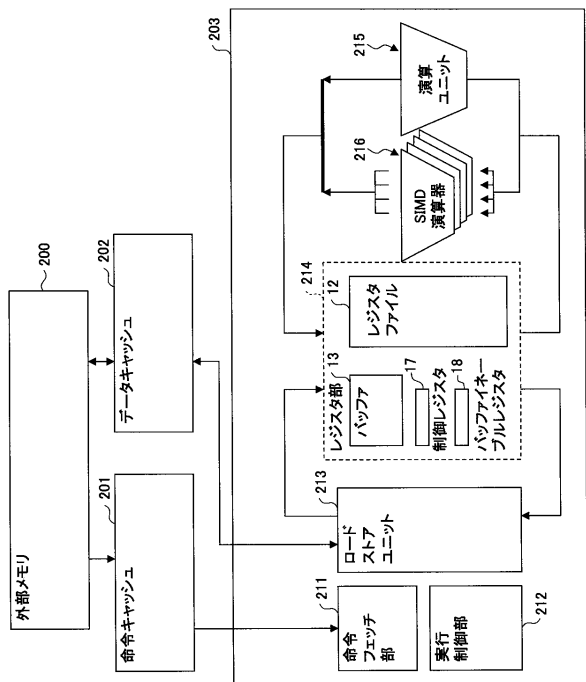
【図7】

第1バッファ及び第2バッファの構成の一例を示す図



【図8】

メディアプロセッサを用いた情報処理システムの構成の一例を示す図



フロントページの続き

- (56)参考文献 特開平07 - 175444 (JP, A)
特表2003 - 505786 (JP, A)
特開2005 - 309499 (JP, A)
特開2005 - 149492 (JP, A)
国際公開第99/008204 (WO, A1)
特開平10 - 154140 (JP, A)
特開平03 - 160537 (JP, A)
特開昭57 - 055478 (JP, A)
国際公開第2007/103195 (WO, A1)
国際公開第2008/042700 (WO, A1)
特開2006 - 146644 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/80
G06F 9/34
G06F 9/38
G06F 17/16
G06T 1/20