

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年12月3日(03.12.2015)



(10) 国際公開番号
WO 2015/181933 A1

- (51) 国際特許分類:
G06F 12/06 (2006.01)
 - (21) 国際出願番号: PCT/JP2014/064332
 - (22) 国際出願日: 2014年5月29日(29.05.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
 - (72) 発明者: 本間 雅行 (HONMA, Masayuki); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 隅倉 大志 (SUMIKURA, Taishi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 村岡 諭 (MURAOKA, Satoshi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
 - (74) 代理人: 大賀 眞司, 外(OHGA, Shinji et al.); 〒1400002 東京都品川区東品川二丁目3番12号 シーフォートスクエア センタービルディング 16階 サンネクスト国際特許事務所 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: MEMORY MODULE, MEMORY BUS SYSTEM, AND COMPUTER SYSTEM

(54) 発明の名称: メモリモジュールとメモリバスシステム及び計算機システム

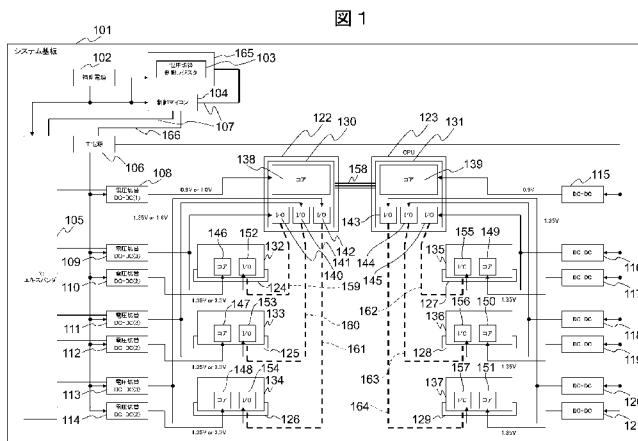


FIG. 1:
 101 System substrate
 102 Auxiliary power source
 103 Voltage switch control register
 104 Control microcomputer
 105 I/O expander
 106 Primary power source
 108 Voltage switch DC-DC (1)
 109, 111, 113 Voltage switch DC-DC (3)
 110, 112, 114 Voltage switch DC-DC (2)
 138, 139, 143, 147, 148, 149, 150, 151 Core

(57) Abstract: Provided is a memory module, comprising: module sockets on which either flash memory modules or SDRAM modules are mounted; a controller socket on which either a first controller which controls the flash memory or a second controller which controls the SDRAM is mounted; a power source unit which supplies power via the module sockets to either the flash memory upon the flash memory modules or the SDRAM upon the SDRAM modules, and which supplies power via the controller socket to either the first controller or the second controller; and a storage unit which stores type information which specifies the types of the modules which are mounted upon the module sockets and the type of the controller which is mounted upon the controller socket. The power source unit assesses the type information which is stored in the storage unit, selects two or more different output voltages according to the result of the assessment from a plurality of different output voltages, and imparts each of the selected output voltages to either the flash memory or the SDRAM, and to either the first controller or the second controller.

(57) 要約:

[続葉有]

WO 2015/181933 A1

フラッシュメモリ用モジュール又はSDRAM用モジュールを搭載するモジュールソケットと、フラッシュメモリを制御する第1のコントローラ又はSDRAMを制御する第2のコントローラを搭載するコントローラ用ソケットと、モジュールソケットを介してフラッシュメモリ用モジュール上のフラッシュメモリ又はSDRAM用モジュール上のSDRAMに電力を供給し、コントローラ用ソケットを介して第1のコントローラ又は第2のコントローラに電力を供給する電源部と、モジュールソケットに搭載されるモジュールとコントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を記憶する記憶部と、を有し、電源部は、記憶部に記憶された種別情報を判別し、複数の異なる出力電圧の中から判別結果に従って2以上の異なる出力電圧を選択し、選択した各出力電圧をフラッシュメモリ又はSDRAMと、第1のコントローラ又は第2のコントローラに印加する。

明 細 書

発明の名称：

メモリモジュールとメモリバスシステム及び計算機システム

技術分野

[0001] 本発明は、電源電圧の仕様の異なる複数の記憶デバイスが基板上に搭載されるメモリモジュールとメモリバスシステム及び計算機システムに関する。

背景技術

[0002] ビッグデータ時代に向けて、データベース（以下DBと略す）のように大容量を高速にアクセスするニーズが増加している。Dynamic Random Access Memory（以下DRAMと略す）、Synchronous DRAM（以下SDRAMと略す）等の主記憶素子の大容量化は、3次元メモリ実装技Through Silicon Via（以下TSVと略す）や更なる回路の微細化により進展しているが、前記ニーズに追従できていない。他方で、DRAMとSolid State Drive（以下SSDと略す）間の応答速度を有するPCI（Peripheral Component Interconnect）Express（以下PCIeと略す）接続SSDの市場が増加しており、この背景からDRAMとPCI-SSDを仮想的な大メモリ空間としてアプリケーションが使用できるようにするOS（Operating System）技術も開発されてきている。また、主記憶素子用のDual Inline Memory Module（以下DIMMと略す）ソケットを活用して、高密度な記憶素子を搭載することを目的として、例えば、特許文献1のように、不揮発性のNANDフラッシュデバイスを複数搭載したDIMM（以下先行技術になるDIMM）が開発されている。NANDフラッシュデバイスに対するデータの送受信は、シリアルインターフェースでケーブル伝送する方式が提案されている。また、複数のメモリ・クロック発振器および複数のそれぞれの電圧コントローラに結合されたシステム・メモリ・コントローラを含む、メモリユニットに関する技術が提案されている（特許文献2参照）。

先行技術文献

特許文献

- [0003] 特許文献1：米国特許出願公開第2011/0153903号明細書
特許文献2：特開2008-065819号公報

発明の概要

発明が解決しようとする課題

- [0004] NAND フラッシュデバイスの信号及び電源電圧の仕様は、SDRAM DIMMの信号及び電源電圧の仕様と異なるため、DIMM基板上に、SDRAMの他にNAND フラッシュデバイスを搭載する場合、CPU (Central Processing Unit) とSDRAMに接続されるメモリバスの基板配線を流用し、NAND フラッシュデバイスとCPUとを直接接続することができない。このため、先行技術になるDIMMでは、DIMM基板上に、CPUの他に、NAND フラッシュデバイスを制御するためのSASコントローラを搭載している。また、メモリバスの代わりにCPU周辺に、新たなケーブルを配置している。
- [0005] しかし、CPU周辺は、CPU冷却のためのヒートシンクなど構造的に混み合うので、空冷に伴う風によってケーブルソケット抜け等が発生すると、信頼性が低下するリスクがある。
- [0006] 一方で、SDRAM DIMMと先行技術になるDIMMでは必要な電圧が異なるため、DC-DCを共有することができない。先行技術になるDIMMでは、SDRAM DIMMとの電圧の違いをDIMM上で解消している。しかし、SDRAMに給電するためのSDRAM用DC-DCの他に、NAND フラッシュデバイスに給電するためのDC-DCとして、SDRAM用DC-DCよりも出力電圧の高いDC-DCを搭載しているので、DIMMサイズが大きくなり、基板上的物理的な搭載制約が発生する。また、一般的なDC-DCコンバータは、電力効率が90%程度であるため、SDRAM用DC-DCよりも出力電圧の高いDC-DCを搭載すると、NAND フラッシュデバイスが本来必要とする電力よりも10%程度余計に電力が必要となり、消費電力の増加となる。さらに上記方式によれば、DC-D

Cとケーブルの追加に伴い、コストが増加する。

[0007] 本発明の目的は、電力供給先の電圧の仕様が、電力供給先の種別によって切り替わっても、電力供給先に電力を供給する電源部を共用することできるメモリモジュールとメモリバスシステム及び計算機システムを提供することにある。

課題を解決するための手段

[0008] 前記課題を解決するために、本発明は、モジュールソケットを介してフラッシュメモリ用モジュール上のフラッシュメモリ又はSDRAM用モジュール上のSDRAMに電力を供給すると共に、コントローラ用ソケットを介して第1のコントローラ又は第2のコントローラに電力を供給する電源部を有し、前記電源部は、前記モジュールソケットに搭載されるモジュールと前記コントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を判別し、複数の異なる出力電圧の中から前記判別結果に従って2以上の異なる出力電圧を選択し、前記選択した各出力電圧をそれぞれ前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに印加すると共に、前記第1のコントローラ又は前記第2のコントローラに印加することを特徴とする。

発明の効果

[0009] 本発明によれば、電力供給先の電圧の仕様が、電力供給先の種別によって切り替わっても、電力供給先に電力を供給する電源部を共用することできる。

図面の簡単な説明

[0010] [図1]CPUおよびSSDコントローラが搭載されるシステム基板の一実施例を示す構成図である。

[図2]SSDコントローラの構成図である。

[図3]電圧切替DC-DCコンバータの回路図である。

[図4]電圧切替DC-DCコンバータ管理テーブルの構成図である。

[図5]メモリを増設したシステム基板の構成図である。

[図6]モジュールに接続されるバス及び信号線と、モジュール基板のピンとの関係を説明するための構成図である。

[図7]SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、1対1信号線の一部がバス配線化される前の説明図である。

[図8]SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、CE信号線をバス配線化する場合の説明図である。

[図9]SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、WP信号線をバス配線化する場合の説明図である。

[図10]SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、R/B信号線をバス配線化する場合の説明図である。

[図11]SSDコントローラにモジュール基板を2枚バス接続した場合の構成図である。

[図12]信号数比較テーブルの構成図である。

[図13]SSDコントローラに、3パッケージのフラッシュメモリが搭載されたモジュール基板を2枚バス接続した場合の構成図である。

[図14]SDRAM用モジュールとフラッシュメモリ用モジュールのピン配置を示すテーブルの構成図である。

[図15]電圧制御切替レジスタマップの構成図である。

[図16]I/Oエキスパンダレジスタマップの構成図である。

[図17]制御マイコンの処理を説明するためのフローチャートである。

発明を実施するための形態

[0011] 以下、図面を用いて実施例を説明する。

[0012] 図1は、CPUおよびSSDコントローラが搭載されるシステム基板の一実施例を示す構成図である。図1において、システム基板101は、信号及び電源電圧の仕様の異なる複数の記憶デバイスが搭載される基板として構成され、このシステム基板101上には、計算機システムあるいはメモリバスシステムを構成する各種デバイスが搭載されている。例えば、システム基板101上には、信号及び電源電圧の仕様の異なる複数の記憶デバイスを駆動

するために、補助電源102と、電圧切替制御レジスタ103と、制御マイコン104と、I/Oエキスパンダ(Expander)105と、主電源106が搭載され、補助電源102が、電圧切替制御レジスタ103と、制御マイコン104およびI/Oエキスパンダ105に接続され、制御マイコン104が、I2Cバス107を介して電圧切替制御レジスタ103とI/Oエキスパンダ105に接続される。

[0013] また、システム基板101上には、各記憶デバイスに電源を供給するための複数の電圧切替DC-DCコンバータ108~121と、複数のCPUソケット122、123と、複数のモジュールソケット(DIMMソケット)124~129が搭載される。CPUソケット122、123は、コントローラ用ソケットとして構成され、CPUソケット122には、記憶デバイスを制御する第1のコントローラ(制御用デバイス)及び演算装置として、例えば、SSDコントローラ130が搭載され、CPUソケット123には、記憶デバイスを制御する第2のコントローラ(制御用デバイス)及び演算装置として、例えば、CPU131が搭載される。なお、CPUソケット122には、記憶デバイスを制御する制御用デバイスとして、CPU131を搭載することもできる。また、SSDコントローラ130やCPU131の一部を入出力インターフェースとして用いることもできる。

[0014] モジュールソケット124~126には、モジュール132~134として、例えば、SDRAM DIMM(以下、SDRAM用モジュールと称する。)またはNANDフラッシュデバイス DIMM(以下、フラッシュメモリ用モジュールと称する。)が搭載され、モジュール132~134には、記憶装置或いは記憶デバイスとして、SDRAMまたはNANDフラッシュデバイス(以下、フラッシュメモリと称する。)が搭載される。また、モジュールソケット127~129には、モジュール135~137として、例えば、SDRAM DIMM(SDRAM用モジュール)が搭載され、モジュール135~137には、記憶装置或いは記憶デバイスとして、例えば、SDRAMが搭載される。

[0015] 各電圧切替DC-DCコンバータ108~121は、それぞれ主電源106に接続されている。電圧切替DC-DCコンバータ108は、I/Oエキスパンダ105からの制御信号に応答して、0.9Vまたは1.0Vの電圧を、CPUソケット122に搭載された制御用デバイスの給電用コア部138に給電する。電圧切替DC-DCコンバータ109、111、113は、I/Oエキスパンダ105からの制御信号に応答して、1.35Vまたは1.8Vの電圧を、CPUソケット122に搭載された制御用デバイスの給電用I/O部140~142とモジュール132~134に搭載された記憶デバイスの給電用I/O部152~154に給電する。電圧切替DC-DCコンバータ110、112、114は、I/Oエキスパンダ105からの制御信号に応答して、1.35Vまたは3.3Vの電圧を、モジュール132~134に搭載された記憶デバイスの給電用コア部146~148に給電する。

[0016] 電圧切替DC-DCコンバータ115は、固定された0.9Vの電圧を、CPUソケット123に搭載された制御用デバイスの給電用コア部139に給電する。電圧切替DC-DCコンバータ116、118、120は、固定された1.35Vの電圧を、CPUソケット123に搭載された制御用デバイスのI/O部143~145とモジュール135~137に搭載された記憶デバイスの給電用I/O部155~157に給電する。電圧切替DC-DCコンバータ117、119、121は、固定された1.35Vの電圧を、モジュール135~137に搭載された記憶デバイスの給電用コア部149~151に給電する。

[0017] CPUソケット122に搭載された制御用デバイスとCPUソケット123に搭載された制御用デバイスは、CPUバス158を介して接続される。また、CPUソケット122に搭載された制御用デバイスとモジュール132~134に搭載された記憶デバイスはメモリバス159~160を介して接続され、CPUソケット123に搭載された制御用デバイスとモジュール135~137に搭載された記憶デバイスはメモリバス162~164を介

して接続される。

- [0018] 電圧切替制御レジスタ103は、CPU基板設定メモリ（EEPROM）165に内蔵されており、電圧切替制御レジスタ103には、電圧制御切替レジスタマップに記録された情報が格納されている。制御マイコン107は、CPU、メモリ、入出力インタフェース等の情報処理資源を備えたコンピュータ装置であって、主電源制御信号166によって主電源106を駆動するとともに、電圧切替制御レジスタ103に格納された電圧制御切替レジスタマップに記録された情報のうち電圧切替DC-DCコンバータ106～114を制御するための情報を、電圧切替制御レジスタ103から取得し、取得した情報をI/Oエキスパンダ105のレジスタに格納する。
- [0019] この際、電圧切替DC-DCコンバータ108の出力電圧は、CPUソケット122に搭載される制御用デバイス（コントローラ）の種別によって管理され、電圧切替DC-DCコンバータ109、111、113の出力電圧は、モジュールソケット124～126に搭載されるモジュール132～134（或いはモジュール132～134に搭載される記憶デバイス）の種別によって管理され、電圧切替DC-DCコンバータ110、112、114の出力電圧は、モジュールソケット124～126に搭載されるモジュール132～134（或いはモジュール132～134に搭載される記憶デバイス）の種別によって管理される。
- [0020] I/Oエキスパンダ105は、レジスタに格納された情報を基に電圧切替DC-DCコンバータ108～114を制御するための制御信号を電圧切替DC-DCコンバータ108～114に出力し、電圧切替DC-DCコンバータ108～114の出力電圧を制御する。主電源106は、制御マイコン107からの主電源制御信号166によって駆動され、各電圧切替DC-DCコンバータ108～121に電力を供給する。
- [0021] 図2は、SSDコントローラの構成図である。図2において、SSDコントローラ130は、CPUソケット122に搭載され、CPUバスコントローラ191と、複数のフラッシュメモリコントローラ（FMC）192と、

内部バス194と、制御コア（CPUコア）195を有し、各部が内部バス194を介して接続される。CPUバスコントローラ191は、CPUバス158に接続され、各フラッシュメモリコントローラ（FMC）192は、メモリバス159～161を介して、それぞれ複数のモジュールソケット124～126に接続される。モジュールソケット124には、フラッシュメモリ用モジュール132Aが搭載され、モジュールソケット125には、フラッシュメモリ用モジュール133Aが搭載され、モジュールソケット126には、フラッシュメモリ用モジュール134Aが搭載される。各フラッシュメモリ用モジュール132A、133A、134Aには、記憶デバイスとして、フラッシュメモリが搭載される。

[0022] CPUバスコントローラ191は、CPUバス158を制御するとともに、CPUバス158を介して、CPUソケット123内のCPU131とデータの授受を行い、内部バス194を介して制御コア195や各フラッシュメモリコントローラ192とデータの授受を行う。各フラッシュメモリコントローラ192は、各メモリバス159～161を介して、各フラッシュメモリに対するデータの入出力を制御する。制御コア195は、メモリの物理アドレスと論理アドレスの変換を行い、CPUバス158からのデータ伝送要求を、各フラッシュメモリコントローラ192へのアクセスに変換する。

[0023] SSDコントローラ130は、FPGA（Field Programmable Gate Array）にて構成されており、システムに必要なSDRAM容量と、フラッシュメモリの容量を変更するために、メモリバス159～161に接続されるフラッシュメモリ用モジュール132A、133A、134Aを搭載する設定と、SDRAM用モジュールを搭載する設定を切り替えることができる。また、SSDコントローラ130は、システム上からPCI接続のSSDと同様の仕様に構成することができる。このために、制御コア（CPUコア）195上で動作するソフトウェアは、擬似的なPCIデバイスと同じ機能を有し、ユーザが標準的なPCI-SSDのデバイスドライバで利用できる。なお、CPUソケット122に搭載されるCPU131は、制御コア、メモリ、

入出力インタフェース等の情報処理資源を備えたコンピュータ装置として構成され、モジュール132～134にSDRAM用モジュールが用いられた場合、SDRAM用モジュール上のSDRAMに対するデータの入出力等を制御する。

[0024] 図3は、電圧切替DC-DCコンバータの回路図である。図3において、電圧切替DC-DCコンバータ108は、DC-DC変換器201と、電圧調整回路202と、抵抗203、204から構成され、電圧調整回路202は、AND論理部品205、206と、FETスイッチ207、208から構成される。なお、切替DC-DCコンバータ109～114は、抵抗203、204の抵抗値が異なる他は、電圧切替DC-DCコンバータ108と同一の構成である。

[0025] DC-DC変換器201は、主電源106からの直流電圧を直流電圧に変換し、変換された直流電圧を出力端子(OUT)からCPUソケット122に出力する。DC-DC変換器201の調整ピン(ADJ)209には、FETスイッチ207または208を介して抵抗203または抵抗204が接続される。FETスイッチ207のゲートにはAND論理部品205が接続され、FETスイッチ208のゲートにはAND論理部品206が接続され、各AND論理部品205、206には、I/Oエキスパンダ105から、EN(イネーブル)信号210とSEL(セレクト)信号211が入力される。

[0026] EN信号210のレベルが「H」で、SEL信号211のレベルが「H」の場合、FETスイッチ207がオフに、FETスイッチ208がオンになり、DC-DC変換器201の調整ピン(ADJ)209には、抵抗値RBが、抵抗値RAよりも大きい抵抗204が接続され、DC-DC変換器201の出力端子(OUT)の電圧が1.0Vとなる。一方、EN信号210のレベルが「H」で、SEL信号211のレベルが「L」の場合、FETスイッチ207がオンに、FETスイッチ208がオフになり、DC-DC変換器201の調整ピン(ADJ)209には、抵抗値RAが、抵抗値RBより

も小さい抵抗203が接続され、DC-DC変換器201の出力端子(OUT)の電圧が0.9Vとなる。

[0027] 即ち、DC-DC変換器201の出力電圧は、DC-DC変換器201の調整ピン(ADJ)209に、FETスイッチ207または208を介して接続される抵抗203または抵抗204の抵抗値によって決定される。

[0028] 図4は、電圧切替DC-DCコンバータ管理テーブルの構成図である。図4(A)において、電圧切替DC-DCコンバータ管理テーブル300は、CPUソケット122に搭載される制御用デバイスに応じて、I/Oエキスパンダ105の出力レベル及び電圧切替DC-DCコンバータ108の出力電圧を管理するためのテーブルであって、搭載デバイス301と、EN(信号)302と、SEL(信号)303と、R(抵抗)304と、VOUT(出力電圧)305から構成される。

[0029] CPUソケット122に制御用デバイスが搭載されない場合、EN信号210のレベルが「L」で、SEL信号211のレベルが「N/A L」となり、DC-DC変換器201の調整ピン(ADJ)209には、抵抗値が無限大の抵抗(オープン)が接続され、電圧切替DC-DCコンバータ108の出力端子(OUT)の電圧が0Vとなる。

[0030] CPUソケット122に制御用デバイスとしてCPU131が搭載された場合、EN信号210のレベルが「H」で、SEL信号211のレベルが「L」となり、DC-DC変換器201の調整ピン(ADJ)209には、抵抗値RAの抵抗203が接続され、電圧切替DC-DCコンバータ108の出力端子(OUT)の電圧が0.9Vとなる。

[0031] CPUソケット122に制御用デバイスとしてSSDコントローラ130が搭載された場合、EN信号210のレベルが「H」で、SEL信号211のレベルが「H」となり、DC-DC変換器201の調整ピン(ADJ)209には、抵抗値RBの抵抗204が接続され、電圧切替DC-DCコンバータ108の出力端子(OUT)の電圧が1.0Vとなる。

[0032] 図4(B)において、電圧切替DC-DCコンバータ管理テーブル310

は、モジュールソケット124～126に搭載されるモジュール（モジュールに搭載されるデバイス）に応じて、I/Oエキスパンダ105の出力レベル及び電圧切替DC-DCコンバータ110、112、114の出力電圧を管理するためのテーブルであって、搭載デバイス311と、EN（信号）312と、SEL（信号）313と、R（抵抗）314と、VOUT（出力電圧）315から構成される。

[0033] モジュールソケット124～126にモジュール（デバイス）が搭載されない場合、EN信号210のレベルが「L」で、SEL信号211のレベルが「N/A」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値が無限大の抵抗（オープン）が接続され、電圧切替DC-DCコンバータ110、112、114の出力端子（OUT）の電圧が0Vとなる。

[0034] モジュールソケット124～126にモジュールとして、SDRAM用モジュールが搭載された場合（記憶デバイスとして、SDRAMが搭載された場合）、EN信号210のレベルが「H」で、SEL信号211のレベルが「L」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値RAの抵抗203が接続され、電圧切替DC-DCコンバータ110、112、114の出力端子（OUT）の電圧が1.35Vとなる。

[0035] モジュールソケット124～126にモジュールとして、フラッシュメモリ用モジュールが搭載された場合（記憶デバイスとして、フラッシュメモリが搭載された場合）、EN信号210のレベルが「H」で、SEL信号211のレベルが「H」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値RBの抵抗204が接続され、電圧切替DC-DCコンバータ110、112、114の出力端子（OUT）の電圧が3.3Vとなる。

[0036] 図4（C）において、電圧切替DC-DCコンバータ管理テーブル320は、モジュールソケット124～126に搭載されるモジュール（モジュールに搭載される記憶デバイス）に応じて、I/Oエキスパンダ105の出力

レベル及び電圧切替DC-DCコンバータ109、111、113の出力電圧を管理するためのテーブルであって、搭載デバイス321と、EN（信号）322と、SEL（信号）323と、R（抵抗）324と、VOUT（出力電圧）325から構成される。

[0037] モジュールソケット124～126にモジュール（デバイス）が搭載されない場合、EN信号210のレベルが「L」で、SEL信号211のレベルが「N/A」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値が無限大の抵抗（オープン）が接続され、電圧切替DC-DCコンバータ109、111、113の出力端子（OUT）の電圧が0Vとなる。

[0038] モジュールソケット124～126にモジュールとして、SDRAM用モジュールが搭載された場合（記憶デバイスとして、SDRAMが搭載された場合）、EN信号210のレベルが「H」で、SEL信号211のレベルが「L」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値RAの抵抗203が接続され、電圧切替DC-DCコンバータ109、111、113の出力端子（OUT）の電圧が1.35Vとなる。この電圧は、メモリバス159～161に給電される。

[0039] モジュールソケット124～126にモジュールとして、フラッシュメモリ用モジュールが搭載された場合（記憶デバイスとして、フラッシュメモリが搭載された場合）、EN信号210のレベルが「H」で、SEL信号211のレベルが「H」となり、DC-DC変換器201の調整ピン（ADJ）209には、抵抗値RBの抵抗204が接続され、電圧切替DC-DCコンバータ109、111、113の出力端子（OUT）の電圧が1.8Vとなる。この電圧は、メモリバス159～161に給電される。

[0040] ここで、CPUソケット122、123に制御用デバイスを搭載すると共に、各モジュール132～137に記憶デバイスを搭載する際に、電圧切替DC-DCコンバータ管理テーブル300、310、320に記録された情報のうち、R（抵抗）304、314、324に記録された抵抗値を、CP

Uソケット122に搭載された制御用デバイスの種別や各モジュール132～134に搭載された記憶デバイスの種別に応じて設定することで、各電圧切替DC-DCコンバータ108～114の出力電圧を自動的に決定することができる。

[0041] なお、電圧切替DC-DCコンバータ115～121の場合、電圧調整回路202を用いることなく、DC-DC変換器201の調整ピン(ADJ)209に、抵抗203を直接接続し、抵抗203の抵抗値を調整することで、電圧切替DC-DCコンバータ115の出力電圧を0.9Vに設定したり、電圧切替DC-DCコンバータ116～121の出力電圧を1.35Vに設定したりすることができる。

[0042] 図5は、メモリを増設したシステム基板の構成図である。図5において、システム基板101上には、CPUソケット122、123の他に、メモリバス159～161に接続されるモジュールソケット124～126がそれぞれ3個ずつ搭載され、メモリバス162～164に接続されるモジュールソケット127～129がそれぞれ3個ずつ搭載され、各モジュールソケット124～126には、電圧切替DC-DCコンバータ109、111、113と電圧切替DC-DCコンバータ110、112、114がそれぞれ接続され、各モジュールソケット127～129には、電圧切替DC-DCコンバータ116～121がそれぞれ接続される。

[0043] さらに、システム基板101上には、増設用メモリバス181～183に接続される増設用モジュールソケット124～126がそれぞれ3個ずつ搭載され、増設用メモリバス184～186に接続される増設用モジュールソケット127～129がそれぞれ3個ずつ搭載され、且つ、増設用電圧切替DC-DCコンバータ109～114、116～121が搭載され、各増設用モジュールソケット124～126には、増設用電圧切替DC-DCコンバータ109、111、113と増設用電圧切替DC-DCコンバータ110、112、114がそれぞれ接続され、各増設用モジュールソケット127～129には、増設用電圧切替DC-DCコンバータ116～121がそ

れぞれ接続される。

- [0044] この際、CPUソケット122には、SSDコントローラ130が搭載され、CPUソケット123には、CPU131が搭載され、各モジュールソケット124～126にはモジュール132～134を介してフラッシュメモリが搭載され、各モジュールソケット127～129には、モジュール135～137を介してSDRAMが搭載される。
- [0045] システム基板101上には、モジュールソケット124～126が3枚ずつ搭載されているが、SSDコントローラ130とフラッシュメモリとの通信に用いられるメモリバス159～161、181～183の周波数は、SDRAM搭載時が1.6GHzであるのに対して、フラッシュメモリ搭載時が400MHzであって、比較的低速である。このため、システム基板101上には、モジュールソケット124～126を3枚ずつ搭載しても、メモリバス159～161、181～183を、SDRAM搭載時とフラッシュメモリ搭載時にも流用することができる。
- [0046] 図6は、モジュールに接続されるバス及び信号線と、モジュール基板のピンとの関係を説明するための構成図である。図6(A)において、モジュールソケット(DIMMソケット)124～129は、240個のピンを有し、各モジュールソケット124～129には、モジュール132～137として、例えば、240個のピンを有するSDRAM用モジュール基板501が搭載され、各SDRAM用モジュール基板501には、複数のSDRAM502が搭載される。
- [0047] 図6(B)において、CPU131は、アドレスバス520とデータバス521を介して各モジュール基板501に接続される共に、1対1信号線522を介して#0のモジュール基板501に接続され、1対1信号線523を介して#1のモジュール基板501に接続される。なお、各モジュール基板501には、SPD(Serial Presence Detect)信号線524、525が接続される。
- [0048] #0のモジュール基板501は、アドレスバス520に24個のピンが接

続され、データバス521に108個のピンが接続され、1対1信号線522に12個のピンが接続され、SPD信号線524に7個のピンが接続される。#1のモジュール基板501は、アドレスバス520に24個のピンが接続され、データバス521に108個のピンが接続され、1対1信号線523に12個のピンが接続され、SPD信号線525に7個のピンが接続される。即ち、各モジュール基板501は、バス接続用に132ピンが使用され、1対1信号用に12ピンが使用される。

[0049] これに対して、フラッシュメモリの場合、1パッケージ当たり、バス接続用に30ピンが使用され、1対1信号用に10ピンが使用される。このため、モジュール基板501と同一の構成の基板にフラッシュメモリを搭載する場合、1パッケージのフラッシュメモリであれば、ピンが不足することなく、搭載可能である。但し、基板に余分なスペースが生じることになる。一方、2パッケージ以上のフラッシュメモリをモジュール基板501と同一の構成の基板に搭載すると、1対1信号用のピンが不足することになる。例えば、2パッケージのフラッシュメモリを基板に搭載した場合、バス接続用のピンは60ピンで、132ピンより少ないが、1対1信号用のピンが20個となり、8個ピンが不足する。3パッケージのフラッシュメモリを基板に搭載した場合、バス接続用のピンは90ピンで、132ピンより少ないが、1対1信号用のピンが30個となり、18個ピンが不足する。

[0050] 図6(C)は、本実施例におけるモジュール基板の構成図である。図6(C)において、モジュールソケット(DIMMソケット)124には、モジュール132として、240個のピンを有するフラッシュメモリ用モジュール基板505が搭載され、フラッシュメモリ用モジュール基板505には、3パッケージのフラッシュメモリ504と、複数のセレクトラ論理部品508と、複数のAND論理部品510が搭載される。フラッシュメモリ用モジュール基板505は、SDRAM用モジュール基板501とピン仕様を共通化したモジュール基板として構成されている。この際、後述するように、1対1信号線の一部をバス配線化することで、1対1信号用のピンが不足するこ

となく、フラッシュ用モジュール基板505には、3パッケージのフラッシュメモリ504が搭載可能になる。

[0051] 図7は、SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、1対1信号線の一部がバス配線化される前の説明図である。図7において、CPUソケット122に搭載されたSSDコントローラ130は、WE0（ライト・イネーブル）、CLE0（コマンド・ラッチ・イネーブル）、ALE0（アドレス・ラッチ・イネーブル）、RE0（リード・イネーブル）、DQ0（データ）、DQS0（データストロブ）を含むバス530を介して、各フラッシュメモリ用モジュール基板505上の各フラッシュメモリ504に接続され、WE1、CLE1、ALE1、RE1、DQ1、DQS1を含むバス531を介して各フラッシュ用モジュール基板505上の各フラッシュメモリ504に接続される。

[0052] また、SSDコントローラ130は、CE（チップ・イネーブル）信号用信号線540、WP（ライト・プロテクト）信号用信号線541、R/B（レディ/ビジィ）信号用信号線542、CE用信号線543、WP信号用信号線544、R/B信号用信号線545を介して、#0のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504に接続され、CE信号用信号線550、WP信号用信号線551、R/B信号用信号線552、CE信号用信号線553、WP信号用信号線554、R/B信号用信号線555を介して、#1のフラッシュ用モジュール基板505上のフラッシュメモリ504に接続される。

[0053] この際、#0のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504は、バス530との接続に15ピンが使用され、バス531との接続に15ピンが使用され、信号線540～545との接続に10ピンが使用される。#1のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504は、バス530との接続に15ピンが使用され、バス531との接続に15ピンが使用され、信号線550～555との接続に10ピンが使用される。各フラッシュメモリ504は、バス530、531との接続

に合計30ピンが使用され、信号線（1対1信号線）540～545または信号線（1対1信号線）550～555との接続に合計10ピンが使用される。

[0054] 即ち、SSDコントローラ130に、2パッケージのフラッシュメモリ504を接続すると、バス接続用のピンは合計60ピンで、132ピンより少ないが、1対1信号用のピンが合計20個となり、2パッケージのフラッシュメモリ504をSDRAM用モジュール基板501と同一構成の基板に搭載した場合、8個ピンが不足する。そこで、本実施例では、以下で説明するように、1対1信号線の一部をバス配線化することとしている。

[0055] 図8は、SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、CE信号線をバス配線化する場合の説明図である。図8(A)において、SSDコントローラ130に、2枚のフラッシュメモリ用モジュール基板505上の各フラッシュメモリ504を接続した場合、CE信号用信号線540、550が、1対1信号線として各フラッシュメモリ504に接続される。この場合、各フラッシュメモリ504は、CE信号用信号線540、550との接続に、それぞれ2ピンが使用される。

[0056] CE信号用信号線540、550の一部をバス配線化するに際して、図8(B)に示すように、SSDコントローラ130には、エンコード回路として、3個のOR論理部品509A～509Cが配置され、各フラッシュメモリ504には、デコード回路として、AND論理部品510が配置される。各OR論理部品509A～509Cの入力側は、CE信号用信号線540、550とSSDコントローラ130に接続される。OR論理部品509Aの出力側は、CE信号用信号線550を介して各AND論理部品510の一方の入力側に接続され、OR論理部品509Bの出力側は、バス配線化された信号線540Aを介して#0のAND論理部品510の他方の入力側に接続され、OR論理部品509Cの出力側は、バス配線化された信号線540Bを介して#1のAND論理部品510の他方の入力側に接続される。各AND回路部品510の出力側は、各フラッシュメモリ504に接続される。

[0057] 即ち、DQ、DQSを含むバス530が、SSDコントローラ130と各フラッシュメモリ504とを結ぶバスとして用いられる場合、各フラッシュメモリ504は、ローアクティブのCE（チップ・イネーブル）信号を同時に1ビットのみアサート可能であり、CE信号に用いる4ビットのうち2ビットはバス信号として使用できる。このため、CE信号をエンコード回路（OR論理部品509A～509C）でエンコードし、エンコードされた信号を、デコード回路（AND論理部品510）でデコードし、デコードされた信号を各フラッシュメモリ504に与えることとしている。図9（C）の真理値管理テーブル330で示すように、1対1信号であるCE信号と同じ論理値を有する信号を、バス信号として、各フラッシュメモリ504に与えることで、バス530は2ビット分増加するが、各フラッシュメモリ504で、CE信号用信号線540、550との接続に使用されるピンを、4ピンから2ピンに減らすことができる。

[0058] 真理値管理テーブル330は、CE信号の真理値を管理するためのテーブルであって、入力側の真理値331、332、333、334と出力側の真理値335、336から構成される。入力側の真理値331は、エンコーダ回路入力側におけるCE信号用信号線540の真理値から構成され、入力側の真理値332は、エンコーダ回路入力側におけるCE信号用信号線550の真理値から構成される。入力側の真理値333は、デコード回路入力側（エンコード回路出力側）におけるCE信号用信号線540の真理値から構成され、入力側の真理値334は、デコード回路入力側（エンコード回路出力側）におけるCE信号用信号線550の真理値から構成される。出力側の真理値335は、デコード回路出力側におけるCE信号用信号線540の真理値から構成され、出力側の真理値336は、デコード回路出力側におけるCE信号用信号線550の真理値から構成される。

[0059] 図8に示す例では、バス（メモリバス）350の一部は、バス配線化された複数の信号線540A、540Bとして構成され、モジュールソケット124～126とCPUソケット（コントローラ用ソケット）122とを結ぶ

複数の信号線のうち特定の2以上の信号線540、550と、バス配線化された複数の信号線540A、540Bには、特定の2以上の信号線540、550を伝送する信号を、この信号と同じ論理値を有する信号に変換し、変換された信号をバス信号としてフラッシュメモリ504又はSDRAM502に出力する複数の論理部品として、OR論理部品509A~509C及び複数のAND論理部品510が接続されているので、各フラッシュメモリ504で、CE信号用信号線540、550との接続に使用されるピンを、4ピンから2ピンに減らすことができる。なお、CPUソケット122にCPU131が搭載され、モジュールにSDRAM502が搭載される場合も、同様の構成を適用することができる。

[0060] 図9は、SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、WP（ライト・プロテクト）信号線（書き込み禁止信号線）をバス配線化する場合の説明図である。図9（A）において、SSDコントローラ130に、2枚のフラッシュメモリ用モジュール基板505上の各フラッシュメモリ504を接続した場合、WP信号用信号線541、551が、1対1信号線として各フラッシュメモリ504に接続される。この場合、各フラッシュメモリ504には、CE信号用信号線541、551との接続に、それぞれ1ピンが使用される。

[0061] WP信号用信号線541、551をバス配線化するに際して、図9（B）に示すように、SSDコントローラ130に接続されるバス530の一部が、Low固定信号用信号線560とHigh固定信号用信号線561として用いられ、各フラッシュメモリ504には、それぞれセクタ論理部品508が配置される。#0のセクタ論理部品508の入力側は、WP信号用信号線541、554及びLow固定信号用信号線560に接続され、#1のセクタ論理部品508は、WP信号用信号線541、554及びHigh固定信号用信号線561に接続され、各セクタ論理部品508の出力側は、それぞれ各フラッシュメモリ504に接続される。

[0062] この際、WP信号は、レベル信号であって、モジュール基板505を識別

するために用いられる。このため、WP信号の代わりに、High/Low固定信号を用い、バス配線化された信号線を、High/Low固定信号を伝送するための信号線として用いることで、WP信号を伝送するための1対1信号線を減らすことができる。即ち、図9(C)の真理値管理テーブル340で示すように、1対1信号であるWP信号と同じ論理値を有する信号を、バス信号として用い、各フラッシュメモリ504に与えることで、バス530は2ビット分増加するが、各フラッシュメモリ504で、WP信号用信号線541、551との接続に使用されるピンを、それぞれ1ピンから0に減らすことができる。

[0063] 真理値管理テーブル340は、WP信号の真理値を管理するためのテーブルであって、入力側の真理値341、342、343、344と出力側の真理値345、346から構成される。入力側の真理値341は、セクタ論理部品508入力側におけるWP信号用信号線541の真理値から構成され、入力側の真理値342は、セクタ論理部品508入力側におけるWP信号用信号線554の真理値から構成される。入力側の真理値343は、セクタ論理部品508入力側におけるLow固定信号用信号線560の真理値から構成され、入力側の真理値344は、セクタ論理部品508入力側におけるHigh固定信号用信号線561の真理値から構成される。出力側の真理値345は、セクタ論理部品508出力側の真理値から構成され、出力側の真理値346は、セクタ論理部品508出力側の真理値から構成される。

[0064] 図9に示す例では、バス(メモリバス)350の一部は、バス配線化された複数の信号線560、561として構成され、モジュールソケット124~126とCPUソケット(コントローラ用ソケット)122とを結ぶ複数の信号線のうち特定の2以上の信号線541、551と、バス配線化された複数の信号線560、561には、特定の2以上の信号線541、551を伝送する信号を、この信号と同じ論理値を有する信号に変換し、変換された信号をバス信号としてフラッシュメモリ504又はSDRAM502に出力

する複数の論理部品として、セクタ論理部品508が接続されているので、各フラッシュメモリ504で、WP信号用信号線541、551との接続に使用されるピンを、それぞれ1ピンから0に減らすことができる。なお、CPUソケット122にCPU131が搭載され、モジュールにSDRAM502が搭載される場合も、同様の構成を適用することができる。

[0065] 図10は、SSDコントローラとモジュール基板との接続関係を説明するための説明図であって、R/B信号線をバス配線化する場合の説明図である。図10(A)において、SSDコントローラ130に、2枚のフラッシュメモリ用モジュール基板505上の各フラッシュメモリ504を接続した場合、実行完了信号或いは異常発生信号を意味するR/B(レディ/ビジィ)信号用信号線542、552が、1対1信号線として各フラッシュメモリ504に接続される。この場合、各フラッシュメモリ504は、R/B信号用信号線542、552との接続に、それぞれ2ピンが使用される。

[0066] R/B信号用信号線542、552をバス配線化するに際して、図10(B)に示すように、SSDコントローラ130に接続されるバス530の一部が、Low固定信号用信号線560とHigh固定信号用信号線561として用いられ、各フラッシュメモリ504には、それぞれ複数のAND論理部品512、513が配置される。

[0067] #0のフラッシュメモリ504に配置されるAND論理部品512、513の各入力側は、Low固定信号用信号線560又は#0のフラッシュメモリ504のR/B信号用ピンに接続され、#0のフラッシュメモリ504に配置されるAND論理部品512の出力側は、R/B信号用信号線542に接続され、#0のフラッシュメモリ504に配置されるAND論理部品513の出力側はR/B信号用信号線552に接続される。#1のフラッシュメモリ504に配置される各AND論理部品512、513の各入力側は、High固定信号用信号線561又は#1のフラッシュメモリ504のR/B信号用ピンに接続され、#1のフラッシュメモリ504に配置されるAND論理部品512の出力側は、R/B信号用信号線542に接続され、#1の

フラッシュメモリ504に配置されるAND論理部品513の出力側は、R/B信号用信号線552に接続される。

[0068] この際、R/B信号は、出力信号を配線接続するワイアードオア信号である。このため、R/B信号の代わりに、High/Low固定信号を用い、バス配線化された信号線を、High/Low固定信号を伝送するための信号線として用い、R/B信号を伝送するための1対1信号線を減らすことができる。即ち、図10(C)の真理値管理テーブル350で示すように、1対1信号であるR/B信号と同じ論理値を有する信号を、バス信号として用い、各フラッシュメモリ504に与えることで、バス530は4ビット分増加するが、各フラッシュメモリ504で、R/B信号用信号線542、552との接続に使用されるピンを、それぞれ2ピンから0に減らすことができる。

[0069] 真理値管理テーブル350は、R/B信号の真理値を管理するためのテーブルであって、入力側の真理値351、352、353、354と出力側の真理値355、356から構成される。入力側の真理値351は、#0のフラッシュメモリ504に配置された各AND論理部品512、513入力側の真理値から構成され、入力側の真理値352は、#1のフラッシュメモリ504に配置された各AND論理部品512、513入力側の真理値から構成される。入力側の真理値353は、#0のフラッシュメモリ504に配置された各AND論理部品512、513入力側におけるLow固定信号用信号線560の真理値から構成され、入力側の真理値354は、#1のフラッシュメモリ504に配置された各AND論理部品512、513入力側におけるHigh固定信号用信号線561の真理値から構成される。出力側の真理値355は、各フラッシュメモリ504に配置されたAND論理部品512出力側におけるR/B信号用信号線542の真理値から構成され、出力側の真理値356は、各フラッシュメモリ504に配置されたAND論理部品513出力側におけるR/B信号用信号線552の真理値から構成される。

[0070] 図10に示す例では、バス(メモリバス)350の一部は、バス配線化さ

れた複数の信号線560、561として構成され、モジュールソケット124～126とCPUソケット（コントローラ用ソケット）122とを結ぶ複数の信号線のうち特定の2以上の信号線542、552と、バス配線化された複数の信号線560、561には、特定の2以上の信号線542、552を伝送する信号を、この信号と同じ論理値を有する信号に変換し、変換された信号をバス信号としてSSDコントローラ130又はCPU131に出力する複数の論理部品として、複数のAND論理部品512、513が接続されているので、各フラッシュメモリ504で、R/B信号用信号線542、552との接続に使用されるピンを、それぞれ2ピンから0に減らすことができる。なお、CPUソケット122にCPU131が搭載され、モジュールにSDRAM502が搭載される場合も、同様の構成を適用することができる。

[0071] 図11は、SSDコントローラにモジュール基板を2枚バス接続した場合の構成図である。図11において、#0のフラッシュメモリ用モジュール基板505には、#0のメモリユニット511が搭載され、#1のモジュール基板505には、#1のメモリユニット511が搭載される。各メモリユニット511は、複数のAND論理部品510、512、513と、セクタ論理部品508と、1パッケージのフラッシュメモリ504から構成される。SSDコントローラ130は、エンコード回路を構成する、複数のOR論理回路部品509A～509Cを有し、WE0、CLE0、ALE0、RE0、DQ0、DQS0を含むバス530を介して、各フラッシュメモリ用モジュール基板505上の各フラッシュメモリ504に接続され、WE1、CLE1、ALE1、RE1、DQ1、DQS1を含むバス531を介して各フラッシュメモリ用モジュール基板505上の各フラッシュメモリ504に接続される。

[0072] また、SSDコントローラ130は、CE用信号線553、WP信号用信号線541、554、R/B信号用信号線552、542、545、555、CE用信号線550を介して、各フラッシュメモリ用モジュール基板50

5上の各フラッシュメモリ504に接続される。さらに、SSDコントローラ130は、CE用信号線543A、540A、WP信号用信号線544、Low固定信号用信号線560を介して、#0のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504に接続され、CE用信号線543B、540B、WP信号用信号線551、High固定信号用信号線561を介して、#1のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504に接続される。

[0073] この際、#0のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504は、バス530との接続に15ピンが使用され、バス531との接続に15ピンが使用され、バス配線化された信号線553、541、554、552、542、545、555との接続に14ピンが使用され、1対1の信号線543A、544、540A、560との接続に4ピンが使用される。#1のフラッシュメモリ用モジュール基板505上のフラッシュメモリ504は、バス530との接続に15ピンが使用され、バス531との接続に15ピンが使用され、バス配線化された信号線553、541、554、552、542、545、555との接続に14ピンが使用され、1対1の信号線543B、551、540B、561との接続に4ピンが使用される。

[0074] 各フラッシュメモリ504は、バス530、531との接続に合計30ピンが使用され、バス配線化された信号線553、541、554、552、542、545、555との接続に合計14ピンが使用され、バス接続に合計44ピンが使用され、1対1の信号線543A、544、540A、560または信号線543B、551、540B、561との接続に合計4ピンが使用される。

[0075] 即ち、各フラッシュメモリ504は、バス接続に合計44ピンが使用されるが、1対1の信号線との接続には4ピンのみが使用される。このため、1対1信号線の一部をバス配線化することで、各フラッシュメモリ504が、1対1の信号線との接続に要するピンの数を10ピンから4ピンに減らすこ

とができ、2パッケージのフラッシュメモリ504を各モジュール132～134に搭載することができる。

[0076] 図12は、信号数比較テーブルの構成図である。図12(A)において、信号数比較テーブル360には、モジュール132に、フラッシュメモリ504を1パッケージ搭載した場合の信号数について、信号線の一部がバス配線化されていない標準タイプと、信号線の一部がバス配線化された実施例との比較結果が記録されている。信号数比較テーブル360から、標準タイプの場合、フラッシュメモリ504には、1対1信号を伝送する信号線との接続に10ピンが使用され、バス信号を伝送するバスとの接続に30ピンが使用され、実施例の場合、フラッシュメモリ504には、1対1信号を伝送する信号線との接続に4ピンが使用され、バス信号を伝送するバスとの接続に44ピンが使用されることが分かる。

[0077] 図12(B)において、信号数比較テーブル370には、モジュール132に、フラッシュメモリ504を3パッケージ搭載した場合の信号数について、信号線の一部がバス配線化されていない標準タイプと、信号線の一部がバス配線化された実施例との比較結果が記録されている。信号数比較テーブル370から、標準タイプの場合、各フラッシュメモリ504には、1対1信号を伝送する信号線との接続に合計30 ($30 = 10 \times 3$) ピンが使用され、バス信号を伝送するバスとの接続に合計90 ($90 = 30 \times 3$) ピンが使用され、実施例の場合、各フラッシュメモリ504には、1対1信号を伝送する信号線との接続に合計10ピンが使用され、バス信号を伝送するバスとの接続に合計132 ($132 = 44 \times 3$) ピンが使用されることが分かる。

[0078] モジュール132に、フラッシュメモリ504を3パッケージ搭載した場合、実施例では、3パッケージのフラッシュメモリ504として、バス信号を伝送するバスとの接続に合計132 ($132 = 44 \times 3$) ピンが使用されるが、1対1信号を伝送する信号線との接続に合計10ピンのみが使用される。モジュール132～134には、1対1信号を伝送する信号線との接続

に用いるピンが12個配置され、バス信号を伝送するバスとの接続に用いるピンが132個配置されているので、各モジュール132~134に、3パッケージのフラッシュメモリ504を搭載することができる。

[0079] 図13は、SSDコントローラに、3パッケージのフラッシュメモリが搭載されたモジュール基板を2枚バス接続した場合の構成図である。図13において、#0のモジュール基板505には、#0のメモリユニット511が3個搭載され、SPDデバイス512が1個搭載され、#1のモジュール基板505には、#1のメモリユニット511が3個搭載され、SPDデバイス512が1個搭載される。各メモリユニット511は、複数のAND論理部品510、512、513と、セレクトラ論理部品508と、1パッケージのフラッシュメモリ504から構成される。各SPD512は、各モジュール基板505の仕様を認識すると共に、各モジュール基板505でエラーが発生した場合、エラー信号をSSDコントローラ130に転送する。

[0080] SSDコントローラ130は、バス570を介して、#0のメモリユニット511及び#1のメモリユニット511に接続され、バス571を介して、#0のメモリユニット511及び#1のメモリユニット511に接続され、バス572を介して、#0のメモリユニット511及び#1のメモリユニット511に接続される。また、SSDコントローラ130は、1対1の信号線580、581を介して、#0のメモリユニット511及び#1のメモリユニット511に接続され、1対1の信号線582、583を介して、#0のメモリユニット511及び#1のメモリユニット511に接続され、1対1の信号線584、585を介して、#0のメモリユニット511及び#1のメモリユニット511に接続される。さらに、SSDコントローラ130は、Low固定信号用信号線560を介して、#0の3個のメモリユニット511に接続され、High固定信号用信号線561を介して、#1の3個のメモリユニット511に接続される。また、SSDコントローラ130は、EVENT用信号線586を介して、#0のSPDデバイス512及び#1のSPDデバイス512に接続される。

- [0081] この際、バス570は、例えば、バス530、531と、バス配線化された信号線553、541、554、552、542、545、555から構成され、信号線580は、例えば、信号線543A、544、540Aで構成され、信号線581は、例えば、信号線543B、551、540Bで構成される。
- [0082] この際、#0のフラッシュメモリ用モジュール基板505上のメモリユニット511のうちバス570に接続された#0のメモリユニット511は、信号線580との接続に3ピンが使用され、バス570との接続に44ピンが使用され、Low固定信号用信号線560との接続に1ピンが使用される。バス571に接続された#0のメモリユニット511は、信号線582との接続に3ピンが使用され、バス571との接続に44ピンが使用され、Low固定信号用信号線560との接続に1ピンが使用される。バス572に接続された#0のメモリユニット511は、信号線584との接続に3ピンが使用され、バス572との接続に44ピンが使用され、Low固定信号用信号線560との接続に1ピンが使用される。3個の#0のメモリユニット511全体で、1対1の信号を伝送する信号線との接続に10ピンが使用され、バス信号を伝送するバスとの接続に132ピンが使用される。
- [0083] バス570に接続された#1のメモリユニット511は、信号線581との接続に3ピンが使用され、バス570との接続に44ピンが使用され、High固定信号用信号線561との接続に1ピンが使用される。バス571に接続された#1のメモリユニット511は、信号線583との接続に3ピンが使用され、バス571との接続に44ピンが使用され、High固定信号用信号線561との接続に1ピンが使用される。バス572に接続された#1のメモリユニット511は、信号線585との接続に3ピンが使用され、バス572との接続に44ピンが使用され、High固定信号用信号線561との接続に1ピンが使用される。#1の3個のメモリユニット511全体で、1対1の信号を伝送する信号線との接続に10ピンが使用され、バス信号を伝送するバスとの接続に132ピンが使用される。

- [0084] 各モジュール基板505には、1対1信号を伝送する信号線との接続に用いるピンが10個配置され、バス信号を伝送するバスとの接続に用いるピンが132個配置されるので、各モジュール基板505に、1パッケージのフラッシュメモリ504を有するメモリユニット511を3個ずつ搭載することができる。
- [0085] 図14は、SDRAM用モジュールとフラッシュメモリ用モジュールのピン配置を示すテーブルの構成図である。図14において、テーブル600には、SDRAM用モジュール501のピン(#1~60、#121~180)と1対1信線又はバスとの関係を示す情報が記録され、テーブル610には、フラッシュメモリ用モジュール505のピン(#1~60、#121~180)と1対1信線又はバスとの関係を示す情報が記録され、テーブル620には、SDRAM用モジュール501のピン(#61~120、#181~240)と1対1信線又はバスとの関係を示す情報が記録され、テーブル630には、フラッシュメモリ用モジュール505のピン(#61~120、#181~240)と1対1信線又はバスとの関係を示す情報が記録される。
- [0086] テーブル600、610、620、640には、SDRAM用モジュール501とフラッシュメモリ用モジュール505のピン配置を共通化した場合の情報が記録される。即ち、SDRAM用モジュール501とフラッシュメモリ用モジュール505において、1対1接続信号及びバス信号のピン配置が一致している。なお、差動配線やフラッシュメモリ504に要求される差動信号のピン配置も一致している。
- [0087] 図15は、電圧制御切替レジスタマップの構成図である。図15において、電圧制御切替レジスタマップ380は、電源切替DC-DCコンバータ管理テーブル300、310、320に記録された情報を基に生成されたマップとして、電圧切替制御レジスタ103に格納され、オフセット380Aと、記述380Bと、ビット380Cと、データ380Dと、記述380Eから構成され、電圧制御切替レジスタマップ380には、システム基板101

が2ソケット構成の場合の情報が記録される。

[0088] オフセット0x30の欄には、CPU31もしくはSSDコントローラ130を搭載することができるCPUソケット数の情報が格納される。CPUソケット単位で情報格納領域を確保するために、オフセット0x50の欄には、情報格納領域の範囲を定義した情報として、CPU1 Info Block lengthが格納される。オフセット0x51の欄には、各電圧切替DC-DCコンバータ108~114に印加されるEN信号（制御信号）に関する情報が格納され、オフセット0x52の欄には、各電圧切替DC-DCコンバータ108~114に印加されるSEL信号（制御信号）に関する情報及びモジュールソケット124~126に搭載されるモジュール132~134とCPUソケット（コントローラ用ソケット）122に搭載されるコントローラの種別をそれぞれ特定する種別情報が格納される。この種別情報は、例えば、CPUソケット122にCPU131が搭載される場合、「0」であり、CPUソケット122にSSDコントローラ130が搭載される場合、「1」である。また、モジュールソケット124~126にモジュール132~134として、SDRAM用モジュール501が搭載される場合、「0」であり、フラッシュメモリ用モジュール505が搭載される場合、「1」である。

[0089] 図16は、I/Oエキスパンドレジスタマップの構成図である。図16において、I/Oエキスパンドレジスタマップ390は、制御マイコン104によって管理され、I/Oエキスパンドレジスタ105のレジスタに格納されるマップであって、オフセット390Aと、ビット390Bと、データ390Cと、記述390Dから構成される。

[0090] オフセット0x02には、各電圧切替DC-DCコンバータ108~114に印加されるEN信号に関する情報が格納され、オフセット0x03の欄には、各電圧切替DC-DCコンバータ108~114に印加されるSEL信号に関する情報及びモジュールソケット124~126に搭載されるモジュール132~134とCPUソケット（コントローラ用ソケット）122

に搭載されるコントローラの種別をそれぞれ特定する種別情報が格納される。この際、CPU131もしくはSSDコントローラ130を搭載することができるCPUソケット1つに対して、1つのI/Oエキスパンダ105が対応する。4CPUソケット構成の場合、即ち、1個のCPU131と3個のSSDコントローラ130の構成の場合、I/Oエキスパンダ105は、システム基板101に、3個配置されることになる。

[0091] 図17は、制御マイコンの処理を説明するためのフローチャートである。この処理は、制御マイコン104内のCPUによって実行される。図17において、制御マイコン104は、電圧切替制御レジスタ103をアクセスして、電圧制御切替レジスタマップ380を参照し、電圧制御切替レジスタマップ380のオフセット0x30の欄に格納されているCPUソケット数を読み込み(S1)、読み込んだ値(CPUソケット数)を変数Xに代入し(S2)、変数Xの値から、CPU131もしくはSSDコントローラ130を搭載することができるCPUソケット数を判定する(S3)。

[0092] ステップS3で、変数X=0でないと判定した場合、制御マイコン104は、電圧制御切替レジスタマップ380のオフセット0x51の欄に格納されているEN信号に関する情報を読み込み、読み込んだ情報をI/Oエキスパンダ105のレジスタのうち、I/Oエキスパンダレジスタマップ390のオフセット0x02の欄に書き込む(S4)。

[0093] 次に、制御マイコン104は、電圧制御切替レジスタマップ380のオフセット0x52の欄に格納されているSEL信号に関する情報を読み込み、読み込んだ情報をI/Oエキスパンダ105のレジスタのうち、I/Oエキスパンダレジスタマップ390のオフセット0x03の欄に書き込む(S5)。この後、制御マイコン104は、変数X=X-1とし(S6)、ステップS3の処理に戻り、ステップS3~S7の処理を繰り返す。

[0094] 一方、ステップS3で、変数X=0であると判定した場合、CPU131もしくはSSDコントローラ130を搭載することができるCPUソケット数が無いということを示しており、DC-DC電圧切替処理が必要ないので

、制御マイコン104は、DC-DC電圧切替処理を終了すると共に、このルーチンでの処理を終了する。

[0095] I/Oエキスパンダレジスタマップ390のオフセット0x02の欄及びオフセット0x03の欄にEN信号やSEL信号に関する情報が記録されると、I/Oエキスパンダ105から各電圧切替DC-DCコンバータ108~114に制御信号として、EN信号とSEL信号が出力される。これにより、各電圧切替DC-DCコンバータ108~114は、各電力供給先に、各電力供給先の電源電圧に適合する出力電圧を出力する。

[0096] この際、主電源106と、I/Oエキスパンダ105と、各電圧切替DC-DCコンバータ108~114は、電源部を構成し、I/Oエキスパンダ105のレジスタ（記憶部）に記憶された種別情報を判別し、複数の異なる出力電圧の中から判別結果に従って2以上の異なる出力電圧を選択し、選択した各出力電圧をそれぞれフラッシュメモリ用モジュール上のフラッシュメモリ504又はSDRAM用モジュール上のSDRAM502に印加すると共に、SSDコントローラ130又はCPU131に印加する。

[0097] この場合、I/Oエキスパンダ105は、I/Oエキスパンダ105のレジスタ（記憶部）に記憶された種別情報を判別し、この判別結果に応じて制御情報が異なる複数の制御信号（EN信号とSEL信号）を出力する制御信号出力部を構成し、各電圧切替DC-DCコンバータ108~114は、I/Oエキスパンダ105から制御信号を受信した場合、複数の異なる出力電圧の中から、受信した制御信号の制御情報で指定された出力電圧であって、電力供給先の電源電圧に適合する2以上の異なる出力電圧を選択し、選択した各出力電圧をそれぞれフラッシュメモリ用モジュール上のフラッシュメモリ504又はSDRAM用モジュール上のSDRAM502に出力すると共に、SSDコントローラ130又はCPU131に出力する電圧切替部として構成される。

[0098] より具体的には、電圧切替DC-DCコンバータ108は、I/Oエキスパンダ105から制御信号を受信した場合、複数の異なるコントローラ用出

力電圧（0.9V及び1.0V）の中から、受信した制御信号の制御情報で指定されたコントローラ出力電圧を選択し、選択したコントローラ出力電圧をSSDコントローラ130又はCPU131の給電用コア部138に出力するコントローラ用電圧切替部として構成される。

[0099] 電圧切替DC-DCコンバータ110、112、114は、I/Oエキスパンダ105から制御信号を受信した場合、複数の異なる記憶デバイス出力電圧（1.35V及び3.3V）の中から、受信した制御信号の制御情報で指定された記憶デバイス出力電圧を選択し、選択した記憶デバイス出力電圧をフラッシュメモリ用モジュール上のフラッシュメモリ504の給電用コア部又はSDRAM用モジュール上のSDRAM502の給電用コア部に出力する記憶デバイス用電圧切替部として構成される。

[0100] 電圧切替DC-DCコンバータ109、111、113は、I/Oエキスパンダ105から制御信号を受信した場合、複数の異なる共用出力電圧（1.35V及び1.8V）の中から、受信した制御信号の制御情報で指定された共用出力電圧を選択し、選択した共用出力電圧をSSDコントローラ130及びフラッシュメモリ用モジュール上のフラッシュメモリ504の給電用I/O部又はCPU131及びSDRAM用モジュール上のSDRAM502の給電用I/O部にそれぞれ出力する共用電圧切替部として構成される。

[0101] 本実施例によれば、電力供給先の電圧の仕様が、電力供給先の種別によって切り替わっても、電力供給先に電力を供給する電源部を共用することができる。即ち、電圧切替DC-DCコンバータ108の出力電圧は、CPUソケット122に搭載される制御用デバイス（コントローラ）の種別によって管理され、電圧切替DC-DCコンバータ109、111、113の出力電圧は、モジュールソケット124～126に搭載されるモジュール132～134（或いはモジュール132～134に搭載される記憶デバイス）の種別によって管理され、電圧切替DC-DCコンバータ110、112、114の出力電圧は、モジュールソケット124～126に搭載されるモジュール132～134（或いはモジュール132～134に搭載される記憶デバイ

ス)の種別によって管理されるので、CPUソケット122に、SSDコントローラ130又はCPU131が搭載されたり、モジュール132~134にフラッシュメモリ504又はSDRAM502が搭載されたりしても、各電圧切替DC-DCコンバータ108~114を共用することができる。このため、システム基板101の構成の簡素化を図ることができると共に、電圧切替DC-DCコンバータの数の低減に伴って消費電力を低減することができる。

[0102] また、高速な揮発性メモリであるSDRAM502と、低速だが不揮発でビット単価が安価なフラッシュメモリ504をそれぞれシステム基板101上に搭載することができる共に、同一装置でSDRAM502とフラッシュメモリ504の容量を柔軟に変更することが可能となり、より低コストとなる情報処理装置或いは計算機システムを提供することができる。さらに、将来MRAMやFRAM(登録商標)の世代で実用化される可能性がある不揮発メモリ混載DIMMにも、本発明を適用することができる。

[0103] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、システム基板101を計算機システムとして用いる場合、SSDコントローラ130及びCPU131を、メモリに格納されたプログラムに従って演算処理を実行する演算装置として構成し、複数のフラッシュメモリ504及び複数のSDRAM502を、演算装置のアクセス対象のデータを記憶する記憶装置として構成することができる。また、SSDコントローラ130及びCPU131の一部を入出力インタフェースとして構成することもできる。さらに、CPUソケット122に搭載される制御用デバイス(コントローラ)とモジュール132~134に搭載される記憶デバイスに給電するための電圧切替DC-DCコンバータとしては、これら制御用デバイス(コントローラ)と記憶デバイスの電源電圧の仕様に応じて、出力電圧が異なる2種類の電圧切替DC-DCコンバータあるいは、3種類以上の電圧切替DC-DCコンバータで構成することもできる。

[0104] 上記した実施例は本発明を分かりやすく説明するために詳細に説明したも

のであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

[0105] また、上記の各構成、機能等は、それらの一部又は全部を、例えば、集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行することによりソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリや、ハードディスク、SSD (Solid State Drive) 等の記録装置、または、IC (Integrated Circuit) カード、SD (Secure Digital) メモリカード、DVD (Digital Versatile Disc) 等の記録媒体に記録して置くことができる。

[0106] また、メモリバスや1対1信号線或いは制御線は説明上必要と考えられるものを示しており、製品上必ずしも全てのメモリバスや1対1信号線或いは制御線を示しているとは限らない。実際には殆ど全ての構成が相互に接続されている。

符号の説明

[0107] 101 システム基板、102 補助電源、103 電圧切替制御レジスタ、104 制御マイコン、105 I/Oエキスパンダ、106 主電源、108~121 電圧切替DC-DCコンバータ、122、123 CPUソケット、124~129 モジュールソケット、130 SSDコントローラ、131 CPU、132~137 モジュール、138、139 コア部、140~145 I/O部 146~151 コア部、152~157 I/O部、158 CPUバス、159~164 メモリバス、191 CPUバスコントローラ、192 フラッシュメモリコントローラ、194 内部バス、195 制御コア、201 DC-DC変換器、202 電圧調整回路、501 SDRAM用モジュール基板、502 SDRAM、

504 フラッシュメモリ、505 フラッシュメモリ用モジュール基板、
508 セレクタ論理部品、509A～509C OR論理部品、510、
512、513 AND論理部品。

請求の範囲

[請求項1]

第1の記憶デバイスである複数のフラッシュメモリが配置されたフラッシュメモリ用モジュール又は第2の記憶デバイスである複数のSDRAMが配置されたSDRAM用モジュールを搭載する1以上のモジュールソケットと、

前記モジュールソケットとメモリバスを介して接続され、前記フラッシュメモリに対するデータの入出力を制御する第1のコントローラ又は前記SDRAMに対するデータの入出力を制御する第2のコントローラを搭載するコントローラ用ソケットと、

前記モジュールソケットを介して前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに電力を供給すると共に、前記コントローラ用ソケットを介して前記第1のコントローラ又は前記第2のコントローラに電力を供給する電源部と、

前記モジュールソケットに搭載されるモジュールと前記コントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を記憶する記憶部と、を有し、

前記電源部は、

前記記憶部に記憶された前記種別情報を判別し、複数の異なる出力電圧の中から前記判別結果に従って2以上の異なる出力電圧を選択し、前記選択した各出力電圧をそれぞれ前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに印加すると共に、前記第1のコントローラ又は前記第2のコントローラに印加することを特徴とするメモリモジュール。

[請求項2]

請求項1に記載のメモリモジュールにおいて、

前記電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる出力電圧の中から前記受信した制御信号の制御情報で指定された出力電圧であって、電力供給先の電圧に適合する2以上の異なる出力電圧を選択し、選択した各出力電圧をそれぞれ前記フラッシュメモリ又は前記SDRAMに出力すると共に、前記第1のコントローラ又は前記第2のコントローラに出力する電圧切替部と、を有することを特徴とするメモリモジュール。

[請求項3]

請求項1に記載のメモリモジュールにおいて、

前記電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なるコントローラ用出力電圧の中から前記受信した制御信号の制御情報で指定されたコントローラ用出力電圧を選択し、前記選択したコントローラ用出力電圧を前記第1のコントローラ又は前記第2のコントローラの給電用コア部に出力するコントローラ用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる記憶デバイス用出力電圧の中から前記受信した制御信号の制御情報で指定された記憶デバイス用出力電圧を選択し、前記選択した記憶デバイス用出力電圧を前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用コア部又は前記SDRAM用モジュール上のSDRAMの給電用コア部に出力する記憶デバイス用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる共用出力電圧の中から前記受信した制御信号の制御情報で指定された共用出力電圧を選択し、前記選択した共用出力電圧を前記第1のコントローラ及び前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用1/0部又は前記第2のコントローラ及び前記SDRAM用モジュール上のSDRAMの給電用1/0部にそれぞれ出力する

共用電圧切替部と、を有することを特徴とするメモリモジュール。

[請求項4]

請求項1～3のうちいずれか1項に記載のメモリモジュールにおいて、

前記メモリバスの一部は、バス配線化された複数の信号線として構成され、

前記モジュールソケットと前記コントローラ用ソケットとを結ぶ複数の信号線のうち特定の2以上の信号線と、前記バス配線化された複数の信号線には、前記特定の2以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記フラッシュメモリ又は前記SDRAMに出力する複数の論理部品が接続されてなることを特徴とするメモリモジュール。

[請求項5]

請求項1～3のうちいずれか1項に記載のメモリモジュールにおいて、

前記メモリバスの一部は、バス配線化された複数の信号線として構成され、

前記モジュールソケットと前記コントローラ用ソケットとを結ぶ複数の信号線のうち特定の2以上の信号線と、前記バス配線化された複数の信号線には、前記特定の2以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記第1のコントローラ又は前記第2のコントローラに出力する複数の論理部品が接続されてなることを特徴とするメモリモジュール。

[請求項6]

第1の記憶デバイスである複数のフラッシュメモリに対するデータの入出力を制御する第1のコントローラと、

第2の記憶デバイスである複数のSDRAMに対するデータの入出力を制御する第2のコントローラと、

前記フラッシュメモリが配置されたフラッシュメモリ用モジュール又は前記SDRAMが配置されたSDRAM用モジュールを搭載する

1以上の第1のモジュールソケットと、

前記第1のモジュールソケットと第1のメモリバスを介して接続され、前記第1のコントローラ又は前記第2のコントローラを搭載する第1のコントローラ用ソケットと、

前記SDRAMが配置されたSDRAM用モジュールを搭載する1以上の第2のモジュールソケットと、

前記第2のモジュールソケットと第2のメモリバスを介して接続され、前記第2のコントローラが搭載される第2のコントローラ用ソケットと、

前記第1のモジュールソケットを介して前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに電力を供給すると共に、前記第1のコントローラ用ソケットを介して前記第1のコントローラ又は前記第2のコントローラに電力を供給する第1の電源部と、

前記第2のモジュールソケットを介して前記SDRAMに電力を供給すると共に、前記第2のコントローラ用ソケットを介して前記第2のコントローラに電力を供給する第2の電源部と、

前記第1のモジュールソケットに搭載されるモジュールと前記第1のコントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を記憶する記憶部と、を有し、

前記第1の電源部は、

前記記憶部に記憶された前記種別情報を判別し、複数の異なる出力電圧の中から前記判別結果に従って2以上の異なる出力電圧を選択し、前記選択した各出力電圧をそれぞれ前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに印加すると共に、前記第1のコントローラ又は前記第2のコントローラに印加することを特徴とするメモリバスシステム。

[請求項7]

請求項6に記載のメモリバスシステムにおいて、

前記第 1 の電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる出力電圧の中から前記受信した制御信号の制御情報で指定された出力電圧であって、電力供給先の電圧に適合する 2 以上の異なる出力電圧を選択し、選択した各出力電圧をそれぞれ前記フラッシュメモリ又は前記 S D R A M に出力すると共に、前記第 1 のコントローラ又は前記第 2 のコントローラに出力する電圧切替部と、を有することを特徴とするメモリバスシステム。

[請求項 8]

請求項 6 に記載のメモリバスシステムにおいて、

前記第 1 の電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なるコントローラ用出力電圧の中から前記受信した制御信号の制御情報で指定されたコントローラ用出力電圧を選択し、前記選択したコントローラ用出力電圧を前記第 1 のコントローラ又は前記第 2 のコントローラの給電用コア部に出力するコントローラ用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる記憶デバイス用出力電圧の中から前記受信した制御信号の制御情報で指定された記憶デバイス用出力電圧を選択し、前記選択した記憶デバイス用出力電圧を前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用コア部又は前記 S D R A M 用モジュール上の S D R A M の給電用コア部に出力する記憶デバイス用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる共用出力電圧の中から前記受信した制御信号の制御情報で指定された共用出力電圧を選択し、前記選択した共用出力電圧を前記第 1 のコ

ントローラ及び前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用 I / O 部又は前記第 2 のコントローラ及び前記 S D R A M 用モジュール上の S D R A M の給電用 I / O 部にそれぞれ出力する共用電圧切替部と、を有することを特徴とするメモリバスシステム。

[請求項9] 請求項 6 ~ 8 のうちいずれか 1 項に記載のメモリバスシステムにおいて、

前記第 1 のメモリバスの一部は、バス配線化された複数の信号線として構成され、

前記第 1 のモジュールソケットと前記第 1 のコントローラ用ソケットとを結ぶ複数の信号線のうち特定の 2 以上の信号線と、前記バス配線化された複数の信号線には、前記特定の 2 以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記フラッシュメモリ又は前記 S D R A M に出力する複数の論理部品が接続されてなることを特徴とするメモリバスシステム。

[請求項10] 請求項 6 ~ 8 のうちいずれか 1 項に記載のメモリバスシステムにおいて、

前記第 1 のメモリバスの一部は、バス配線化された複数の信号線として構成され、

前記第 1 のモジュールソケットと前記第 1 のコントローラ用ソケットとを結ぶ複数の信号線のうち特定の 2 以上の信号線と、前記バス配線化された複数の信号線には、前記特定の 2 以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記第 1 のコントローラ又は前記第 2 のコントローラに出力する複数の論理部品が接続されてなることを特徴とするメモリバスシステム。

[請求項11] 第 1 の記憶デバイスである複数のフラッシュメモリに対するデータの入出力を制御する第 1 のコントローラと、

第2の記憶デバイスである複数のSDRAMに対するデータの入出力を制御する第2のコントローラと、

前記フラッシュメモリが配置されたフラッシュメモリ用モジュール又は前記SDRAMが配置されたSDRAM用モジュールを搭載する1以上の第1のモジュールソケットと、

前記第1のモジュールソケットと第1のメモリバスを介して接続され、前記第1のコントローラ又は前記第2のコントローラを搭載する第1のコントローラ用ソケットと、

前記SDRAMが配置されたSDRAM用モジュールを搭載する1以上の第2のモジュールソケットと、

前記第2のモジュールソケットと第2のメモリバスを介して接続され、前記第2のコントローラが搭載される第2のコントローラ用ソケットと、

前記第1のモジュールソケットを介して前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに電力を供給すると共に、前記第1のコントローラ用ソケットを介して前記第1のコントローラ又は前記第2のコントローラに電力を供給する第1の電源部と、

前記第2のモジュールソケットを介して前記SDRAMに電力を供給すると共に、前記第2のコントローラ用ソケットを介して前記第2のコントローラに電力を供給する第2の電源部と、

前記第1のモジュールソケットに搭載されるモジュールと前記第1のコントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を記憶する記憶部と、を有し、

前記第1のコントローラ及び前記第2のコントローラは、

プログラムに従って演算処理を実行する演算装置として構成され、

前記複数のフラッシュメモリ及び前記複数のSDRAMは、

前記演算装置のアクセス対象のデータを記憶する記憶装置として構

成され、

前記第1の電源部は、

前記記憶部に記憶された前記種別情報を判別し、複数の異なる出力電圧の中から前記判別結果に従って2以上の異なる出力電圧を選択し、前記選択した各出力電圧をそれぞれ前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記SDRAM用モジュール上のSDRAMに印加すると共に、前記第1のコントローラ又は前記第2のコントローラに印加することを特徴とする計算機システム。

[請求項12]

請求項11に記載の計算機システムにおいて、

前記第1の電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる出力電圧の中から前記受信した制御信号の制御情報で指定された出力電圧であって、電力供給先の電圧に適合する2以上の異なる出力電圧を選択し、選択した各出力電圧をそれぞれ前記フラッシュメモリ又は前記SDRAMに出力すると共に、前記第1のコントローラ又は前記第2のコントローラに出力する電圧切替部と、を有することを特徴とする計算機システム。

[請求項13]

請求項11に記載の計算機システムにおいて、

前記第1の電源部は、

前記記憶部に記憶された前記種別情報を判別し、当該判別結果に応じて制御情報が異なる複数の制御信号を出力する制御信号出力部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なるコントローラ用出力電圧の中から前記受信した制御信号の制御情報で指定されたコントローラ用出力電圧を選択し、前記選択したコントローラ用出力電圧を前記第1のコントローラ又は前記第2のコントローラの給電用コア部に出力するコントローラ用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる記憶デバイス用出力電圧の中から前記受信した制御信号の制御情報で指定された記憶デバイス用出力電圧を選択し、前記選択した記憶デバイス用出力電圧を前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用コア部又は前記SDRAM用モジュール上のSDRAMの給電用コア部に出力する記憶デバイス用電圧切替部と、

前記制御信号出力部から前記制御信号を受信した場合、複数の異なる共用出力電圧の中から前記受信した制御信号の制御情報で指定された共用出力電圧を選択し、前記選択した共用出力電圧を前記第1のコントローラ及び前記フラッシュメモリ用モジュール上のフラッシュメモリの給電用1/0部又は前記第2のコントローラ及び前記SDRAM用モジュール上のSDRAMの給電用1/0部にそれぞれ出力する共用電圧切替部と、を有することを特徴とする計算機システム。

[請求項14]

請求項11～13のうちいずれか1項に記載の計算機システムにおいて、

前記第1のメモリバスの一部は、バス配線化された複数の信号線として構成され、

前記第1のモジュールソケットと前記第1のコントローラ用ソケットとを結ぶ複数の信号線のうち特定の2以上の信号線と、前記バス配線化された複数の信号線には、前記特定の2以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記フラッシュメモリ又は前記SDRAMに出力する複数の論理部品が接続されてなることを特徴とする計算機システム。

[請求項15]

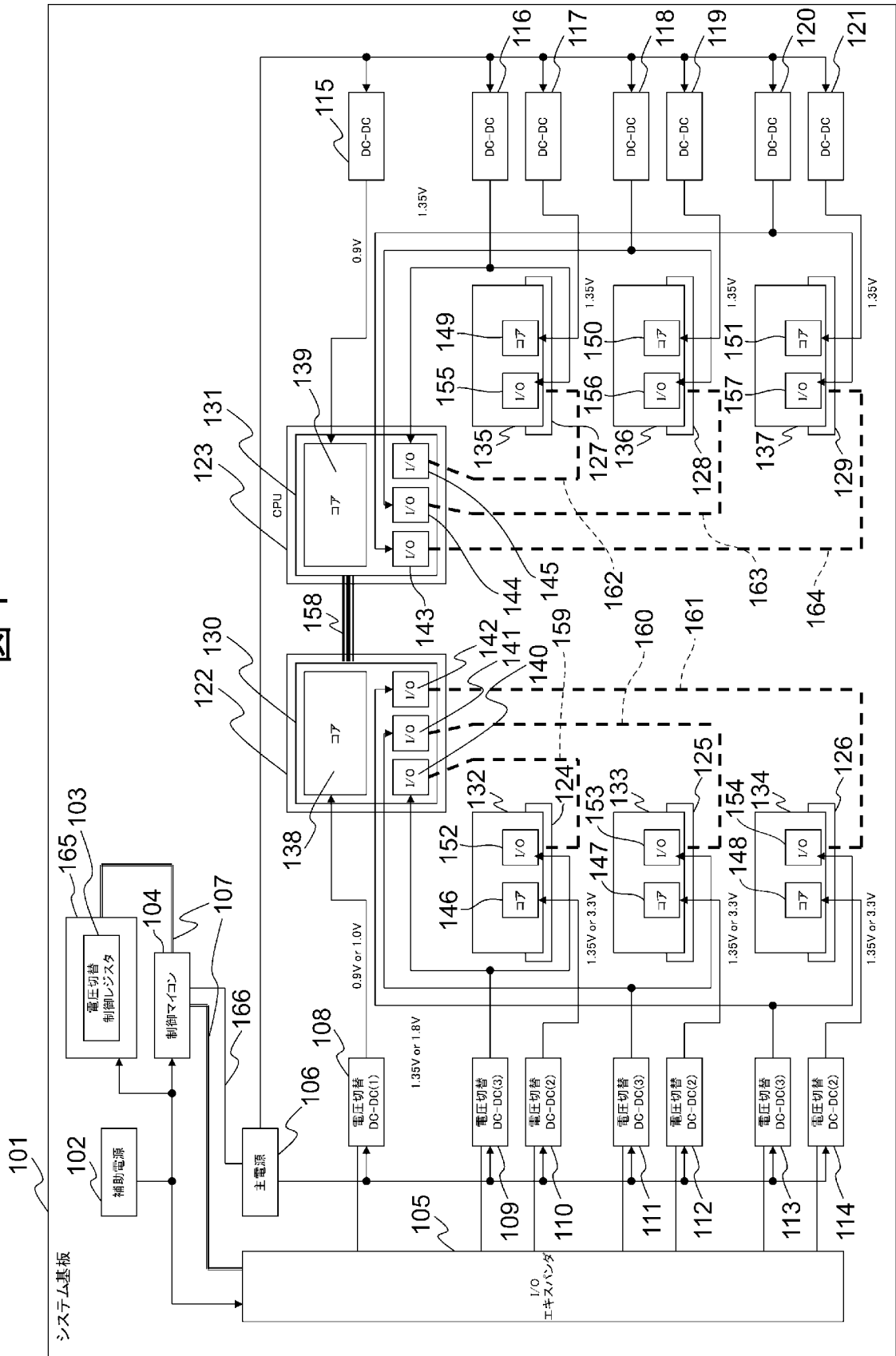
請求項11～13のうちいずれか1項に記載の計算機システムにおいて、

前記第1のメモリバスの一部は、バス配線化された複数の信号線として構成され、

前記第1のモジュールソケットと前記第1のコントローラ用ソケットとを結ぶ複数の信号線のうち特定の2以上の信号線と、前記バス配線化された複数の信号線には、前記特定の2以上の信号線を伝送する信号を、当該信号と同じ論理値を有する信号に変換し、当該変換された信号をバス信号として前記第1のコントローラ又は前記第2のコントローラに出力する複数の論理部品が接続されてなることを特徴とする計算機システム。

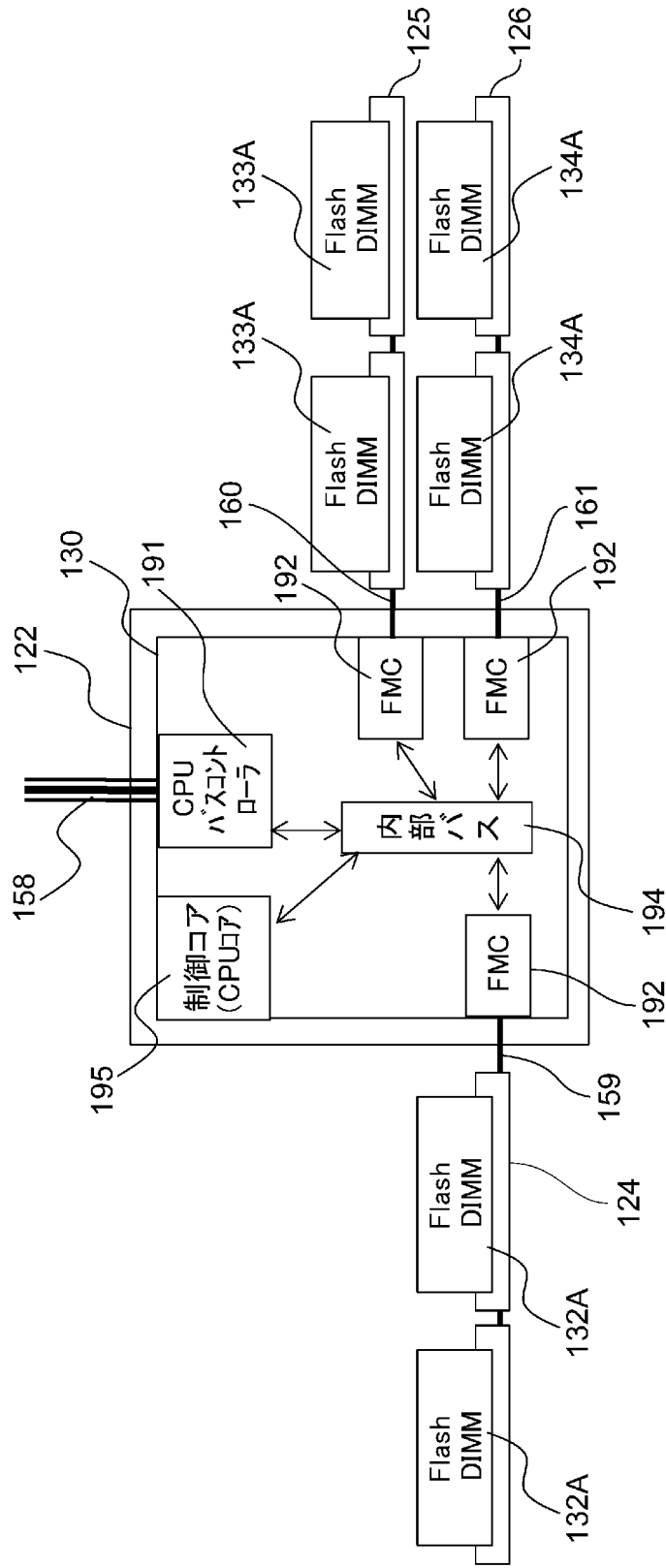
図1

図1



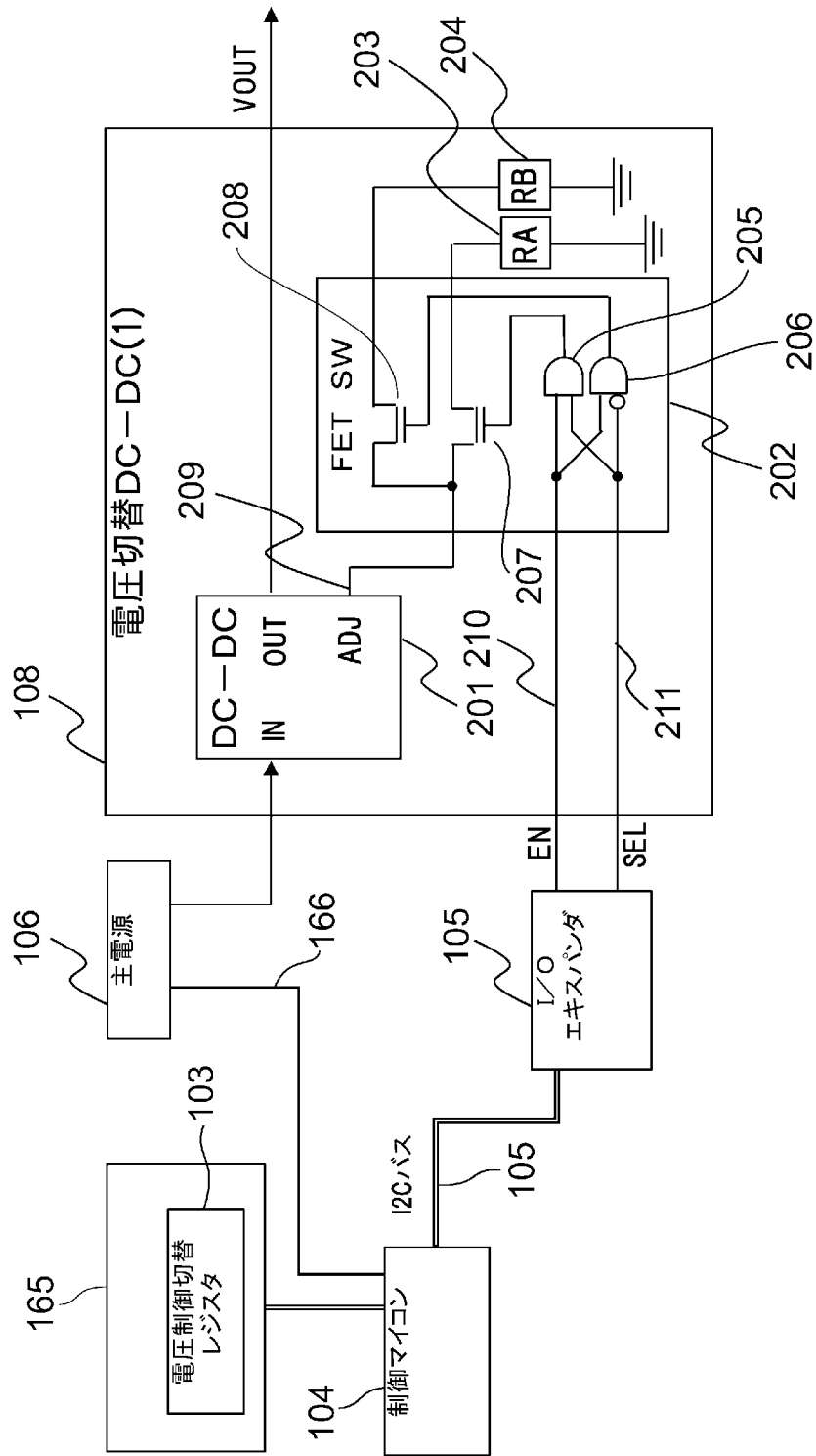
[図2]

図 2



[図3]

図 3



[図4]

図 4

(A)

301	302	303	300 304	305
搭載デバイス	EN	SEL	R	VOUT
未搭載	L	N/A	Open	0V
CPU	H	L	RA(15kohm)	0.9V
SSDコントローラ	H	H	RB(12kohm)	1.0V

(B)

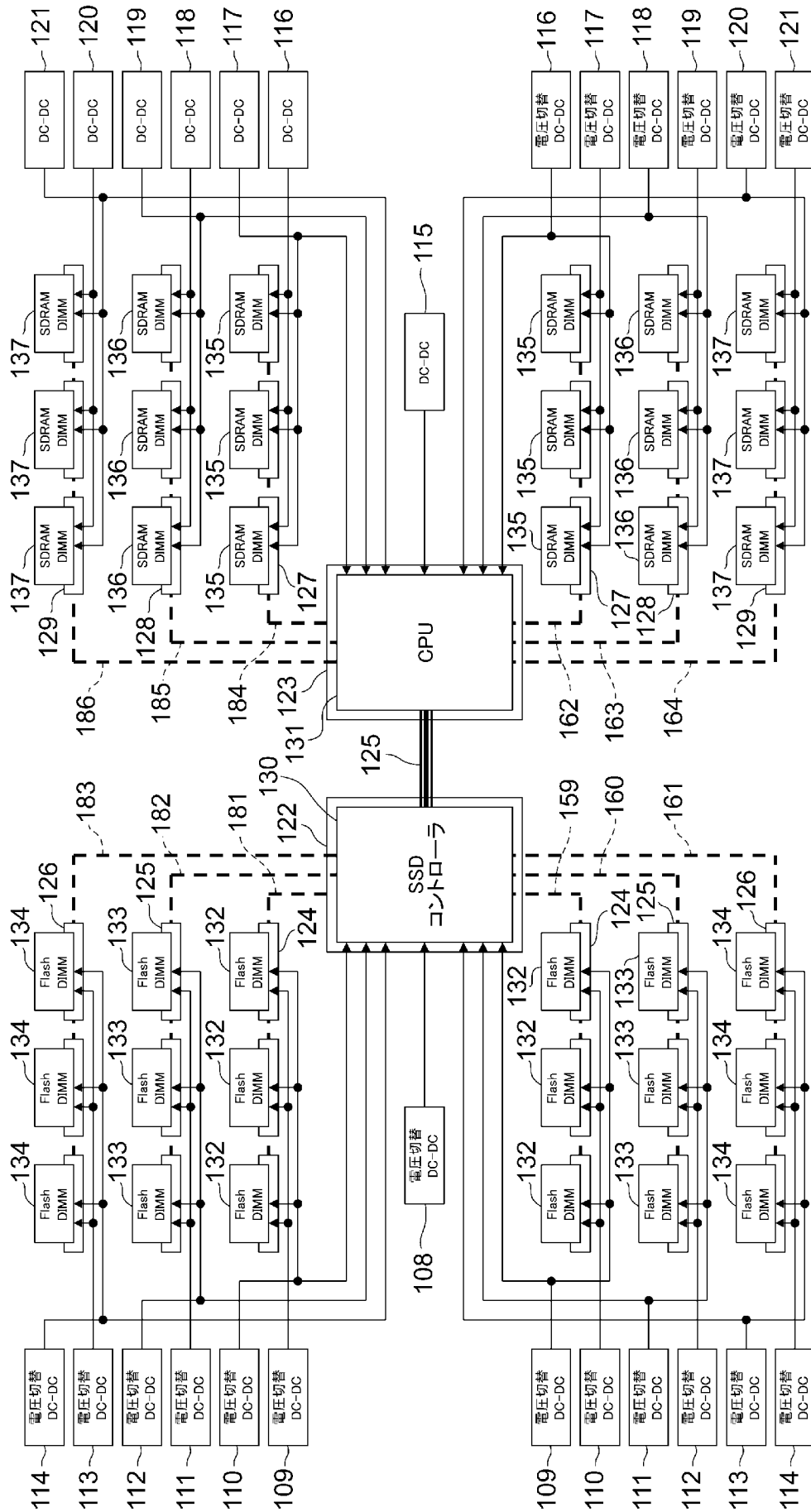
311	312	313	310 314	315
搭載デバイス	EN	SEL	R	VOUT
未搭載	L	N/A	Open	0V
SDRAM DIMM	H	L	RA(9.7kohm)	1.35V
NAND Flash DIMM	H	H	RB(2.2kohm)	3.3V

(C)

321	322	323	320 324	325
搭載デバイス	EN	SEL	R	VOUT
未搭載	L	N/A	Open	0V
SDRAM DIMM	H	L	RA(9.7kohm)	1.35V
NAND Flash DIMM	H	H	RB(4.9kohm)	1.8V

[図5]

図5



[図6]

図 6

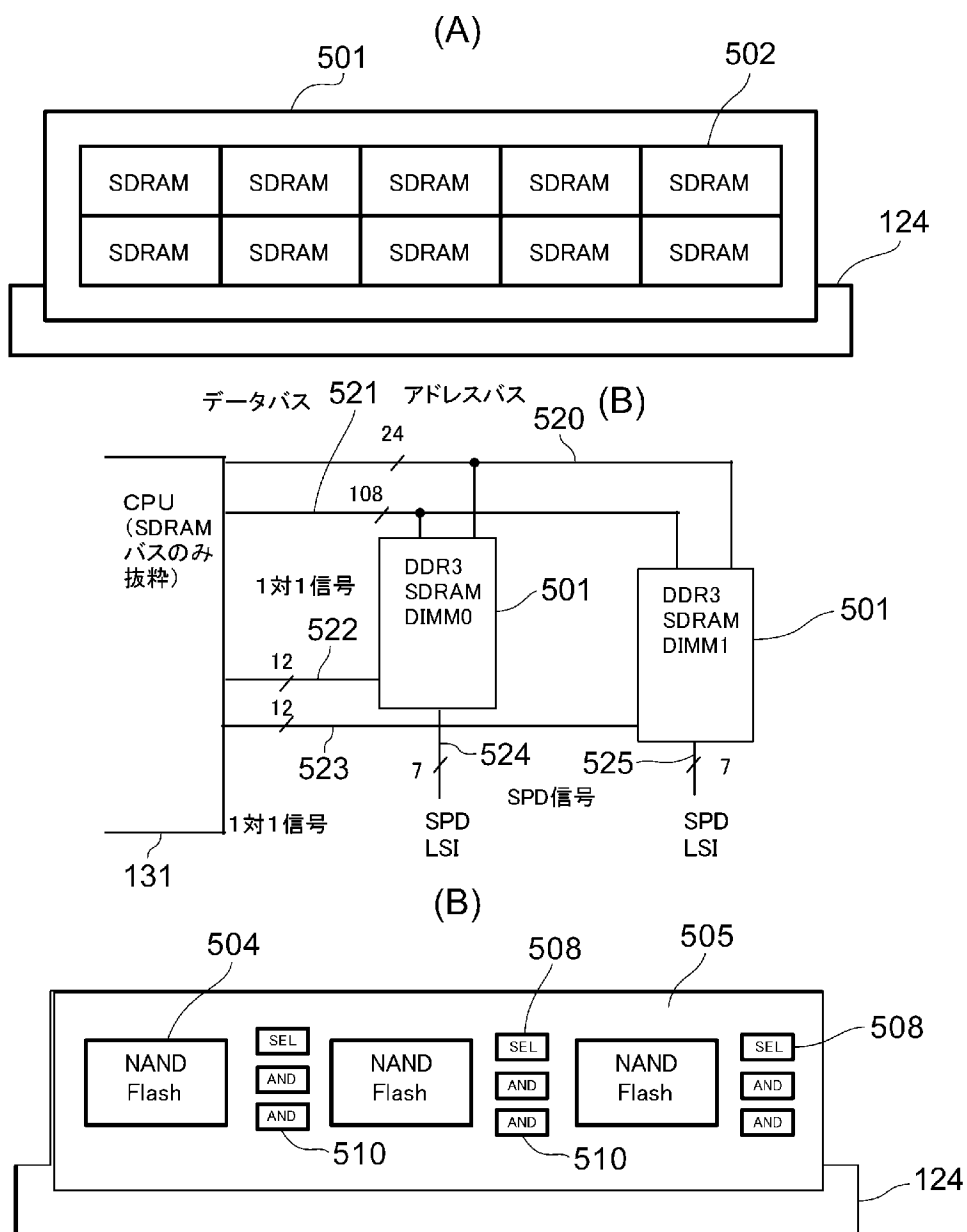
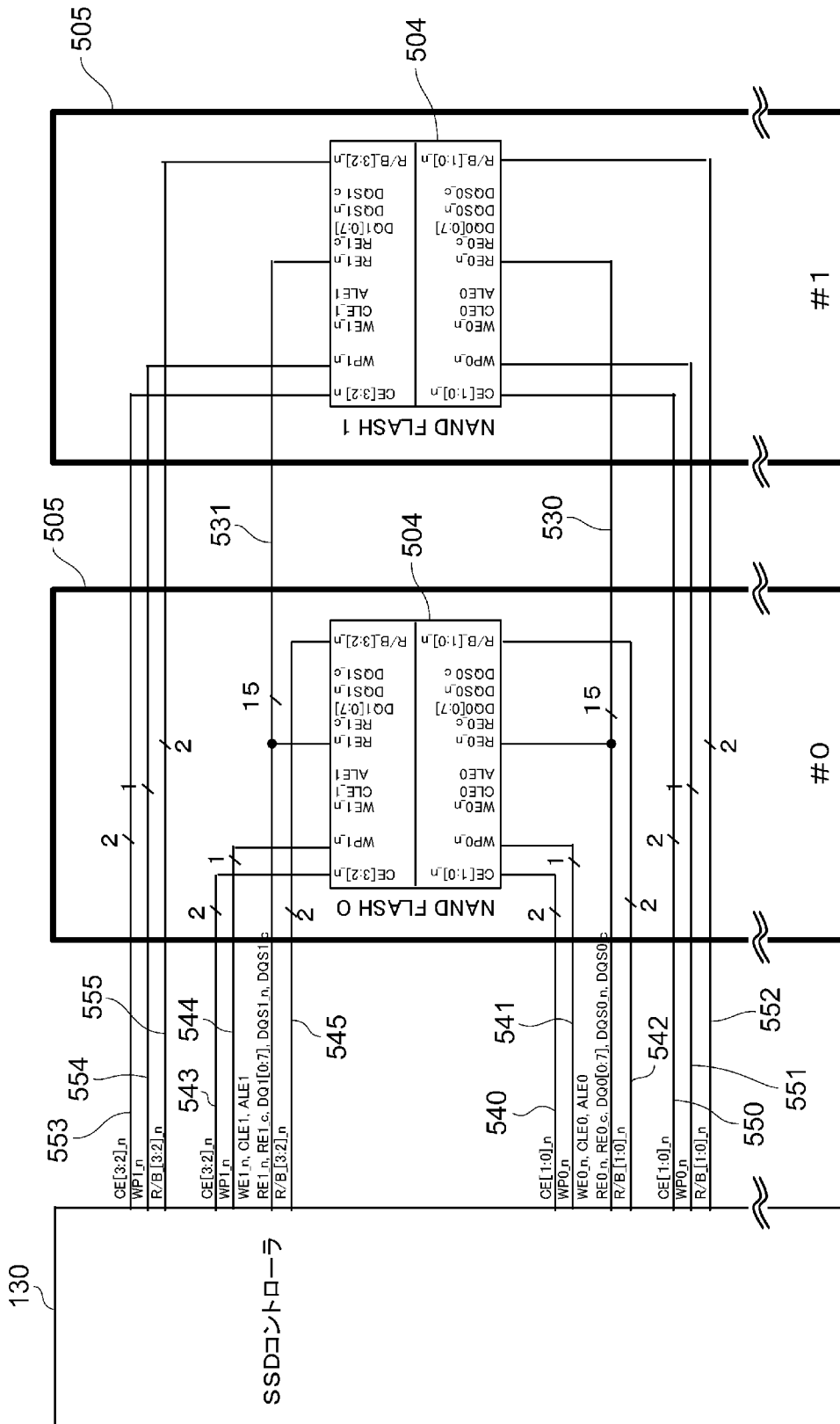
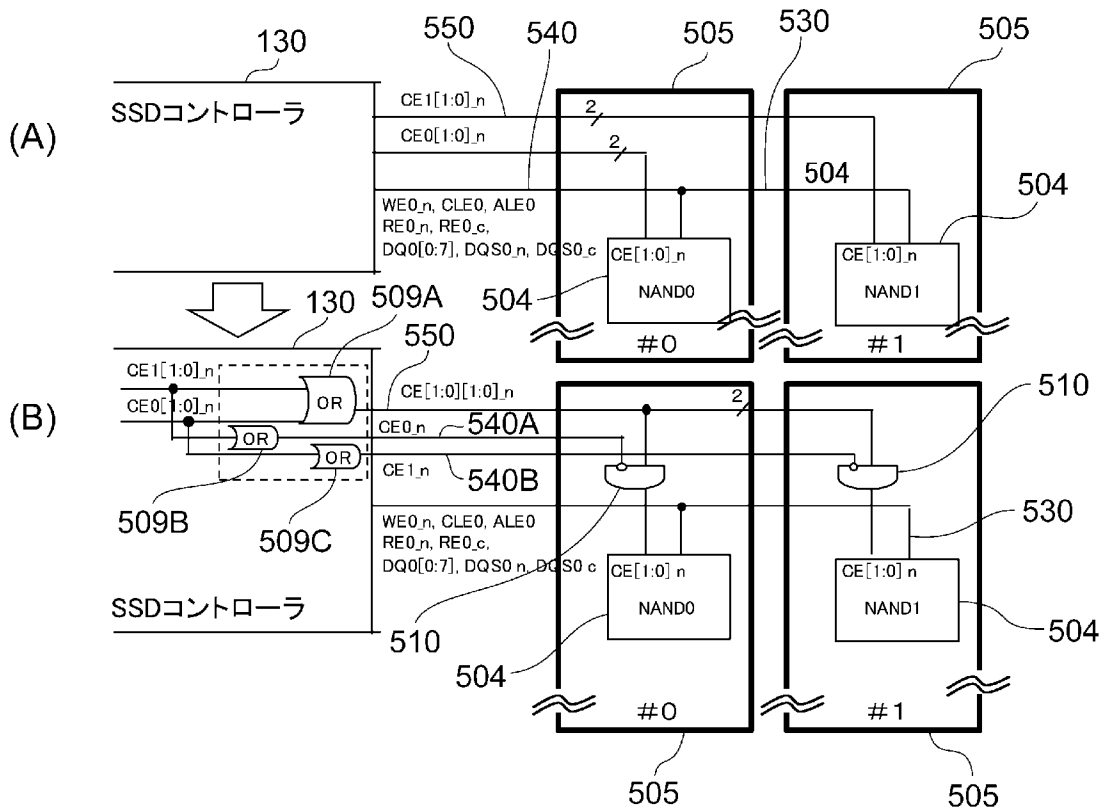


図7



[図8]

図 8

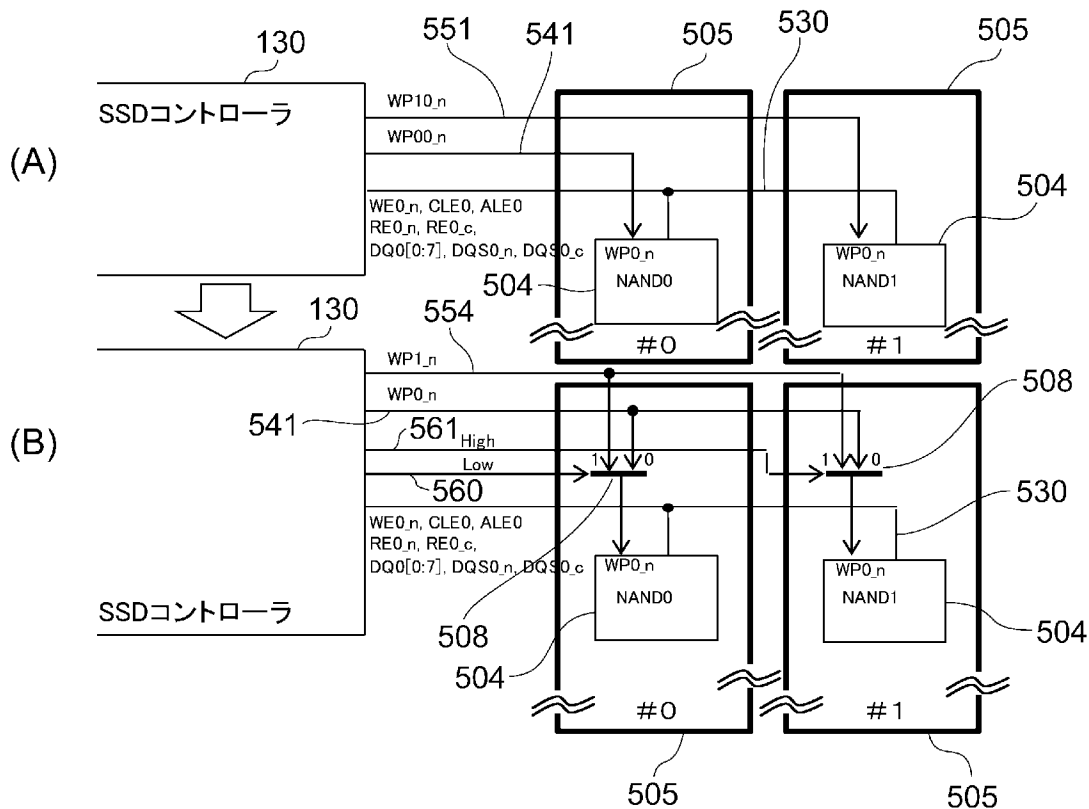


(C)

Input				Output	
CE0[1:0] _n	CE1[1:0] _n	CE0 _n	CE1 _n	NAND0 CE[1:0] _n	NAND1 CE[1:0] _n
HL	HH	L	H	HL	HH
LH	HH	L	H	LH	HH
HH	HL	H	L	HH	HL
HH	LH	H	L	HH	LH
--	--	H	H	HH	HH
--	--	L	L	禁止	

[図9]

図 9

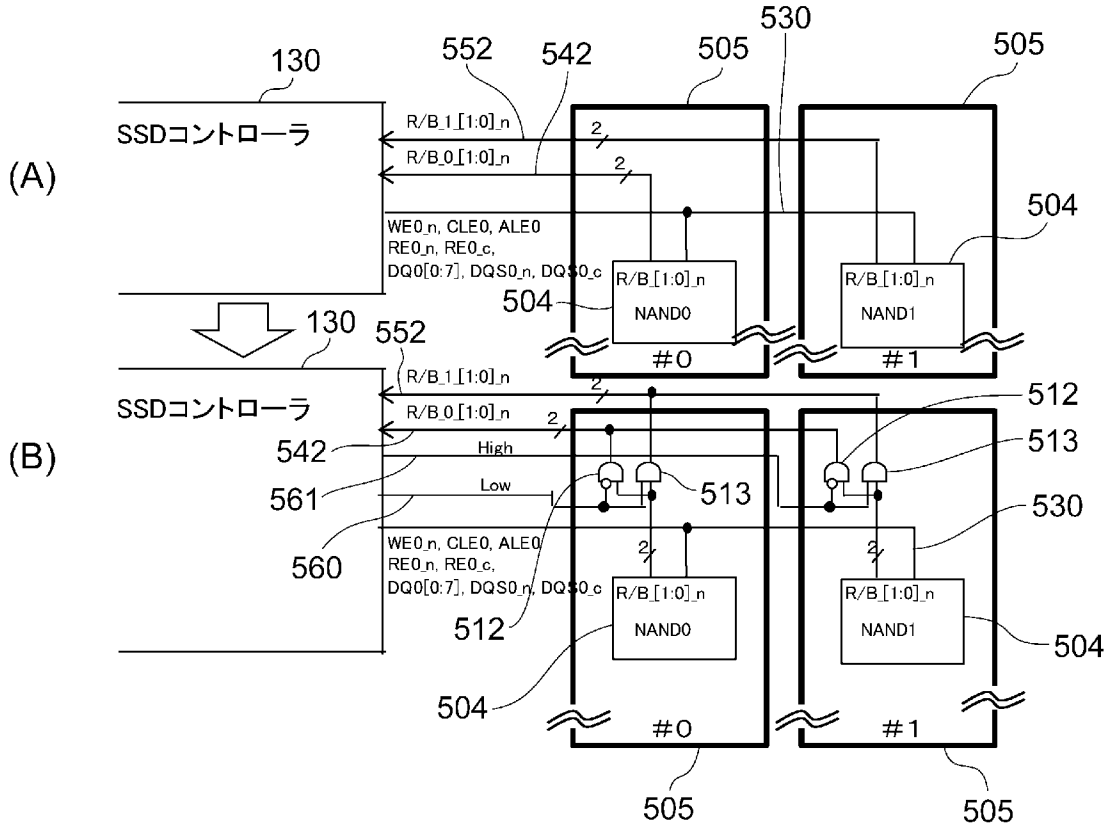


(C)

Input		Output			
341	342	343	344	345	346
WP00_n	WP10_n	Low	High	NAND0 WP0_n	NAND1 WP0_n
H	H	L	H	H	H
H	L	L	H	H	L
L	H	L	H	L	H
L	L	L	H	L	L
-	-	others		-	-

[図10]

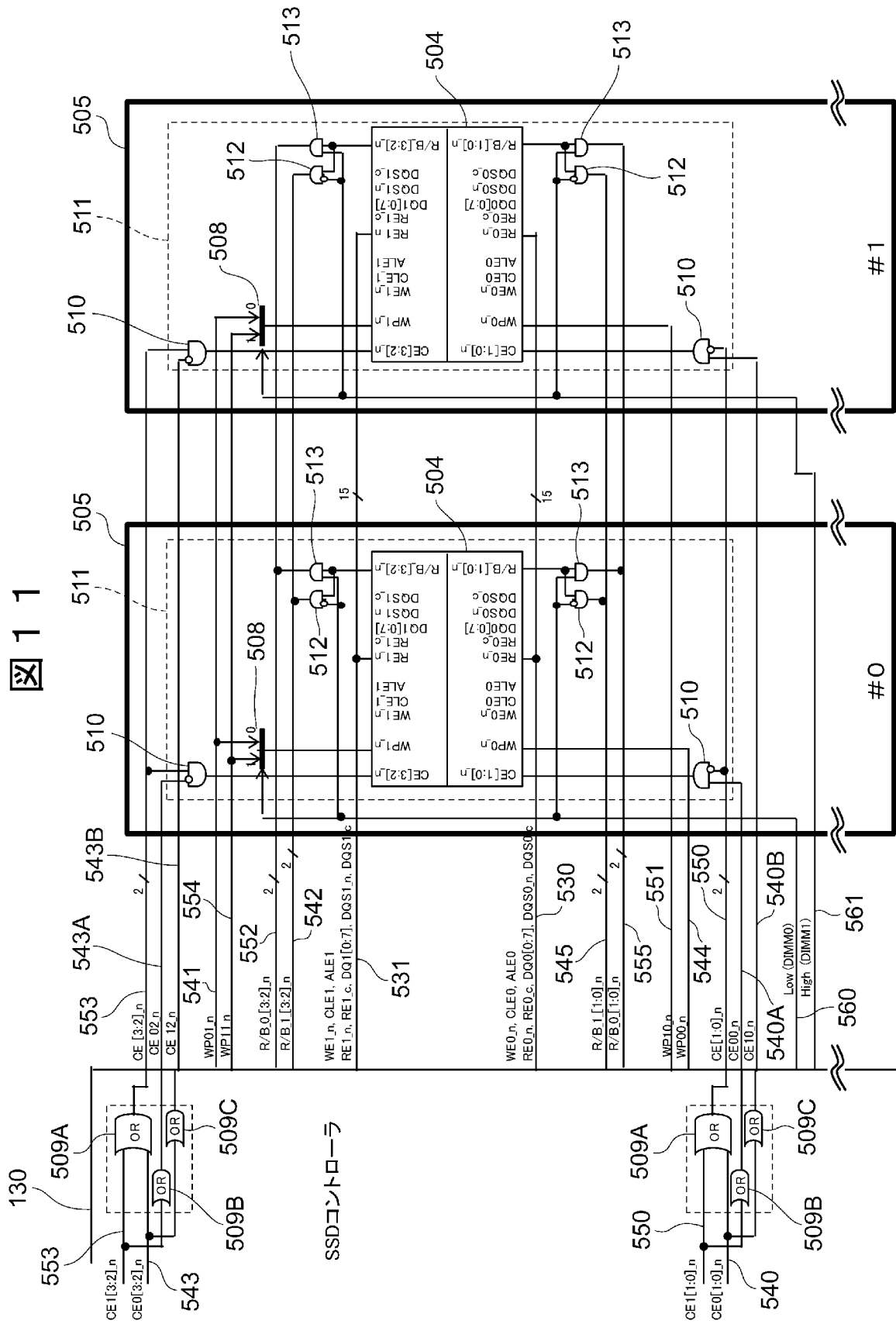
図 10



(C)

Input		Output			
NAND0 R/B_[1:0]_n	NAND1 R/B_[1:0]_n	Low	High	R/B_0_[1:0]_n	R/B_1_[1:0]_n
HH	HH	L	H	HH	HH
HL	HL	L	H	HL	HL
LH	LH	L	H	LH	LH
LL	LL	L	H	LL	LL
--	--	others		Don't care	

図11



[図12]

図 1 2

(A) 360

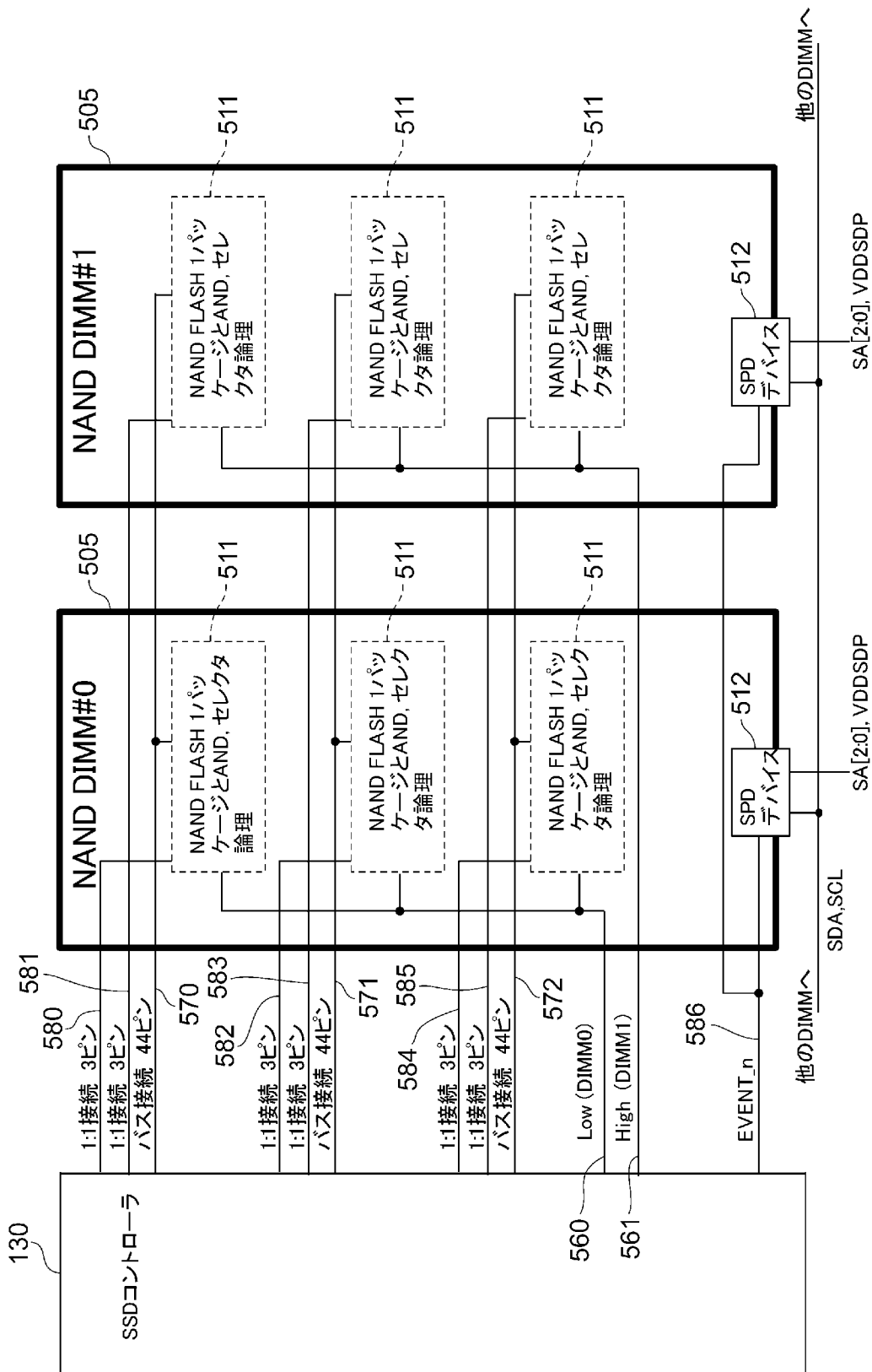
	NAND Flash DIMM NAND 1パッケージ	
	標準	実施例
1対1信号	10	4
バス信号	30	44

(B) 370

	DDR3 SDRAM DIMM	NAND Flash DIMM NAND 3パッケージ	
		標準	実施例
1対1信号	12	30	10
バス信号	132	90	132

[図13]

図 1 3





1 4

630

620

JEDEC standard		JEDEC standard		JEDEC standard		JEDEC standard	
Pin#	Front Side	Back Side	Pin#	Front Side	Back Side	Pin#	Front Side
61	AZ	181AI	61	DQSI1n	181DQS11c		
62	VDD	182VDD	62	VCC	182VCCQ		
63	CK1t	183CK0t	63	WP100n	183VCCQ		
64	CK1c	184CK0t	64	WP000n	184WP200c		
65	VDD	185CK0c	65	VCC	185VCCQ		
66	VDD	186VDD	66	VCC	186VCCQ		
67	VREFOA	187EVENTn	67	VREFOA	187EVENTn		
68	Par.n	188A0	68	CE12n	188CE13n		
69	VDD	189VDD	69	VCC	189VCCQ		
70	A10/AP	190BA1	70	WP101n	190R/B102n		
71	BA0	191VDD	71	WP111n	191VCCQ		
72	VDD	192RASn	72	VCC	192R/B103n		
73	WE.n	19350.n	73	R/B112n	193CE100n		
74	CASn	194VDD	74	R/B113n	194VCCQ		
75	VDD	195ODT0	75	VCC	195ODT0		
76	S1.n	196AI3	76	CE102n	196WE11n		
77	ODT1	197VDD	77	ODT1	197VCCQ		
78	VDD	198S3n	78	VCC	198CE200n		
79	52.n	199Vss	79	CE202n	199Vss		
80	Vss	200DQ38	80	Vss	200RE11n		
81	DQ32	201DQ37	81	CE11	201RE11c		
82	DQ33	202Vss	82	ALE1	202Vss		
83	Vss	203DQS13t	83	Vss	203DO20		
84	DQS4c	204DQS13c	84	DQS20c	204DQ201		
85	DQS4t	205Vss	85	DQS20c	205Vss		
86	Vss	206DQ38	86	Vss	206DQ202		
87	DQ34	207DQ39	87	DQ204	207DQ203		
88	DQ35	208Vss	88	DQ205	208Vss		
89	Vss	209DQ44	89	Vss	209DQ206		
90	DQ40	210DQ45	90	CE20n	210DQ207		
91	DQ41	211Vss	91	CE21n	211Vss		
92	Vss	212DQS14t	92	Vss	212R/B200n		
93	DQS3c	213DQS14c	93	RE20n	213R/B201n		
94	DQS3t	214Vss	94	RE20c	214Vss		
95	Vss	215DQ46	95	Vss	215R/B210n		
96	DQ42	216DQ47	96	WE20n	216R/B211n		
97	DQ43	217Vss	97	CE20	217Vss		
98	Vss	218DQ52	98	Vss	218ALE20		
99	DQ48	219DQ53	99	DQ210	219DQ211		
100	DQ49	220Vss	100	DQ212	220Vss		
101	Vss	221DQS15t	101	Vss	221DQ213		
102	DQS3c	222DQS15c	102	DQS21n	222DQ214		
103	DQS3t	223Vss	103	DQS21c	223Vss		
104	Vss	224DQ54	104	Vss	224DQ215		
105	DQ50	225DQ55	105	DQ217	225DQ216		
106	DQ51	226Vss	106	WP201n	226Vss		
107	Vss	227DQ60	107	Vss	227CE22n		
108	DQ56	228DQ61	108	WP211n	228CE23n		
109	DQ57	229Vss	109	R/B202n	229Vss		
110	Vss	230DQS16t	110	Vss	230R/B203n		
111	Vss	231DQS16c	111	RE21n	231R/B212n		
112	DQS2t	232Vss	112	DQS2t	232Vss		
113	Vss	233DQ62	113	Vss	233R/B213n		
114	DQ68	234DQ63	114	CE21	234WE21n		
115	DQ69	235Vss	115	Vss	235Vss		
116	Vss	236VDDSPD	116	Vss	236VDDSPD		
117	SA0	237SA1	117	SA0	237SA1		
118	SCL	238SDA	118	SCL	238SDA		
119	SA2	239Vss	119	SA2	239Vss		
120	VTT	240VTT	120	INC	240INC		

610

600

JEDEC standard		JEDEC standard		JEDEC standard		JEDEC standard	
Pin#	Front Side	Back Side	Pin#	Front Side	Back Side	Pin#	Front Side
1	VREFOQ	121Vss	1	VREFO0	121Vss	Back Side	
2	Vss	122DQ4	2	Vss	122DQ002		
3	DQ0	123DQ5	3	DQ000	123DQ003		
4	DQ1	124Vss	4	DQ001	124Vss		
5	Vss	125DQS9t	5	Vss	125DQ004		
6	DQ00e	126DQS9c	6	DQ000n	126DQ005		
7	DQS0t	127Vss	7	DQS00c	127Vss		
8	Vss	128DQ6	8	Vss	128DQ006		
9	DQ2	129DQ7	9	CE00n	129DQ007		
10	DQ3	130Vss	10	CE01n	130Vss		
11	Vss	131DQ12	11	Vss	131WE00n		
12	DQ8	132DQ13	12	R/B010n	132CLE00		
13	DQ9	133Vss	13	R/B011n	133Vss		
14	Vss	134DQS10t	14	Vss	134R/B000n		
15	DQS1e	135DQS10c	15	RE00n	135R/B001n		
16	DQS1t	136Vss	16	RE00c	136Vss		
17	Vss	137DQ14	17	Vss	137ALE00		
18	DQ10	138DQ15	18	DQ010	138DQ012		
19	DQ11	139Vss	19	DQ011	139Vss		
20	Vss	140DQ20	20	Vss	140DQ013		
21	DQ16	141DQ21	21	DQ014	141DQ016		
22	DQ17	142Vss	22	DQ015	142Vss		
23	Vss	143DQS11t	23	Vss	143DQS01n		
24	DQS2c	144DQS11c	24	DQ017	144DQS01c		
25	DQS2t	145Vss	25	WP001n	145Vss		
26	Vss	146DQ22	26	Vss	146CE02n		
27	DQ18	147DQ23	27	R/B002n	147CE03n		
28	DQ19	148Vss	28	R/B003n	148Vss		
29	Vss	149DQ28	29	Vss	149WP011n		
30	DQ24	150DQ29	30	CLE01	150WE01n		
31	DQ25	151Vss	31	ALE01	151Vss		
32	Vss	152DQS12t	32	Vss	152R/B012n		
33	DQS3c	153DQS12c	33	RE01n	153R/B013n		
34	DQS3t	154Vss	34	RE01c	154Vss		
35	Vss	155DQ30	35	Vss	155DQ100		
36	DQ26	156DQ31	36	DQ102	156DQ101		
37	DQ27	157Vss	37	DQ103	157Vss		
38	Vss	158CB4	38	Vss	158DQ104		
39	CB0	159CB5	39	DQ106	159DQ105		
40	CB1	160Vss	40	DQ107	160Vss		
41	Vss	161DQS17t	41	Vss	161DQS10n		
42	DQS8c	162DQS17c	42	RE10n	162DQS10c		
43	DQS8t	163Vss	43	RE10c	163Vss		
44	Vss	164CB6	44	Vss	164CE10n		
45	CB2	165CB7	45	R/B100n	165CE11n		
46	CB3	166Vss	46	R/B101n	166Vss		
47	Vss	167NCTEST	47	Vss	167NCTEST		
48	VTT	168RESETn	48	INC	168R/B110n		
49	VTT	169CKE1n	49	INC	169CE000n		
50	CKE0	170VDD	50	CE002n	170VCCQ		
51	VDD	171A15	51	VCC	171R/B111n		
52	BA2	172A14	52	WE10n	172CE11n		
53	Err_Out.n	173VDD	53	Err_Out.n	173VCCQ		
54	VDD	174A12/BC.n	54	VCC	174ALE10		
55	A11	175A9	55	DQ110	175DQ112		
56	A7	176VDD	56	DQ111	176VCCQ		
57	VDD	177A8	57	VCC	177DQ113		
58	A5	178A6	58	DQ115	178DQ114		
59	A4	179VDD	59	DQ116	179VCCQ		
60	VDD	180A3	60	VCC	180DQ117		

[図15]

図 15

380A オフセット	380B 内容	380C ビット	380D データ	380E 内容
0x00			-	-
0x01			-	-
0x02			-	-
...		
0x30	ソケット数	0-7	1	CPU or SSD Controllerとなるソケットの数を格納する。
...		
0x50	CPU1 Info Block length	0-7	7	-
0x51	DC-DC Enable	0	0: Disable 1: Enable	電圧切替DC-DC(1)108へのEN信号を切り替える。
		1	0: Disable 1: Enable	電圧切替DC-DC(2)110へのEN信号を切り替える。
		2	0: Disable 1: Enable	電圧切替DC-DC(2)112へのEN信号を切り替える。
		3	0: Disable 1: Enable	電圧切替DC-DC(2)114へのEN信号を切り替える。
		4	0: Disable 1: Enable	電圧切替DC-DC(3)109へのEN信号を切り替える。
		5	0: Disable 1: Enable	電圧切替DC-DC(3)111へのEN信号を切り替える。
		6	0: Disable 1: Enable	電圧切替DC-DC(3)113へのEN信号を切り替える。
		7	-	Reserved
0x52	DC-DC Select	0	0: CPU 1: SSD Controller	電圧切替DC-DC(1)108へのSEL信号を切り替える。
		1	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)110へのSEL信号を切り替える。
		2	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)112へのSEL信号を切り替える。
		3	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)114へのSEL信号を切り替える。
		4	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)109へのSEL信号を切り替える。
		5	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)111へのSEL信号を切り替える。
		6	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)113へのSEL信号を切り替える。
		7	-	Reserved
0x53	Reserved		-	-
...		
0xFF	Reserved		-	-

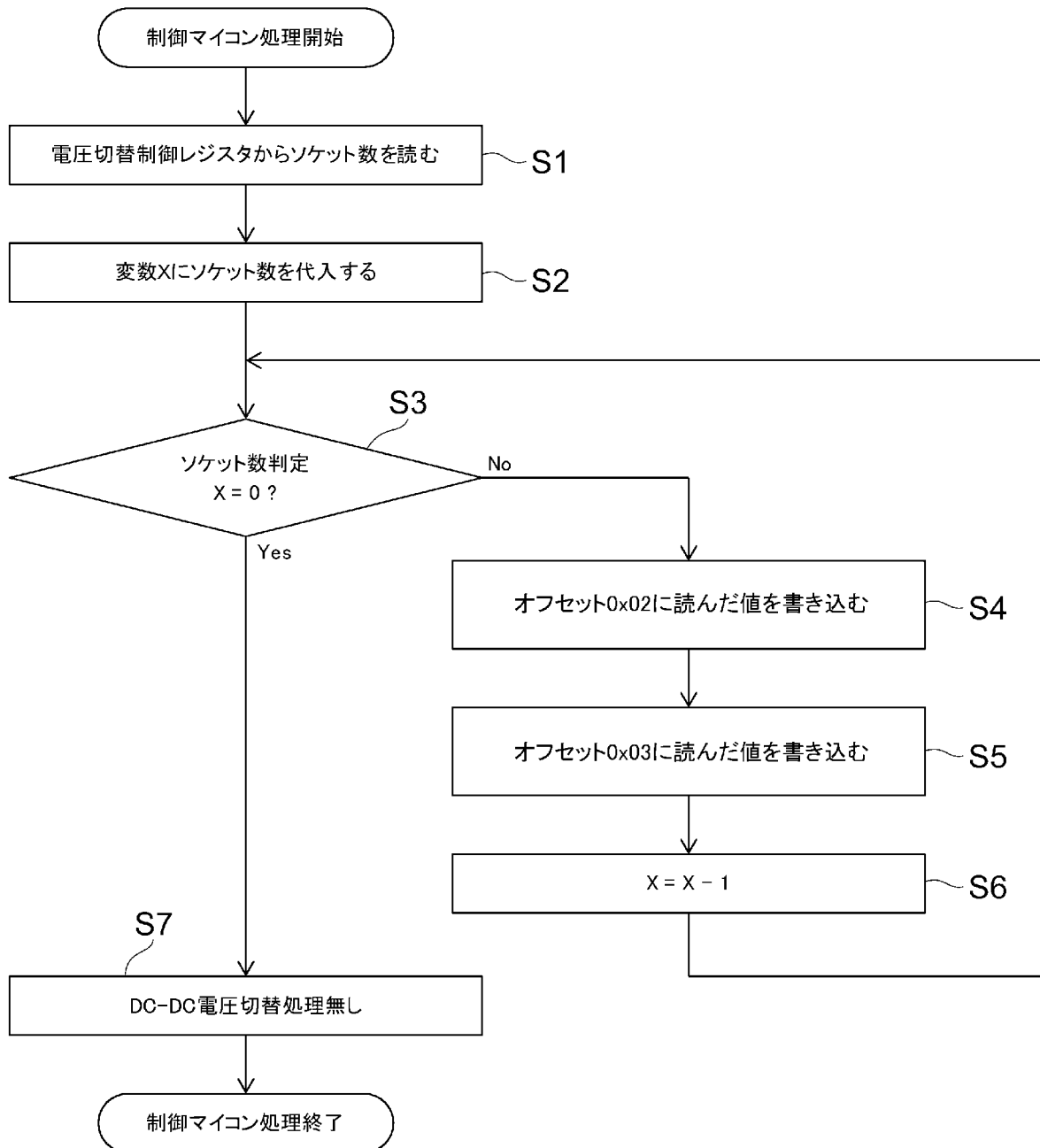
[図16]

図 16

オフセット	ビット	データ	内容
0x00	0-7		
0x01	0-7		
0x02	0	0: Disable 1: Enable	電圧切替DC-DC(1)108へのEN信号を切り替える。
	1	0: Disable 1: Enable	電圧切替DC-DC(2)110へのEN信号を切り替える。
	2	0: Disable 1: Enable	電圧切替DC-DC(2)112へのEN信号を切り替える。
	3	0: Disable 1: Enable	電圧切替DC-DC(2)114へのEN信号を切り替える。
	4	0: Disable 1: Enable	電圧切替DC-DC(3)109へのEN信号を切り替える。
	5	0: Disable 1: Enable	電圧切替DC-DC(3)111へのEN信号を切り替える。
	6	0: Disable 1: Enable	電圧切替DC-DC(3)113へのEN信号を切り替える。
	7	-	Reserved
0x03	0	0: CPU 1: SSD Controller	電圧切替DC-DC(1)108へのSEL信号を切り替える。
	1	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)110へのSEL信号を切り替える。
	2	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)112へのSEL信号を切り替える。
	3	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(2)114へのSEL信号を切り替える。
	4	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)109へのSEL信号を切り替える。
	5	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)111へのSEL信号を切り替える。
	6	0: SDRAM DIMM 1: NAND Flash DIMM	電圧切替DC-DC(3)113へのSEL信号を切り替える。
	7	-	Reserved

[図17]

図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/064332

A. CLASSIFICATION OF SUBJECT MATTER
G06F12/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 G06F12/00-G06F12/06, G06F13/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-293096 A (Shinko Electric Industries Co., Ltd.), 04 December 2008 (04.12.2008), paragraphs [0025], [0028] to [0032]; table 1; fig. 1 (Family: none)	1-15
Y	JP 2012-503835 A (NetApp, Inc.), 09 February 2012 (09.02.2012), paragraph [0042] & US 2010/0083247 A1 & WO 2010/036819 A2 & CA 2738733 A1	1-15
Y	JP 2008-46989 A (Fujitsu Ltd.), 28 February 2008 (28.02.2008), paragraphs [0024], [0028], [0048], [0049] & US 2008/0046631 A1	4, 9, 14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 August, 2014 (04.08.14)	Date of mailing of the international search report 26 August, 2014 (26.08.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/064332

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-20393 A (Holtek Semiconductor Inc.), 21 January 2000 (21.01.2000), paragraph [0006]; fig. 6 (Family: none)	4, 9, 14
Y	JP 2004-310700 A (ATI Technologies, Inc.), 04 November 2004 (04.11.2004), paragraphs [0015] to [0019]; fig. 5 (Family: none)	4, 5, 9, 10, 14, 15
Y	JP 2011-48550 A (NEC Corp.), 10 March 2011 (10.03.2011), paragraph [0017]; fig. 1 & US 2011/0055452 A1	11-15

Claims 1-5 recite: "a memory module, comprising: one or more module sockets for receiving either a flash memory module wherein a plurality of flash memory units which are first storage devices are disposed or an SDRAM module wherein a plurality of SDRAM units which are second storage devices are mounted are disposed; a controller socket for receiving either a first or second controller which connects to the module socket via a memory bus, said first controller controlling input and output of data with respect to the flash memory units, and said second controller controlling input and output of data which respect to the SDRAM units; a power supply unit which supplies power either to the flash memory units on the flash memory module or to the SDRAM units on the SDRAM module via the module socket, and which supplies power either to the first controller or to the second controller via the controller socket; and a storage unit which stores classification information which identifies the type of module received by the module socket and of the controller which is received by the controller socket; wherein the power supply assesses the classification information which is stored in the storage unit, selects two or more different output voltages from a plurality of different output voltages according to the result of the assessment, applies each of the selected output voltages respectively to the flash memory units on the flash memory module or the SDRAM units on the SDRAM module, and to the first controller or the second controller". No recitation whatsoever is present in the description with regard to the memory module having the abovementioned characteristics, however, thus signifying that support pursuant to Article 6 of the PCT is lacking. Accordingly, the search was carried out in the scope supported and disclosed in the description, that is, carried out with respect to a system, and not a memory module, having the abovementioned characteristics in Claims 1-5.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F12/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F12/00-G06F12/06, G06F13/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-293096 A (新光電気工業株式会社) 2008. 12. 04, 段落【0025】 , 【0028】 - 【0032】 , 表 1, 図 1 (ファミリーなし)	1-15
Y	JP 2012-503835 A (ネットアップ, インコーポレイテッド) 2012. 02. 09, 段落【0042】 & US 2010/0083247 A1 & WO 2010/036819 A2 & CA 2738733 A1	1-15
Y	JP 2008-46989 A (富士通株式会社) 2008. 02. 28, 段落【0024】 , 【0028】 , 【0048】 , 【0049】 & US 2008/0046631 A1	4, 9, 14

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04. 08. 2014

国際調査報告の発送日

26. 08. 2014

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 稔

5U

5089

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-20393 A (盛群半導體股▲分▼有限公司) 2000. 01. 21, 段落【0006】, 図6 (ファミリーなし)	4, 9, 14
Y	JP 2004-310700 A (エイティアイ テクノロジーズ インコーポレ イテッド) 2004. 11. 04, 段落【0015】 - 【0019】, 図5 (ファミリーなし)	4, 5, 9, 10, 14, 15
Y	JP 2011-48550 A (日本電気株式会社) 2011. 03. 10, 段落【0017】, 図1 & US 2011/0055452 A1	11-15

請求項 1-5 には、「第 1 の記憶デバイスである複数のフラッシュメモリが配置されたフラッシュメモリ用モジュール又は第 2 の記憶デバイスである複数の SDRAM が配置された SDRAM 用モジュールを搭載する 1 以上のモジュールソケットと、前記モジュールソケットとメモリバスを介して接続され、前記フラッシュメモリに対するデータの入出力を制御する第 1 のコントローラ又は前記 SDRAM に対するデータの入出力を制御する第 2 のコントローラを搭載するコントローラ用ソケットと、前記モジュールソケットを介して前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記 SDRAM 用モジュール上の SDRAM に電力を供給すると共に、前記コントローラ用ソケットを介して前記第 1 のコントローラ又は前記第 2 のコントローラに電力を供給する電源部と、前記モジュールソケットに搭載されるモジュールと前記コントローラ用ソケットに搭載されるコントローラの種別をそれぞれ特定する種別情報を記憶する記憶部と、を有し、前記電源部は、前記記憶部に記憶された前記種別情報を判別し、複数の異なる出力電圧の中から前記判別結果に従って 2 以上の異なる出力電圧を選択し、前記選択した各出力電圧をそれぞれ前記フラッシュメモリ用モジュール上のフラッシュメモリ又は前記 SDRAM 用モジュール上の SDRAM に印加すると共に、前記第 1 のコントローラ又は前記第 2 のコントローラに印加することを特徴とするメモリモジュール」なる記載がある。しかしながら、明細書には、メモリモジュールが上記特徴を有する点について何ら記載がないことから、PCT 第 6 条の意味での裏付けを欠いている。

よって、調査は、明細書に裏付けられ、開示されている範囲、すなわち、請求項 1-5 における上記特徴をメモリモジュールではなくシステムが有するものとして行った。