

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4704260号
(P4704260)

(45) 発行日 平成23年6月15日(2011.6.15)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int. Cl.		F I			
H03K	7/08	(2006.01)	H03K	7/08	B
H03K	4/02	(2006.01)	H03K	4/02	A

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2006-86372 (P2006-86372)	(73) 特許権者	308014341
(22) 出願日	平成18年3月27日 (2006.3.27)		富士通セミコンダクター株式会社
(65) 公開番号	特開2007-266763 (P2007-266763A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成19年10月11日 (2007.10.11)		23
審査請求日	平成20年12月10日 (2008.12.10)	(74) 代理人	100072718
			弁理士 古谷 史旺
		(74) 代理人	100116001
			弁理士 森 俊秀
		(72) 発明者	松井 聡
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 PWM出力回路

(57) 【特許請求の範囲】

【請求項1】

基準クロックをカウントするカウンタと、
 周期を示す設定値を記憶する周期記憶部と、
 前記カウンタの出力値と前記周期記憶部に記憶された周期を示す設定値とを比較する周期検出部と、

パルス幅を示す設定値を記憶するパルス幅記憶部と、
 前記カウンタの出力値と前記パルス幅記憶部に記憶されたパルス幅を示す設定値とを比較するパルス幅検出部と、

複数の電圧を生成する電圧生成部と、

前記電圧生成部が生成する複数の電圧から1つの電圧を選択して出力するセレクタと、
 前記パルス幅に付加する第1の追加パルスの第1の電圧を記憶する追加パルス記憶部と

、
 前記周期検出部が出力する周期検出信号と、前記パルス幅検出部が出力するパルス幅検出信号と、前記追加パルス記憶部が出力する前記第1の電圧とから前記セレクタが出力する電圧と期間とを制御する電圧制御部とを有し、

前記電圧制御部は、前記パルス幅の後ろに前記第1の追加パルスを付加するよう前記セレクタを制御することを特徴とするPWM出力回路。

【請求項2】

請求項1に記載のPWM出力回路において、

10

20

前記カウンタの出力値と第 1 の追加パルスの幅を検出する追加パルス検出部を設け、
前記電圧制御部は、前記周期検出部が出力する周期検出信号と、前記パルス幅検出部が出力するパルス幅検出信号と、前記追加パルス検出部が出力する追加パルス検出信号と、前記追加パルス記憶部が出力する前記第 1 の電圧を示す設定値とから前記セレクタが出力する電圧と期間とを制御することを特徴とする P W M 出力回路。

【請求項 3】

請求項 1 に記載の P W M 出力回路において、
前記電圧生成部を抵抗分圧回路によって構成したことを特徴とする P W M 出力回路。

【請求項 4】

請求項 1 に記載の P W M 出力回路において、
前記カウンタをアップカウンタで構成したことを特徴とする P W M 出力回路。

10

【請求項 5】

請求項 1 に記載の P W M 出力回路において、
前記カウンタをダウンカウンタで構成したことを特徴とする P W M 出力回路。

【請求項 6】

請求項 1 に記載の P W M 出力回路において、
前記追加パルス記憶部は、第 1 の追加パルスの第 1 の電圧と、第 2 の追加パルスの第 2 の電圧とを設定し、
前記電圧制御部は、前記パルス幅の後ろに前記第 1 の追加パルスと前記第 2 の追加パルスを連続して付加するよう前記セレクタを制御することを特徴とする P W M 出力回路。

20

【請求項 7】

請求項 1 に記載の P W M 出力回路において、
前記電圧制御部は、前記パルス幅の前に前記第 1 の追加パルスを付加するよう前記セレクタを制御することを特徴とする P W M 出力回路。

【請求項 8】

請求項 1 に記載の P W M 出力回路において、
前記電圧制御部は、前記パルス幅の前後に前記第 1 の追加パルスを付加するよう前記セレクタを制御することを特徴とする P W M 出力回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、レートマルチ方式の P W M 出力回路に関する。

【背景技術】

【0002】

従来、モータの速度制御や照明機器の調光などを行うために、パルス信号のデューティ比を可変して負荷に与えるエネルギーを制御する P W M 出力回路が使われている。このような P W M 出力回路は、ハイレベル期間を長くすると、モータや照明機器に与えるエネルギーが大きくなって、モータの回転速度は速くなり、照明は明るくなる。逆に、ハイレベル期間を短くすると、モータや照明機器に与えるエネルギーが小さくなって、モータの回転速度は遅くなり、照明は暗くなる。(例えば、特許文献 1 参照)

40

また、ハイレベル期間の可変は、通常、基準クロックをカウントするカウント数を変えることで制御するので、ハイレベル期間の可変幅は基準クロックの 1 クロック分毎にしか変えられない。例えば、P W M 出力回路の 1 周期を生成する基準クロック数を 1 0 0 0 0 クロックとした場合、ハイレベル期間を 1 クロック分だけ追加すると、1 / 1 0 0 0 0 の割合でハイレベル期間を増加することができるが、1 / 1 0 0 0 0 以下の精度でハイレベル期間の長くすることはできない。基準クロックを高くすれば、1 クロック分の幅が小さくなるので、精度の高い可変が可能になるが、高速動作をするカウンタなどが必要となり、動作に限界があるだけでなく、コストが高くなってしまふ。そこで、基準クロックの 1 クロック分以下の制御を可能にする方法として、レートマルチ方式による P W M 出力回路が使われている。

50

【0003】

従来のレートマルチ方式によるPWM出力回路は、例えば、PWM出力のパルス信号の周期を保ったままで、パルス信号の何周期かに1回の割合でハイレベル期間を1クロック分だけ追加することで、モータなどに与えるエネルギーを基準クロックの1クロック分以下の精度で制御する。例えば、PWM出力回路の1周期を生成する基準クロック数を10000クロックとした場合、2周期に1回の割合でハイレベル期間を1クロック分だけ追加すると、1/20000の割合でハイレベル期間を増加したことになる。同様に、4周期に1回の割合でハイレベル期間を1クロック分だけ追加すると、1/40000の割合でハイレベル期間を増加することができ、基準クロックの周波数に依らず、精度の高い制御が可能になる。

10

【特許文献1】特開平07-183779号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところが、従来のレートマルチ方式によるPWM出力回路は、PWM出力の数周期に1回の割合でハイレベル期間を増加することによって、1クロック分以下の精度の高い制御が可能となるが、ハイレベル期間を増加しない周期と、ハイレベル期間を増加する周期とが混在し、PWM出力の信号波形にジッタが発生する。PWM出力の信号波形にジッタが生じると、モータや照明機器などの負荷に与える信号に歪み成分が含まれることになり、機器の動作に影響を与えるという課題がある。

20

【0005】

このような歪みを除去するために、フィルタなどを使用することも考えられるが、回路規模が大きくなり、コストが高くなってしまいう課題もある。

上記課題に鑑み、本発明の目的は、PWM出力回路において、PWM出力の信号波形にジッタを生じることなく、精度の高い制御を可能にし、且つ、小さな回路規模で低コストのPWM出力回路を提供することである。

【課題を解決するための手段】

【0006】

本発明の一形態では、PWM出力回路は、カウンタと、周期記憶部と、周期検出部と、パルス幅記憶部と、パルス幅検出部と、追加パルス記憶部と、電圧生成部と、セレクタと、電圧制御部とで構成される。

30

カウンタは、基準クロックをカウントする。周期検出部は、カウンタの出力値が周期記憶部に記憶された周期を示す設定値になったか否かを検出する。パルス幅検出部は、カウンタの出力値がパルス幅記憶部に記憶されたパルス幅を示す設定値になったか否かを検出する。セレクタは、複数の電圧を生成する電圧生成部と、この電圧生成部が生成する複数の電圧から1つの電圧を選択する。追加パルス記憶部は、パルス幅に付加する第1の追加パルスの出力電圧(第1の電圧)を設定する。

【0007】

電圧制御部は、セレクタを制御して、PWM出力回路から出力する電圧と期間を決める。つまり、周期検出部が出力する周期検出信号と、パルス幅検出部が出力するパルス幅検出信号と、追加パルス記憶部が出力する第1の追加パルスの第1の電圧を示す設定値とから、パルス幅の後ろに第1の追加パルスの追加パルスを第1の電圧で付加するようセレクタを制御する。

40

【0008】

このように、本発明に係るPWM出力回路は、複数の電圧を選択して出力することができる。この結果、例えば、追加パルスの期間に出力する電圧を、パルス幅の期間に出力する電圧の半分の電圧にすることにより、PWM出力波形にジッタを生じることなく、精度の高い負荷制御を実現できる。

上述した形態における好ましい例では、カウンタの出力値と予め設定された第1の追加パルスの期間を検出する追加パルス検出部を設けることによって、追加パルスの可変が可

50

能になる。例えば、基準クロックの1クロック分の追加パルスだけでなく、2クロック分など複数クロック分の追加パルスを設定することができる。この結果、PWM出力回路の出力電圧を時間を掛けながら滑らかに変化させることができ、負荷への影響を少なくすることができる。或いは、追加パルス記憶部に、第1の追加パルスの第1の電圧を示す設定値と、第2の追加パルスの第2の電圧を示す設定値とを設定できるようにし、電圧制御部が、パルス幅に第1の追加パルスと第2の追加パルスを連続して付加するようセレクタを制御する。例えば、パルス幅の出力電圧の2/3の電圧を第1の電圧、1/3の電圧を第2の電圧とした場合、PWM出力回路の出力電圧は、パルス幅の出力電圧から徐々に2段階の電圧で下げることができ、より滑らかな電圧変化を実現することができる。また、カウンタは、アップカウンタやダウンカウンタなどで構成でき、電圧生成部は、簡易な抵抗分圧回路によって構成することができる。さらに、第1の追加パルスあるいは第2の追加パルスの期間を、パルス幅の前や後あるいは前後に付加することで、より滑らかな制御が可能となる。

10

【0009】

例えば、追加パルスの期間に出力する電圧を、パルス幅の期間に出力する電圧の半分の電圧にすることにより、PWM出力波形にジッタを生じることなく、精度の高い負荷制御を行うことができる。

【発明の効果】**【0010】**

本発明に係るPWM出力回路は、複数の電圧を選択して制御することにより、PWM出力波形にジッタを生じることなく、精度の高い負荷制御を行うことができる。

20

【発明を実施するための最良の形態】**【0011】**

本発明の実施形態について図面を用いて説明する。

(第1の実施形態)

図1は本発明の第1の実施形態に係るレートマルチ方式のPWM出力回路のブロック図である。レートマルチPWM出力回路101は、アップカウンタ102と、周期レジスタ103と、H幅レジスタ104と、比較器105および106と、論理回路107と、電圧制御回路108と、追加パルスレジスタ109と、セレクタ110と、抵抗分圧回路を構成する抵抗R1、R2、R3、R4とで構成される。尚、基準クロックCLK、開始信号START、および各設定値は、発振器やCPUなど外部から与えられるものとする。

30

【0012】

アップカウンタ102は、開始信号STARTが入力されると、基準クロックCLKの1クロック毎にカウンタをインクリメントして、16ビットのカウント値を出力する。尚、アップカウンタ102の初期状態のカウント値は0とし、比較器105からクリアCLR信号が入った場合もカウント値は0にリセットされる。

周期レジスタ103は、例えば、設定値として10000を予め記憶しておき、16ビットの設定値(10000)を比較器105に常に出力している。

【0013】

比較器105は、アップカウンタ102が出力する16ビットのカウント値が、周期レジスタ103の設定値(10000)になったか否かを比較し、カウント値が10000になった時、基準クロックの1クロック分を信号C1として論理回路107に出力する。尚、周期レジスタ103は周期記憶部を、比較器105は周期検出部をそれぞれ構成する。

40

【0014】

H幅レジスタ104は、例えば、設定値として5000を予め記憶しておき、16ビットの設定値(5000)を比較器106に常に出力している。

比較器106は、アップカウンタ102が出力する16ビットのカウント値が、H幅レジスタ104の設定値(5000)になったか否かを比較し、カウント値が5000になった時、基準クロックの1クロック分を信号C2として論理回路107に出力する。尚、

50

H幅レジスタ104はパルス幅記憶部を、比較器106はパルス幅検出部をそれぞれ構成する。

【0015】

論理回路107は、比較器105の出力および比較器106の出力からレートマルチPWM出力回路101が出力するハイレベル期間の幅と、ローレベル期間の幅と、ハイレベル期間からロー期間に変化する際の追加パルスの期間の3つの期間のタイミングを信号LG1、LG2、LG3として電圧制御回路108に出力する。尚、論理回路107については、後で詳しく説明する。

【0016】

追加パルスレジスタ109は、追加パルスの期間の出力電圧(V2)を設定するレジスタで、設定値は信号VSELとして電圧制御回路108に出力される。尚、追加パルスレジスタ109は、追加パルス記憶部に相当する。

ここで、抵抗R1からR4で電圧生成部を構成する抵抗分圧回路と、セクタ110およびレートマルチPWM出力回路101の出力信号111について説明する。抵抗R1からR4は、電源(Vcc)と接地(GND)との間に直列に接続され、GNDの電圧をV0、抵抗R1とR2との間の電圧をV1、抵抗R2とR3との間の電圧をV2、抵抗R3とR4との間の電圧をV3、Vccの電圧をV4として、セクタ110に入力される。セクタ110は電圧制御回路108からの選択信号S1、S2、S3によって、入力電圧V0からV4のいずれか1つの電圧を選択して、出力信号111として出力する。この時のセクタ110の論理を図2(a)に示す。図2(a)において、電圧制御回路108からの選択信号S1、S2、S3の論理が全て"0"の時は、出力電圧V0が選択される。選択信号S1、S2、S3の論理が、順に"1"、"0"、"0"の時は、出力電圧V1が選択され、同様に、選択信号S1、S2、S3の論理が、順に"0"、"1"、"0"の時は出力電圧V2が選択され、"1"、"1"、"0"の時は出力電圧V3が、"0"、"0"、"1"の時は出力電圧V4がそれぞれ選択される。

【0017】

次に、図1の電圧制御回路108の論理を図2(b)に示す。論理回路107から出力される信号LG1からLG3の状態に基づいて、セクタ110に出力する選択信号S1からS3の状態を決める。つまり、信号LG1、LG2、LG3の論理が、順に"1"、"0"、"0"の時は、出力電圧V4を選択すべく、選択信号S1、S2、S3の論理として"0"、"0"、"1"をセクタ110に出力する。同様に、信号LG1、LG2、LG3の論理が、順に"0"、"1"、"0"の時は、出力電圧V0を選択すべく、選択信号S1、S2、S3の論理として"0"、"0"、"0"をセクタ110に出力する。特に、信号LG1、LG2、LG3の論理が、順に"0"、"0"、"1"の時は、追加パルスレジスタ109が出力する信号VSELによって指定される電圧V2を選択すべく、選択信号S1、S2、S3の論理として"0"、"1"、"0"をセクタ110に出力する。尚、論理回路107を電圧制御回路108に含めて構成しても構わない。

【0018】

次に、図1のレートマルチPWM出力回路101の動作について、図3を用いて説明する。アップカウンタ102に入力される基準クロックCLKのカウント数が周期レジスタ103の設定値になった時、比較器105から基準クロックの1クロック分の幅t1の信号C1が論理回路107に出力される。同様に、基準クロックCLKのカウント数がH幅レジスタ104の設定値になった時、比較器106から基準クロックの1クロック分の幅t2の信号C2が論理回路107に出力される。

【0019】

ここで、論理回路107の回路例を図4に示す。論理回路107はセットリセットフリップフロップ(SRFF)151と152およびインバータ153で構成される。SRFF151および152は、入力Sに信号が入ると、その信号の立ち上がりでセットされ、出力Qには論理"1"(ハイレベル)が出力される。逆に、入力Rに信号が入ると、その信号の立ち上がりでリセットされ、出力Qには論理"0"(ローレベル)が出力される。

【 0 0 2 0 】

S R F F 1 5 1の入力Sには信号C 1が入力され、入力Rには信号C 2が入力されている。また、S R F F 1 5 2の入力Sには信号C 2がインバータ1 5 3を介して入力され、入力Rには信号C 1が入力されている。

今、初期状態において、S R F F 1 5 1の出力Qは" 0 "で、S R F F 1 5 2の出力Qは" 1 "になっているとする。信号C 1が入ると、S R F F 1 5 1はセットされて信号L G 1は" 1 "になる。一方、S R F F 1 5 2はリセットされて信号L G 2は" 0 "になる。次に、信号C 2が入ると、S R F F 1 5 1はリセットされて信号L G 1は" 0 "になる。一方、S R F F 1 5 2はインバータ1 5 3を介しているため信号C 2が反転され、信号C 2の立ち上がりエッジでセットされて信号L G 2は" 1 "になる。つまり、図3の信号C 2の幅 t_2 だけ遅れてセットされる。また、信号L G 3は信号C 2がそのまま出力される。尚、論理回路1 0 7は図4に示すような非同期で動作する回路ではなく、基準クロックC L Kに同期して動作するフリップフロップ回路などを用いて構成し、信号L G 1からL G 3を基準クロックC L Kに同期して出力するようにしても構わない。このようにして、図3に示す基準クロックC L K、比較器1 0 5の出力信号C 1および比較器1 0 6の出力信号C 2から、信号L G 1からL G 3を生成することができる。

10

【 0 0 2 1 】

図1の電圧制御回路1 0 8は、論理回路1 0 7が生成した信号L G 1からL G 3によって、図2 (b) に示した論理に従って、セクタ1 1 0の選択信号S 1からS 3を生成し、出力電圧を選択する。この結果、図3に示すような出力信号1 1 1が得られる。

20

この時、P W Mの出力信号1 1 1の周期は信号C 1の間隔となり、1 0 0 0 0個の基準クロックC L Kに相当する。また、負荷を動作させるハイレベル期間のパルス幅は、幅 t_3 の部分で、その時の出力信号1 1 1の電圧は V_4 である。さらに、パルス幅の後ろに付加される追加パルスは、幅 t_4 の部分で、その時の出力信号1 1 1の電圧は V_2 である。同様に、追加パルスと次のパルス幅との間のローレベル期間は、幅 t_4 の部分で、その時の出力信号1 1 1の電圧は V_0 となる。以下、ハイレベル期間と追加パルスとローレベル期間とが、同様に、繰り返される。

【 0 0 2 2 】

次に、図5を用いて、第1の実施形態のように追加パルスの電圧を変える場合と、追加パルスの電圧を変えずに同様の制御を行う場合の違いについて説明する。図5は、上から順に、追加パルスがない時のP W M出力波形と、追加パルスの電圧を変えない場合のP W M出力波形と、本実施形態の場合のP W M出力波形を示している。

30

基本波形は、ハイレベル期間とローレベル期間が同じ周期 T_s の基本波形で、ハイレベル期間の電圧は V_4 、ローレベル期間の電圧は V_0 になっている。今、基本波形の周期が、1 0 0 0 0個の基準クロックの長さになっていたとすると、ハイレベル期間は5 0 0 0個の基準クロックの長さになっている。ここで、1周期の $1/20000$ の幅だけハイレベル期間を増加させたい場合、もし、基本波形の全てのハイレベル期間に1クロック分の期間を追加すると、 $1/10000$ の幅だけ増加してしまうので、2周期に1回だけハイレベル期間を1クロック分の期間を追加する。これが、図5の中央の波形で、1周期目のハイレベル期間は T_{Hs1} で、2周期目のハイレベル期間は T_{Hs2} となり、ハイレベル期間が幅 T_B だけ異なる。同様に、1周期目のローレベル期間は T_{Ls1} で、2周期目のローレベル期間は T_{Ls2} となり、ローレベル期間が幅 T_B だけ異なる。尚、基本波形と同様に、ハイレベル期間の電圧は V_4 、ローレベル期間の電圧は V_0 である。

40

【 0 0 2 3 】

これに対して、本実施形態のP W M出力波形は、毎周期毎に電圧 V_2 の追加パルスをハイレベル期間の後ろに付加しているため、ハイレベル期間は必ず T_{Hs} となり、ローレベル期間は必ず T_{Ls} となる。しかも、 V_2 の電圧を V_4 の電圧の $1/2$ とすれば、ハイレベル期間に負荷に与えるエネルギーは、基本波形に $1/20000$ の幅だけ、ハイレベル期間を増加させたのと同じである。

【 0 0 2 4 】

50

このように、レートマルチPWM出力回路101の出力信号111は、ハイレベル期間とローレベル期間の幅が変わらないので、出力信号111の波形にジッタが発生しない。この結果、ジッタによる変動の影響を少なくすることができる。

(第2の実施形態)

次に、本発明の第2の実施形態にかかるレートマルチ方式のPWM出力回路を図6に示す。尚、第1の実施形態の図1と同符号のものは同じものを示す。レートマルチPWM出力回路201において、第1の実施形態と異なるのは、追加幅レジスタ202と、比較器203とが追加されたことと、論理回路107の代わりに論理回路204を設けたことである。

【0025】

追加幅レジスタ202は、例えば、設定値として5002を予め記憶しておき、16ビットの設定値(5002)を比較器203に常に出力している。

比較器203は、アップカウンタ102が出力する16ビットのカウント値が、追加幅レジスタ202の設定値(5002)になったか否かを比較し、カウント値が5002になった時、基準クロックの1クロック分を信号C3として論理回路204に出力する。尚、追加幅レジスタ202と比較器203とは、追加パルス検出部に相当する。

【0026】

論理回路204は、第1の実施形態の論理回路107と同様に、信号LG1、LG2、LG3を生成して、電圧制御回路108に出力するが、信号LG1、LG2、LG3を生成する際に、信号C1、C2だけではなく、比較器203が出力する信号C3も参照する。

次に、図6のレートマルチPWM出力回路201の動作について、図7を用いて説明する。図7において、幅t1、t2、t3は図3と同様に出力される。アップカウンタ102に入力される基準クロックCLKのカウント数が追加幅レジスタ202の設定値になった時、比較器203から基準クロックの1クロック分の幅t21の信号C3が論理回路204に出力される。

【0027】

論理回路204は、幅t2の信号C2の立ち上がりエッジと、幅t21の信号C3の立ち上がりエッジとで、幅t23の信号LG3を生成する。また、幅t21の信号C3の立ち上がりエッジと、幅t1の信号C1の立ち上がりエッジとで、幅t22の信号LG2が生成される。尚、信号LG2およびLG3を生成する回路は、図4で説明したSRFF151を用いることにより実現できる。

【0028】

論理回路204が生成した信号LG1からLG3を電圧制御回路108に出力した後の動作は、第1の実施形態と同じで、図2に示す論理に従って、セクタ110から出力信号111が出力される。つまり、図7において、PWMの出力信号111の周期は信号C1の間隔で、10000個の基準クロックCLKに相当する。また、負荷を動作させるハイレベル期間のパルス幅は、幅t3の部分で、その時の出力信号111の電圧はV4である。さらに、パルス幅の後ろに付加される追加パルスは、幅t23の部分で、その時の出力信号111の電圧はV2である。同様に、追加パルスと次のパルス幅との間のローレベル期間は、幅t22の部分で、その時の出力信号111の電圧はV0となる。以下、ハイレベル期間と追加パルスとローレベル期間とが、同様に、繰り返される。

【0029】

尚、図7では、追加パルスの期間の電圧V2をハイレベル期間の電圧V4の1/2なので、基本波形の毎周期に1クロック分だけハイレベル期間を増加したのと同じになるが、例えば、1/20000の幅だけ、ハイレベル期間を増加させたい場合は、追加パルスの期間の電圧V2をハイレベル期間の電圧V4の1/4にすればよい。

このように、レートマルチPWM出力回路201の出力信号111は、ハイレベル期間とローレベル期間の幅が周期毎に変わらないので、出力信号111の波形にジッタが発生しない。しかも、追加パルスの幅を2クロック分にしているため、ハイレベル期間から口

10

20

30

40

50

ーレベル期間に移動する際の出力電圧の変化をより滑らかにすることができる。

【0030】

(第3の実施形態)

次に、本発明の第3の実施形態にかかるレートマルチ方式のPWM出力回路を図8に示す。尚、図1および図6と同符号のものは同じものを示す。レートマルチPWM出力回路301において、第2の実施形態と異なるのは、論理回路302と、電圧制御回路303と、追加パルスレジスタ304である。

【0031】

論理回路302は、入力する信号C1からC3は第2の実施形態と同じであるが、生成する信号は、信号LG1、LG2、LG3、LG4の4つである。また、信号LG1とLG2を出力する動作は、図7と同じである。信号LG3は、信号C2と同じ信号が出力される。信号LG4は、幅t2の信号C2の立ち下がりエッジと、幅t21の信号C3の立ち上がりエッジとで生成される。尚、信号LG4を生成する回路は、図4で説明したSRFF152およびインバータ153を用いることにより実現できる。

【0032】

追加パルスレジスタ304は、追加パルスの期間の第1の出力電圧(V3)と第2の出力電圧(V1)とを設定するレジスタで、設定値は信号VSEL1およびVSEL2として電圧制御回路303に出力される。

電圧制御回路303は、図10に示すような論理で動作する。つまり、信号LG1、LG2、LG3、LG4の論理が、順に"1"、"0"、"0"、"0"の時は、出力電圧V4を選択すべく、選択信号S1、S2、S3の論理として"0"、"0"、"1"をセレクタ110に出力する。同様に、信号LG1、LG2、LG3、LG4の論理が、順に"0"、"1"、"0"、"0"の時は、出力電圧V0を選択すべく、選択信号S1、S2、S3の論理として"0"、"0"、"0"をセレクタ110に出力する。特に、信号LG1、LG2、LG3、LG4の論理が、順に"0"、"0"、"1"、"0"の時は、追加パルスレジスタ304が出力する信号VSEL1によって指定される電圧V3を選択すべく、選択信号S1、S2、S3の論理として"1"、"1"、"0"をセレクタ110に出力する。さらに、信号LG1、LG2、LG3、LG4の論理が、順に"0"、"0"、"0"、"1"の時は、追加パルスレジスタ304が出力する信号VSEL2によって指定される電圧V1を選択すべく、選択信号S1、S2、S3の論理として"0"、"0"、"1"をセレクタ110に出力する。

【0033】

この結果、図9に示すように、PWMの出力信号111の周期は信号C1の間隔で、10000個の基準クロックCLKに相当する。また、負荷を動作させるハイレベル期間のパルス幅は、幅t3の部分で、その時の出力信号111の電圧はV4である。さらに、パルス幅の後ろに付加される第1の追加パルスは、幅t2で、その時の出力信号111の電圧はV3である。第1の追加パルスの後ろに付加される第2の追加パルスは、幅t31で、その時の出力信号111の電圧はV1である。同様に、第2の追加パルスの次のローレベル期間は、幅t22の部分で、その時の出力信号111の電圧はV0となる。以下、ハイレベル期間と第1の追加パルスと第2の追加パルスとローレベル期間とが、同様に、繰り返される。

【0034】

このように、レートマルチPWM出力回路301の出力信号111は、ハイレベル期間とローレベル期間の幅が周期毎に変わらないので、出力信号111の波形にジッタが発生しない。しかも、ハイレベル期間からローレベル期間に移動する際に、ハイレベル期間の電圧より少し低い電圧の第1の追加パルスと、第1の追加パルスの電圧より低い電圧の第2の追加パルスとを付加しているため、出力電圧の変化をさらに滑らかにすることができる。

【0035】

(第4の実施形態)

10

20

30

40

50

次に、本発明の第4の実施形態にかかるレートマルチ方式のPWM出力回路を図11に示す。尚、図1と同符号のものは同じものを示す。レートマルチPWM出力回路401において、第1の実施形態と大きく異なるのは、アップカウンタではなくダウンカウンタ402を用いていることである。さらに、周期レジスタ403と、比較器404と、論理回路405が異なる。

【0036】

ダウンカウンタ402は、開始信号STARTと、基準クロックCLK、プリセットPRSTと、カウンタが0からさらにダウンカウントされた際に出るボロー信号BRと、16ビットのプリセット値入力とを有している。また、プリセットPRSTには、開始信号STARTとボロー信号BRとが論理和ORを介して入力されている。プリセットPRSTの立ち上がりエッジで、16ビットのプリセット値入力に入っている値がカウンタにセットされる。今、開始信号STARTが入力されると、周期レジスタ403に設定されている値10000がダウンカウンタ402にセットされる。この状態で基準クロックCLKが入力される毎に、ダウンカウンタ402は1つつつデクリメントされていく。

【0037】

ダウンカウンタ402が出力する16ビットのカウント値は、比較器404に出力される。比較器404は、H幅レジスタ104に設定された値5000と、ダウンカウンタ402が出力する16ビットのカウント値とを比較して、一致したら、信号C2bを論理回路405に出力する。

論理回路405には、比較器404が出力する信号C2bと、論理和ORが出力するプリセットPRSTが信号C1bとして入力されている。論理回路405の動作は、図12に示すように、第1の実施形態の論理回路107の動作を示す図3において、C1をC1bに、C2をC2bに、LG1をLG1bに、LG2をLG2bに、LG3をLG3bに、それぞれ置き換えた場合と同じである。

【0038】

つまり、負荷を動作させるハイレベル期間のパルス幅は、幅t3の部分で、その時の出力信号111の電圧はV4である。さらに、パルス幅の後ろに付加される追加パルスは、幅t4の部分で、その時の出力信号111の電圧はV2である。同様に、追加パルスと次のパルス幅との間のローレベル期間は、幅t4の部分で、その時の出力信号111の電圧はV0となる。以下、ハイレベル期間と追加パルスとローレベル期間とが、同様に、繰り返される。

【0039】

このように、レートマルチPWM出力回路401の出力信号111は、ハイレベル期間とローレベル期間の幅が変わらないので、出力信号111の波形にジッタが発生しない。この結果、ジッタによる変動の影響を少なくすることができる。

(第5の実施形態)

次に、第4の実施形態の論理回路405の動作だけを変えた第5の実施形態について、図13を用いて説明する。

【0040】

第5の実施形態における論理回路405は、入力する信号C1bおよびC2bは第4の実施形態と同じであるが、電圧制御回路303に出力する信号LG1bからLG3bが異なる。図13において、信号LG1bは、幅t1の信号C1bの立ち上がりエッジと、幅t2の信号C2bの立ち上がりエッジとで生成される。信号LG2bは、幅t2の信号C2bの立ち上がりエッジと、幅t1の信号C1bの立ち上がりエッジとで生成される。信号LG3bは、信号C1bと同じ信号が出力される。尚、これらの信号LGb1からLGb3を生成する回路は、図4で説明したSRFF151、SRFF152およびインバータ153を用いた回路と同じ考え方で実現できる。

【0041】

この結果、レートマルチPWM出力回路401のPWMの出力信号111は、負荷を動作させるハイレベル期間のパルス幅は、幅t51の部分で、その時の出力信号111の電

10

20

30

40

50

圧はV4である。さらに、パルス幅の前に付加される追加パルスは、幅t53の部分で、その時の出力信号111の電圧はV2である。同様に、ローレベル期間は、幅t52の部分で、その時の出力信号111の電圧はV0となる。以下、追加パルスとハイレベル期間とローレベル期間とが、同様に、繰り返される。

【0042】

このように、レートマルチPWM出力回路401の出力信号111は、ハイレベル期間とローレベル期間の幅が変わらないので、出力信号111の波形にジッタが発生しない。この結果、ジッタによる変動の影響を少なくすることができる。

(第6の実施形態)

次に、本発明の第6の実施形態にかかるレートマルチ方式のPWM出力回路を図14に示す。尚、図11と同符号のものは同じものを示す。レートマルチPWM出力回路601において、第4および第5の実施形態と大きく異なるのは、論理回路602と、電圧制御回路603である。

【0043】

論理回路602は、入力する信号C1bおよびC2bは第4および第5の実施形態と同じであるが、電圧制御回路603に出力する信号が異なり、信号LG1bからLG4bの4つがある。図15において、信号LG1bとLG4bは、第5の実施形態の図13と同じである。信号LG2bは、幅t2の信号C2bの立ち下がりエッジと、幅t1の信号C1bの立ち上がりエッジとで生成される。信号LG3bは、信号C2bと同じ信号が出力される。

【0044】

電圧制御回路603は、第1の実施形態の図2(b)の電圧制御回路108の論理において、信号LG1をLG1bに、信号LG2をLG2bに、信号LG3をLG3bとLG4bとに、それぞれ置き換えたものと同じように動作する。つまり、信号LG1bの期間では電圧V4を出力し、信号LG2bの期間では電圧V0を出力する。また、信号LGb3およびLG4bの期間では電圧V2を出力する。

【0045】

この結果、図15において、レートマルチPWM出力回路601のPWMの出力信号111は、負荷を動作させるハイレベル期間のパルス幅は、幅t51の部分で、その時の出力信号111の電圧はV4である。さらに、パルス幅の前に付加される追加パルスは、幅t53の部分で、その時の出力信号111の電圧はV2である。パルス幅の後ろに付加される追加パルスは、幅t62の部分で、その時の出力信号111の電圧はV2である。同様に、ローレベル期間は、幅t61の部分で、その時の出力信号111の電圧はV0となる。以下、前の追加パルスとハイレベル期間と後の追加パルスとローレベル期間とが、同様に、繰り返される。

【0046】

このように、レートマルチPWM出力回路601の出力信号111は、ハイレベル期間とローレベル期間の幅が変わらないので、出力信号111の波形にジッタが発生しない。しかも、ハイレベル期間からローレベル期間に移動する際と、ローレベル期間からハイレベル期間に移動する際とに、ハイレベル期間の電圧の1/2の電圧の追加パルスを付加しているので、出力電圧の変化を滑らかにすることができる。

【0047】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【0048】

【図1】本発明の第1の実施形態に係るレートマルチPWM出力回路101のブロック図である。

【図2】セクタ110および電圧制御回路108の論理を説明する説明図である。

10

20

30

40

50

【図 3】第 1 の実施形態の動作波形を示す説明図である。

【図 4】論理回路 1 0 7 の一例を示す回路図である。

【図 5】追加パルスの違いによるレートマルチ P W M 出力回路の波形を示す説明図である。

【図 6】本発明の第 2 の実施形態に係るレートマルチ P W M 出力回路 2 0 1 のブロック図である。

【図 7】第 2 の実施形態の動作波形を示す説明図である。

【図 8】本発明の第 3 の実施形態に係るレートマルチ P W M 出力回路 3 0 1 のブロック図である。

【図 9】第 3 の実施形態の動作波形を示す説明図である。

10

【図 1 0】電圧制御回路 3 0 3 の論理を説明する説明図である。

【図 1 1】本発明の第 4 の実施形態に係るレートマルチ P W M 出力回路 4 0 1 のブロック図である。

【図 1 2】第 4 の実施形態の動作波形を示す説明図である。

【図 1 3】第 5 の実施形態の動作波形を示す説明図である。

【図 1 4】本発明の第 6 の実施形態に係るレートマルチ P W M 出力回路 6 0 1 のブロック図である。

【図 1 5】第 6 の実施形態の動作波形を示す説明図である。

【符号の説明】

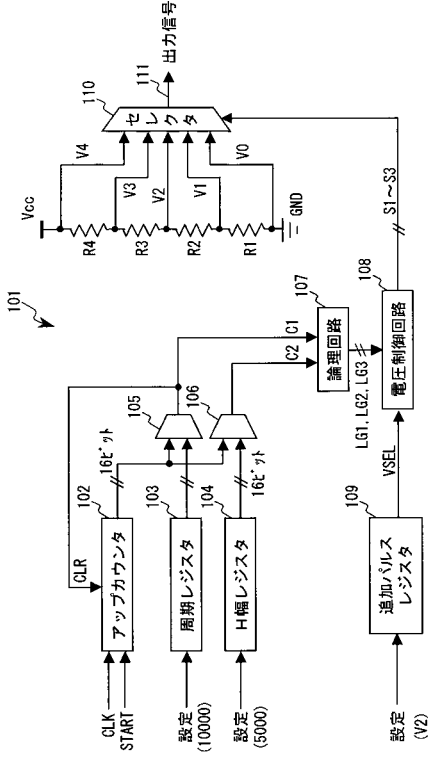
【 0 0 4 9 】

20

1 0 1、2 0 1、3 0 1、4 0 1、6 0 1 レートマルチ P W M 出力回路；1 0 2 アップカウンタ；1 0 3、4 0 3 周期レジスタ；1 0 4 H 幅レジスタ；1 0 5、1 0 6、2 0 3、4 0 4 比較器；1 0 7、2 0 4、3 0 2、4 0 5、6 0 2 論理回路；1 0 8、3 0 3、6 0 3 電圧制御回路；1 0 9、3 0 4 追加パルスレジスタ；1 1 0 セレクタ；1 1 1 出力信号；1 5 1、1 5 2 セットリセットフリップフロップ (S R F F)；1 5 3 インバータ；C L K クロック；C 1、C 2 信号；L G 1、L G 2、L G 3、L G 4 信号；V S E L 信号；S 1、S 2、S 3 選択信号

【図1】

本発明の第1の実施形態に係るレートマルチPWM出力回路101のブロック図



【図2】

セレクタ110および電圧制御回路108の論理を説明する説明図

(a) セレクタ110の論理

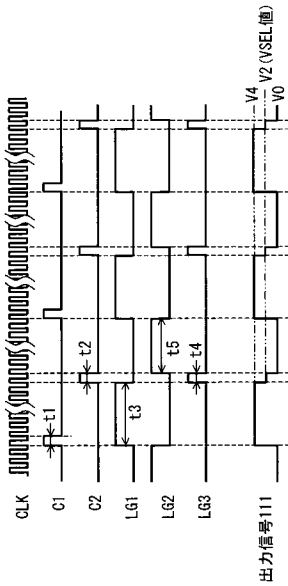
出力の電圧	S1	S2	S3
V0	0	0	0
V1	1	0	0
V2	0	1	0
V3	1	1	0
V4	0	0	1

(b) 電圧制御回路108の論理

LG1	LG2	LG3	S1	S2	S3	出力電圧設定
1	0	0	0	0	1	V4
0	1	0	0	0	0	V0
0	0	1	0	1	0	(VSEL値(V2))

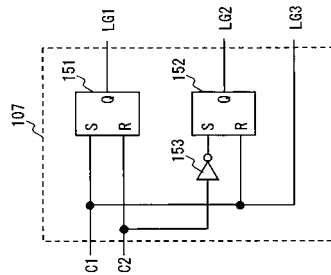
【図3】

第1の実施形態の動作波形を示す説明図



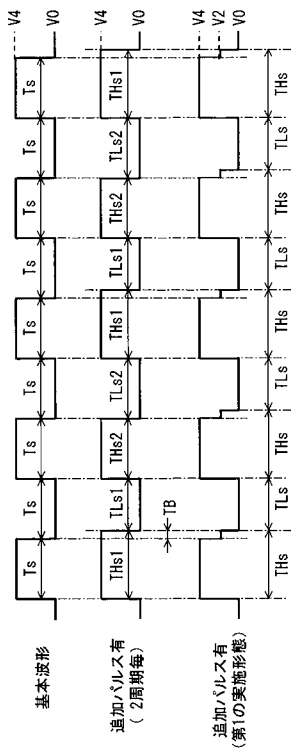
【図4】

論理回路107の一例を示す回路図



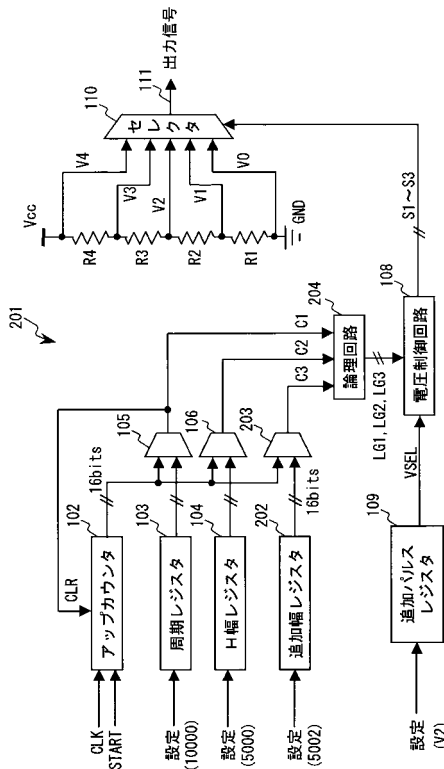
【 図 5 】

追加パルスの遅いによるレートマルチPWM出力回路の波形を示す説明図



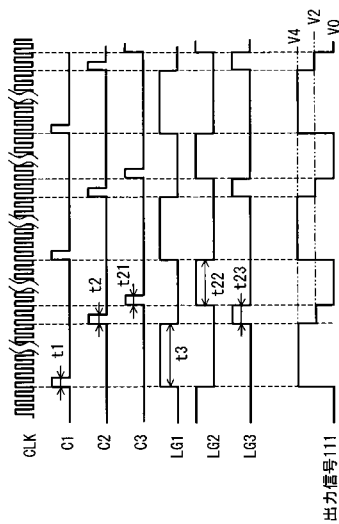
【 図 6 】

本発明の第2の実施形態に係るレートマルチPWM出力回路201のブロック図



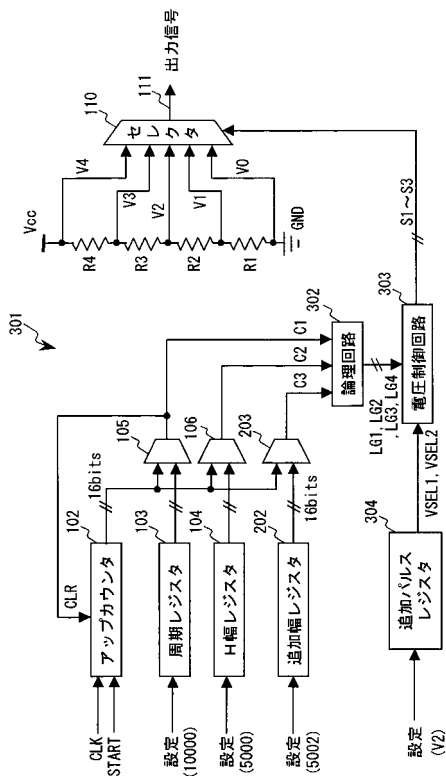
【 図 7 】

第2の実施形態の動作波形を示す説明図



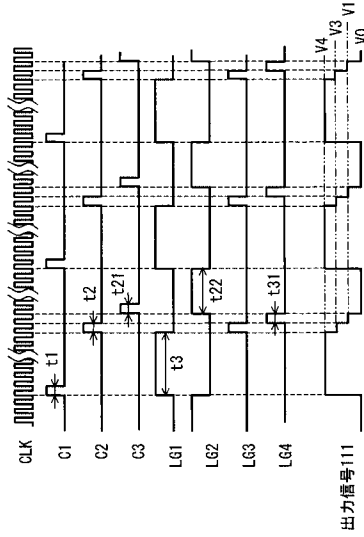
【 図 8 】

本発明の第3の実施形態に係るレートマルチPWM出力回路301のブロック図



【図9】

第3の実施形態の動作波形を示す説明図



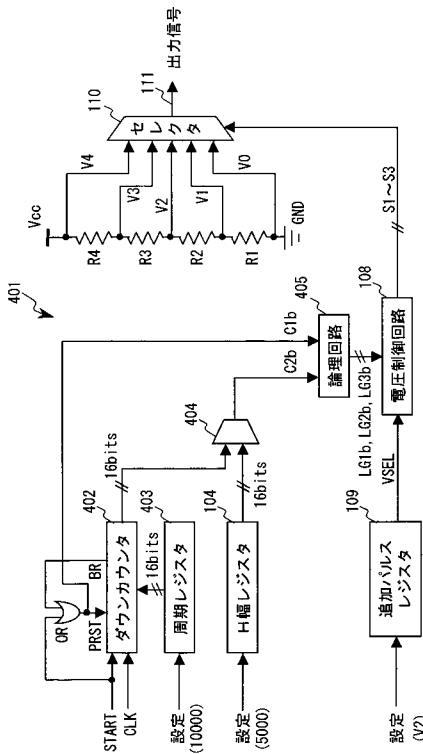
【図10】

電圧制御回路303の論理を説明する説明図

L61	L62	L63	L64	S1	S2	S3	出力電圧設定
1	0	0	0	0	0	1	V4
0	1	0	0	0	0	0	V0
0	0	1	0	1	1	0	(VSEL1値(V3))
0	0	0	1	1	0	0	(VSEL2値(V1))

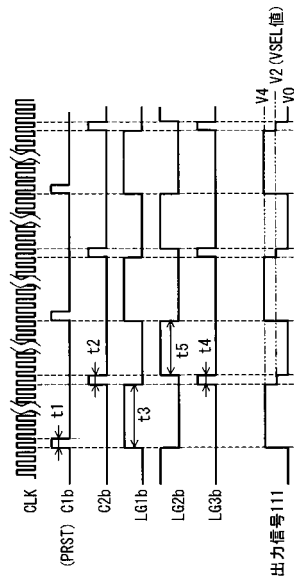
【図11】

本発明の第4の実施形態に係るシフトマルチPWM出力回路401のブロック図



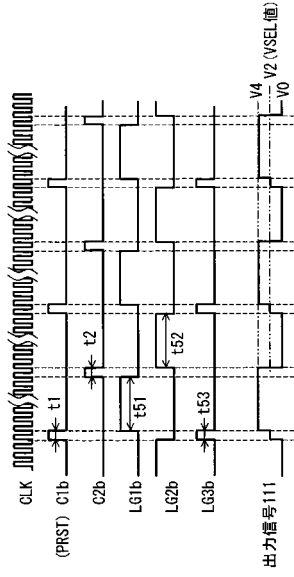
【図12】

第4の実施形態の動作波形を示す説明図



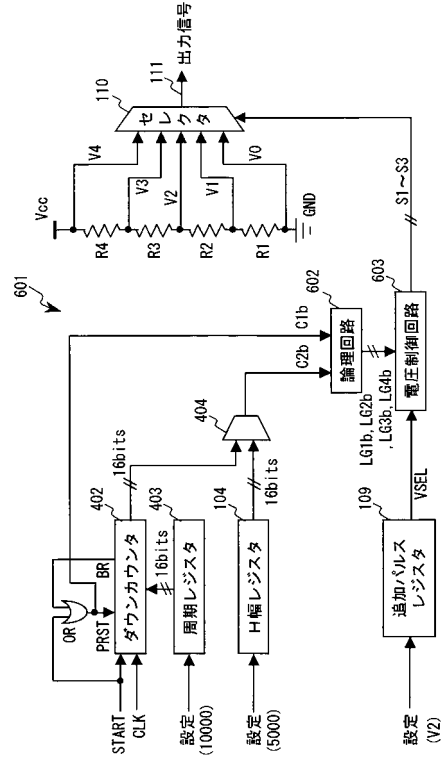
【図 13】

第5の実施形態の動作波形を示す説明図



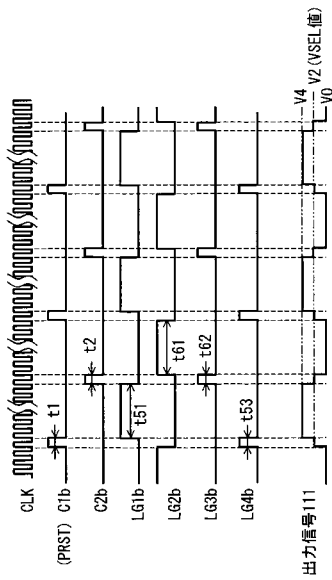
【図 14】

本発明の第6の実施形態に係るレートマルチPWM出力回路601のブロック図



【図 15】

第6の実施形態の動作波形を示す説明図



フロントページの続き

- (56)参考文献 特開平7 - 183779 (JP, A)
特開昭62 - 35709 (JP, A)
特開昭62 - 45217 (JP, A)
特開平3 - 98470 (JP, A)
特開平4 - 23511 (JP, A)
特開平4 - 275590 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 7/08
H03K 4/02