



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I771281 B

(45) 公告日：中華民國 111 (2022) 年 07 月 21 日

(21) 申請案號：105142747

(22) 申請日：中華民國 105 (2016) 年 12 月 22 日

(51) Int. Cl. : **H01L29/12 (2006.01)****H01L29/49 (2006.01)****H01L29/78 (2006.01)**

(30) 優先權：2016/07/11 日本

2016-137187

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；中島基 NAKASHIMA, MOTOKI (JP)；馬場晴之 BABA, HARUYUKI (JP)

(74) 代理人：林怡芳；童啓哲

(56) 參考文獻：

US 2013/0009219A1

US 2014/0124776A1

US 2015/0171227A1

審查人員：于若天

申請專利範圍項數：10 項 圖式數：18 共 94 頁

(54) 名稱

金屬氧化物及包括該金屬氧化物的半導體裝置

(57) 摘要

本發明的一個實施方式的目的是提供一種新穎的金屬氧化物。另外，對半導體裝置賦予良好的電特性。本發明的一個實施方式是一種具有多個能隙的金屬氧化物，該金屬氧化物包括：具有高導帶底能階的第一區域；以及具有比第一區域低的導帶底能階的第二區域，其中，第二區域包含比第一區域更多的載子，並且，第一區域與第二區域的導帶底能階之差為 0.2eV 以上。

A novel metal oxide is provided. A semiconductor device with favorable electrical characteristics is provided. The metal oxide has a plurality of energy gaps, and includes a first region having a high energy level of a conduction band minimum and a second region having an energy level of a conduction band minimum lower than that of the first region. The second region includes more carriers than the first region. A difference between the energy level of the conduction band minimum of the first region and the energy level of the conduction band minimum of the second region is greater than or equal to 0.2 eV.

指定代表圖：

符號簡單說明：

001 . . . 區域

002 . . . 區域

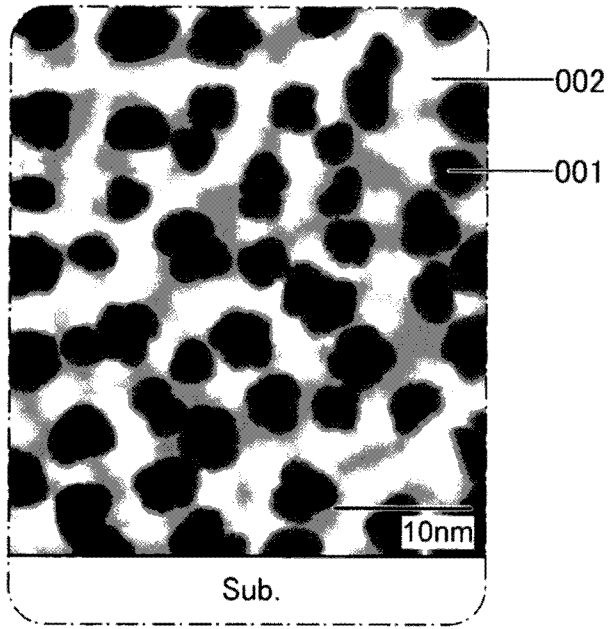


圖 1

I771281

發明摘要

※ 申請案號： 105142747

※ 申請日： 105/12/22

※IPC 分類： H01L 29/12 (2006.01)
H01L 29/49 (2006.01)
H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

金屬氧化物及包括該金屬氧化物的半導體裝置/ METAL OXIDE AND SEMICONDUCTOR DEVICE INCLUDING THE METAL OXIDE

【中文】

本發明的一個實施方式的目的是提供一種新穎的金屬氧化物。另外，對半導體裝置賦予良好的電特性。本發明的一個實施方式是一種具有多個能隙的金屬氧化物，該金屬氧化物包括：具有高導帶底能階的第一區域；以及具有比第一區域低的導帶底能階的第二區域，其中，第二區域包含比第一區域更多的載子，並且，第一區域與第二區域的導帶底能階之差為0.2eV以上。

【英文】

A novel metal oxide is provided. A semiconductor device with favorable electrical characteristics is provided. The metal oxide has a plurality of energy gaps, and includes a first region having a high energy level of a conduction band minimum and a second region having an energy level of a conduction band minimum lower than that of the first region. The second region includes more carriers than the first region. A difference between the energy level of the conduction band minimum of the first region and the energy level of the conduction band minimum of the second region is greater than or equal to 0.2

eV.

【代表圖】

【本案指定代表圖】：圖1。

【本代表圖之符號簡單說明】：

001 區域

002 區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

金屬氧化物及包括該金屬氧化物的半導體裝置/METAL

5 OXIDE AND SEMICONDUCTOR DEVICE INCLUDING THE
METAL OXIDE

【技術領域】

[0001]

10 本發明的一個實施方式係關於一種金屬氧化物及包括該金屬氧化
物的半導體裝置。

[0002]

15 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書
等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或
製造方法。另外，本發明的一個實施方式係關於一種製程 (process)、
機器 (machine)、產品 (manufacture) 或組合物 (composition of matter)。
本發明的一個實施方式尤其係關於一種金屬氧化物或者該金屬氧化物的
製造方法。另外，本發明的一個實施方式係關於一種半導體裝置、
顯示裝置、液晶顯示裝置、發光裝置、蓄電裝置、記憶體裝置、它們
的驅動方法或它們的製造方法。

20 [0003]

25 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特
性而工作的所有裝置。電晶體等半導體元件、半導體電路、算術裝置
及記憶體裝置是半導體裝置的一個實施方式。攝像裝置、顯示裝置、
液晶顯示裝置、發光裝置、電光裝置、發電裝置 (包括薄膜太陽能電
池或有機薄膜太陽能電池等) 及電子裝置有時包括半導體裝置。

【先前技術】

[0004]

作為可用於電晶體的半導體材料，氧化物受到關注。例如，專利文獻 1 公開了包括 In-Zn-Ga-O 類氧化物、In-Zn-Ga-Mg-O 類氧化物、In-Zn-O 類氧化物、In-Sn-O 類氧化物、In-O 類氧化物、In-Ga-O 類氧化物和 Sn-In-Zn-O 類氧化物中的任一個非晶氧化物的場效應電晶體。

5 [0005]

另外，在非專利文獻 1 中探討了作為電晶體的活性層包含 In-Zn-O 類氧化物和 In-Ga-Zn-O 類氧化物的兩層疊層的金屬氧化物的結構。

[0006]

[專利文獻 1]日本專利第 5118810 號公報

10 [0007]

[非專利文獻 1]John F. Wager, “Oxide TFTs : A Progress Report” ,Information Display 1/16,SID 2016, Jan/Feb 2016,Vol.32,No.1, pp.16-21

15 【發明內容】

[0008]

在專利文獻 1 中使用 In-Zn-Ga-O 類氧化物、In-Zn-Ga-Mg-O 類氧化物、In-Zn-O 類氧化物、In-Sn-O 類氧化物、In-O 類氧化物、In-Ga-O 類氧化物和 Sn-In-Zn-O 類氧化物中的任一個非晶氧化物形成電晶體的活性層。換言之，電晶體的活性層包括上述氧化物中的任一個非晶氧化物。在電晶體的活性層由上述非晶氧化物中的任一個構成的情況下，發生電晶體的電特性之一的通態電流（on-state current）變低的問題。或者，在電晶體的活性層由上述非晶氧化物中的任一個構成的情況下，發生電晶體的可靠性變低的問題。

25 [0009]

另外，在非專利文獻 1 中，作為通道保護型的底閘極電晶體的活性層使用 In-Zn 氧化物和 In-Ga-Zn 氧化物的兩層疊層，並且將形成通道的 In-Zn 氧化物的厚度設定為 10nm，由此實現高場效移動率（ $\mu=62\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ ）。另一方面，電晶體特性之一的 S 值（Subthreshold Swing，

SS) 較大，為 0.41V/decade。另外，電晶體特性之一的臨界電壓 (V_{th}) 為 -2.9V，示出所謂的常導通的電晶體特性。

[0010]

5 鑒於上述問題，本發明的一個實施方式的目的之一是提供一種新穎的金屬氧化物。另外，本發明的一個實施方式的目的之一是使半導體裝置具有良好的電特性。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種具有新穎結構的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種具有新穎結構的顯示裝置。

10 [0011]

注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述目的以外的目的，可以從說明書、圖式以及申請專利範圍等的記載中衍生上述目的以外的目的。

15 [0012]

本發明的一個實施方式是一種具有多個能隙的金屬氧化物，該金屬氧化物包括：具有高導帶底能階的第一區域；以及具有比第一區域低的導帶底能階的第二區域，其中，第二區域包含比第一區域更多的載子，並且，第一區域與第二區域的導帶底能階之差為 0.2eV 以上。

20 [0013]

本發明的其他的一個實施方式是一種具有多個能隙的金屬氧化物，該金屬氧化物包括：具有高導帶底能階的第一區域；以及具有比第一區域低的導帶底能階的第二區域，其中，第一區域包括 M1 (M1 為選自 Al、Ga、Si、Mg、Zr、Be 和 B 中的一種或多種) 氧化物、In-M1-Zn 氧化物或 In-M1-M2-Zn 氧化物 (M2 為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種)，第二區域包括 In 氧化物、In-Zn 氧化物、In-M2 氧化物或 In-M2-Zn 氧化物，並且，第二區域的 M2 的含量多於第一區域。

[0014]

本發明的其他的一個實施方式是一種具有多個能隙的金屬氧化物，該金屬氧化物包括：第一成分；以及第二成分，其中，第一成分包括 M1 (M1 為選自 Al、Ga、Si、Mg、Zr、Be 和 B 中的一種或多種) 氧化物、In-M1-Zn 氧化物或 In-M1-M2-Zn 氧化物 (M2 為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種)，並且，第二成分包括 In 氧化物、In-Zn 氧化物、In-M2 氧化物或 In-M2-Zn 氧化物。

[0015]

在上述方式中，在區域中第一成分和第二成分混在一起。

[0016]

10 本發明的其他的一個實施方式是一種金屬氧化物，該金屬氧化物包括：具有第一能隙的第一區域；以及具有第二能隙的第二區域，其中，第二區域的導帶底能階低於第一區域，第一區域包括第一金屬元素的第一氧化物，第二區域包括第二金屬元素的第二氧化物，第二氧化物包括具有與第二金屬元素不同的化合價的第三元素，並且，在第一區域包含第三元素的情況下，第二區域中的第三元素的濃度高於第一區域。

[0017]

20 本發明的其他的一個實施方式是一種金屬氧化物，該金屬氧化物包括：具有第一能隙的第一區域；以及具有第二能隙的第二區域，其中，第二區域的導帶底能階低於第一區域，第一區域包括第一金屬元素的第一氧化物，第二區域包括第二金屬元素的第二氧化物，第二氧化物包括第三元素以增加載子，並且，在第一區域包含第三元素的情況下，第二區域中的第三元素的濃度高於第一區域。

[0018]

25 在上述方式中，較佳的是，第一金屬元素為 Ga，第二金屬元素為 In，第三元素為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種。

[0019]

在上述方式中，第三元素較佳為 Ti 和 Ge 中的至少一個。

[0020]

本發明的其他的一個實施方式是一種半導體裝置，該半導體裝置包括：上述金屬氧化物；閘極電極；源極電極；以及汲極電極。

[0021]

- 5 藉由本發明的一個實施方式能夠提供一種新穎的金屬氧化物。另外，能夠使半導體裝置具有良好的電特性。另外，能夠提供一種可靠性高的半導體裝置。另外，能夠提供一種具有新穎結構的半導體裝置。另外，能夠提供一種具有新穎結構的顯示裝置。

[0022]

- 10 注意，這些效果的記載不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中衍生上述效果以外的效果。

15 **【圖式簡單說明】**

[0023]

在圖式中：

圖 1 為說明金屬氧化物的構成的概念圖；

圖 2A 至圖 2C 為說明電晶體及該電晶體的能階分佈的示意圖；

- 20 圖 3A 至圖 3C 示出電晶體的能帶圖的模型；

圖 4A 至圖 4C 示出電晶體的能帶圖的模型；

圖 5A 至圖 5D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

- 25 圖 6A 至圖 6D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 7A 至圖 7D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 8A 至圖 8D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 9A 至圖 9D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 10A 至圖 10D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

5 圖 11A 至圖 11D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 12A 至圖 12D 為半導體裝置的一個實施方式的俯視圖、剖面圖及剖面概念圖；

圖 13A 至圖 13D 為示出半導體裝置的製程的例子的剖面圖；

10 圖 14A 至圖 14C 為示出半導體裝置的製程的例子的剖面圖；

圖 15A 至圖 15C 為示出半導體裝置的製程的例子的剖面圖；

圖 16A 和圖 16B 示出能帶結構；

圖 17 示出顯示面板的結構實例；

圖 18 示出顯示面板的結構實例。

15

【實施方式】

[0024]

下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

20

[0025]

在圖式中，為了方便起見，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。

25

[0026]

本說明書所使用的“第一”、“第二”、“第三”等序數詞是為

了避免組件的混淆而附加的，而不是爲了在數目方面上進行限定的。

[0027]

在本說明書中，爲了方便起見，使用“上”、“下”等表示配置的詞句以參照圖式說明組件的位置關係。另外，組件的位置關係根據
5 描述各組件的方向適當地改變。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地更換。

[0028]

在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區或汲極電極）與源
10 極（源極端子、源極區或源極電極）之間具有通道區，並且電流能夠流過汲極、通道區以及源極。注意，在本說明書等中，通道區是指電流主要流過的區域。

[0029]

另外，在使用極性不同的電晶體的情況或電路工作中的電流方向
15 變化的情況等下，源極及汲極的功能有時互相調換。因此，在本說明書等中，源極和汲極可以互相調換。

[0030]

在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”
20 連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

[0031]

在本說明書等中，“氧氮化矽膜”是指在其組成中含氧量多於含
25 氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

[0032]

注意，在本說明書等中，當利用圖式說明發明的結構時有時在不同的圖式中共同使用表示相同的部分的符號。

[0033]

在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，

5 “垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此也包括 85° 以上且 95° 以下的角度的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

[0034]

另外，在本說明書等中，根據情況，可以互相調換“膜”和“層”。

10 例如，有時可以將“導電層”換稱為“導電膜”。此外，有時可以將“絕緣膜”換稱為“絕緣層”。

[0035]

注意，例如當導電性充分低時，有時即使表示為“半導體”也具有“絕緣體”的特性。此外，“半導體”和“絕緣體”的邊境不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的

15 “半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0036]

在本說明書等中，常導通是指在不從電源供應電位的情況（0V）

20 下處於導通狀態的狀態。例如，常導通特性有時是指在對電晶體的閘極施加的電壓為0V的情況下臨界電壓為負值的電特性。

[0037]

在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為OS）等。例如，在將金屬氧化物用於電晶體的活性層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，在金屬氧化物具有放大作用、整流作用和開關作用中的至少一個的情況下，可以將該金屬氧化物稱為金屬氧化物半導體（metal oxide semiconductor），或者可以將

25

其縮稱為 OS。另外，可以將 OS FET 稱為包含金屬氧化物或氧化物半導體的電晶體。

[0038]

5 在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物 (metal oxide)。另外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物 (metal oxynitride)。

[0039]

在本說明書等中，能隙是指能帶結構上的價帶頂能階 (Ev 端) 與導帶底能階 (Ec 端) 的能量差。另外，可以將能隙換稱為能帶間隙。

10

[0040]

實施方式 1

在本實施方式中，對本發明的一個實施方式的金屬氧化物進行說明。

15

[0041]

本發明的一個實施方式的金屬氧化物較佳為至少包含 In。尤其較佳為包含 In 及 Zn。另外，本發明的一個實施方式的金屬氧化物除了 In 及 Zn 以外較佳為還包含元素 M1 (元素 M1 為選自 Al、Ga、Si、Mg、Zr、Be 和 B 中的一種或多種) 及元素 M2 (元素 M2 為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種)。元素 M1 較佳為 Ga。另外，
20 元素 M2 較佳為 Ti 或 Ge。

[0042]

本發明的一個實施方式的金屬氧化物例如為 In-Ga-Ti-Zn 氧化物或者 In-Ga-Ge-Zn 氧化物等。

25

[0043]

本發明的一個實施方式的金屬氧化物包含多個成分。

[0044]

本發明的一個實施方式的金屬氧化物包含第一成分及第二成分，第一成分包含 M1 (M1 為選自 Al、Ga、Si、Mg、Zr、Be 和 B 中的一種

或多種) 氧化物、In-M1-Zn 氧化物或者 In-M1-M2-Zn 氧化物 (M2 為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種)，第二成分包含 In 氧化物、In-Zn 氧化物、In-M2 氧化物或者 In-M2-Zn 氧化物。

[0045]

- 5 當 M1 為 Al 或 Si 時，可以將 M1 氧化物置換成 M1 氮化物。明確而言，可以將 M1 氧化物置換成氮化鋁或氮化矽。另外，當 M2 為 Ta 時，可以將 M2 氧化物置換成 M2 氮化物。明確而言，可以將 M2 氧化物置換成氮化鉬。

[0046]

- 10 另外，金屬氧化物較佳為包括第一成分和第二成分混在一起的區域。金屬氧化物較佳為包含 1atomic% 以上且 50atomic% 以下的第一成分。金屬氧化物較佳為包含 0.01atomic% 以上且 5atomic% 以下的第二成分。

[0047]

- 15 由於本發明的一個實施方式的金屬氧化物包含多個成分，因此具有多個能隙。明確而言，本發明的一個實施方式的金屬氧化物具有多個導帶底能階。根據情況，可以將多個成分換稱為多個區域。

[0048]

- 20 換言之，本發明的一個實施方式的金屬氧化物包括導帶底能階高的第一區域及其導帶底能階比第一區域低的第二區域，第二區域包含比第一區域更多的載子，第一區域與第二區域的導帶底能階之差為 0.2eV 以上。

[0049]

參照圖 1 對金屬氧化物包含 In、元素 M1、元素 M2 及 Zn 的結構進行說明。

- 25 [0050]

〈金屬氧化物的構成〉

圖 1 為本發明的一個實施方式中的具有 CAC (Cloud-Aligned Composite) 構成的金屬氧化物的概念圖。在本說明書中，在本發明的一個實施方式的金屬氧化物具有半導體的功能的情況下，定義為 CAC

(Cloud-Aligned Composite) -OS (Oxide Semiconductor)。

[0051]

例如，如圖 1 所示，在 CAC-OS 中包含在金屬氧化物中的元素不
均勻地分佈，以各元素為主要成分的區域 001 及區域 002 混合而成為馬
賽克 (mosaic) 狀。換言之，CAC-OS 是包含在金屬氧化物中的元素不
5 均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為
0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 2nm 以下或近似的尺寸。
注意，在下面也將在金屬氧化物中一個或多個元素不均勻地分佈且包
含該元素的區域混合的狀態稱為馬賽克狀或補丁 (patch) 狀，該區域
10 的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 2nm 以下或近似
的尺寸。

[0052]

例如，具有 CAC 構成的 In-M1-M2-Zn 氧化物是材料分成 In 氧化物
(以下，稱為 InO_{x1} ($x1$ 是大於 0 的實數))、In-Zn 氧化物 (以下，稱
15 為 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 及 $z2$ 都是大於 0 的實數)) 或 In-M2-Zn 氧化物
(以下，稱為 $\text{In}_{w3}\text{M}_{2x3}\text{Zn}_{y3}\text{O}_{z3}$ ($w3$ 、 $x3$ 、 $y3$ 及 $z3$ 都是大於 0 的實數))
以及包含元素 M1 的氧化物而成為馬賽克狀，且馬賽克狀的 InO_{x1} 、
 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或者 $\text{In}_{w3}\text{M}_{2x3}\text{Zn}_{y3}\text{O}_{z3}$ 以及包含元素 M1 的氧化物分佈在膜中的
構成 (以下，也稱為雲狀)。

20 [0053]

換言之，本發明的一個實施方式的金屬氧化物包含 In 氧化物、In-Zn
氧化物、In-M1 氧化物、In-M1-Zn 氧化物、M1-Zn 氧化物、M1-M2 氧化
物、M2 氧化物、In-M2 氧化物、In-M2-Zn 氧化物、M2-Zn 氧化物和
In-M1-M2-Zn 氧化物中的兩個以上的氧化物或者成分。尤其是，兩個以
25 上的氧化物較佳為選自包含 In 的氧化物或包含 In 和元素 M2 的氧化物
以及包含元素 M1 的氧化物。

[0054]

例如，在元素 M1 為 Ga 且元素 M2 為 Ti 的情況下，本發明的一個
實施方式的金屬氧化物包含選自 In 氧化物、In-Zn 氧化物、Ga-Ti 氧化

物、In-Ga 氧化物、In-Ga-Zn 氧化物、Ga-Zn 氧化物、Ti 氧化物、In-Ti 氧化物、In-Ti-Zn 氧化物、Ti-Zn 氧化物和 In-Ti-Ga-Zn 氧化物中的兩個以上。尤其是，本發明的一個實施方式的金屬氧化物可以為組合上述氧化物中的包含 Ga 的氧化物、包含 Ti 的氧化物和包含 Zn 的氧化物的
5 In-Ga-Ti-Zn 氧化物。

[0055]

例如，在元素 M1 為 Ga 且元素 M2 為 Ge 的情況下，本發明的一個實施方式的金屬氧化物包含 In 氧化物、In-Zn 氧化物、Ga-Ge 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、Ga-Zn 氧化物、Ge 氧化物、In-Ge 氧化
10 物、In-Ge-Zn 氧化物、Ge-Zn 氧化物和 In-Ga-Ge-Zn 氧化物中的兩個以上。尤其是，本發明的一個實施方式的金屬氧化物可以為組合上述氧化物中的包含 Ga 的氧化物、包含 Ge 的氧化物和包含 Zn 的氧化物的 In-Ga-Ge-Zn 氧化物。

[0056]

15 換言之，可以將本發明的一個實施方式的金屬氧化物稱為包含多個材料或多個成分的複合材料（composite material）。

[0057]

在此，假設圖 1 示出具有 CAC 構成的 In-M1-M2-Zn 氧化物的概念。此時，可以說：區域 001 為以包含元素 M1 的氧化物為主要成分的區域，
20 區域 002 為以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{M}_{2x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域。區域 001 及區域 002 的邊緣部不清楚（模糊），因此有時觀察不到明確的邊界。

[0058]

換言之，具有 CAC 構成的 In-M1-M2-Zn 氧化物為其中以包含元素
25 M1 的氧化物為主要成分的區域和以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{M}_{2x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域混在一起的金屬氧化物。因此，有時將金屬氧化物記為複合金屬氧化物。

[0059]

在具有 CAC 構成的 In-M1-M2-Zn 氧化物中，對區域 001 及區域 002

的結晶結構沒有特別的限制。另外，區域 001 及區域 002 可以具有彼此不同的結晶結構。

[0060]

5 例如，具有 CAC 構成的 In-M1-M2-Zn 氧化物較佳為具有非單晶結構的氧化物半導體。作為非單晶結構，例如可以舉出 CAAC-OS、多晶氧化物半導體、nc-OS (nanocrystalline oxide semiconductor)、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化物半導體等。

[0061]

10 CAAC-OS 具有 CAAC 結構。CAAC 結構為具有 c 軸配向性且多個奈米晶在 a-b 面方向上連結而具有畸變的結晶結構的氧化物半導體。畸變是指在多個奈米晶連結的區域中晶格排列一致的區域與其他晶格排列一致的區域之間的晶格排列的方向變化的部分。

[0062]

15 奈米晶基本上為六角形，但是不侷限於正六角形，有時為非正六角形。另外，奈米晶有時在畸變中具有五角形或七角形等晶格排列。因此，在 CAAC-OS 的畸變附近觀察不到明確的晶界。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變：a-b 面方向上的原子排列的密度低或因金屬元素被取代而使原子間的鍵合距離產生變化等。

20 [0063]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 25 或非晶氧化物半導體沒有差別。

[0064]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。換言之，a-like OS 具有與 nc-OS 及 CAAC-OS 相比不穩定的結構。

[0065]

例如，CAC-OS 較佳為具有 CAAC 結構。CAAC 結構有時形成在包含區域 001 或區域 002 的範圍中。換言之，在 CAC-OS 中，CAAC-OS 區域的尺寸為幾 nm 至幾十 nm。

5 [0066]

CAAC-OS 為結晶性高的氧化物半導體。另一方面，在 CAAC-OS 中觀察不到明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，金屬氧化物由於包含 CAAC-OS 因此其物理性質穩定，因此可以提供具有耐熱性及高可靠性的金屬氧化物。

10 [0067]

在此，對本發明的一個實施方式的金屬氧化物為 In-Ga-Ti-Zn 氧化物的情況進行說明。材料分成 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 以及 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ (a、b、c、d、e 都是大於 0 的實數) 而成為馬賽克狀。

[0068]

15 換言之，具有 CAC-OS 的 In-Ga-Ti-Zn 氧化物為具有以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域以及以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域混在一起的構成的複合金屬氧化物。另外，以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域以及以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域的邊緣部不清楚（模糊），因此有時觀察不到明確的邊界。

20 [0069]

例如，在圖 1 所示的概念圖中，區域 001 相當於以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域，區域 002 相當於以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域。可以將以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域及以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域稱為奈米粒子。該
25 奈米粒子的粒徑為 0.5nm 以上且 10nm 以下，典型地為 1nm 以上且 2nm 以下。上述奈米粒子的邊緣部不清楚（模糊），因此有時觀察不到明確的邊界。

[0070]

區域 001 及區域 002 的尺寸可以利用藉由能量色散型 X 射線分析

法 (EDX : Energy Dispersive X-rayspectroscopy) 取得的 EDX 面分析影像測定。例如，區域 001 的尺寸在剖面照片的 EDX 面分析影像中被觀察為 0.5nm 以上且 10nm 以下或者 1nm 以上且 2nm 以下。另外，主要成分的元素密度從區域的中心部向邊緣部逐漸降低。例如，當在 EDX 面分析影像中可數的元素的個數 (以下，也稱為存在量) 從中心部向邊緣部逐漸變化時，在剖面照片的 EDX 面分析影像中，區域的邊緣部不清楚 (模糊)。例如，在以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域中，Ga 原子從中心部向邊緣部逐漸減少，而 In 原子、Ti 原子及 Zn 原子逐漸增加，因此分階段地變為以 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域。因此，在 EDX 面分析影像中，以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域的邊緣部不清楚 (模糊)。

[0071]

對具有 CAC 構成的 In-Ga-Ti-Zn 氧化物的結晶結構沒有特別的限制。區域 001 及區域 002 可以具有彼此不同的結晶結構。例如，具有 CAC 構成的 In-Ga-Ti-Zn 氧化物較佳為具有非單晶結構的氧化物半導體。

[0072]

可以利用電子束繞射對具有 CAC-OS 的 In-Ga-Ti-Zn 氧化物的結晶性進行評價。例如，在利用電子束繞射對 In-Ga-Ti-Zn 氧化物進行分析的情況下，在電子束繞射圖案中，有時觀察到環狀的亮度高的區域及環狀的亮度高的區域內的多個斑點。

[0073]

在對 CAC-OS 的結晶性進行評價的情況下，根據電子束的束徑，亦即根據觀察區域的面積，有時確認到不同的圖案。例如，在對 CAC-OS 的結晶性進行評價的情況下，較佳為使用束徑為 $1\text{nm}\Phi$ 以上且 $100\text{nm}\Phi$ 以下的電子束進行測定的所謂的奈米束電子繞射 (NBED : Nano Beam Electron Diffraction)。

[0074]

以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域 (圖 1 中的區域 002) 的載子密度比以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域 (圖 1 中的

區域 001) 高。換言之，當載子流過以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域時，呈現金屬氧化物的導電性。因此，當以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域在金屬氧化物中以雲狀分佈時，可以實現高場效移動率 (μ)。可以說以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 等為主要成分的區域是具有近於導電體的性質的半導體區域。

[0075]

另一方面，以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 等為主要成分的區域的載子密度比以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域低。換言之，當以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 等為主要成分的區域在金屬氧化物中分佈時，可以抑制洩漏電流而實現良好的切換工作。可以說以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 等為主要成分的區域是具有近於絕緣體的性質的半導體區域。

[0076]

因此，當將具有 CAC-OS 的 In-Ga-Ti-Zn 氧化物用於半導體元件時，來源於 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 等的性質及來源於 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 的性質的互補作用可以實現高通態電流 (I_{on})、高場效移動率 (μ) 及低關態電流 (off-state current, I_{off})。

[0077]

另外，使用具有 CAC-OS 的 In-Ga-Ti-Zn 氧化物的半導體元件的可靠性高。因此，具有 CAC-OS 的 In-Ga-Ti-Zn 氧化物適用於以顯示器為代表的各種半導體裝置。

[0078]

〈包含金屬氧化物的電晶體〉

接著，參照圖 2A 至圖 2C 對使用上述金屬氧化物作為電晶體的半導體的情況進行說明。

[0079]

藉由使用上述金屬氧化物作為電晶體的半導體，可以實現場效移動率高且開關特性良好的電晶體。另外，可以實現可靠性高的電晶體。

[0080]

圖 2A 為使用上述金屬氧化物作為通道區的電晶體的示意圖。圖 2A 所示的電晶體包括源極、汲極、第一閘極、第二閘極、第一閘極絕緣部、第二閘極絕緣部及通道部。電晶體可以由施加到閘極的電位控制通道部的電阻。換言之，可以由施加到第一閘極或第二閘極的電位控制源極與汲極之間的導通（電晶體處於導通狀態）/非導通（電晶體處於關閉狀態）。

[0081]

通道部包含其中具有第一能帶間隙的區域 001 及具有第二能帶間隙的區域 002 以雲狀分佈的 CAC-OS。第一能帶間隙寬於第二能帶間隙。

[0082]

例如，對作為通道部的 CAC-OS 使用具有 CAC 構成的 In-Ga-Ti-Zn 氧化物的情況進行說明。具有 CAC 構成的 In-Ga-Ti-Zn 氧化物為材料分成其 Ga 的濃度比區域 002 高的以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域 001 以及其 In 的濃度比區域 001 高的以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域 002 而成為馬賽克狀，且 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 及 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 分佈在膜中的構成（雲狀）。注意，以 $\text{In}_a\text{Ga}_b\text{Ti}_c\text{Zn}_d\text{O}_e$ 為主要成分的區域 001 的能帶間隙寬於以 InO_{x1} 、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 $\text{In}_{w3}\text{Ti}_{x3}\text{Zn}_{y3}\text{O}_{z3}$ 為主要成分的區域 002。

[0083]

接著，參照圖 2B 對圖 2A 所示的電晶體的傳導模型進行說明。圖 2B 為說明圖 2A 所示的電晶體的源極與汲極之間的能階分佈的示意圖。圖 2C 為圖 2A 所示的電晶體的以 X-X' 表示的實線上的能帶圖。在各能帶圖中，實線表示導帶底的能量。點劃線表示電子的准費米能階的能量 E_f 。在此，假設作為第一閘極電壓對閘極與源極之間施加負電壓，對源極與汲極之間施加汲極電壓 ($V_d > 0$) 的情況。在圖 2A 至圖 2C 中，導帶底的能量由 CB 表示。

[0084]

當對圖 2A 所示的電晶體施加負值的閘極電壓時，如圖 2B 所示，

在源極與汲極之間形成起因於區域 001 的導帶底能量 CB_{001} 及起因於區域 002 的導帶底能量 CB_{002} 。在此，第一能帶間隙寬於第二能帶間隙，因此導帶底能量 CB_{001} 的能障大於導帶底能量 CB_{002} 的能障。換言之，通道部的能障的最大值依賴於區域 001 的能障。因此，藉由將 CAC-OS 用於通道部，可以抑制洩漏電流，而可以實現開關特性良好的電晶體。

[0085]

另外，如圖 2C 所示，具有第一能帶間隙的區域 001 的能帶間隙寬於具有第二能帶間隙的區域 002，因此具有第一能帶間隙的區域 001 的 E_c 端有可能高於具有第二能帶間隙的區域 002 的 E_c 端。

10 [0086]

在此，假設本發明的一個實施方式的金屬氧化物為 In-Ga-Ti-Zn 氧化物 (In : Ga : Ti : Zn=5 : 0.5 : 0.5 : 7[原子數比]) 的結構。

[0087]

在 In-Ga-Ti-Zn 氧化物中，Ti 的化合價大於 In、Ga 及 Zn。明確而言，Zn 為 2 價的，In 及 Ga 為 3 價的，Ti 為 4 價的。當金屬氧化物包含其化合價比 In、Ga 及 Zn 大的元素 (在此，為 Ti) 時，該元素成為載子供應源，可以提高金屬氧化物的載子密度。另外，Ti 與氧的結合力比 In、Ga 及 Zn 與氧的結合力強。因此，當金屬氧化物包含 Ti 時，可以抑制氧缺陷的生成。因此，藉由將本發明的一個實施方式的金屬氧化物用於電晶體的半導體層，可以提高電晶體的場效移動率且抑制氧缺陷，由此可以提供可靠性高的半導體裝置。

[0088]

在上述結構中，對使用 Ti 的情況進行說明，但是也可以使用 Ge、Sn、V、Ni、Mo、W 和 Ta 代替 Ti。

25 [0089]

另外，在上述結構中，有時具有第一能帶間隙的區域 001 的成分起因於 In-Ga-Ti-Zn 氧化物，具有第二能帶間隙的區域 002 的成分起因於 In-Ti-Zn 氧化物。此時，第一能帶間隙為 3.3eV 或其近似值，第二能帶間隙為 2.4eV 或其近似值。作為能帶間隙的值，可以使用對各材料的

單膜利用橢圓偏光計進行測定而獲得的值。

[0090]

在本發明的一個實施方式的金屬氧化物中，起因於區域 001 的導帶底能階與起因於區域 002 的導帶底能階之差較佳為 0.2eV 以上。注意，
5 起因於區域 001 的價帶頂能量的位置與起因於區域 002 的價帶頂能量的位置有時不同，因此起因於區域 001 的導帶底能階與起因於區域 002 的導帶底能階之差較佳為 0.3eV 以上，更佳為 0.4eV 以上。

[0091]

在上述假設下，當載子流過 CAC-OS 時，載子流動起因於具有第
10 二能帶間隙，亦即窄能帶間隙的 In 氧化物、In-Zn 氧化物或 In-Ti-Zn 氧化物。此時，載子從第二能帶間隙溢出到具有第一能帶間隙，亦即寬能帶間隙的 In-Ga-Ti-Zn 氧化物。換言之，具有窄能帶間隙的 In 氧化物、In-Zn 氧化物或 In-Ti-Zn 氧化物更容易生成載子，該載子移動到具有寬能帶間隙的 In-Ga-Ti-Zn 氧化物。

15 [0092]

在上述具有窄能帶間隙的 In 氧化物、In-Zn 氧化物及 In-Ti-Zn 氧化物中，有時 In-Ti-Zn 氧化物的能帶間隙比 In 氧化物及 In-Zn 氧化物窄。因此，藉由使用 In-Ti-Zn 氧化物，可以實現比 In 氧化物或 In-Zn 氧化物更高的載子密度。

20 [0093]

具有第一能帶間隙，亦即寬能帶間隙的區域的載子密度為 $1 \times 10^{10} \text{cm}^{-3}$ 以上且 $1 \times 10^{16} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 左右。另外，具有第二能帶間隙，亦即窄能帶間隙的區域的載子密度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以上且低於 $1 \times 10^{21} \text{cm}^{-3}$ 。

25 [0094]

在形成通道的金屬氧化物中，區域 001 及區域 002 不均勻地分佈而成為馬賽克狀。因此，以 X-X' 表示的實線上的能帶圖是一個例子。

[0095]

接著，圖 3A 至圖 3C 示出與圖 2C 不同的能帶圖。

[0096]

本發明的一個實施方式的金屬氧化物基本上形成圖 3A 所示的區域 002 夾在區域 001 之間的能帶或者區域 001 夾在區域 002 之間的能帶即可。

5 [0097]

在 CAC-OS 中，具有第一能帶間隙的區域 001 與具有第二能帶間隙的區域 002 的接合部有時產生區域的聚集方式或組成的不穩定。因此，如圖 3B 和圖 3C 所示，能帶有時連續地變化，而不是不連續地變化。換言之，當載子流過 CAC-OS 時，第一能帶間隙與第二能帶間隙聯動。

10 [0098]

接著，圖 4A 至圖 4C 示出圖 2A 所示的電晶體的以 X-X' 表示的實線上的能帶圖的模型。注意，在對第一閘極施加電壓的情況下，也對第二閘極施加相同的電壓。

[0099]

15 圖 4A 示出作為第一閘極電壓 V_g 對閘極與源極之間施加正電壓的狀態 ($V_g > 0$) (ON State)。圖 4B 示出不施加第一閘極電壓 V_g 的狀態 ($V_g = 0$)。圖 4C 示出作為第一閘極電壓 V_g 對閘極與源極之間施加負電壓的狀態 ($V_g < 0$) (OFF State)。在各能帶圖中，實線表示導帶底的能量。點劃線表示電子的准費米能階的能量 E_f 。

20 [0100]

在其通道部包含 CAC-OS 的電晶體中具有第一能帶間隙的區域 001 及具有第二能帶間隙的區域 002 在電性上發生相互作用。換言之，具有第一能帶間隙的區域 001 及具有第二能帶間隙的區域 002 互補發揮作用。

25 [0101]

如圖 4A 所示，當使電晶體成為導通狀態的電位 ($V_g > 0$) 施加到第一閘極時， E_c 端低的具有第二能帶間隙的區域 002 為主要傳導路徑，電子流過區域 002，同時還流過具有第一能帶間隙的區域 001。因此，可以實現導通狀態下的電晶體的高電流驅動力，亦即高通態電流及高

場效移動率。

[0102]

另外，如圖 4B 及圖 4C 所示，當對第一閘極施加低於臨界電壓的電壓 ($V_g \leq 0$) 時，具有第一能帶間隙的區域 001 起電介質（絕緣體）的作用，因此區域 001 中的傳導路徑被阻擋。另外，由於具有第二能帶間隙的區域 002 與具有第一能帶間隙的區域 001 接觸，因此具有第一能帶間隙的區域 001 與具有第二能帶間隙的區域 002 在電性上發生相互作用，還阻擋具有第二能帶間隙的區域 002 中的傳導路徑。於是，通道部整體成爲非導通狀態，而使電晶體成爲關閉狀態。

10 [0103]

如此，藉由將 CAC-OS 用於電晶體，當電晶體進行工作時，例如，當在閘極與源極或汲極之間產生電位差時，可以降低或防止閘極與源極或汲極之間的洩漏電流。

[0104]

15 另外，電晶體較佳爲使用膜中的氫濃度得到降低的金屬氧化物。將膜中的氫濃度低的金屬氧化物稱爲高純度本質或實質上高純度本質的金屬氧化物。由於高純度本質或實質上高純度本質的金屬氧化物起因於氫的載子（例如，氧缺陷中存在氫的 V_oH 等）少，因此可以降低載子密度。另外，因爲高純度本質或實質上高純度本質的金屬氧化物具有較低的缺陷態密度，所以有時具有較低的陷阱態密度。

[0105]

25 另外，高純度本質或實質上高純度本質的金屬氧化物起因於氫的載子少，因此載子密度低。但是，本發明的一個實施方式的金屬氧化物包含被用作載子供應源的元素（例如，選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種），因此即使起因於氫的載子少，也可以提高載子密度。

[0106]

此外，被金屬氧化物的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的金屬氧

化物中形成有通道區的電晶體的電特性不穩定。

[0107]

因此，爲了使電晶體的電特性穩定，降低金屬氧化物中的雜質濃度是有效的。爲了降低金屬氧化物中的雜質濃度，較佳爲還降低附近
5 膜中的雜質濃度。作爲雜質有氫、鹼金屬等。

[0108]

在此，說明金屬氧化物中的各雜質的影響。

[0109]

在金屬氧化物包含第 14 族元素之一的碳時，金屬氧化物中形成缺
10 陷能階。因此，金屬氧化物中或金屬氧化物的介面附近的碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）爲 2×10^{18} atoms/cm³ 以下，較佳爲 2×10^{17} atoms/cm³ 以下。

[0110]

另外，當金屬氧化物包含鹼金屬時，有時形成缺陷能階而形成載
15 子。因此，使用包含鹼金屬的金屬氧化物的電晶體容易具有常導通特性。由此，較佳爲降低金屬氧化物中的鹼金屬的濃度。明確而言，利用 SIMS 分析測得的金屬氧化物中的鹼金屬的濃度爲 1×10^{18} atoms/cm³ 以下，較佳爲 2×10^{16} atoms/cm³ 以下。

[0111]

包含在金屬氧化物中的氫與鍵合於金屬原子的氧起反應生成水，
20 因此有時形成氧缺陷（V_o）。當氫進入該氧缺陷（V_o）時，有時產生作爲載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作爲載子的電子。因此，使用包含氫的金屬氧化物的電晶體容易具有常導通特性。由此，較佳爲儘可能減少金屬氧化物中的氫。
25 明確而言，利用 SIMS 分析測得的金屬氧化物中的氫濃度爲 1×10^{16} atoms/cm³ 以上且低於 3×10^{21} atoms/cm³，較佳爲 1×10^{17} atoms/cm³ 以上且低於 3×10^{20} atoms/cm³。

[0112]

注意，藉由將氧引入金屬氧化物，可以降低金屬氧化物中的氧缺

陷 (V_o)。換言之，當用氧填補金屬氧化物中的氧缺陷 (V_o) 時，氧缺陷 (V_o) 消失。因此，藉由將氧擴散到金屬氧化物，可以減少電晶體的氧缺陷 (V_o)，而可以提高可靠性。

[0113]

- 5 作為將氧引入金屬氧化物的方法，例如有以與金屬氧化物接觸的方式設置包含超過化學計量組成的氧的氧化物的方法。就是說，在該氧化物中，較佳為形成有包含超過化學計量組成的氧的區域（以下，也稱為氧過量區域）。尤其是，當將金屬氧化物用於電晶體時，在電晶體附近的基底膜或層間膜等中設置具有氧過量區域的氧化物，可以降低電晶體的氧缺陷，而可以提高電晶體的可靠性。

[0114]

藉由將雜質被充分降低的金屬氧化物用於電晶體的通道形成區，可以使電晶體具有穩定的電特性。

[0115]

- 15 〈金屬氧化物的成膜方法〉

下面，對金屬氧化物的例子進行說明。

[0116]

- 將金屬氧化物的成膜溫度較佳為設定為室溫（例如 25°C）以上且 170°C 以下，更佳為 100°C 以上且低於 150°C。例如 G10 等的大型基板根據其尺寸受到基板溫度的限制。因此，適當地選擇高於水的氣化溫度（100°C 以上）且在可能的範圍內能夠確保裝置的可維護性及吞吐量的溫度。注意，室溫包括不進行意圖性的加熱的狀態。

[0117]

- 25 作為濺射氣體，適當地使用稀有氣體（典型的是氬）、氧、稀有氣體和氧的混合氣體。當採用混合氣體時，較佳為將在沉積氣體整體中氧氣體所佔的比率設定為 0% 以上且 30% 以下，較佳為 5% 以上且 20% 以下。

[0118]

另外，需要進行濺射氣體的高度純化。例如，作為用作濺射氣體

的氧氣體或氫氣體，使用露點為-40°C以下，較佳為-80°C以下，更佳為-100°C以下，進一步較佳為-120°C以下的高純度氣體，由此可以儘可能地防止水分等混入金屬氧化物。

[0119]

- 5 另外，在藉由濺射法形成金屬氧化物的情況下，較佳為使用低溫泵等吸附式真空抽氣泵對濺射裝置的腔室進行高真空抽氣（抽空到 5×10^7 Pa 至 1×10^4 Pa 左右）以儘可能地去除對金屬氧化物來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體（尤其是包含碳或氫的氣體）從抽氣系統倒流到腔室內。

10 [0120]

作為金屬氧化物靶材，可以使用 In-M1-M2-Zn 金屬氧化物靶材。例如，較佳為使用 In : Ga : Ti : Zn=4 : 1 : 1 : 4[原子數比]、In : Ga : Ge : Zn=4 : 1 : 1 : 4[原子數比]、In : Ga : Ti : Zn=5 : 0.5 : 0.5 : 7[原子數比]、In : Ga : Ge : Zn=5 : 0.5 : 0.5 : 7[原子數比]或者其近似值的原子數比的金屬氧化物靶材。

15

[0121]

注意，金屬氧化物靶材不侷限於上述結構，也可以使用 In-M2-Zn 金屬氧化物靶材。例如，較佳為使用 In : Ti : Zn=5 : 1 : 7[原子數比]、In : Ge : Zn=5 : 1 : 7[原子數比]或者其近似值的金屬氧化物靶材。

20

[0122]

另外，在濺射裝置中，可以使配置在靶材附近的磁鐵單元旋轉或移動。例如，也可以藉由在進行成膜時使磁鐵單元在上下或/及左右方向上擺動，來形成本發明的一個實施方式的金屬氧化物。例如，以 0.1Hz 以上且 1kHz 以下的拍子使磁鐵單元擺動即可。

25

[0123]

作為濺射氣體使用氧氣體比率大約為 10%的氧和稀有氣體的混合氣體，將基板溫度設定為 130°C，使用 In : Ga : Ti : Zn=5 : 0.5 : 0.5 : 7[原子數比]的 In-Ga-Ti-Zn 金屬氧化物靶材，在使配置在靶材附近（例如，靶材背面）的磁鐵單元擺動的同時進行成膜，由此可以形成本發

明的一個實施方式的金屬氧化物。

[0124]

本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

5

[0125]

實施方式 2

在本實施方式中，參照圖 5A 至圖 16B 對包含本發明的一個實施方式的金屬氧化物的半導體裝置及該半導體裝置的製造方法進行說明。

10

[0126]

〈2-1. 半導體裝置的結構實例 1〉

圖 5A 是作為本發明的一個實施方式的半導體裝置的電晶體 100A 的俯視圖，圖 5B 相當於沿著圖 5A 所示的點劃線 X1-X2 的剖面圖，圖 5C 相當於沿著圖 5A 所示的點劃線 Y1-Y2 的剖面圖。另外，圖 5D 為放大圖 5B 所示的區域 P1 的剖面概念圖。

15

[0127]

注意，在圖 5A 中，為了方便起見，省略電晶體 100A 的組件的一部分（被用作閘極絕緣膜的絕緣膜等）。此外，有時將點劃線 X1-X2 方向稱為通道長度方向，將點劃線 Y1-Y2 方向稱為通道寬度方向。注意，有時在後面的電晶體的俯視圖中也與圖 5A 同樣地省略組件的一部分。

20

[0128]

電晶體 100A 包括基板 102 上的導電膜 106、基板 102 及導電膜 106 上的絕緣膜 104、絕緣膜 104 上的金屬氧化物 108、金屬氧化物 108 上的導電膜 112a、金屬氧化物 108 上的導電膜 112b、金屬氧化物 108、導電膜 112a 及導電膜 112b 上的絕緣膜 114、絕緣膜 114 上的絕緣膜 116、絕緣膜 116 上的導電膜 120a 以及絕緣膜 116 上的導電膜 120b。

25

[0129]

絕緣膜 104 具有開口 151，在絕緣膜 104 上形成有藉由開口 151 與

導電膜 106 電連接的導電膜 112c。絕緣膜 114 及絕緣膜 116 具有到達導電膜 112b 的開口 152a 及到達導電膜 112c 的開口 152b。

[0130]

金屬氧化物 108 包括實施方式 1 所示的本發明的一個實施方式的
5 金屬氧化物。在此，參照圖 5D 對本發明的一個實施方式的金屬氧化物與導電膜的連接進行說明。

[0131]

如圖 5D 的區域 P1 所示，金屬氧化物 108 的頂面及側面與導電膜
112a 接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 108 具有
10 圖 1 所示的 CAC 構成，因此 CAC 構成所具有的区域 002，亦即載子密度高的區域與導電膜 112a 接觸，可以進一步降低接觸電阻。注意，雖然未圖示，但是金屬氧化物 108 與導電膜 112b 的連接也與區域 P1 同樣。

[0132]

本發明的一個實施方式的金屬氧化物具有高導電性區域，且其與
15 導電膜的接觸電阻低。因此，可以提高包含該金屬氧化物的電晶體的場效移動率。

[0133]

例如，電晶體 100A 的場效移動率可以大於 $50\text{cm}^2/\text{Vs}$ ，較佳為大於
20 $100\text{cm}^2/\text{Vs}$ 。

[0134]

例如，藉由將上述場效移動率高的電晶體用於顯示裝置所包括的
生成閘極信號的閘極驅動器，可以提供邊框寬度窄（也稱為窄邊框）
的顯示裝置。另外，藉由將上述場效移動率高的電晶體用於顯示裝置
25 所包括的供應來自信號線的信號的源極驅動器（特別是，連接到源極
驅動器所包括的移位暫存器的輸出端子的解多工器），可以提供連接到
顯示裝置的佈線數少的顯示裝置。

[0135]

另外，混入金屬氧化物 108 的氫或水分等雜質對電晶體特性造成

影響而引起問題。因此，在金屬氧化物 108 的通道區中，氫或水分等雜質越少越好。另外，形成在金屬氧化物 108 的通道區中的氧缺陷對電晶體特性造成影響而引起問題。例如，當在金屬氧化物 108 的通道區中形成有氧缺陷時，該氧缺陷與氫鍵合，而成為載子供應源。當在金屬氧化物 108 的通道區中產生載子供應源時，包括金屬氧化物 108 的電晶體 100A 的電特性發生變動，典型為臨界電壓的漂移。因此，在金屬氧化物 108 的通道區中，氧缺陷越少越好。

[0136]

導電膜 112c 與導電膜 120a 藉由開口 152b 電連接，導電膜 112b 與導電膜 120b 藉由開口 152a 電連接。導電膜 120a 與導電膜 120b 可以藉由對同一導電膜進行加工來形成。

[0137]

在電晶體 100A 上設置有絕緣膜 118。絕緣膜 118 以覆蓋絕緣膜 116、導電膜 120a 及導電膜 120b 的方式形成。

[0138]

在電晶體 100A 中，絕緣膜 104 具有電晶體 100A 的第一閘極絕緣膜的功能，絕緣膜 114、116 具有電晶體 100A 的第二閘極絕緣膜的功能，絕緣膜 118 具有電晶體 100A 的保護絕緣膜的功能。

[0139]

此外，在電晶體 100A 中，導電膜 106 具有第一閘極電極的功能，導電膜 120a 具有第二閘極電極的功能，導電膜 120b 具有用於顯示裝置的像素電極的功能。此外，在電晶體 100A 中，導電膜 112a 具有源極電極的功能，導電膜 112b 具有汲極電極的功能。此外，在電晶體 100A 中，導電膜 112c 具有連接電極的功能。注意，在本說明書等中，有時將絕緣膜 104 稱為第一絕緣膜，將絕緣膜 114、116 稱為第二絕緣膜，將絕緣膜 118 稱為第三絕緣膜。

[0140]

另外，如圖 5C 所示，被用作第二閘極電極的導電膜 120a 藉由被用作連接電極的導電膜 112c 與被用作第一閘極電極的導電膜 106 電連

接。因此，相同電位被施加到導電膜 106 及導電膜 120a。

[0141]

如圖 5C 所示，金屬氧化物 108 位於與被用作第一閘極電極的導電膜 106 及被用作第二閘極電極的導電膜 120a 的每一個相對的位置，夾在兩個被用作閘極電極的膜之間。導電膜 120a 的通道長度方向上的長度及導電膜 120a 的通道寬度方向上的長度分別比金屬氧化物 108 的通道長度方向上的長度及金屬氧化物 108 的通道寬度方向上的長度長，並且導電膜 120a 隔著絕緣膜 114、116 覆蓋金屬氧化物 108 整體。

[0142]

換言之，在電晶體 100A 的通道寬度方向上，被用作第一閘極電極的導電膜 106 及被用作第二閘極電極的導電膜 120a 隔著被用作第一閘極絕緣膜的絕緣膜 104 及被用作第二閘極絕緣膜的絕緣膜 114、116 圍繞金屬氧化物 108。

[0143]

藉由採用上述結構，可以利用被用作第一閘極電極的導電膜 106 及被用作第二閘極電極的導電膜 120a 的電場電圍繞電晶體 100A 所包括的金屬氧化物 108。可以將如電晶體 100A 那樣利用第一閘極電極及第二閘極電極的電場電圍繞形成有通道區的金屬氧化物的電晶體的裝置結構稱為 Surrounded channel (S-channel：圍繞通道) 結構。

[0144]

因為電晶體 100A 具有 S-channel 結構，所以可以使用被用作第一閘極電極的導電膜 106 對金屬氧化物 108 有效地施加用來引起通道的電場。由此，電晶體 100A 的電流驅動能力得到提高，從而可以得到高通態電流特性。此外，由於可以提高通態電流，所以可以使電晶體 100A 微型化。另外，由於金屬氧化物 108 被用作第一閘極電極的導電膜 106 與用作第二閘極電極的導電膜 120a 圍繞，所以可以提高電晶體 100A 的機械強度。

[0145]

〈2-2.半導體裝置的結構實例 2〉

接著，參照圖 6A 至圖 8D 對圖 5A 至圖 5C 所示的電晶體 100A 的變形例子進行說明。

[0146]

首先，參照圖 6A 至圖 6D 進行說明。

5 [0147]

圖 6A 至圖 6C 是圖 5A 至圖 5C 所示的電晶體 100A 的變形例子的電晶體 100B 的俯視圖及剖面圖。圖 6D 為放大圖 6B 所示的區域 P2 的剖面概念圖。

[0148]

10 圖 6A 至圖 6C 所示的電晶體 100B 為將圖 5A 至圖 5C 所示的電晶體 100A 的金屬氧化物 108 變為兩層的疊層結構的電晶體。明確而言，電晶體 100B 的金屬氧化物 108 包括金屬氧化物 108_2 及金屬氧化物 108_2 上的金屬氧化物 108_3。

[0149]

15 例如，作為金屬氧化物 108 所包括的金屬氧化物 108_2 可以使用本發明的一個實施方式的金屬氧化物。

[0150]

20 如圖 6D 的區域 P2 所示，金屬氧化物 108 的頂面及側面與導電膜 112a 接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 108 所包括的金屬氧化物 108_2 具有圖 1 所示的 CAC 構成，因此 CAC 構成所具有的區域 002，亦即載子密度高的區域與導電膜 112a 接觸，可以進一步降低接觸電阻。另外，即使作為金屬氧化物 108_3 使用導電性低的金屬氧化物，例如，寬能帶間隙（例如， E_g 為 3.3eV 以上）的氧化物，由於金屬氧化物 108_2 的側面與導電膜 112a 接觸，因此可以降低接觸
25 電阻。注意，雖然未圖示，但是金屬氧化物 108 與導電膜 112b 的連接也與區域 P2 同樣。

[0151]

接著，參照圖 7A 至圖 7D 進行說明。

[0152]

圖 7A 至圖 7C 是圖 5A 至圖 5C 所示的電晶體 100A 的變形例子的電晶體 100C 的俯視圖及剖面圖。圖 7D 為放大圖 7B 所示的區域 P3 的剖面概念圖。

[0153]

5 圖 7A 至圖 7C 所示的電晶體 100C 為將圖 5A 至圖 5C 所示的電晶體 100A 的金屬氧化物 108 變為三層的疊層結構的電晶體。明確而言，電晶體 100C 的金屬氧化物 108 包括金屬氧化物 108_1、金屬氧化物 108_1 上的金屬氧化物 108_2 及金屬氧化物 108_2 上的金屬氧化物 108_3。

10 [0154]

例如，作為金屬氧化物 108 所包括的金屬氧化物 108_2 可以使用本發明的一個實施方式的金屬氧化物。

[0155]

15 如圖 7D 的區域 P3 所示，金屬氧化物 108 的頂面及側面與導電膜 112a 接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 108 所包括的金屬氧化物 108_2 具有圖 1 所示的 CAC 構成，因此 CAC 構成所具有的區域 002，亦即載子密度高的區域與導電膜 112a 接觸，可以進一步降低接觸電阻。另外，即使作為金屬氧化物 108_1 及金屬氧化物 108_3 使用導電性低的金屬氧化物，例如，寬能帶間隙（例如， E_g 為 3.3eV

20 以上）的氧化物，由於金屬氧化物 108_2 的側面與導電膜 112a 接觸，因此可以降低接觸電阻。注意，雖然未圖示，但是金屬氧化物 108 與導電膜 112b 的連接也與區域 P3 同樣。

[0156]

接著，參照圖 8A 至圖 8D 進行說明。

25 [0157]

圖 8A 至圖 8C 是圖 5A 至圖 5C 所示的電晶體 100A 的變形例子的電晶體 100D 的俯視圖及剖面圖。圖 8D 為放大圖 8B 所示的區域 P4 的剖面概念圖。

[0158]

圖 8A 至圖 8C 所示的電晶體 100D 為將圖 5A 至圖 5C 所示的電晶體 100A 的金屬氧化物 108 變為三層的疊層結構的電晶體。明確而言，電晶體 100D 的金屬氧化物 108 包括金屬氧化物 108_1、金屬氧化物 108_1 上的金屬氧化物 108_2 及金屬氧化物 108_2 上的金屬氧化物 108_3。

[0159]

例如，作為金屬氧化物 108 所包括的金屬氧化物 108_2 可以使用本發明的一個實施方式的金屬氧化物。如圖 8D 的區域 P4 所示，金屬氧化物 108 的頂面及側面與導電膜 112a 接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 108 所包括的金屬氧化物 108_2 具有圖 1 所示的 CAC 構成，因此 CAC 構成所具有的區域 002，亦即載子密度高的區域與導電膜 112a 接觸，可以進一步降低接觸電阻。

[0160]

電晶體 100D 與電晶體 100C 的不同之處在於金屬氧化物 108_3 的位置，電晶體 100D 所包括的金屬氧化物 108_3 形成在被用作源極電極及汲極電極的導電膜 112a、112b 上。藉由將金屬氧化物 108_3 形成在導電膜 112a、112b 上，可以進一步降低金屬氧化物 108_2 與導電膜 112a、112b 的接觸電阻。

[0161]

如圖 6A 至圖 8D 所示，在本發明的一個實施方式的電晶體中，金屬氧化物較佳為具有疊層結構。

[0162]

〈2-3.能帶結構〉

接著，參照圖 16A 和圖 16B 對金屬氧化物 108 具有疊層結構時的能帶結構進行說明。

[0163]

圖 16A 和圖 16B 示出絕緣膜 104、金屬氧化物 108_1、108_2、108_3 及絕緣膜 114 的能帶結構、絕緣膜 104、金屬氧化物 108_2、108_3 及絕緣膜 114 的能帶結構。

[0164]

圖 16A 是包括絕緣膜 104、金屬氧化物 108_1、108_2、108_3 及絕緣膜 114 的疊層結構的膜厚度方向的能帶結構的例子。此外，圖 16B 是包括絕緣膜 104、金屬氧化物 108_2、108_3 及絕緣膜 114 的疊層結構的膜厚度方向的能帶結構的例子。在能帶圖中，爲了容易理解，示出絕緣膜 104、金屬氧化物 108_1、108_2、108_3 及絕緣膜 114 的導帶底能階 (E_c)。

[0165]

如圖 16A 所示，在金屬氧化物 108_1、108_2、108_3 中，導帶底能階平緩地變化。此外，如圖 16B 所示，在金屬氧化物 108_2、108_3 中，導帶底能階平緩地變化。換言之，導帶底能階連續地變化或連續接合。爲了實現這種能帶結構，使在金屬氧化物 108_1 與金屬氧化物 108_2 之間的介面處或金屬氧化物 108_2 與金屬氧化物 108_3 之間的介面處不存在形成陷阱中心或再結合中心等缺陷能階的雜質。

15 [0166]

爲了在金屬氧化物 108_1、108_2、108_3 中形成連續接合，需要使用具備負載鎖定室的多室方式的成膜裝置（濺射裝置）在不使各膜暴露於大氣的情況下連續地層疊。

[0167]

20 藉由採用圖 16A 和圖 16B 所示的結構，金屬氧化物 108_2 成爲井（well），並且在使用上述疊層結構的電晶體中，通道區形成在金屬氧化物 108_2 中。

[0168]

25 作爲金屬氧化物 108_2 可以使用本發明的一個實施方式的金屬氧化物。因此，在圖 16A 和圖 16B 中，金屬氧化物 108_2 的能帶結構具有平坦的形狀，但是金屬氧化物 108_2 有可能具有在實施方式 1 中說明的圖 3A 至圖 3C 所示的能帶結構。

[0169]

藉由設置金屬氧化物 108_1、108_3，可以使有可能形成在金屬氧

化物 108_2 中的陷阱能階形成在金屬氧化物 108_1 或金屬氧化物 108_3。因此，在金屬氧化物 108_2 中不容易形成陷阱能階。

[0170]

有時與用作通道區的金屬氧化物 108_2 的導帶底能階 (E_c) 相比，
5 陷阱能階離真空能階更遠，而電子容易積累在陷阱能階中。當電子積累在陷阱能階中時，成為負固定電荷，導致電晶體的臨界電壓向正方向漂移。因此，較佳為採用陷阱能階比金屬氧化物 108_2 的導帶底能階 (E_c) 更接近於真空能階的結構。藉由採用上述結構，電子不容易積累在陷阱能階，所以能夠提高電晶體的通態電流，並且還能夠提高場
10 效移動率。

[0171]

金屬氧化物 108_1、108_3 與金屬氧化物 108_2 相比導帶底的能階更接近於真空能階，典型的是，金屬氧化物 108_2 的導帶底能階與金屬氧化物 108_1、108_3 的導帶底能階之差為 0.15eV 以上或 0.5eV 以上，
15 且為 2eV 以下或 1eV 以下。換言之，金屬氧化物 108_1、108_3 的電子親和力與金屬氧化物 108_2 的電子親和力之差為 0.15eV 以上或 0.5eV 以上，且為 2eV 以下或 1eV 以下。

[0172]

藉由具有上述結構，金屬氧化物 108_2 成為主要電流路徑。就是說，
20 金屬氧化物 108_2 被用作通道區，金屬氧化物 108_1、108_3 被用作氧化物絕緣膜。此外，金屬氧化物 108_1、108_3 較佳為使用形成通道區的金屬氧化物 108_2 所包含的金屬元素中的一種以上。藉由採用上述結構，在金屬氧化物 108_1 與金屬氧化物 108_2 之間的介面處或在金屬氧化物 108_2 與金屬氧化物 108_3 之間的介面處不容易產生介面散射。由
25 此，在該介面處載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0173]

注意，為了防止金屬氧化物 108_1、108_3 被用作通道區的一部分，金屬氧化物 108_1、108_3 使用導電率足夠低的材料。因此，根據其物

性及/或功能可以將金屬氧化物 108_1、108_3 稱為氧化物絕緣膜。或者，金屬氧化物 108_1、108_3 使用其電子親和力（真空能階與導帶底能階之差）低於金屬氧化物 108_2 且其導帶底能階與金屬氧化物 108_2 的導帶底能階有差異（能帶偏移（offset））的材料。此外，為了抑制產生起
5 因於汲極電壓值的臨界電壓之間的差異，金屬氧化物 108_1、108_3 較佳為使用其導帶底能階比金屬氧化物 108_2 的導帶底能階更接近於真空能階的材料。例如，金屬氧化物 108_2 的導帶底能階與金屬氧化物 108_1、108_3 的導帶底能階之差較佳為 0.2eV 以上，更佳為 0.5eV 以上。

[0174]

10 在金屬氧化物 108_1、108_3 中較佳為不具有尖晶石型結晶結構。在金屬氧化物 108_1、108_3 中具有尖晶石型結晶結構時，導電膜 120a、120b 的構成元素有時會在該尖晶石型結晶結構與其他區域之間的介面處擴散到金屬氧化物 108_2 中。注意，在金屬氧化物 108_1、108_3 為 CAAC-OS 的情況下，阻擋導電膜 120a、120b 的構成元素如銅元素的性
15 質得到提高，所以是較佳的。

[0175]

金屬氧化物 108_1、108_3 可以使用 In : Ga : Zn=1 : 1 : 1[原子數比]的金屬氧化物靶材、In : Ga : Zn=1 : 3 : 4[原子數比]的金屬氧化物靶材或 In : Ga : Zn=1 : 3 : 6[原子數比]的金屬氧化物靶材等形成。

20 [0176]

〈2-4.半導體裝置的結構實例 3〉

接著，參照圖 9A 至圖 9D 對具有與在前面說明的電晶體不同結構的電晶體進行說明。

[0177]

25 圖 9A 是作為本發明的一個實施方式的半導體裝置的電晶體 200A 的俯視圖，圖 9B 相當於沿著圖 9A 所示的點劃線 X1-X2 的剖面圖，圖 9C 相當於沿著圖 9A 所示的點劃線 Y1-Y2 的剖面圖。另外，圖 9D 為放大圖 9B 所示的區域 P5 的剖面概念圖。

[0178]

圖9A至圖9C所示的電晶體200A為所謂的頂閘極結構的電晶體。

[0179]

5 電晶體200A包括基板202上的導電膜206、基板202及導電膜206上的絕緣膜204、絕緣膜204上的金屬氧化物208、金屬氧化物208上的絕緣膜210、絕緣膜210上的導電膜212、絕緣膜204、金屬氧化物208以及導電膜212上的絕緣膜216。

[0180]

作為金屬氧化物208較佳為使用本發明的一個實施方式的金屬氧化物。

10 [0181]

金屬氧化物208與導電膜212重疊，且包括與絕緣膜210接觸的區域208i及與絕緣膜216重疊的區域208n。區域208n具有其載子密度比區域208i高的區域。換言之，金屬氧化物208具有載子密度不同的多個區域。可以將區域208n稱為源極區或汲極區。

15 [0182]

在此，參照圖9D對區域208i與區域208n的連接進行說明。

[0183]

20 如圖9D的區域P5所示，區域208i的側面與區域208n的側面接觸，因此可以降低接觸電阻。另外，由於金屬氧化物208所包括的區域208i具有圖1所示的CAC構成，因此CAC構成所具有的區域002，亦即載子密度高的區域與區域208n（亦即源極區）接觸，可以進一步降低接觸電阻。注意，雖然未圖示，但是區域208i的其他的側面與區域208n的側面的連接也與區域P5同樣。

[0184]

25 本發明的一個實施方式的金屬氧化物具有高導電性區域，且其與源極區或汲極區的接觸電阻低。因此，可以提高包含該金屬氧化物的電晶體的場效移動率。

[0185]

區域208n與絕緣膜216接觸。絕緣膜216包含氮或氫。因此，絕

緣膜 216 中的氮或氫添加到區域 208n 中。當氮或氫從絕緣膜 216 添加到區域 208n 時，區域 208n 的載子密度得到提高。

[0186]

5 電晶體 200A 也可以包括絕緣膜 216 上的絕緣膜 218、藉由設置在絕緣膜 216、218 中的開口 241a 與區域 208n 電連接的導電膜 220a、藉由設置在絕緣膜 216、218 中的開口 241b 與區域 208n 電連接的導電膜 220b。

[0187]

10 如圖 9C 所示，在絕緣膜 204 及絕緣膜 210 中設置有開口 243。此外，導電膜 206 藉由開口 243 與導電膜 212 電連接。因此，相同電位被施加到導電膜 206 及導電膜 212。此外，也可以不設置開口 243，而對導電膜 206、導電膜 212 施加不同電位。

[0188]

15 導電膜 206 具有第一閘極電極（也稱為底閘極電極）的功能，且導電膜 212 具有第二閘極電極（也稱為頂閘極電極）的功能。此外，絕緣膜 204 具有第一閘極絕緣膜的功能，且絕緣膜 210 具有第二閘極絕緣膜的功能。

[0189]

20 如此，圖 9A 至圖 9C 所示的電晶體 200A 具有在金屬氧化物 208 的上下包括被用作閘極電極的導電膜的結構。如電晶體 200A 所示，在本發明的一個實施方式的半導體裝置中，也可以設置兩個以上的閘極電極。

[0190]

25 如圖 9C 所示，金屬氧化物 208 位於與被用作第一閘極電極的導電膜 206 及被用作第二閘極電極的導電膜 212 的每一個相對的位置，夾在兩個被用作閘極電極的導電膜之間。

[0191]

在通道寬度方向上，導電膜 212 的長度比金屬氧化物 208 長，並且導電膜 212 隔著絕緣膜 210 覆蓋金屬氧化物 208 整體。導電膜 212 和導

電膜 206 藉由形成於絕緣膜 204 及絕緣膜 210 中的開口 243 連接，因此在通道寬度方向上，金屬氧化物 208 的一個側面隔著絕緣膜 210 與導電膜 212 相對。

[0192]

- 5 換言之，在電晶體 200A 的通道寬度方向上，導電膜 206 及導電膜 212 藉由形成於絕緣膜 204 及絕緣膜 210 中的開口 243 連接，並隔著絕緣膜 204 及絕緣膜 210 圍繞金屬氧化物 208。換言之，電晶體 200A 具有上述 S-channel 結構。

[0193]

- 10 <2-5.半導體裝置的結構實例 4>

接著，參照圖 10A 至圖 12D 對圖 9A 至圖 9C 所示的電晶體 200A 的變形例子進行說明。

[0194]

首先，參照圖 10A 至圖 10D 進行說明。

- 15 [0195]

圖 10A 至圖 10C 是圖 9A 至圖 9C 所示的電晶體 200A 的變形例子的電晶體 200B 的俯視圖及剖面圖。圖 10D 為放大圖 10B 所示的區域 P6 的剖面概念圖。

[0196]

- 20 圖 10A 至圖 10C 所示的電晶體 200B 為將圖 9A 至圖 9C 所示的電晶體 200A 的金屬氧化物 208 變為兩層的疊層結構的電晶體。明確而言，電晶體 200B 的金屬氧化物 208 包括區域 208i_1、區域 208i_1 上的區域 208i_2 及與絕緣膜 216 重疊的區域 208n。

[0197]

- 25 例如，作為金屬氧化物 208 所包括的區域 208i_2 可以使用本發明的一個實施方式的金屬氧化物。

[0198]

如圖 10D 的區域 P6 所示，區域 208i_2 的側面與區域 208n 的側面接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 208 所包括的

區域 208i_2 具有圖 1 所示的 CAC 構成，因此 CAC 構成所具有的區域 002，亦即載子密度高的區域與區域 208n（亦即源極區）接觸，可以進一步降低接觸電阻。注意，雖然未圖示，但是區域 208i_2 的其他的側面與區域 208n 的側面的連接也與區域 P6 同樣。

5 [0199]

接著，參照圖 11A 至圖 11D 進行說明。

[0200]

圖 11A 至圖 11C 是圖 9A 至圖 9C 所示的電晶體 200A 的變形例子的電晶體 200C 的俯視圖及剖面圖。圖 11D 為放大圖 11B 所示的區域
10 P7 的剖面概念圖。

[0201]

圖 11A 至圖 11C 所示的電晶體 200C 為將圖 9A 至圖 9C 所示的電晶體 200A 的金屬氧化物 208 變為三層的疊層結構的電晶體。明確而言，電晶體 200C 的金屬氧化物 208 包括區域 208i_1、區域 208i_1 上的區域
15 208i_2、區域 208i_2 上的區域 208i_3 及與絕緣膜 216 重疊的區域 208n。

[0202]

例如，作為金屬氧化物 208 所包括的區域 208i_2 可以使用本發明的一個實施方式的金屬氧化物。

[0203]

20 如圖 11D 的區域 P7 所示，區域 208i_2 的側面與區域 208n 的側面接觸，因此可以降低接觸電阻。另外，由於金屬氧化物 208 所包括的區域 208i_2 具有圖 1 所示的 CAC 構成，因此 CAC 構成所具有的區域 002，亦即載子密度高的區域與區域 208n（亦即源極區）接觸，可以進一步降低接觸電阻。注意，雖然未圖示，但是區域 208i_2 的其他的側
25 面與區域 208n 的側面的連接也與區域 P7 同樣。

[0204]

接著，參照圖 12A 至圖 12D 進行說明。

[0205]

圖 12A 至圖 12C 是圖 9A 至圖 9C 所示的電晶體 200A 的變形例子

的電晶體 200D 的俯視圖及剖面圖。圖 12D 為放大圖 12B 所示的區域 P8 的剖面概念圖。

[0206]

圖 12A 至圖 12C 所示的電晶體 200D 為將圖 9A 至圖 9C 所示的電
5 晶體 200A 的金屬氧化物 208 變為三層的疊層結構的電晶體。明確而言，
電晶體 200D 的金屬氧化物 208 包括區域 208i_1、區域 208i_1 上的區域
208i_2、區域 208i_2 上的區域 208i_3 及與絕緣膜 216 重疊的區域 208n。

[0207]

例如，作為金屬氧化物 208 所包括的區域 208i_2 可以使用本發明
10 的一個實施方式的金屬氧化物。注意，如區域 P8 所示，區域 208i_2 的
側面與區域 208n 的側面接觸，因此可以降低接觸電阻。另外，由於金
屬氧化物 208 所包括的區域 208i_2 具有圖 1 所示的 CAC 構成，因此 CAC
構成所具有的區域 002，亦即載子密度高的區域與區域 208n（亦即源極
15 區）接觸，可以進一步降低接觸電阻。注意，雖然未圖示，但是區域
208i_2 的其他的側面與區域 208n 的側面的連接也與區域 P8 同樣。

[0208]

電晶體 200D 所包括的金屬氧化物 208 的區域 208i_3 的形狀與電晶
體 200C 不同。明確而言，電晶體 200D 所包括的金屬氧化物 208 具有
區域 208i_1 的側面及區域 208i_2 的側面被區域 208i_3 覆蓋的形狀。藉
20 由採用該形狀，區域 208i_1 的側面及區域 208i_2 的側面不與絕緣膜 210
接觸。由此，可以抑制有可能進入區域 208i_1 及區域 208i_2（尤其是
區域 208i_2）的雜質，所以可以提供可靠性高的半導體裝置。

[0209]

如圖 10A 至圖 12D 所示，在本發明的一個實施方式的電晶體中，
25 金屬氧化物較佳為具有疊層結構。關於金屬氧化物具有疊層結構時的
能帶結構，可以參照〈2-3.能帶結構〉。

[0210]

〈2-6.半導體裝置的組件〉

下面，對本實施方式的半導體裝置所包括的組件進行詳細說明。

[0211]

[基板]

雖然對基板 102、202 的材料等沒有特別的限制，但是至少需要具有能夠承受後續的加熱處理的耐熱性。例如，作為基板 102、202，
5 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以使用以矽或碳化矽為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且，也可以將在這些基板上設置有半導體元件的基板用作基板 102、202。當作為基板 102、202 使用玻璃基板時，藉由
10 使用第 6 代（1500mm×1850mm）、第 7 代（1870mm×2200mm）、第 8 代（2200mm×2400mm）、第 9 代（2400mm×2800mm）、第 10 代（2950mm×3400mm）等大面積基板，可以製造大型顯示裝置。

[0212]

作為基板 102、202，也可以使用撓性基板，並且在撓性基板上直接
15 形成電晶體。或者，也可以在基板 102、202 與電晶體之間設置剝離層。剝離層可以在如下情況下使用，亦即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板 102、202 分離並轉置到其他基板上
的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。

[0213]

20 [導電膜]

用作第一閘極電極的導電膜 106、206、用作源極電極的導電膜 112a、
220a、用作汲極電極的導電膜 112b、220b、用作連接電極的導電膜 112c、
用作第二閘極電極的導電膜 120a、212 及用作像素電極的導電膜 120b
25 都可以使用選自鉻（Cr）、銅（Cu）、鋁（Al）、金（Au）、銀（Ag）、鋅（Zn）、鉬（Mo）、鉭（Ta）、鈦（Ti）、鎢（W）、錳（Mn）、鎳（Ni）、鐵（Fe）、鈷（Co）中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等形成。

[0214]

此外，作為導電膜 106、112a、112b、112c、120a、120b、206、220a、

220b、212 可以使用包含銮和錫的氧化物、包含鎢和銮的氧化物、包含鎢和銮和鋅的氧化物、包含鈦和銮的氧化物、包含鈦和銮和錫的氧化物、包含銮和鋅的氧化物、包含矽和銮和錫的氧化物、包含銮和鎳和鋅的氧化物等氧化物導電體。

5 [0215]

尤其是，作為導電膜 120a、212 較佳為使用上述氧化物導電體。在本說明書等中，可以將氧化物導電體稱為 OC(Oxide Conductor)。例如，當在氧化物半導體中形成氧缺陷且對該氧缺陷添加氫時，在導帶附近形成施體能階。其結果是，氧化物半導體的導電性增高，而成為導電體。可以將成為導電體的氧化物半導體稱為氧化物導電體。一般而言，由於氧化物半導體的能隙寬，因此對可見光具有透光性。另一方面，氧化物導電體是在導帶附近具有施體能階的氧化物半導體。因此，氧化物導電體起因於該施體能階的吸收的影響小，而對可見光具有與氧化物半導體大致相同的透光性。

15 [0216]

另外，作為導電膜 106、112a、112b、112c、120a、120b、206、220a、220b、212，也可以應用 Cu-X 合金膜(X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti)。藉由使用 Cu-X 合金膜，可以藉由濕蝕刻製程進行加工，從而可以抑制製造成本。

20 [0217]

尤其是，上述 Cu-X 合金膜適用於導電膜 112a、112b、220a、220b。作為 Cu-X 合金膜，尤其較佳為使用 Cu-Mn 合金膜。

[0218]

[用作第一閘極絕緣膜的絕緣膜]

25 作為用作電晶體的第一閘極絕緣膜的絕緣膜 104、204，可以使用藉由電漿增強化學氣相沉積(PECVD: Plasma Enhanced Chemical Vapor Deposition)法、濺射法等形成的包括氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化釷膜、氧化鋇膜、氧化鎳膜、氧化鋇膜、氧化鋁膜、氧化鎂膜、氧化釷膜、氧化鈣膜和氧化鈉膜中的一

種以上的絕緣層。注意，絕緣膜 104、204 可以使用選自上述材料中的單層的絕緣膜或兩層以上的絕緣膜。

[0219]

5 作為接觸於用作電晶體的通道區的金屬氧化物 108、208 的絕緣膜較佳為使用氧化物絕緣膜，更佳為包括包含超過化學計量組成的氧的區域（氧過量區域）。

[0220]

10 注意，不侷限於上述結構，作為接觸於金屬氧化物 108、208 的絕緣膜也可以使用氮化物絕緣膜。例如，可以舉出藉由形成氮化矽膜並對該氮化矽膜的表面進行氧電漿處理等來使氮化矽膜的表面氧化的結構。注意，在對氮化矽膜的表面進行氧電漿處理等的情況下，氮化矽膜的表面有可能在原子級上被氧化，因此有時藉由電晶體的剖面觀察等觀察不到氧化膜。換言之，當觀察電晶體的剖面時，有時觀察到氮化矽膜接觸於金屬氧化物。

15 [0221]

與氧化矽膜相比，氮化矽膜的相對介電常數較高且為了得到與氧化矽膜相等的靜電容量所需要的厚度較大，因此，藉由使電晶體的閘極絕緣膜包括氮化矽膜，可以增加絕緣膜的厚度。因此，可以藉由抑制電晶體的絕緣耐壓的下降並提高絕緣耐壓來抑制電晶體的靜電破壞。

20 [0222]

此外，當作為絕緣膜 104、204 使用氧化鉛時發揮如下效果。氧化鉛的相對介電常數比氧化矽或氧氮化矽高。因此，可以使絕緣膜 104、204 的厚度比使用氧化矽的情況大，由此，可以減少穿隧電流引起的洩漏電流。也就是說，可以實現關態電流低的電晶體。再者，與具有非晶結構的氧化鉛相比，具有結晶結構的氧化鉛的相對介電常數較高。因此，為了形成關態電流低的電晶體，較佳為使用具有結晶結構的氧化鉛。作為結晶結構的例子，可以舉出單斜晶系或立方晶系等。注意，本發明的一個實施方式不侷限於此。

[0223]

[金屬氧化物]

作為金屬氧化物 108、208，可以使用實施方式 1 所示的本發明的一個實施方式的金屬氧化物。

5 [0224]

金屬氧化物 108、208 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙較寬的金屬氧化物，可以降低電晶體的關態電流。

[0225]

10 金屬氧化物 108、208 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0226]

另外，較佳為適當地設定金屬氧化物 108、208 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、密度等，以得到所需的電晶體的半導體特性。

15 [0227]

[用作第二閘極絕緣膜的絕緣膜]

絕緣膜 114、116、210 被用作電晶體的第二閘極絕緣膜。另外，絕緣膜 114、116、210 具有對金屬氧化物 108、208 供應氧的功能。亦即，絕緣膜 114、116、210 包含氧。另外，絕緣膜 114 是能夠使氧透過的絕緣膜。注意，絕緣膜 114 還被用作在後面形成絕緣膜 116 時緩解金屬氧化物 108 受到的損傷的膜。

[0228]

25 作為絕緣膜 114，可以使用厚度為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下的氧化矽、氧氮化矽等。

[0229]

此外，較佳為使絕緣膜 114 中的缺陷量較少，典型的是，藉由電子自旋共振（ESR：Electron Spin Resonance）測量的起因於矽的懸空鍵的 $g=2.001$ 處呈現的信號的自旋密度較佳為 3×10^{17} spins/cm³ 以下。這是

因為若絕緣膜 114 的缺陷密度高，氧則與該缺陷鍵合，而使絕緣膜 114 中的氧透過量減少。

[0230]

在絕緣膜 114 中，有時從外部進入絕緣膜 114 的氧不是全部移動到
5 絕緣膜 114 的外部，而是其一部分殘留在絕緣膜 114 的內部。另外，有時在氧進入絕緣膜 114 的同時，絕緣膜 114 中含有的氧移動到絕緣膜 114 的外部，而在絕緣膜 114 中發生氧的移動。在形成能夠使氧透過的氧化物絕緣膜作為絕緣膜 114 時，可以使從設置在絕緣膜 114 上的絕緣膜 116 脫離的氧經由絕緣膜 114 移動到金屬氧化物 108 中。

10 [0231]

此外，絕緣膜 114 可以使用起因於氮氧化物的態密度低的氧化物絕緣膜形成。注意，該起因於氮氧化物的態密度有時會形成在金屬氧化物的價帶頂的能量 (E_{v_os}) 與金屬氧化物的導帶底的能量 (E_{c_os}) 之間。作為上述氧化物絕緣膜，可以使用氮氧化物的釋放量少的氧氮
15 化矽膜或氮氧化物的釋放量少的氧氮化鋁膜等。

[0232]

此外，在熱脫附譜分析 (TDS: Thermal Desorption Spectroscopy) 中，氮氧化物的釋放量少的氧氮化矽膜是氮釋放量比氮氧化物的釋放量多
20 的膜，典型的是氮釋放量為 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $5 \times 10^{19} \text{cm}^{-3}$ 以下。注意，該氮釋放量為在進行膜表面溫度為 50°C 以上且 650°C 以下，較佳為 50°C 以上且 550°C 以下的加熱處理時的釋放量。

[0233]

氮氧化物 (NO_x , x 大於 0 以上且為 2 以下，較佳為 1 以上且 2 以下)，典型的是 NO_2 或 NO ，在絕緣膜 114 等中形成能階。該能階位於
25 金屬氧化物 108 的能隙中。由此，當氮氧化物擴散到絕緣膜 114 與金屬氧化物 108 的介面時，有時該能階在絕緣膜 114 一側俘獲電子。其結果是，被俘獲的電子留在絕緣膜 114 與金屬氧化物 108 的介面附近，由此使電晶體的臨界電壓向正方向漂移。

[0234]

另外，當進行加熱處理時，氮氧化物與氨及氧起反應。當進行加熱處理時，絕緣膜 114 所包含的氮氧化物與絕緣膜 116 所包含的氨起反應，由此絕緣膜 114 所包含的氮氧化物減少。因此，在絕緣膜 114 與金屬氧化物 108 的介面中不容易俘獲電子。

5 [0235]

藉由作為絕緣膜 114 使用上述氧化物絕緣膜，可以降低電晶體的臨界電壓的漂移，從而可以降低電晶體的電特性的變動。

[0236]

藉由進行電晶體的製程的加熱處理，典型的是 300°C 以上且低於
10 350°C 的加熱處理，在對絕緣膜 114 利用 100K 以下的 ESR 測得的光譜中，觀察到 g 值為 2.037 以上且 2.039 以下的第一信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號。在 X 帶的 ESR 測定中，第一信號與第二信號之間的分割寬度 (split width) 及第二信號與第三信號之間的分割寬度大約為 5mT。另外， g
15 值為 2.037 以上且 2.039 以下的第一信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總和低於 1×10^{18} spins/cm³，典型為 1×10^{17} spins/cm³ 以上且低於 1×10^{18} spins/cm³。

[0237]

20 在 100K 以下的 ESR 譜中， g 值為 2.037 以上且 2.039 以下的第一信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總數相當於起因於氮氧化物(NO_x ， x 大於 0 以上且為 2 以下，較佳為 1 以上且 2 以下)的信號的自旋密度的總數。作為氮氧化物的典型例子，有一氧化氮、二氧化氮等。就是
25 說， g 值為 2.037 以上且 2.039 以下的第一信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總數越少，氧化物絕緣膜中的氮氧化物含量越少。

[0238]

另外，上述氧化物絕緣膜的利用 SIMS 測得的氮濃度為

6×10^{20} atoms/cm³ 以下。

[0239]

藉由在基板溫度為 220°C 以上且 350°C 以下的情況下利用使用矽烷及一氧化二氮的 PECVD 法形成上述氧化物絕緣膜，可以形成緻密且硬
5 度高的膜。

[0240]

絕緣膜 116、210 較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜形成。其氧含量超過化學計量組成的氧化物絕緣膜由於被加熱而其一部分的氧脫離。藉由 TDS 分析，其氧含量超過化學計量組成的
10 氧化物絕緣膜換算為氧原子的氧的脫離量為 1.0×10^{19} atoms/cm³ 以上，較佳為 3.0×10^{20} atoms/cm³ 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0241]

作為絕緣膜 116、210 可以使用厚度為 30nm 以上且 500nm 以下，
15 較佳為 50nm 以上且 400nm 以下的氧化矽膜、氧氮化矽膜等。

[0242]

此外，較佳為使絕緣膜 116、210 中的缺陷量較少，典型的是，藉由 ESR 測量的起因於矽的懸空鍵的 $g=2.001$ 處呈現的信號的自旋密度低於 1.5×10^{18} spins/cm³，更佳為 1×10^{18} spins/cm³ 以下。由於絕緣膜 116 與絕
20 緣膜 114 相比離金屬氧化物 108 更遠，所以絕緣膜 116 的缺陷密度也可以高於絕緣膜 114。

[0243]

另外，因為絕緣膜 114、116 可以使用包括相同種類材料的絕緣膜形成，所以有時無法明確地確認到絕緣膜 114 與絕緣膜 116 之間的介面。
25 因此，在本實施方式中，以虛線圖示出絕緣膜 114 與絕緣膜 116 之間的介面。注意，在本實施方式中，雖然說明絕緣膜 114 與絕緣膜 116 的兩層結構，但是不侷限於此，例如，也可以採用絕緣膜 114 的單層結構、三層以上的疊層結構。

[0244]

[用作保護絕緣膜的絕緣膜]

絕緣膜 118、216 被用作電晶體的保護絕緣膜。

[0245]

5 絕緣膜 118、216 包含氫和氮中的一個或兩個。另外，絕緣膜 118、216 包含氮及矽。此外，絕緣膜 118、216 具有能夠阻擋氧、氫、水、鹼金屬、鹼土金屬等的功能。藉由設置絕緣膜 118、216，能夠防止氧從金屬氧化物 108、208 擴散到外部，並且能夠防止絕緣膜 114、116、210 所包含的氧擴散到外部，還能夠防止氫、水等從外部侵入金屬氧化物 108、208 中。

10 [0246]

作為絕緣膜 118、216，例如可以使用氮化物絕緣膜。作為該氮化物絕緣膜，有氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等。

[0247]

15 雖然上述所記載的導電膜、絕緣膜、金屬氧化物及金屬膜等各種膜可以利用濺射法或 PECVD 法形成，但是也可以利用例如熱 CVD (Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法形成。作為熱 CVD 法的例子，可以舉出 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition: 原子層沉積) 法等。

20 [0248]

由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生因電漿損傷引起的缺陷的優點。

[0249]

25 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到腔室內，將腔室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上產生反應而沉積在基板上。

[0250]

另外，也可以以如下方法進行利用 ALD 法的成膜：將腔室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入腔室，然後按

該順序反復地引入氣體。

[0251]

藉由 MOCVD 法、ALD 法等的熱 CVD 法可以形成上述實施方式的導電膜、絕緣膜、金屬氧化物等各種膜。

5 [0252]

(2-7.半導體裝置的製造方法)

接著，參照圖 13A 至圖 15C 對本發明的一個實施方式的半導體裝置的電晶體 200C 的製造方法進行說明。

[0253]

10 圖 13A 至圖 13D、圖 14A 至圖 14C 及圖 15A 至圖 15C 為說明半導體裝置的製造方法的剖面圖。在圖 13A 至圖 13D、圖 14A 至圖 14C 及圖 15A 至圖 15C 中，左側示出通道長度方向上的剖面圖，右側示出通道寬度方向上的剖面圖。

[0254]

15 首先，在基板 202 上形成導電膜 206。接著，在基板 202 及導電膜 206 上形成絕緣膜 204，在絕緣膜 204 上形成第一金屬氧化物、第二金屬氧化物及第三金屬氧化物。然後，藉由將第一金屬氧化物、第二金屬氧化物及第三金屬氧化物加工為島狀，來形成金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a (參照圖 13A)。

20 [0255]

導電膜 206 可以選擇上述材料形成。在本實施方式中，作為導電膜 206，使用濺射裝置形成 50nm 厚的鎢膜和 400nm 厚的銅膜的疊層膜。

[0256]

25 作為成為導電膜 206 的導電膜的加工方法，可以利用濕蝕刻法和/或乾蝕刻法。在本實施方式中，利用濕蝕刻法對銅膜進行蝕刻，然後利用乾蝕刻法對鎢膜進行蝕刻，對導電膜進行加工而形成導電膜 206。

[0257]

藉由適當地利用濺射法、CVD 法、蒸鍍法、脈衝雷射沉積 (PLD) 法、印刷法及塗佈法等，可以形成絕緣膜 204。在本實施方式中，作為

絕緣膜 204 利用 PECVD 設備形成厚度為 400nm 的氮化矽膜及厚度為 50nm 的氧氮化矽膜。

[0258]

此外，也可以在形成絕緣膜 204 之後，對絕緣膜 204 添加氧。作為對絕緣膜 204 添加的氧，有氧自由基、氧原子、氧原子離子、氧分子離子等。作為添加方法，有離子摻雜法、離子植入法、電漿處理等。另外，也可以在絕緣膜 204 上形成抑制氧脫離的膜之後，經過該膜對絕緣膜 204 添加氧。

[0259]

上述抑制氧脫離的膜可以使用具有銦、鋅、鎳、錫、鋁、鉻、鈮、鈦、鈳、鎳、鐵、鈷和鎢中的一種以上的導電膜或半導體膜形成。

[0260]

當利用電漿處理添加氧時，藉由利用微波使氧激發而產生高密度的氧電漿，可以增加對絕緣膜 204 添加的氧量。

[0261]

金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 較佳為利用濺射裝置在真空中連續地形成。藉由利用濺射裝置在真空中連續地形成金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a，可以抑制有可能附著於各介面的雜質（例如，氫、水等）。

[0262]

較佳為以比金屬氧化物 208_1a 和/或金屬氧化物 208_3a 低的氧分壓形成金屬氧化物 208_2a。

[0263]

另外，當形成金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 時，可以對氧氣體混合惰性氣體（例如，氮氣體、氬氣體、氦氣體等）。在金屬氧化物 208_1a 的沉積氣體整體中氧氣體所佔的比率（以下，也稱為氧流量比）為 70% 以上且 100% 以下，較佳為 80% 以上且 100% 以下，更佳為 90% 以上且 100% 以下。形成金屬氧化物 208_2a 時的氧流量比為大於 0% 且 30% 以下，較佳為 5% 以上且 15% 以下。另

外，形成金屬氧化物 208_3a 時的氧流量比為 70% 以上且 100% 以下，較佳為 80% 以上且 100% 以下，更佳為 90% 以上且 100% 以下。

[0264]

另外，也可以在比金屬氧化物 208_1a 和/或金屬氧化物 208_3a 低的
5 基板溫度下形成金屬氧化物 208_2a。

[0265]

明確而言，將金屬氧化物 208_2a 的基板溫度設定為室溫以上且低於 150°C，較佳為室溫以上且 140°C 以下即可。另外，將金屬氧化物 208_1a 及金屬氧化物 208_3a 的基板溫度設定為室溫以上且 300°C 以下，
10 較佳為室溫以上且 200°C 以下即可。注意，當在相同的基板溫度下（例如，室溫以上且低於 150°C）形成金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 時，生產率得到提高，所以是較佳的。

[0266]

藉由採用上述形成條件，可以使金屬氧化物 208_2a 具有其結晶性
15 比金屬氧化物 208_1a 及金屬氧化物 208_3a 低的區域。

[0267]

金屬氧化物 208_1a 的厚度為 1nm 以上且小於 20nm，較佳為 5nm 以上且 10nm 以下即可。金屬氧化物 208_2a 的厚度為 20nm 以上且 100nm 以下，較佳為 20nm 以上且 50nm 以下即可。金屬氧化物 208_3a 的厚度
20 為 1nm 以上且小於 20nm，較佳為 5nm 以上且 15nm 以下即可。

[0268]

藉由在加熱的同時形成金屬氧化物 208，可以提高金屬氧化物 208 的結晶性。另一方面，當作爲基板 202 使用大型玻璃基板（例如，第六代至第十代）時，在金屬氧化物 208 的成膜溫度為 200°C 以上且 300°C 以下的情況下，基板 202 有可能變形（應變或翹曲）。因此，在使用大型玻璃基板的情況下，藉由將金屬氧化物 208 的基板溫度設定為 100°C
25 以上且低於 200°C，可以抑制玻璃基板的變形。

[0269]

另外，需要進行濺射氣體的高度純化。例如，作為用作濺射氣體

的氧氣體或氫氣體，使用露點為-40°C以下，較佳為-80°C以下，更佳為-100°C以下，進一步較佳為-120°C以下的高純度氣體，由此可以儘可能地防止水分等混入金屬氧化物。

[0270]

- 5 另外，在藉由濺射法形成金屬氧化物的情況下，較佳為使用低溫泵等吸附式真空抽氣泵對濺射裝置的腔室進行高真空抽氣（抽空到 5×10^{-7} Pa 至 1×10^{-4} Pa 左右）以儘可能地去除對金屬氧化物來說是雜質的水等。尤其是，在濺射裝置的待機時腔室內的相當於 H₂O 的氣體分子（相當於 $m/z=18$ 的氣體分子）的分壓為 1×10^{-4} Pa 以下，較佳為 5×10^{-5} Pa
- 10 以下。

[0271]

當將第一金屬氧化物、第二金屬氧化物及第三金屬氧化物加工為金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 時，使用濕蝕刻法和/或乾蝕刻法即可。

- 15 [0272]

另外，也可以在形成金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 之後進行加熱處理來實現金屬氧化物 208_1a、金屬氧化物 208_2a 及金屬氧化物 208_3a 的脫氫化或脫水化。作為加熱處理的溫度，典型地為 150°C 以上且低於基板的應變點、250°C 以上且 450°C 以下或者 300°C 以上且 450°C 以下。

20

[0273]

- 可以在包含氮、氖、氫、氬、氪等稀有氣體或包含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，上述惰性氣體氛圍及氧氛圍較佳為不包
- 25 含氫、水等。處理時間可以是 3 分鐘以上且 24 小時以下。

[0274]

該加熱處理可以使用電爐、RTA 裝置等。藉由使用 RTA 裝置，可以限定於短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0275]

邊對金屬氧化物進行加熱邊形成該金屬氧化物，或者在形成金屬氧化物之後進行加熱處理，由此，利用 SIMS 測得的金屬氧化物中的氫濃度可以為 5×10^{19} atoms/cm³ 以下， 1×10^{19} atoms/cm³ 以下， 5×10^{18} atoms/cm³ 以下， 1×10^{18} atoms/cm³ 以下， 5×10^{17} atoms/cm³ 以下或者 1×10^{16} atoms/cm³ 以下。

[0276]

接著，在絕緣膜 204 及金屬氧化物 208 上形成絕緣膜 210_0（參照圖 13B）。

10 [0277]

作為絕緣膜 210_0，可以藉由使用電漿增強化學氣相沉積裝置（也稱為 PECVD 設備或者電漿 CVD 設備）形成氧化矽膜、氧氮化矽膜或氮化矽膜。此時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。作為包含矽的沉積氣體的典型例子，有矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，有氧、臭氧、一氧化二氮、二氧化氮等。

[0278]

另外，作為絕緣膜 210_0，可以在如下條件下利用 PECVD 設備形成缺陷量少的氧氮化矽膜：相對於沉積氣體流量的氧化性氣體流量大於 20 倍且小於 100 倍，或者為 40 倍以上且 80 倍以下；並且腔室內的壓力低於 100Pa，或為 50Pa 以下。

[0279]

此外，作為絕緣膜 210_0，可以在如下條件下形成緻密的氧化矽膜或氧氮化矽膜：將設置在 PECVD 設備的抽成真空的腔室內的基板保持在 280°C 以上且 400°C 以下的溫度，將源氣體引入腔室內而將腔室內的壓力設定為 20Pa 以上且 250Pa 以下，更佳為 100Pa 以上且 250Pa 以下，並對設置在腔室內的電極供應高頻功率。

[0280]

另外，可以藉由使用微波的 PECVD 法形成絕緣膜 210_0。微波是

指 300MHz 至 300GHz 的頻率範圍。微波的電子溫度低，並且其電子能量小。此外，在被供應的電力中，用於加速電子的比例少，能夠用於更多分子的離解及電離，並且能夠使密度高的電漿（高密度電漿）激發。因此，電漿對被形成面及沉積物造成的損傷少，由此能夠形成缺陷少的絕緣膜 210_0。

[0281]

在本實施方式中，作為絕緣膜 210_0，使用 PECVD 設備形成厚度為 100nm 的氧氮化矽膜。

[0282]

10 接著，在利用光微影製程在絕緣膜 210_0 的所希望的位置上形成遮罩之後，對絕緣膜 210_0 的一部分及絕緣膜 204 的一部分進行蝕刻，由此形成到達導電膜 206 的開口 243（參照圖 13C）。

[0283]

15 作為開口 243 的形成方法，可以使用濕蝕刻法和/或乾蝕刻法。在本實施方式中，利用乾蝕刻法形成開口 243。

[0284]

20 接著，以覆蓋開口 243 的方式在導電膜 206 及絕緣膜 210_0 上形成導電膜 212_0。另外，例如在作為導電膜 212_0 使用金屬氧化膜的情況下，在形成導電膜 212_0 時有時氧被添加到絕緣膜 210_0 中（參照圖 13D）。

[0285]

在圖 13D 中，以箭頭示意性地示出被添加到絕緣膜 210_0 的氧。藉由以覆蓋開口 243 的方式形成導電膜 212_0，使導電膜 206 與導電膜 212_0 電連接。

25 [0286]

當作為導電膜 212_0 使用金屬氧化膜時，較佳為在包含氧氣體的氛围下利用濺射法形成導電膜 212_0。藉由在包含氧氣體的氛围下形成導電膜 212_0，可以將氧適當地添加到絕緣膜 210_0 中。另外，作為導電膜 212_0 的形成方法，不侷限於濺射法，也可以利用其他方法，例如

ALD 法。

[0287]

在本實施方式中，作為導電膜 212₀，利用濺射法形成 100nm 厚的 In-Ga-Zn 氧化物 (In:Ga:Zn=4:2:4.1 (原子數比))。另外，可以在形成導電膜 212₀ 之前或之後對絕緣膜 210₀ 進行氧添加處理。該氧添加處理可以與能夠在形成絕緣膜 204 之後進行的氧添加處理同樣地進行。

[0288]

接著，在導電膜 212₀ 的所希望的位置上藉由光微影製程形成遮罩 240 (參照圖 14A)。

10 [0289]

接著，藉由從遮罩 240 的上方進行蝕刻，對導電膜 212₀ 及絕緣膜 210₀ 進行加工。另外，在對導電膜 212₀ 及絕緣膜 210₀ 進行加工之後，去除遮罩 240。藉由對導電膜 212₀ 及絕緣膜 210₀ 進行加工，形成島狀的導電膜 212 及島狀的絕緣膜 210 (參照圖 14B)。

15 [0290]

在本實施方式中，使用乾蝕刻法對導電膜 212₀ 及絕緣膜 210₀ 進行加工。

[0291]

另外，當對導電膜 212₀ 及絕緣膜 210₀ 進行加工時，有時金屬氧化物 208 的不與導電膜 212 重疊的區域的厚度變小。另外，當對導電膜 212₀ 及絕緣膜 210₀ 進行加工時，有時絕緣膜 204 的不與金屬氧化物 208 重疊的區域的厚度變小。另外，當對導電膜 212₀ 及絕緣膜 210₀ 進行加工時，有時蝕刻劑或蝕刻氣體 (例如，氟等) 被添加到金屬氧化物 208 中或者導電膜 212₀ 及絕緣膜 210₀ 的構成元素被添加到金屬氧化物 208 中。

[0292]

接著，在絕緣膜 204、金屬氧化物 208 及導電膜 212 上形成絕緣膜 216。藉由形成絕緣膜 216，金屬氧化物 208 的與絕緣膜 216 接觸的區域成爲區域 208_n。另外，在金屬氧化物 208 的與導電膜 212 重疊的區

域中形成區域 208i_1、區域 208i_2 及區域 208i_3。(參照圖 14C)。

[0293]

絕緣膜 216 可以選擇上述材料形成。在本實施方式中，作為絕緣膜 216，使用 PECVD 設備形成 100nm 厚的氮氧化矽膜。另外，當形成該氮氧化矽膜時，以 220°C 進行電漿處理及成膜處理這兩個步驟。該電漿處理的條件為如下：在進行成膜之前將流量為 100sccm 的氫氣體及流量為 1000sccm 的氮氣體引入腔室內；將腔室內的壓力設定為 40Pa；以 RF 電源 (27.12MHz) 供應 1000W 的功率。另外，該成膜處理的條件為如下：將流量為 50sccm 的矽烷氣體、流量為 5000sccm 的氮氣體以及流量為 100sccm 的氫氣體引入腔室內；將腔室內的壓力設定為 100Pa；以 RF 電源 (27.12MHz) 供應 1000W 的功率。

[0294]

藉由使用氮氧化矽膜作為絕緣膜 216，可以對與絕緣膜 216 接觸的區域 208n 供應氮氧化矽膜中的氮或氫。另外，藉由以上述溫度形成絕緣膜 216，可以抑制絕緣膜 210 所包含的過量氧釋放到外部。

[0295]

接著，在絕緣膜 216 上形成絕緣膜 218 (參照圖 15A)。

[0296]

絕緣膜 218 可以選擇上述材料形成。在本實施方式中，作為絕緣膜 218，使用 PECVD 設備形成 300nm 厚的氧氮化矽膜。

[0297]

接著，在利用光微影製程在絕緣膜 218 的所希望的位置上形成遮罩之後，對絕緣膜 218 的一部分及絕緣膜 216 的一部分進行蝕刻，由此形成到達區域 208n 的開口 241a、241b (參照圖 15B)。

[0298]

作為絕緣膜 218 及絕緣膜 216 的蝕刻方法，可以利用濕蝕刻法和/或乾蝕刻法。在本實施方式中，利用乾蝕刻法對絕緣膜 218 及絕緣膜 216 進行加工。

[0299]

接著，以覆蓋開口 241a 及 241b 的方式在區域 208n 及絕緣膜 218 上形成導電膜，且將該導電膜加工為所希望的形狀，來形成導電膜 220a 及 220b（參照圖 15C）。

[0300]

5 導電膜 220a 及 220b 可以選擇上述材料形成。在本實施方式中，作為導電膜 220a 及 220b，使用濺射裝置形成 50nm 厚的鎢膜和 400nm 厚的銅膜的疊層膜。

[0301]

10 作為成為導電膜 220a 及 220b 的導電膜的加工方法，可以利用濕蝕刻法和/或乾蝕刻法。在本實施方式中，利用濕蝕刻法對銅膜進行蝕刻，然後利用乾蝕刻法對鎢膜進行蝕刻，對導電膜進行加工而形成導電膜 220a 及 220b。

[0302]

藉由上述製程可以製造圖 11A 至圖 11C 所示的電晶體 200C。

15

[0303]

作為構成電晶體的膜（絕緣膜、金屬氧化物、導電膜等）的方法，除了上述方法以外，可以藉由濺射法、化學氣相沉積（CVD）法、真空蒸鍍法、脈衝雷射沉積（PLD）法、ALD 法形成。或者，可以藉由塗佈法或印刷法形成。作為成膜方法，典型的有濺射法、電漿增強化學氣相沉積（PECVD）法，但也可以使用熱 CVD 法。作為熱 CVD 法的例子，可以舉出有機金屬化學氣相沉積（MOCVD）法。

20

[0304]

藉由熱 CVD 法進行的成膜可以以如下方式來執行：藉由將腔室內的壓力設定為大氣壓或減壓，將源氣體及氧化劑同時供應到腔室內，並使其在基板附近或基板上相互反應而沉積在基板上。如此，由於熱 CVD 法不產生電漿來形成膜，因此具有不產生起因於電漿損傷的缺陷的優點。

25

[0305]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、

方法適當地組合而實施。

[0306]

實施方式 3

5 下面，參照圖 17 和圖 18 說明可以用於使用本發明的一個實施方式的半導體裝置的顯示裝置的顯示部等的顯示面板的例子。下面例示的顯示面板是包括反射型液晶元件及發光元件的兩種元件且能夠以透過模式和反射模式的兩種模式進行顯示的顯示面板。本發明的一個實施方式的金屬氧化物及包括該金屬氧化物的電晶體適用於顯示裝置的
10 像素的電晶體、用來驅動顯示裝置的驅動器或者對顯示裝置供應資料的 LSI 等。

[0307]

〈3-1.顯示面板的結構實例〉

圖 17 是本發明的一個實施方式的顯示面板 600 的透視示意圖。顯示
15 面板 600 包括將基板 651 與基板 661 貼合在一起的結構。在圖 17 中，以虛線表示基板 661。

[0308]

顯示面板 600 包括顯示部 662、電路 659 及佈線 666 等。基板 651
例如設置有電路 659、佈線 666 及被用作像素電極的導電膜 663 等。另
20 外，圖 17 示出在基板 651 上安裝有 IC673 及 FPC672 的例子。由此，圖 17 所示的結構可以說是包括顯示面板 600、FPC672 及 IC673 的顯示模組。

[0309]

作為電路 659，例如可以使用用作掃描線驅動電路的電路。

25

[0310]

佈線 666 具有對顯示部 662 及電路 659 供應信號或電力的功能。該
信號或電力從外部經由 FPC672 或者從 IC673 輸入到佈線 666。

[0311]

圖 17 示出利用 COG (Chip On Glass：晶粒玻璃接合) 方式等對基

板 651 設置 IC673 的例子。例如，可以對 IC673 適用用作掃描線驅動電路或信號線驅動電路的 IC。另外，當顯示面板 600 具備用作掃描線驅動電路或信號線驅動電路的電路，或者將用作掃描線驅動電路或信號線驅動電路的電路設置在外部且藉由 FPC672 輸入用來驅動顯示面板 600 的信號時，也可以不設置 IC673。另外，也可以將 IC673 利用 COF (Chip On Film：薄膜覆晶封裝) 方式等安裝於 FPC672。

[0312]

圖 17 示出顯示部 662 的一部分的放大圖。在顯示部 662 中以矩陣狀配置有多個顯示元件所包括的導電膜 663。在此，導電膜 663 具有反射可見光的功能且被用作下述液晶元件 640 的反射電極。

[0313]

此外，如圖 17 所示，導電膜 663 包括開口。再者，在導電膜 663 的基板 651 一側包括發光元件 660。來自發光元件 660 的光透過導電膜 663 的開口發射到基板 661 一側。

[0314]

〈3-2.剖面結構實例〉

圖 18 示出圖 17 所例示的顯示面板中的包括 FPC672 的區域的一部分、包括電路 659 的區域的一部分及包括顯示部 662 的區域的一部分的剖面的例子。

[0315]

顯示面板在基板 651 與基板 661 之間包括絕緣膜 620。另外，在基板 651 與絕緣膜 620 之間包括發光元件 660、電晶體 601、電晶體 605、電晶體 606 及彩色層 634 等。另外，在絕緣膜 620 與基板 661 之間包括液晶元件 640、彩色層 631 等。另外，基板 661 隔著黏合層 641 與絕緣膜 620 黏合，基板 651 隔著黏合層 642 與絕緣膜 620 黏合。

[0316]

電晶體 606 與液晶元件 640 電連接，而電晶體 605 與發光元件 660 電連接。因為電晶體 605 和電晶體 606 都形成在絕緣膜 620 的基板 651 一側的面上，所以它們可以藉由同一製程製造。

[0317]

基板 661 設置有彩色層 631、遮光膜 632、絕緣層 621 及被用作液晶元件 640 的共用電極的導電膜 613、配向膜 633b、絕緣層 617 等。絕緣層 617 被用作用來保持液晶元件 640 的單元間隙的間隔物。

5 [0318]

在絕緣膜 620 的基板 651 一側設置有絕緣膜 681、絕緣膜 682、絕緣膜 683、絕緣膜 684、絕緣膜 685 等絕緣層。絕緣膜 681 的一部分被用作各電晶體的閘極絕緣層。絕緣膜 682、絕緣膜 683 及絕緣膜 684 以覆蓋各電晶體等的方式設置。此外，絕緣膜 685 以覆蓋絕緣膜 684 的方式設置。絕緣膜 684 及絕緣膜 685 具有平坦化層的功能。此外，這裡示出作為覆蓋電晶體等的絕緣層包括絕緣膜 682、絕緣膜 683 及絕緣膜 684 的三層的情況，但是絕緣層不侷限於此，也可以為四層以上、單層或兩層。如果不需要，則可以不設置用作平坦化層的絕緣膜 684。

[0319]

15 另外，電晶體 601、電晶體 605 及電晶體 606 包括其一部分用作閘極的導電膜 654、其一部分用作源極或汲極的導電層 652、半導體膜 653。在此，對經過同一導電膜的加工而得到的多個層附有相同的陰影線。

[0320]

20 液晶元件 640 是反射型液晶元件。液晶元件 640 包括層疊有導電膜 635、液晶層 612 及導電膜 613 的疊層結構。另外，設置有與導電膜 635 的基板 651 一側接觸的反射可見光的導電膜 663。導電膜 663 包括開口 655。另外，導電膜 635 及導電膜 613 包含使可見光透過的材料。此外，在液晶層 612 和導電膜 635 之間設置有配向膜 633a，並且在液晶層 612 和導電膜 613 之間設置有配向膜 633b。此外，在基板 661 的外側的面上設置有偏光板 656。

[0321]

25 在液晶元件 640 中，導電膜 663 具有反射可見光的功能，導電膜 613 具有透過可見光的功能。從基板 661 一側入射的光被偏光板 656 偏振，透過導電膜 613、液晶層 612，且被導電膜 663 反射。而且，再次

透過液晶層 612 及導電膜 613 而到達偏光板 656。此時，由施加到導電膜 663 及導電膜 635 和導電膜 613 之間的電壓控制液晶的配向，從而可以控制光的光學調變。也就是說，可以控制經過偏光板 656 發射的光的強度。此外，由於特定的波長區域之外的光被彩色層 631 吸收，因此被提取的光例如呈現紅色。

[0322]

發光元件 660 是底部發射型發光元件。發光元件 660 具有從絕緣膜 620 一側依次層疊有導電層 643、EL 層 644 及導電層 645b 的結構。另外，設置有覆蓋導電層 645b 的導電層 645a。導電層 645b 包含反射可見光 10 的材料，導電層 643 及導電層 645a 包含使可見光透過的材料。發光元件 660 所發射的光經過彩色層 634、絕緣膜 620、開口 655 及導電膜 613 等射出到基板 661 一側。

[0323]

在此，如圖 18 所示，開口 655 較佳為設置有透過可見光的導電膜 15 635。由此，液晶在與開口 655 重疊的區域中也與其他區域同樣地配向，從而可以抑制因在該區域的邊境部產生液晶的配向不良而產生非意圖的漏光。

[0324]

在此，作為設置在基板 661 的外側的面的偏光板 656，可以使用直線偏光板，也可以使用圓偏光板。作為圓偏光板，例如可以使用將直線偏光板和四分之一波相位差板層疊而成的偏光板。由此，可以抑制外光反射。此外，藉由根據偏光板的種類調整用於液晶元件 640 的液晶元件的單元間隙、配向、驅動電壓等來實現所希望的對比度，即可。

[0325]

在覆蓋導電層 643 的端部的絕緣膜 646 上設置有絕緣膜 647。絕緣膜 647 具有抑制絕緣膜 620 與基板 651 之間的距離過近の間隙物的功能。另外，當使用遮蔽遮罩（金屬遮罩）形成 EL 層 644 及導電層 645a 時，絕緣膜 647 可以具有抑制該遮蔽遮罩接觸於被形成面的功能。另外，如果不需要則可以不設置絕緣膜 647。

[0326]

電晶體 605 的源極和汲極中的一個藉由導電層 648 與發光元件 660 的導電層 643 電連接。

[0327]

- 5 電晶體 606 的源極和汲極中的一個藉由連接部 607 與導電膜 663 電連接。導電膜 635 與導電膜 663 接觸，它們彼此電連接。在此，連接部 607 是使設置在絕緣膜 620 的雙面上的導電層藉由形成在絕緣膜 620 中的開口彼此電連接的部分。

[0328]

- 10 在基板 651 的不與基板 661 重疊的區域中設置有連接部 604。連接部 604 藉由連接層 649 與 FPC672 電連接。連接部 604 具有與連接部 607 相同的結構。在連接部 604 的頂面上露出對與導電膜 635 同一的導電膜進行加工來獲得的導電層。因此，藉由連接層 649 可以使連接部 604 與 FPC672 電連接。

[0329]

- 15 在設置有黏合層 641 的一部分的區域中設置有連接部 687。在連接部 687 中，藉由連接器 686 使對與導電膜 635 同一的導電膜進行加工來獲得的導電層和導電膜 613 的一部分電連接。由此，可以將從連接於基板 651 一側的 FPC672 輸入的信號或電位藉由連接部 687 供應到形成
20 在基板 661 一側的導電膜 613。

[0330]

- 例如，連接器 686 可以使用導電粒子。作為導電粒子，可以採用表面覆蓋有金屬材料的有機樹脂或二氧化矽等的粒子。作為金屬材料，較佳為使用鎳或金，因為其可以降低接觸電阻。另外，較佳為使用由
25 兩種以上的金屬材料以層狀覆蓋的粒子諸如由鎳以及金覆蓋的粒子。另外，連接器 686 較佳為採用能夠彈性變形或塑性變形的材料。此時，有時導電粒子的連接器 686 成為圖 18 所示那樣的在縱向上被壓扁的形狀。藉由具有該形狀，可以增大連接器 686 與電連接於該連接器的導電層的接觸面積，從而可以降低接觸電阻並抑制接觸不良等問題發

生。

[0331]

連接器 686 較佳為以由黏合層 641 覆蓋的方式配置。例如，可以將連接器 686 分散在固化之前的黏合層 641。

5 [0332]

在圖 18 中，作為電路 659 的例子，示出設置有電晶體 601 的例子。

[0333]

10 在圖 18 中，作為電晶體 601 及電晶體 605 的例子，應用由兩個閘極夾著形成有通道的半導體膜 653 的結構。一個閘極由導電膜 654 構成，而另一個閘極由隔著絕緣膜 682 與半導體膜 653 重疊的導電膜 623 構成。藉由採用這種結構，可以控制電晶體的臨界電壓。此時，也可以藉由連接兩個閘極並對該兩個閘極供應同一信號來驅動電晶體。與其他電晶體相比，這種電晶體能夠提高場效移動率，而可以增大通態電流。其結果是，可以製造能夠進行高速驅動的電路。再者，能夠縮小電路
15 部的佔有面積。藉由使用通態電流高的電晶體，即使在使顯示面板大型化或高清晰化時佈線數增多，也可以降低各佈線的信號延遲，並且可以抑制顯示的不均勻。

[0334]

20 電路 659 所包括的電晶體與顯示部 662 所包括的電晶體也可以具有相同的結構。此外，電路 659 所包括的多個電晶體可以都具有相同的結構或不同的結構。另外，顯示部 662 所包括的多個電晶體可以都具有相同的結構或不同的結構。

[0335]

25 覆蓋各電晶體的絕緣膜 682 和絕緣膜 683 中的至少一個較佳為使用水或氫等雜質不容易擴散的材料。亦即，可以將絕緣膜 682 或絕緣膜 683 用作障壁膜。藉由採用這種結構，可以有效地抑制雜質從外部擴散到電晶體中，從而能夠實現可靠性高的顯示面板。

[0336]

在基板 661 一側設置有覆蓋彩色層 631、遮光膜 632 的絕緣層 621。

絕緣層 621 可以具有平坦化層的功能。藉由使用絕緣層 621 可以使導電膜 613 的表面大致平坦，可以使液晶層 612 的配向狀態成爲均勻。

[0337]

對製造顯示面板 600 的方法的例子進行說明。例如，在包括剝離層 5 的支撐基板上依次形成導電膜 635、導電膜 663 及絕緣膜 620，形成電晶體 605、電晶體 606 及發光元件 660 等，然後使用黏合層 642 貼合基板 651 和支撐基板。之後，藉由在剝離層和絕緣膜 620 之間的介面及剝離層和導電膜 635 之間的介面進行剝離，去除支撐基板及剝離層。此外，另外準備預先形成有彩色層 631、遮光膜 632、導電膜 613 等的 10 基板 661。而且，對基板 651 或基板 661 滴下液晶，並由黏合層 641 貼合基板 651 和基板 661，從而可以製造顯示面板 600。

[0338]

作爲剝離層，可以適當地選擇在與絕緣膜 620 及導電膜 635 之間的 15 介面產生剝離的材料。特別是，作爲剝離層，使用包含鎢等高熔點金屬材料的層和包含該金屬材料的氧化物的層的疊層，並且較佳爲作爲剝離層上的絕緣膜 620 使用層疊有多個氮化矽、氧氮化矽、氮氧化矽等的層。當將高熔點金屬材料用於剝離層時，可以提高在形成剝離層之後形成的層的形成溫度，從而可以降低雜質濃度並實現可靠性高的顯示面板。

20 [0339]

作爲導電膜 635，較佳爲使用金屬氧化物或金屬氮化物等氧化物或氮化物。在使用金屬氧化物時，將氫濃度、硼濃度、磷濃度、氮濃度及其他雜質的濃度以及氧缺陷量中的至少一個比用於電晶體的半導體層高的材料用於導電膜 635，即可。

25 [0340]

〈3-3.各組件〉

下面，說明上述各組件。

[0341]

[黏合層]

作為各黏合層，可以使用紫外線硬化型黏合劑等光硬化型黏合劑、反應硬化型黏合劑、熱固性黏合劑、厭氧黏合劑等各種硬化型黏合劑。作為這些黏合劑，可以舉出環氧樹脂、丙烯酸樹脂、矽酮樹脂、酚醛樹脂、聚醯亞胺樹脂、醯亞胺樹脂、PVC（聚氯乙烯）樹脂、PVB（聚

5 乙烯醇縮丁醛）樹脂、EVA（乙烯-醋酸乙烯酯）樹脂等。尤其較佳為使用環氧樹脂等透濕性低的材料。另外，也可以使用兩液混合型樹脂。此外，也可以使用黏合薄片等。

[0342]

另外，在上述樹脂中也可以包含乾燥劑。例如，可以使用鹼土金屬的氧化物（氧化鈣或氧化鋇等）那樣的藉由化學吸附吸附水分的物質。或者，也可以使用沸石或矽膠等藉由物理吸附來吸附水分的物質。

10 當在樹脂中包含乾燥劑時，能夠抑制水分等雜質進入元件，從而顯示面板的可靠性得到提高，所以是較佳的。

[0343]

此外，藉由在上述樹脂中混合折射率高的填料或光散射構件，可以提高光提取效率。例如，可以使用氧化鈦、氧化鋇、沸石、鋅等。

15

[0344]

[連接層]

作為連接層，可以使用異方性導電膜（ACF：Anisotropic Conductive Film）、異方性導電膏（ACP：Anisotropic Conductive Paste）等。

20

[0345]

[彩色層]

作為能夠用於彩色層的材料，可以舉出金屬材料、樹脂材料、包含顏料或染料的樹脂材料等。

25

[0346]

[遮光層]

作為能夠用於遮光層的材料，可以舉出碳黑、鈦黑、金屬、金屬氧化物或包含多個金屬氧化物的固溶體的複合氧化物等。遮光層也可以為包含樹脂材料的膜或包含金屬等無機材料的薄膜。另外，也可以

對遮光層使用包含彩色層的材料膜的疊層膜。例如，可以採用包含用於使某個顏色的光透過的彩色層的材料膜與包含用於使其他顏色的光透過的彩色層的材料膜的疊層結構。藉由使彩色層與遮光層的材料相同，除了可以使用相同的裝置以外，還可以簡化製程，因此是較佳的。

5

[0347]

以上是關於各組件的說明。

[0348]

〈3-4.製造方法實例〉

10

在此，對使用具有撓性的基板的顯示面板的製造方法的例子進行說明。

[0349]

在此，將包括顯示元件、電路、佈線、電極、彩色層及遮光層等光學構件以及絕緣層等的層總稱為元件層。例如，元件層包括顯示元件，除此以外還可以包括與顯示元件電連接的佈線、用於像素或電路的電晶體等元件。

15

[0350]

另外，在此，將在顯示元件完成（製程結束）的步驟中支撐元件層且具有撓性的構件稱為基板。例如，基板在其範圍中也包括其厚度為 10nm 以上且 300 μ m 以下的極薄的薄膜等。

20

[0351]

作為在具有撓性且具備絕緣表面的基板上形成元件層的方法，典型地有如下兩種方法。一個方法是在基板上直接形成元件層的方法。另一個方法是在與基板不同的支撐基板上形成元件層之後分離元件層與支撐基板而將元件層轉置於基板的方法。另外，在此沒有詳細的說明，但是除了上述兩個方法以外，還有如下方法：在沒有撓性的基板上形成元件層，藉由拋光等使該基板變薄而使該基板具有撓性的方法。

25

[0352]

當構成基板材料對元件層的形成製程中的加熱具有耐熱性時，若在基板上直接形成元件層，則可使製程簡化，所以是較佳的。此時，若在將基板固定於支撐基板的狀態下形成元件層，則可使裝置內及裝置之間的傳送變得容易，所以是較佳的。

5 [0353]

另外，當採用在將元件層形成在支撐基板上後將其轉置於基板的方法時，首先在支撐基板上層疊剝離層和絕緣層，在該絕緣層上形成元件層。接著，將元件層與支撐基板之間進行剝離並將元件層轉置於基板。此時，選擇在支撐基板材料與剝離層的介面、剝離層與絕緣層
10 的介面或剝離層中發生剝離的材料即可。在上述方法中，藉由將高耐熱性材料用於支撐基板及剝離層，可以提高形成元件層時所施加的溫度的上限，從而可以形成包括更高可靠性的元件的元件層，所以是較佳的。

[0354]

15 例如，較佳的是，作為剝離層使用包含鎢等高熔點金屬材料的層與包含該金屬材料的氧化物的層的疊層，作為剝離層上的絕緣層使用層疊多個氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層等的層。

[0355]

20 作為元件層與支撐基板之間進行剝離的方法，例如可以舉出如下方法：施加機械力量的方法；使液體滲透到剝離介面的方法；等。另外，可以藉由利用形成剝離介面的兩層的熱膨脹率的差異，對支撐基板進行加熱或冷卻而進行剝離。

[0356]

25 另外，當能夠在支撐基板與絕緣層的介面進行剝離時，可以不設置剝離層。

[0357]

例如，也可以作為支撐基板使用玻璃，作為絕緣層使用聚醯亞胺等有機樹脂。此時，也可以藉由使用雷射等對有機樹脂的一部分局部性地進行加熱，或者藉由使用銳利的構件物理性地切斷或打穿有機樹

脂的一部分等來形成剝離的起點，由此在玻璃與有機樹脂的介面進行剝離。當作爲上述有機樹脂使用感光材料時，容易形成開口等的形狀，所以是較佳的。上述雷射例如較佳爲可見光線至紫外線的波長區域的光。例如，可以使用波長爲 200nm 以上且 400nm 以下，較佳爲 250nm 以上且 350nm 以下的光。尤其是，當使用波長爲 308nm 的準分子雷射，生產率得到提高，所以是較佳的。另外，也可以使用作爲 Nd:YAG 雷射的第三諧波的波長爲 355nm 的 UV 雷射等固體 UV 雷射(也稱爲半導體 UV 雷射)。

[0358]

10 另外，也可以在支撐基板與由有機樹脂構成的絕緣層之間設置發熱層，藉由對該發熱層進行加熱，由此在該發熱層與絕緣層的介面進行剝離。作爲發熱層，可以使用藉由電流流過發熱的材料、藉由吸收光發熱的材料、藉由施加磁場發熱的材料等各種材料。例如，作爲發熱層的材料，可以使用選自半導體、金屬及絕緣體中的材料。

15 [0359]

在上述方法中，可以在進行剝離之後將由有機樹脂構成的絕緣層用作基板。

[0360]

以上是對撓性顯示面板的製造方法的說明。

20 [0361]

本實施方式所示的結構、方法可以與其他實施方式所示的結構、方法適當地組合而實施。

【符號說明】

25 [0362]

P1 區域

P2 區域

P3 區域

P4 區域

	P5	區域
	P6	區域
	P7	區域
	P8	區域
5	001	區域
	002	區域
	100	電晶體
	100A	電晶體
	100B	電晶體
10	100C	電晶體
	100D	電晶體
	102	基板
	104	絕緣膜
	106	導電膜
15	108	金屬氧化物
	108_1	金屬氧化物
	108_2	金屬氧化物
	108_3	金屬氧化物
	112a	導電膜
20	112b	導電膜
	112c	導電膜
	114	絕緣膜
	116	絕緣膜
	118	絕緣膜
25	120a	導電膜
	120a_2	導電膜
	120b	導電膜
	120b_2	導電膜
	151	開口

	152a	開口
	152b	開口
	200A	電晶體
	200B	電晶體
5	200C	電晶體
	200D	電晶體
	202	基板
	204	絕緣膜
	206	導電膜
10	208_1a	金屬氧化物
	208_2a	金屬氧化物
	208_3a	金屬氧化物
	208A	金屬氧化物
	208i	區域
15	208i_1	區域
	208i_2	區域
	208i_3	區域
	208n	區域
	210	絕緣膜
20	210_0	絕緣膜
	212	導電膜
	212_0	導電膜
	216	絕緣膜
	218	絕緣膜
25	220a	導電膜
	220b	導電膜
	240	遮罩
	241a	開口
	241b	開口

	243	開口
	600	顯示面板
	601	電晶體
	604	連接部
5	605	電晶體
	606	電晶體
	607	連接部
	612	液晶層
	613	導電膜
10	617	絕緣膜
	620	絕緣膜
	621	絕緣膜
	623	導電膜
	631	彩色層
15	632	遮光膜
	633a	配向膜
	633b	配向膜
	634	彩色層
	635	導電膜
20	640	液晶元件
	641	黏合層
	642	黏合層
	643	導電膜
	644	EL層
25	645a	導電膜
	645b	導電膜
	646	絕緣膜
	647	絕緣膜
	648	導電膜

	649	連接層
	651	基板
	652	導電膜
	653	半導體膜
5	654	導電膜
	655	開口
	656	偏光板
	659	電路
	660	發光元件
10	661	基板
	662	顯示部
	663	導電膜
	666	佈線
	672	FPC
15	673	IC
	681	絕緣膜
	682	絕緣膜
	683	絕緣膜
	684	絕緣膜
20	685	絕緣膜
	686	連接器
	687	連接部

申請專利範圍

- 1.一種半導體裝置，包括：
閘極電極；
閘極絕緣層；以及
- 5 具有多個能隙的金屬氧化物，
其中，該金屬氧化物包括具有第一導帶底能階的第一區域以及具有第二導帶底能階的第二區域，
該第一區域以及該第二區域在該金屬氧化物中混合，
該第二導帶底能階低於該第一導帶底能階，
10 該第二區域包含比該第一區域更多的載子，
並且，該第一導帶底能階與該第二導帶底能階之差為 0.2eV 以上。
- 2.一種半導體裝置，包括：
閘極電極；
閘極絕緣層；以及
- 15 具有多個能隙的金屬氧化物，
其中，該金屬氧化物包括具有第一導帶底能階的第一區域以及具有第二導帶底能階的第二區域，
該第一區域以及該第二區域在該金屬氧化物中混合，
該第二導帶底能階低於該第一導帶底能階，
20 該第一區域包括 M1 氧化物、In-M1-Zn 氧化物或 In-M1-M2-Zn 氧化物，
M1 為選自 Al、Ga、Si、Mg、Zr、Be 和 B 中的一種或多種元素，
M2 為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種元素，
該第二區域包括 In 氧化物、In-Zn 氧化物、In-M2 氧化物或 In-M2-Zn
25 氧化物，
並且，該第二區域的該 M2 的含量大於該第一區域。
- 3.一種半導體裝置，包括：
閘極電極；

閘極絕緣層；以及

包括具有第一能隙的第一區域以及具有第二能隙的第二區域的金屬氧化物，

其中，該第一區域以及該第二區域在該金屬氧化物中混合，

5 該第二區域的第二導帶底能階低於該第一區域的第一導帶底能階，

該第一區域包括第一金屬元素的第一氧化物，

該第二區域包括第二金屬元素的第二氧化物，

10 該第二氧化物包括具有與該第二金屬元素不同的化合價的第三元素，

並且，該第二區域中的該第三元素的濃度高於該第一區域中的該第三元素的濃度。

4.根據申請專利範圍第3項之半導體裝置，

其中該第三元素增加載子。

15 5.根據申請專利範圍第3項之半導體裝置，

其中該第一金屬元素為 Ga，

該第二金屬元素為 In，

並且該第三元素為選自 Ti、Ge、Sn、V、Ni、Mo、W 和 Ta 中的一種或多種元素。

20 6.根據申請專利範圍第3項之半導體裝置，

其中該第三元素為 Ti 和 Ge 中的至少一個。

7.根據申請專利範圍第3項之半導體裝置，

其中該第一區域還包括 In 和 Zn，

並且該第二區域還包括 Zn。

25 8.根據申請專利範圍第1、2及3項中任一項之半導體裝置，還包括：

源極電極以及汲極電極。

9.根據申請專利範圍第2項或第3項之半導體裝置，其中該第一導帶底能階與該第二導帶底能階之差為 0.2eV 以上。

10.根據申請專利範圍第 1、2 及 3 項中任一項之半導體裝置，其中該第一區域以及該第二區域混合而成為馬賽克狀。

圖式

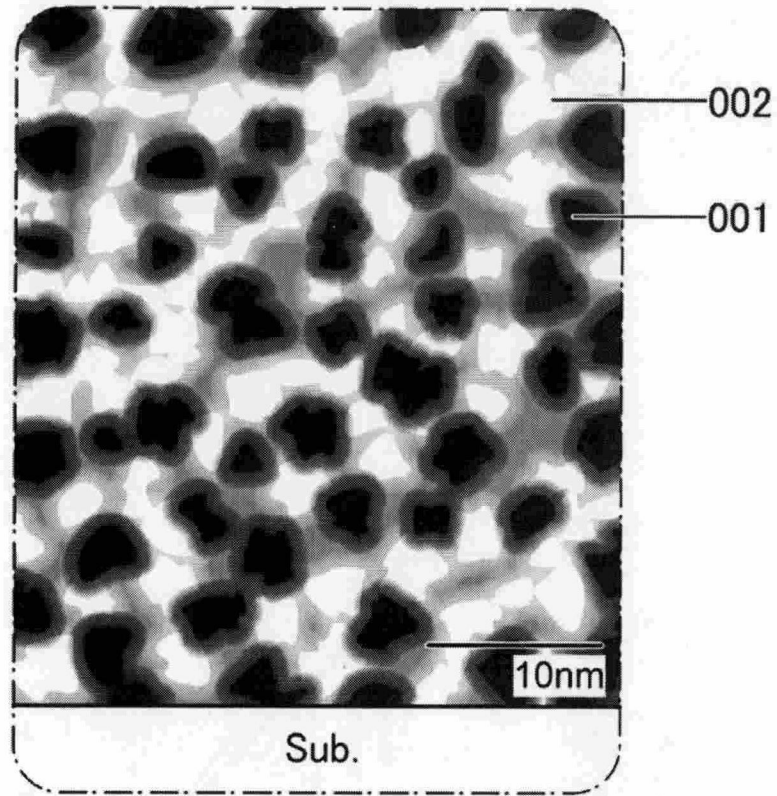


圖 1

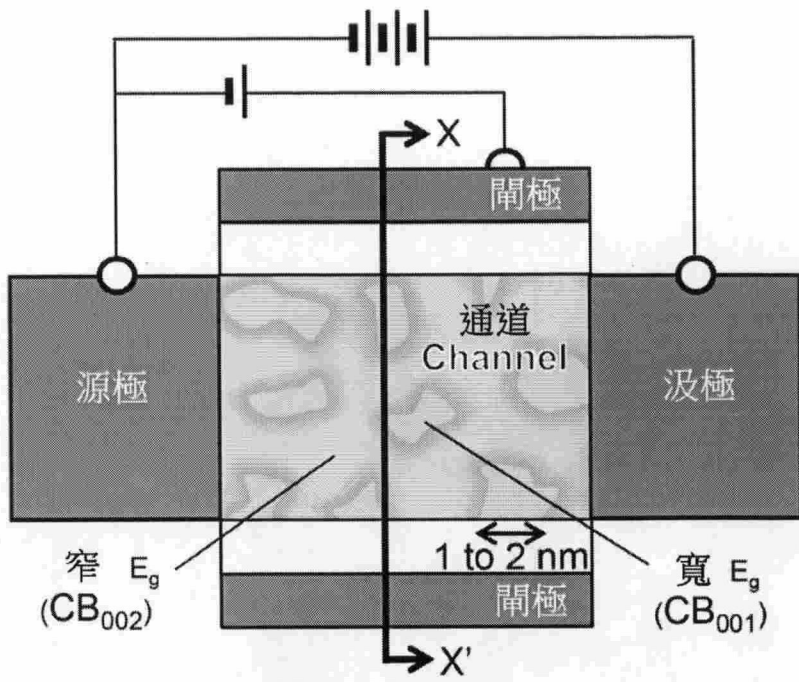


圖 2A

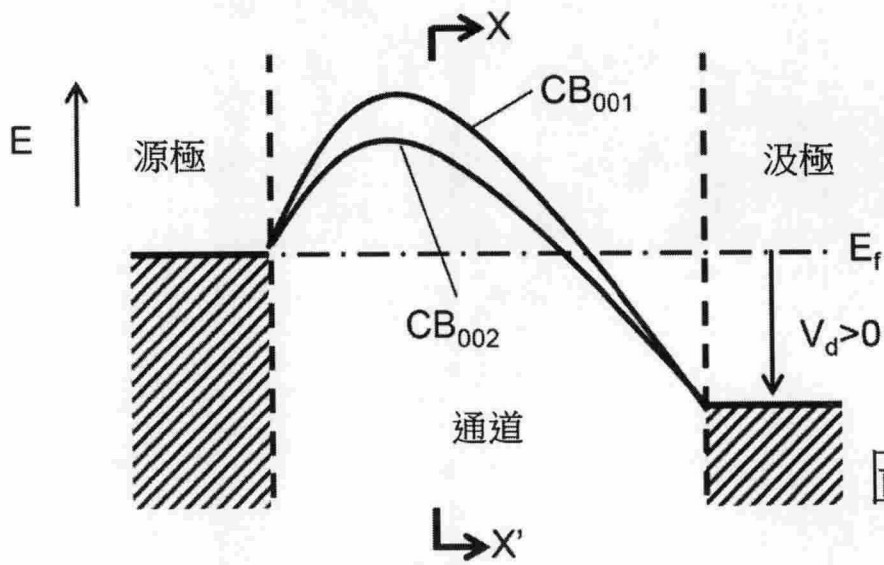


圖 2B

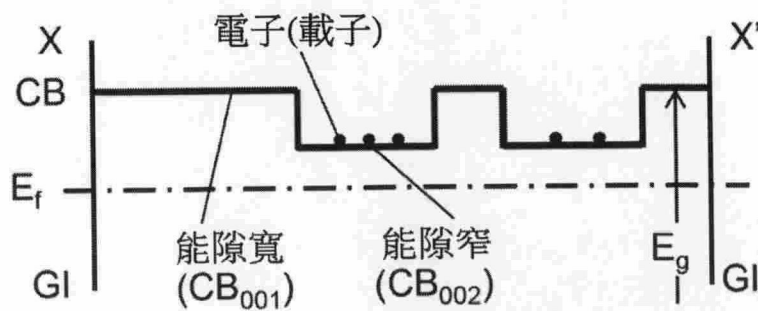


圖 2C

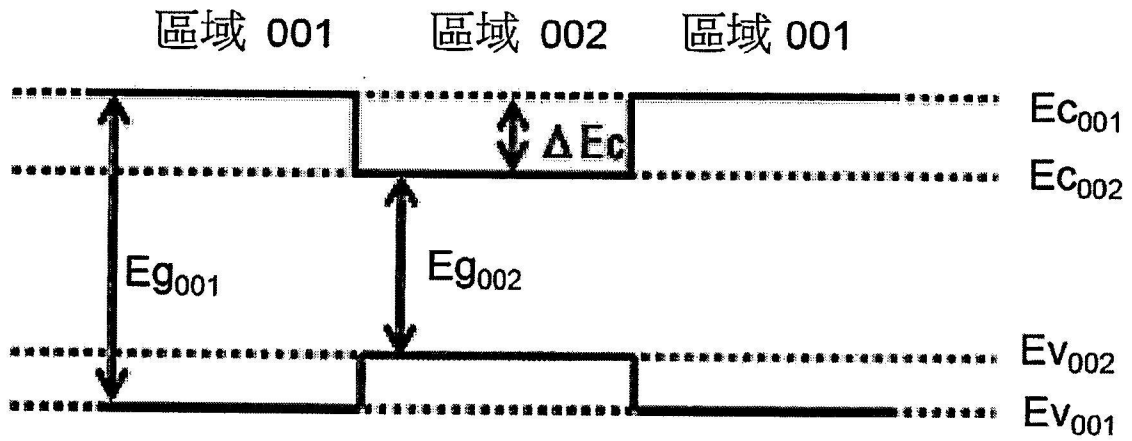


圖 3A

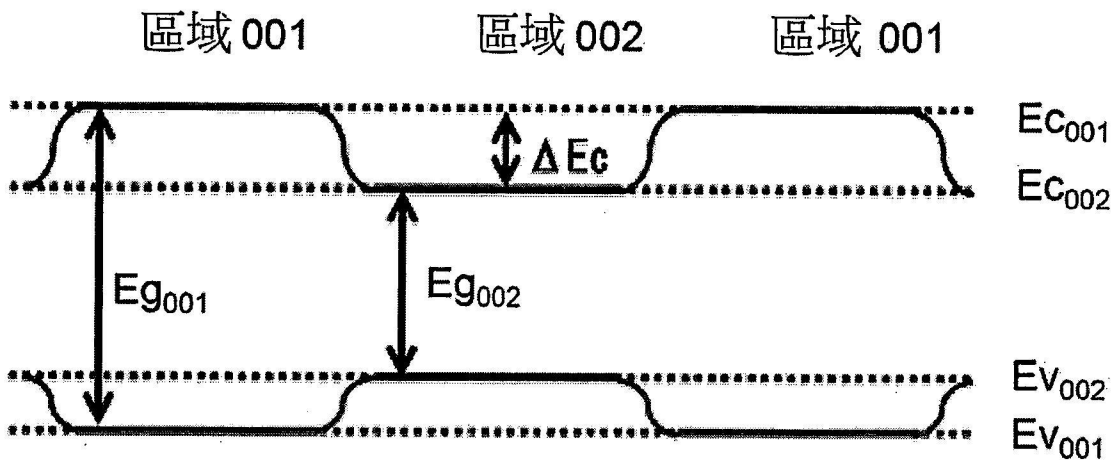


圖 3B

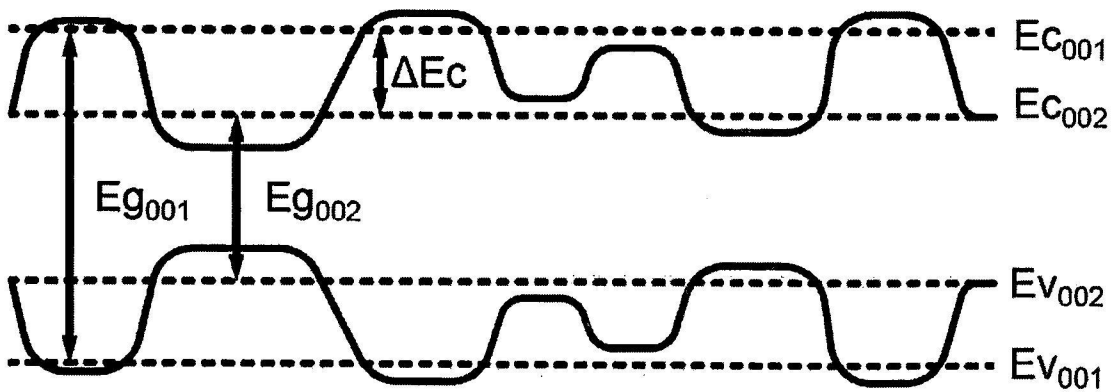
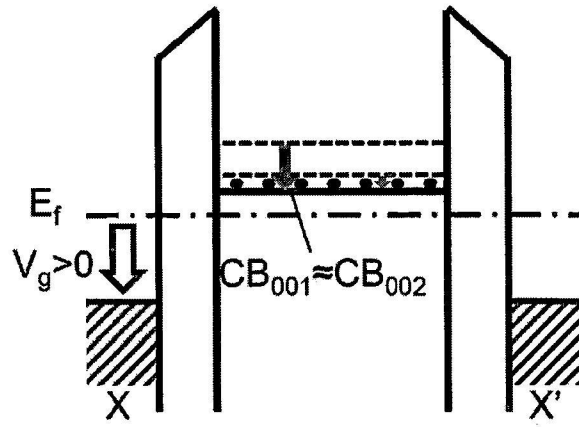


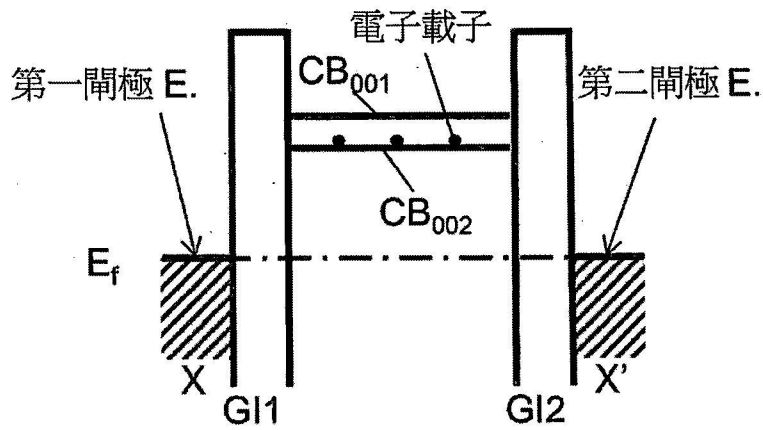
圖 3C



$$\Delta CB_{001} > \Delta CB_{002}$$

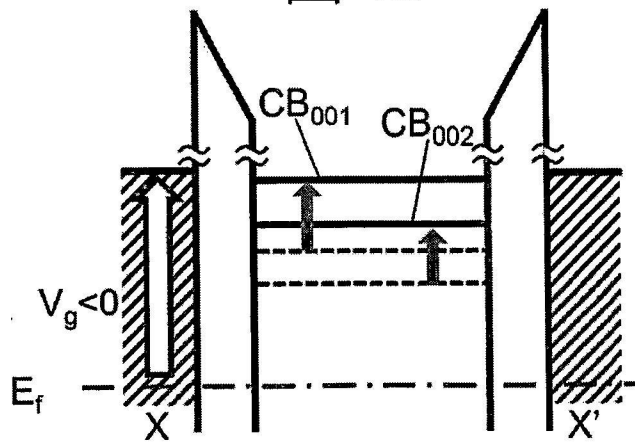
$$CB_{001} \approx CB_{002}$$

圖 4A



$$CB_{001} > CB_{002}$$

圖 4B



$$\Delta CB_{001} > \Delta CB_{002} > 0$$

圖 4C

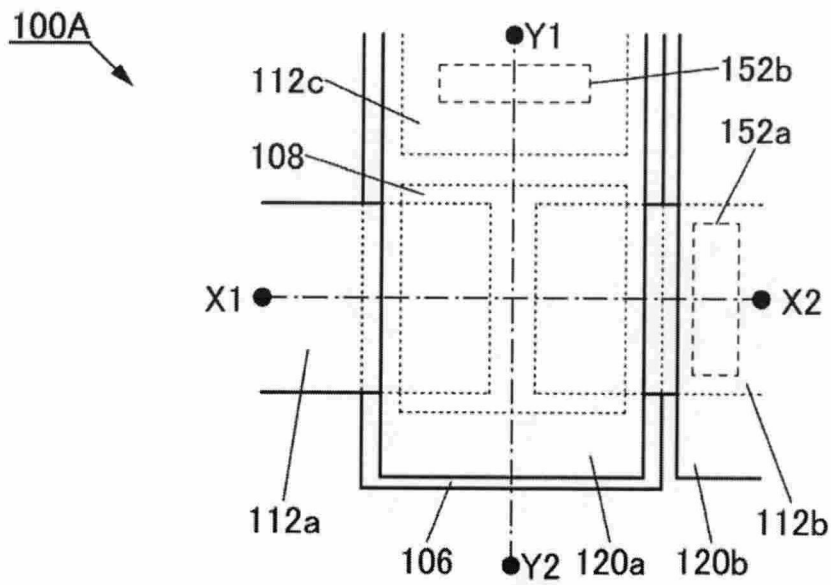


圖 5A

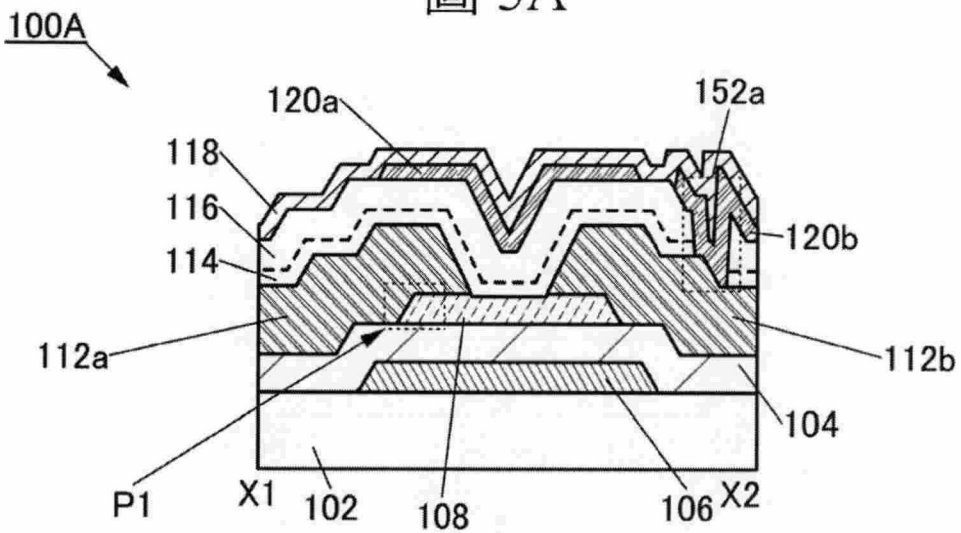


圖 5B

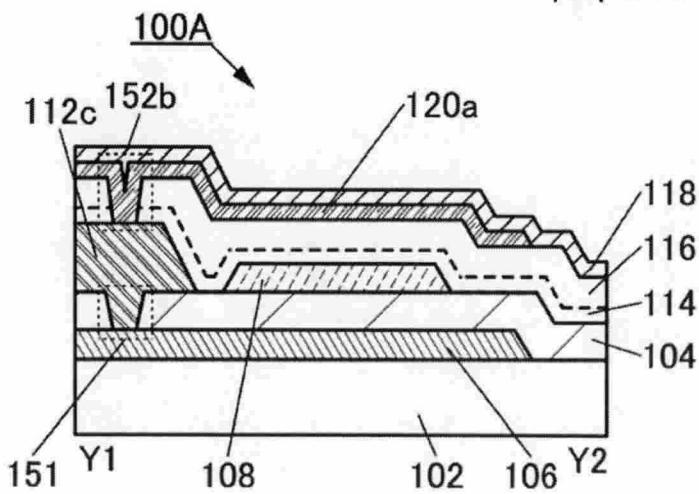


圖 5C

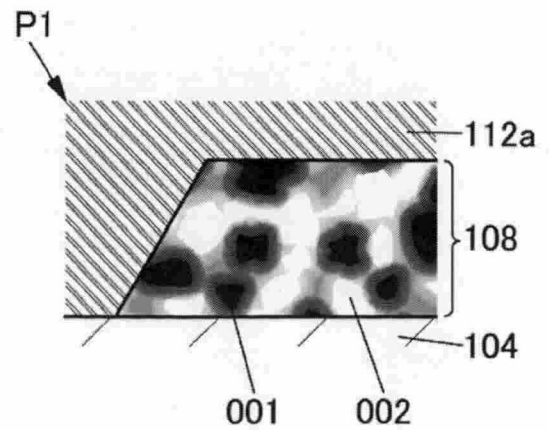


圖 5D

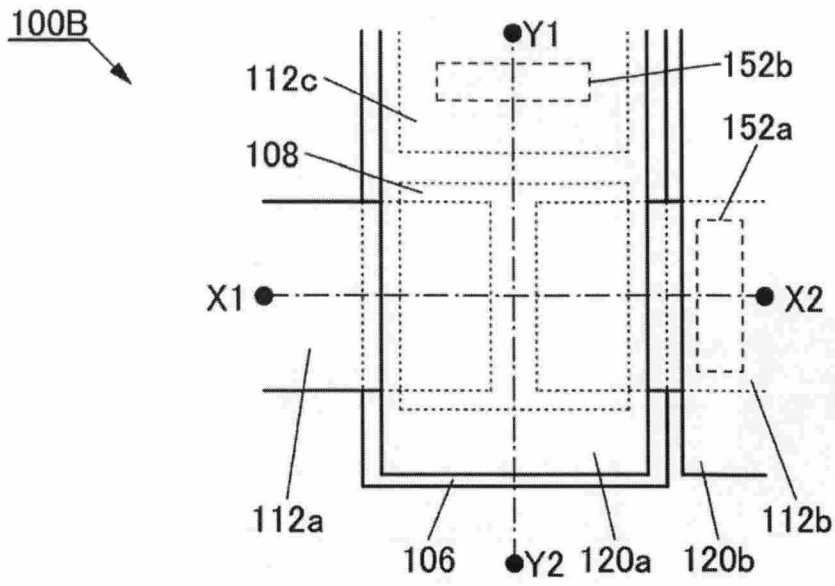


圖 6A

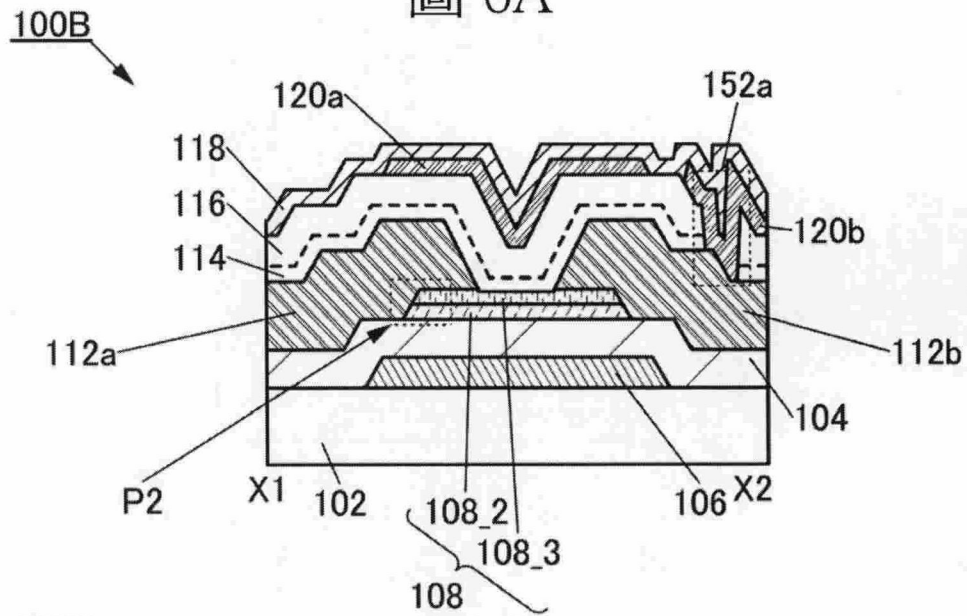


圖 6B

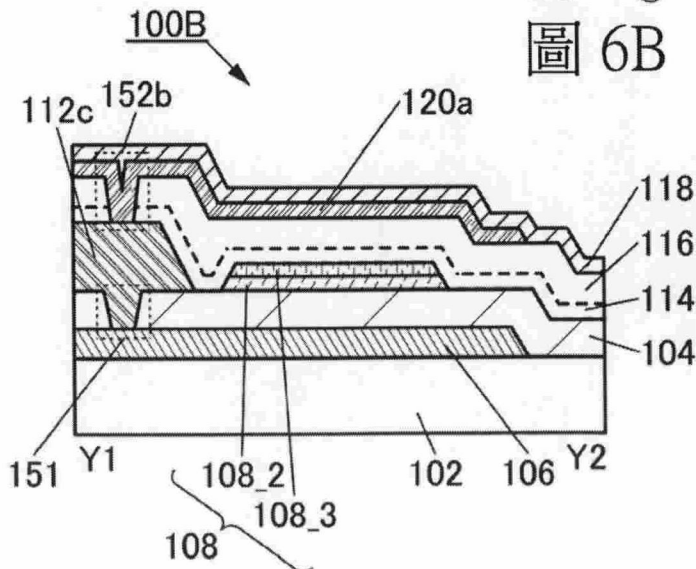


圖 6C

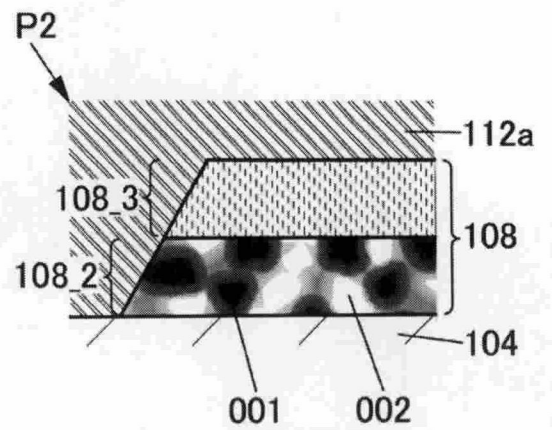


圖 6D

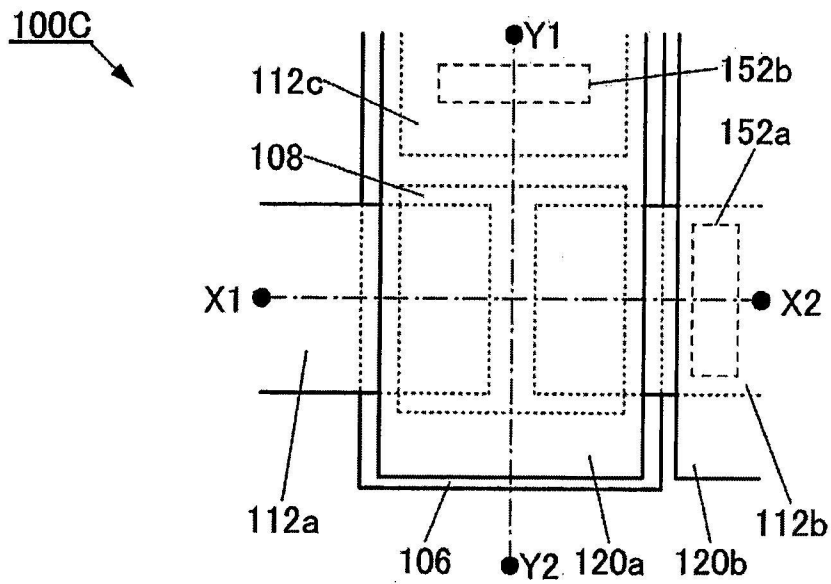


圖 7A

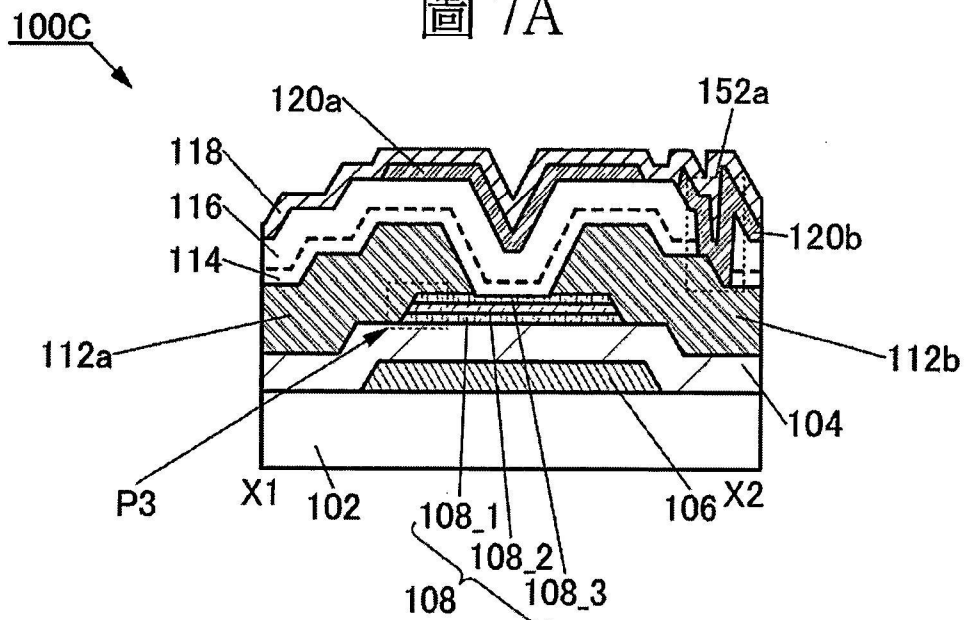


圖 7B

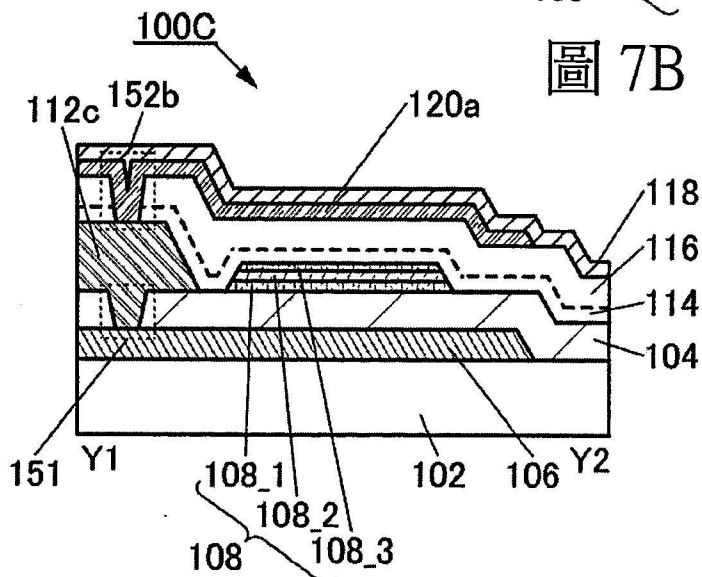


圖 7C

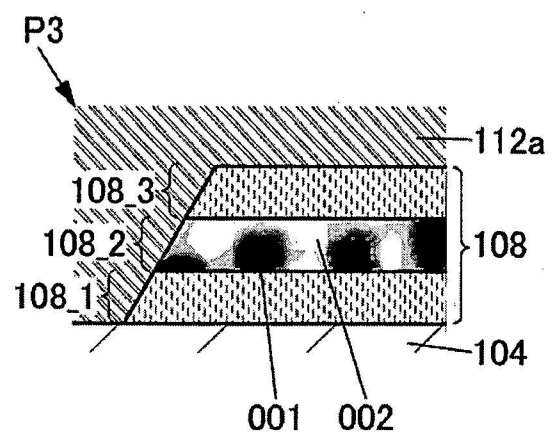


圖 7D

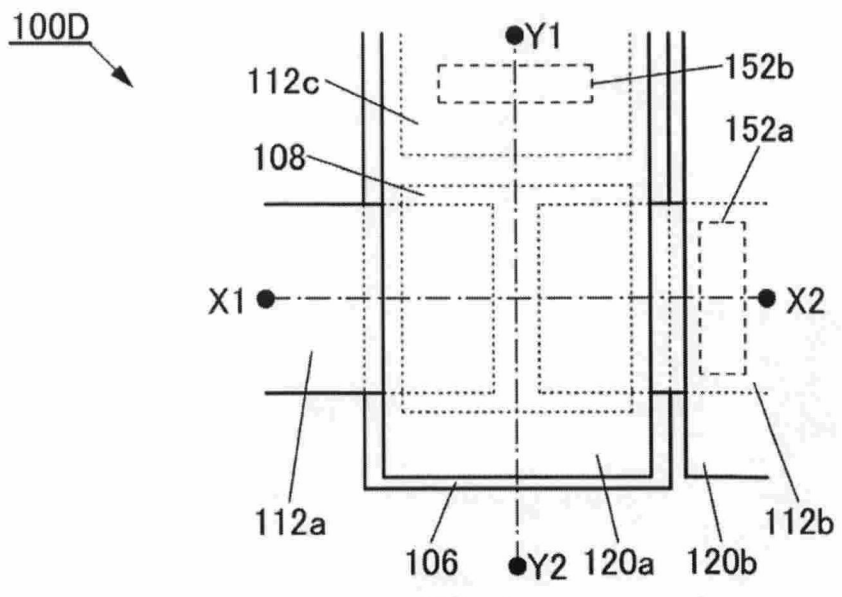


圖 8A

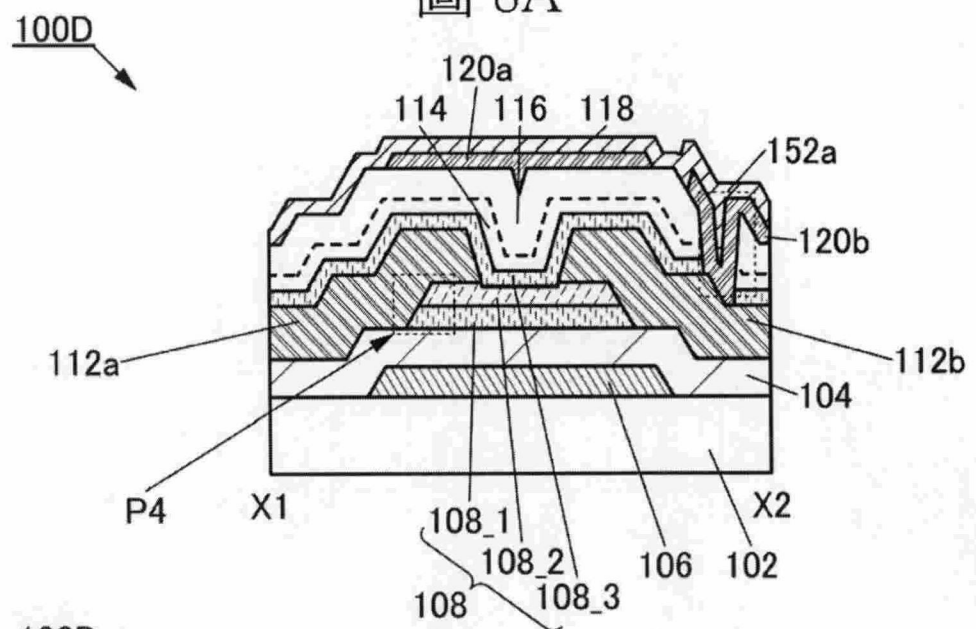


圖 8B

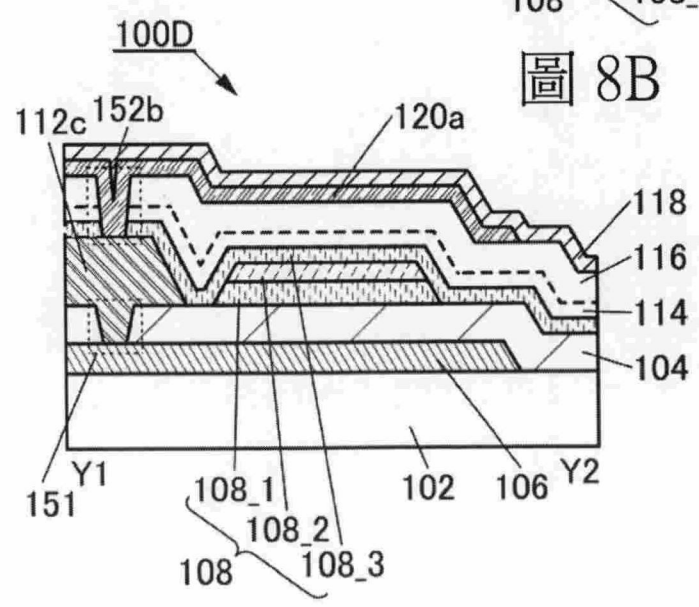


圖 8C

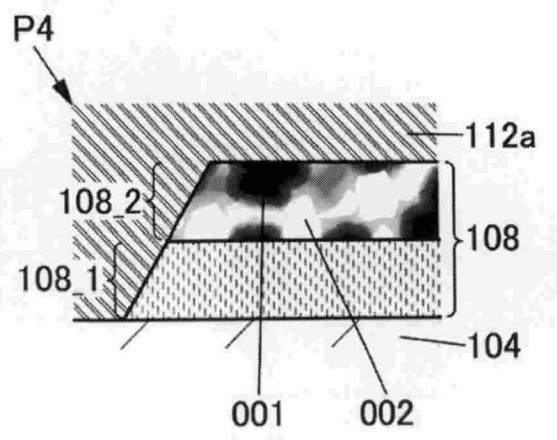


圖 8D

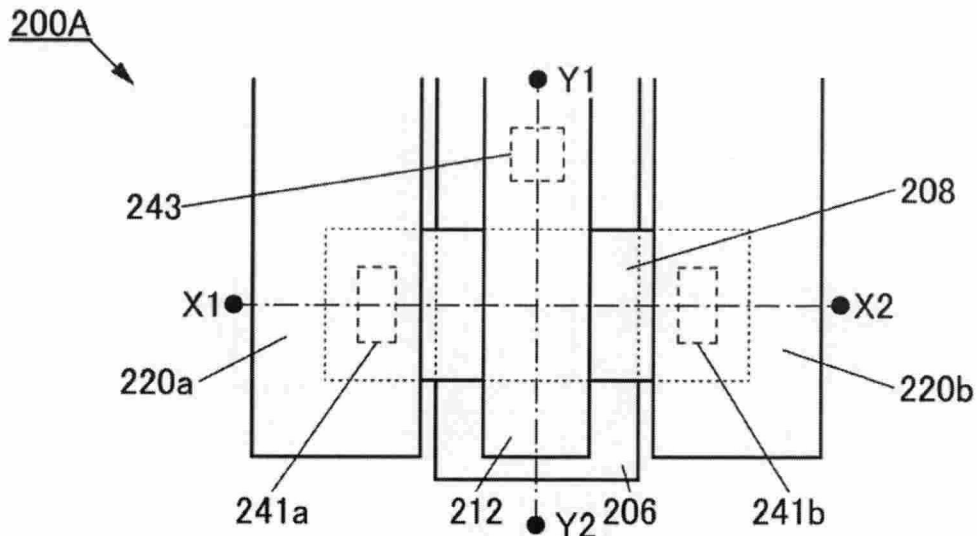


圖 9A

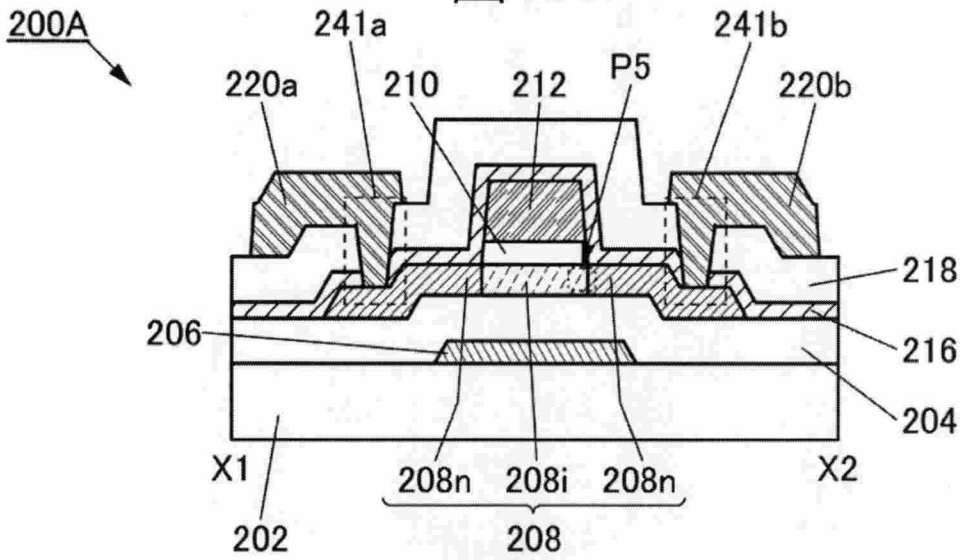


圖 9B

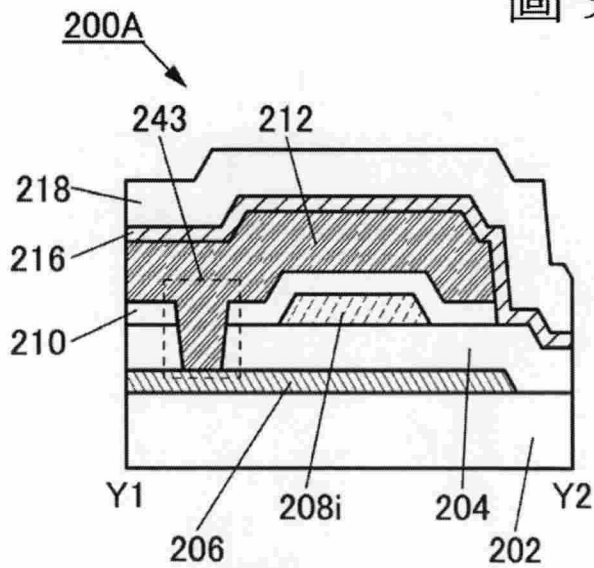


圖 9C

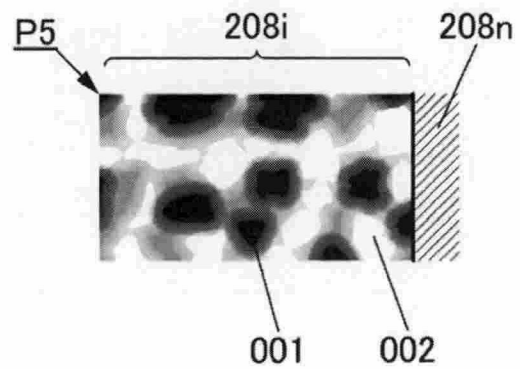


圖 9D

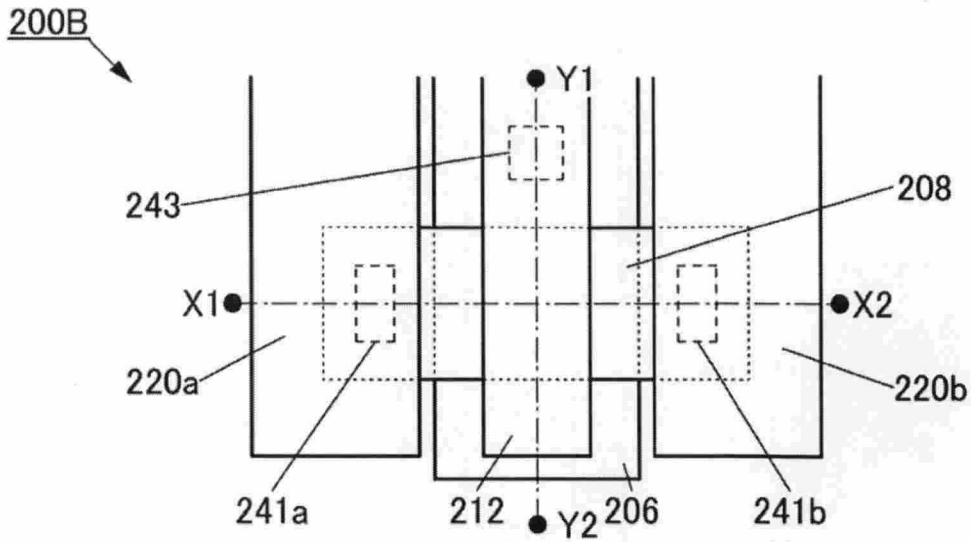


圖 10A

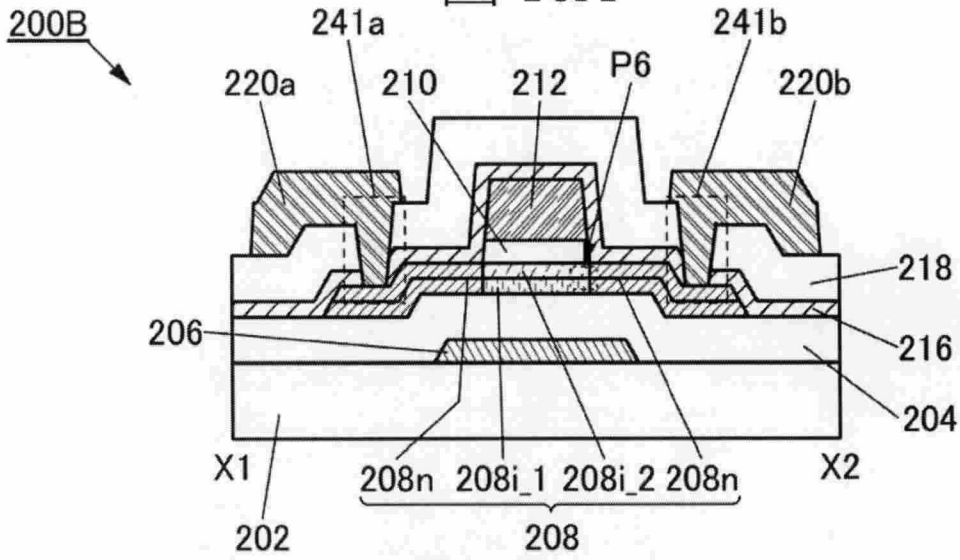


圖 10B

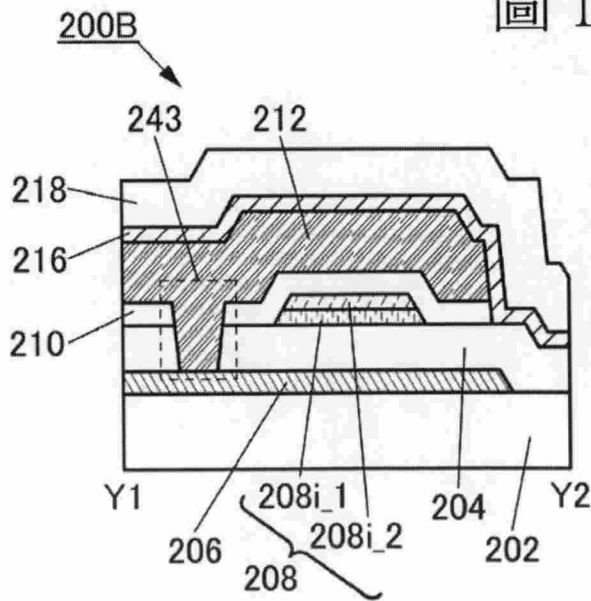


圖 10C

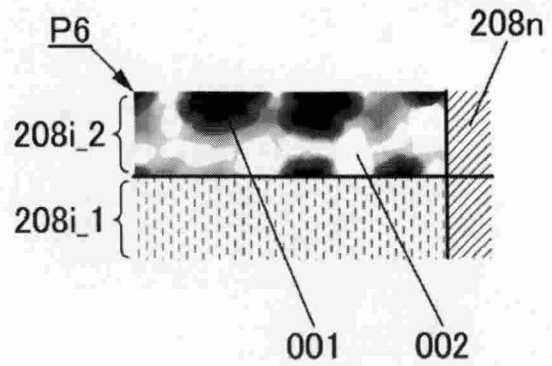


圖 10D

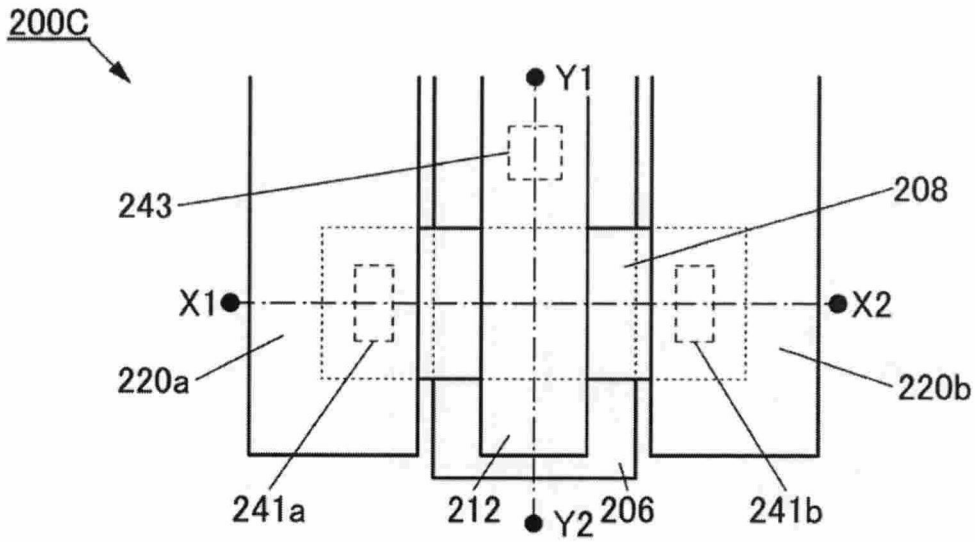


圖 11A

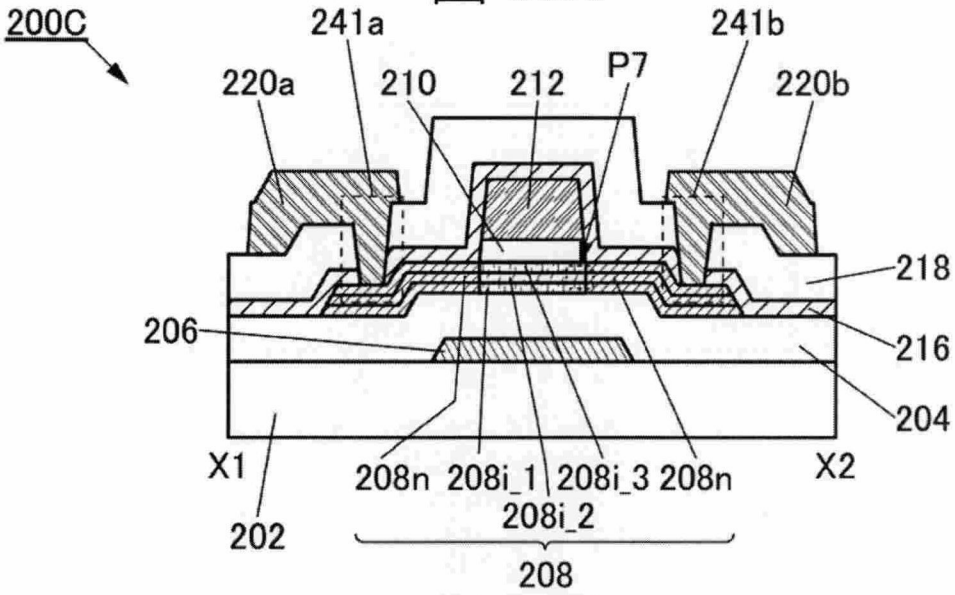


圖 11B

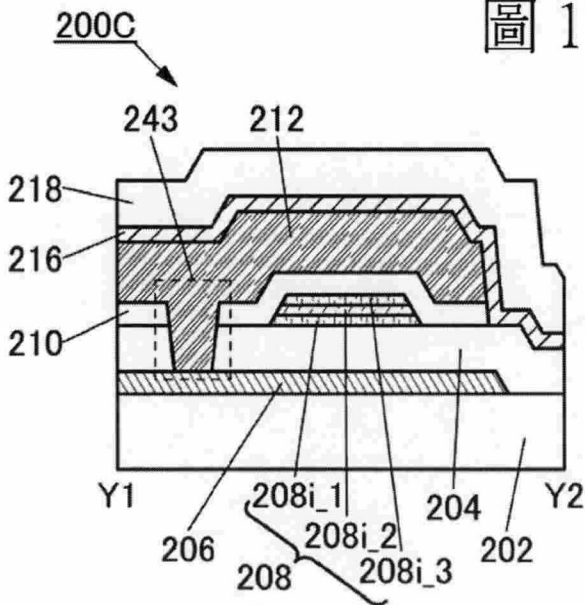


圖 11C

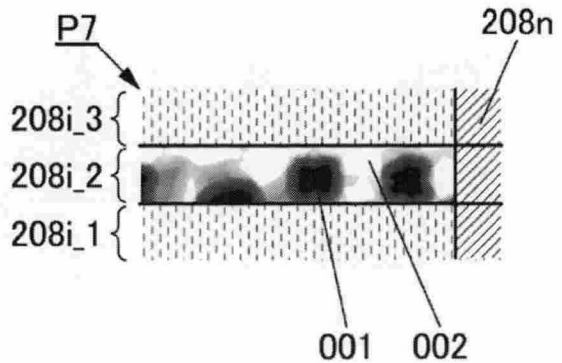


圖 11D

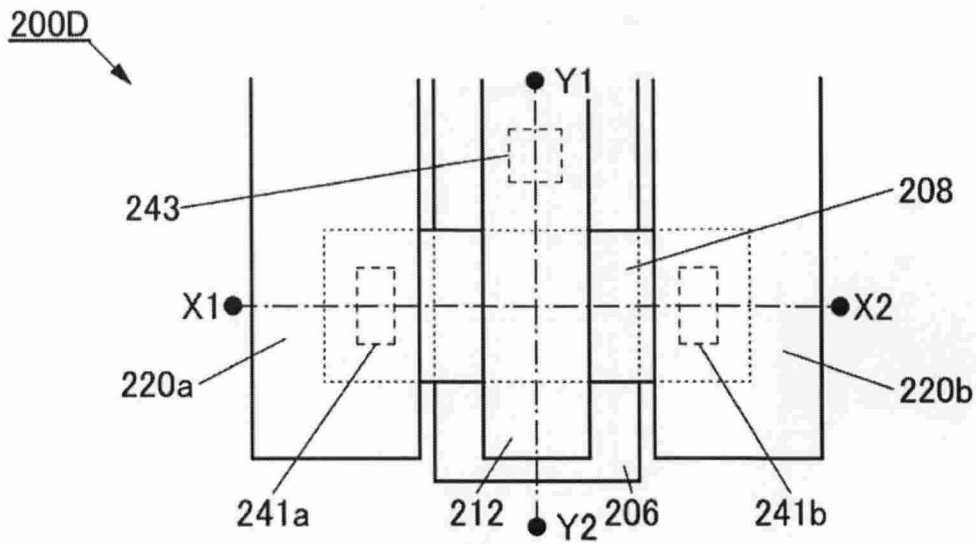


圖 12A

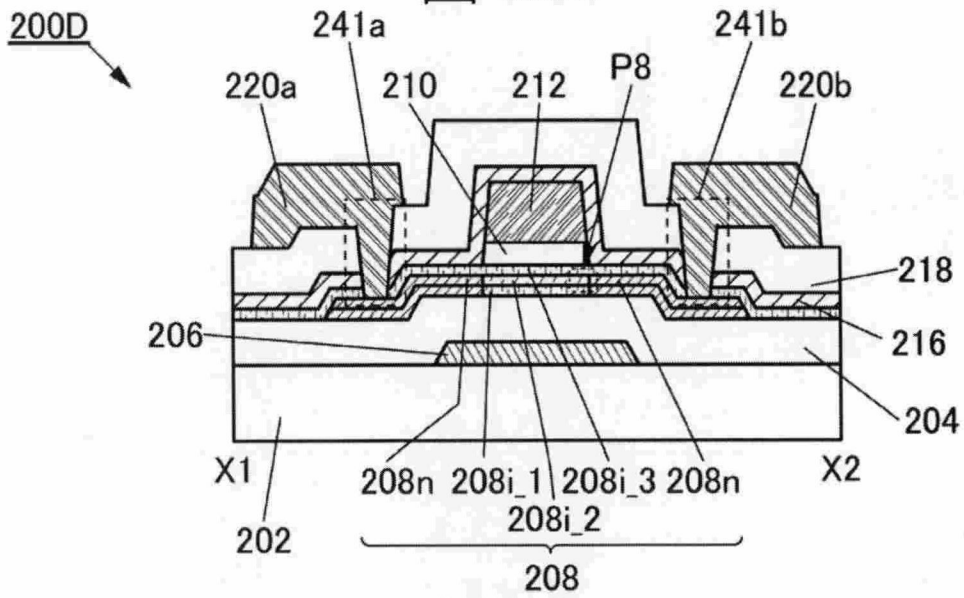


圖 12B

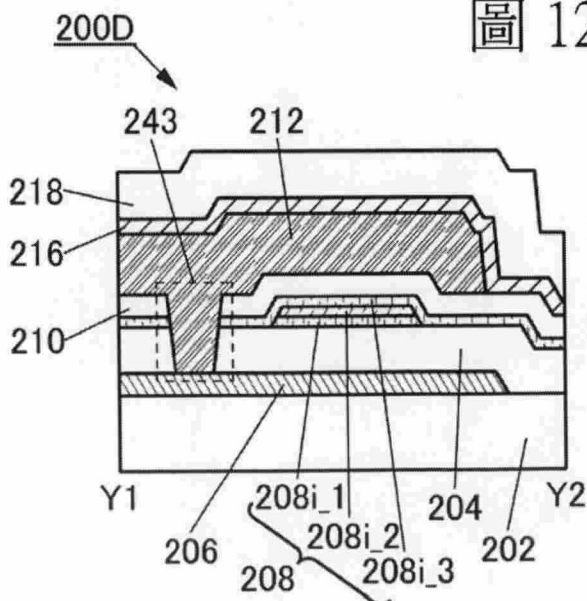


圖 12C

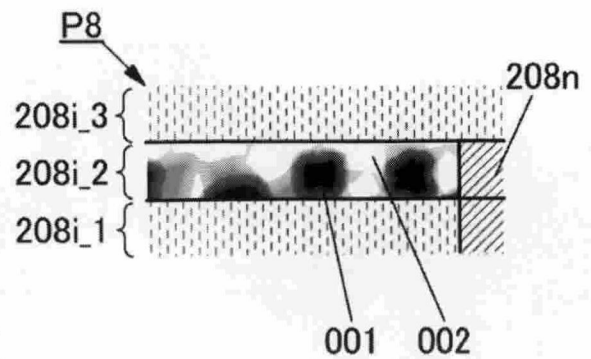


圖 12D

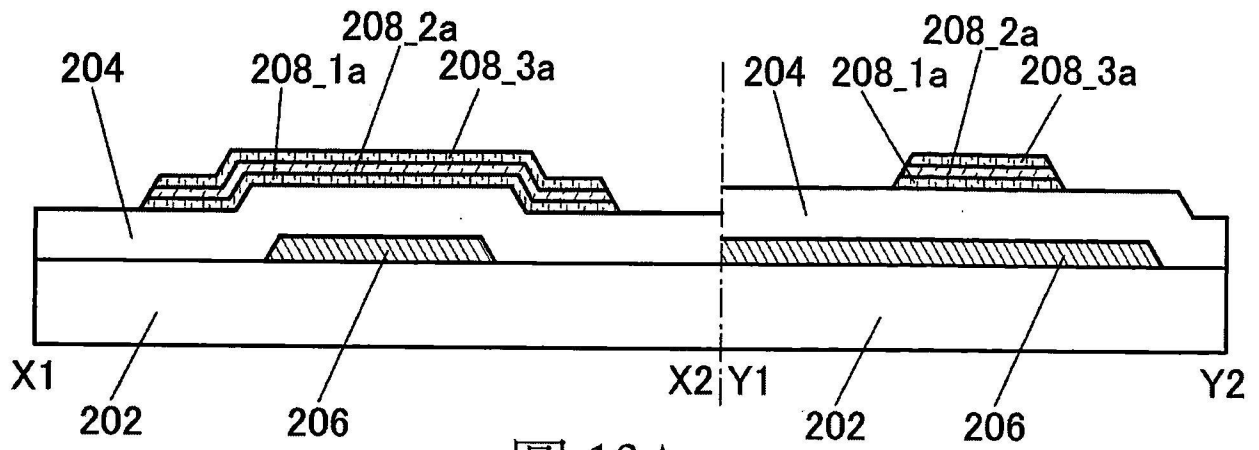


圖 13A

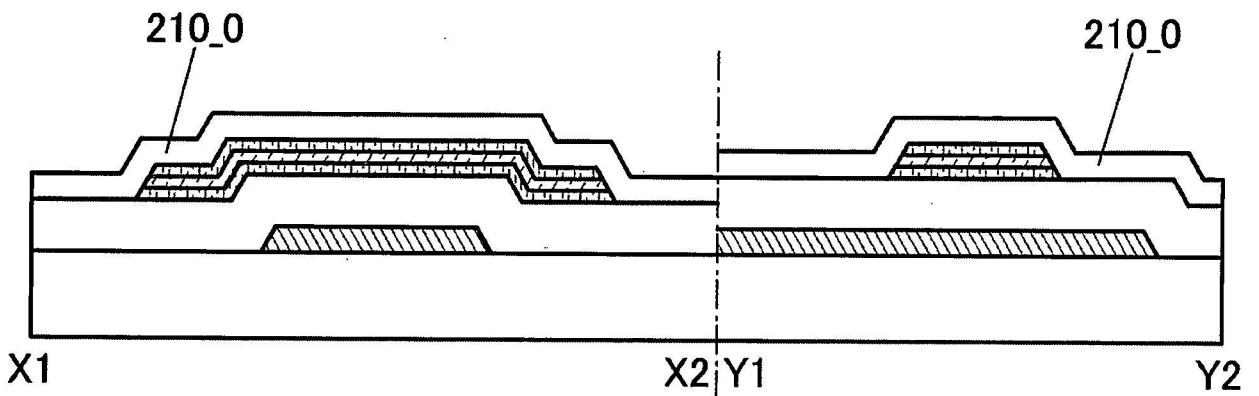


圖 13B

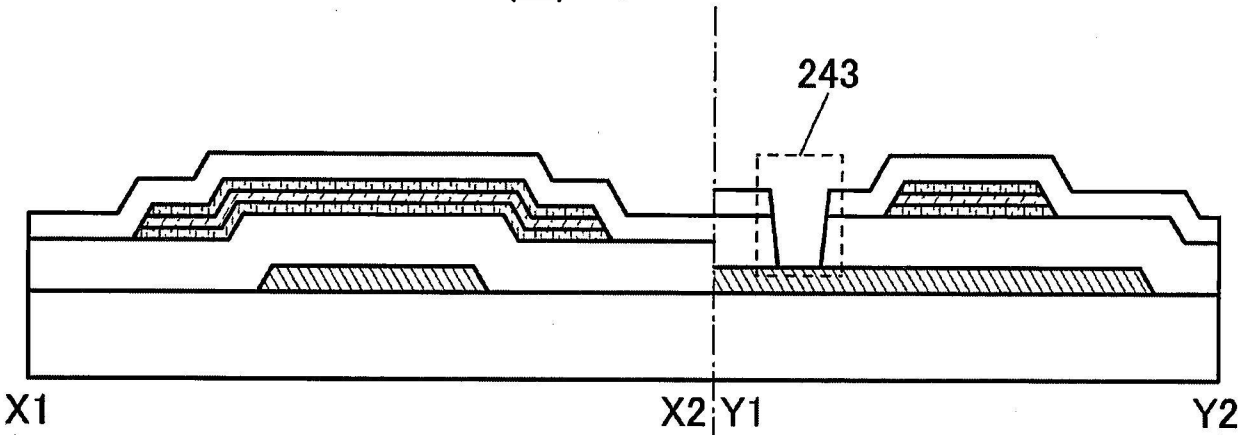


圖 13C

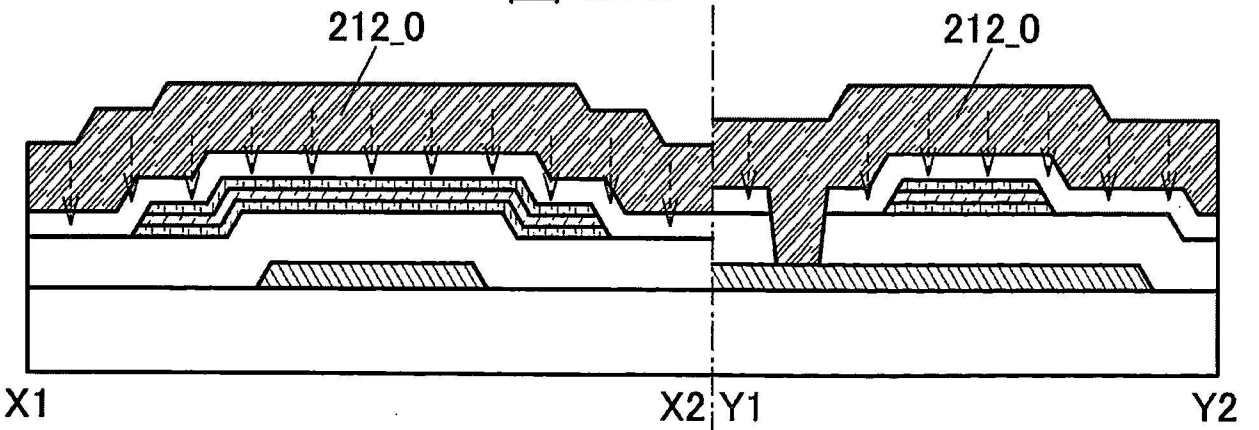


圖 13D

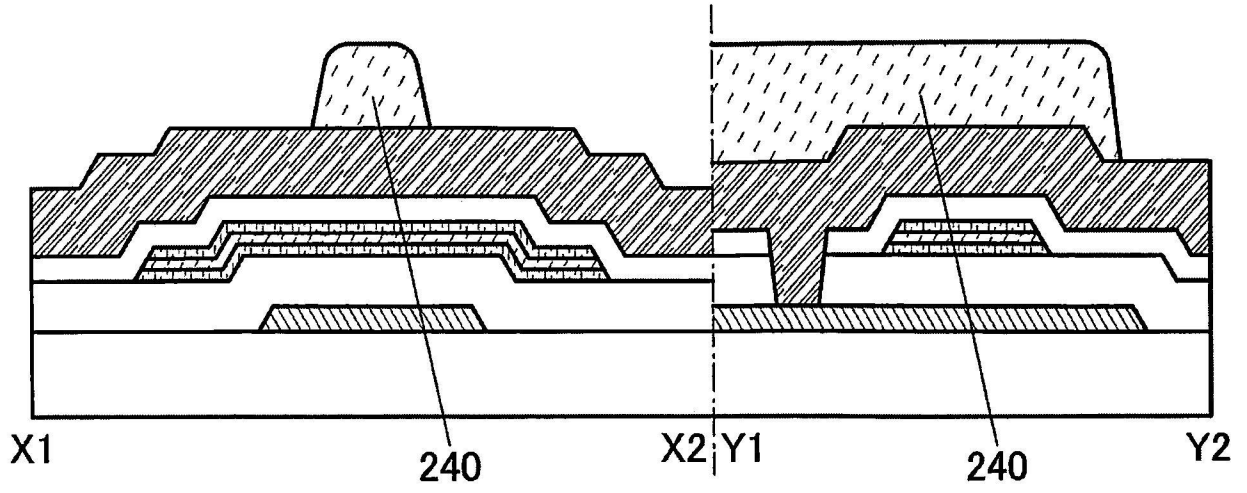


圖 14A

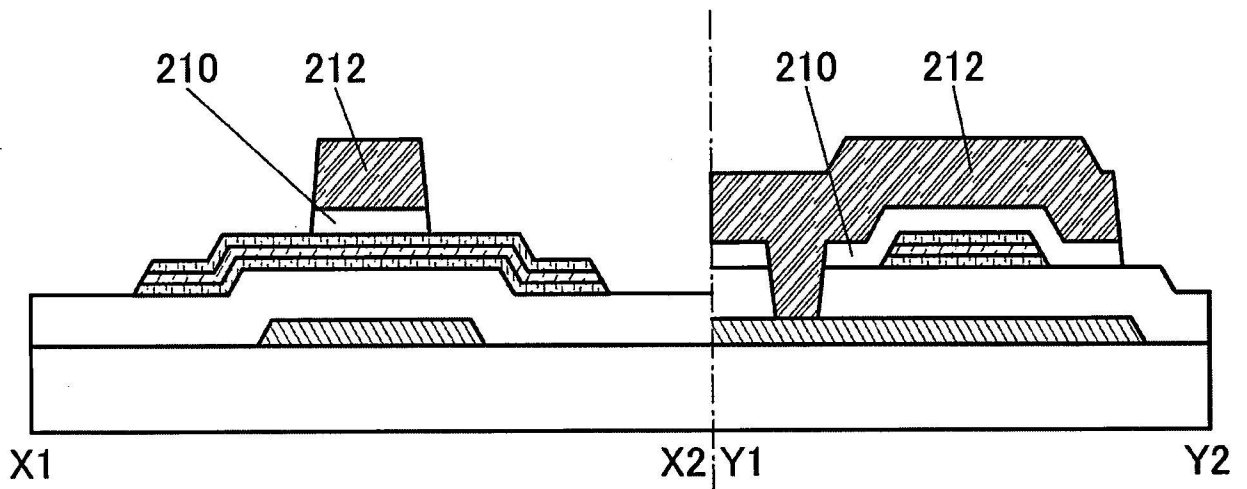


圖 14B

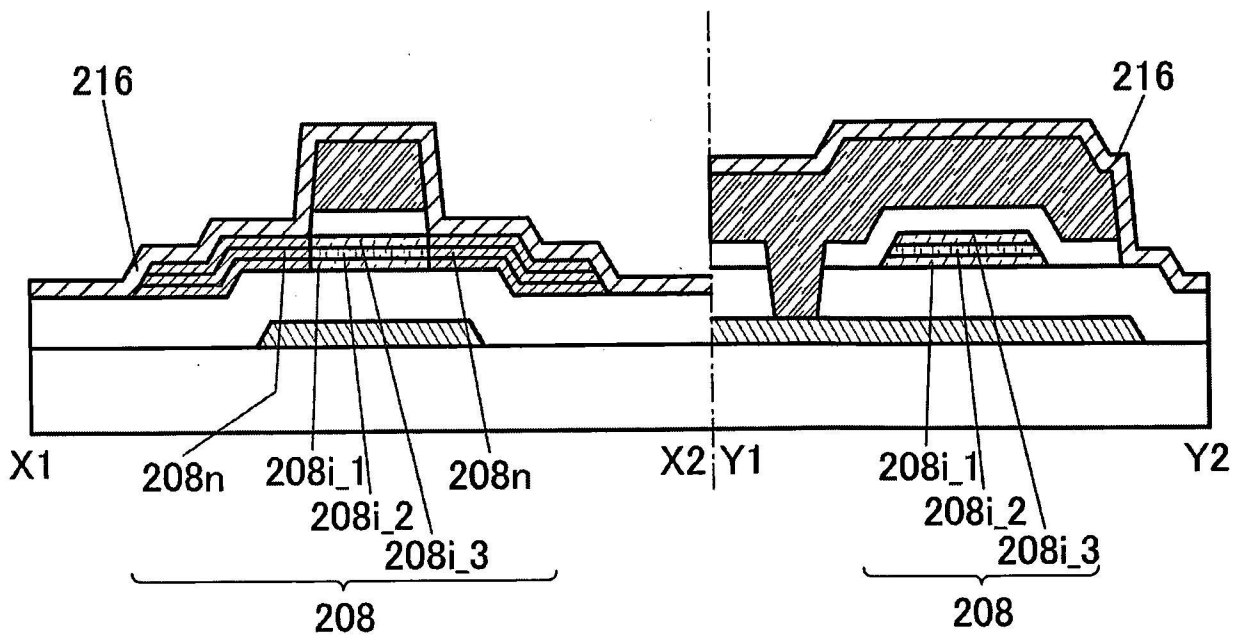


圖 14C

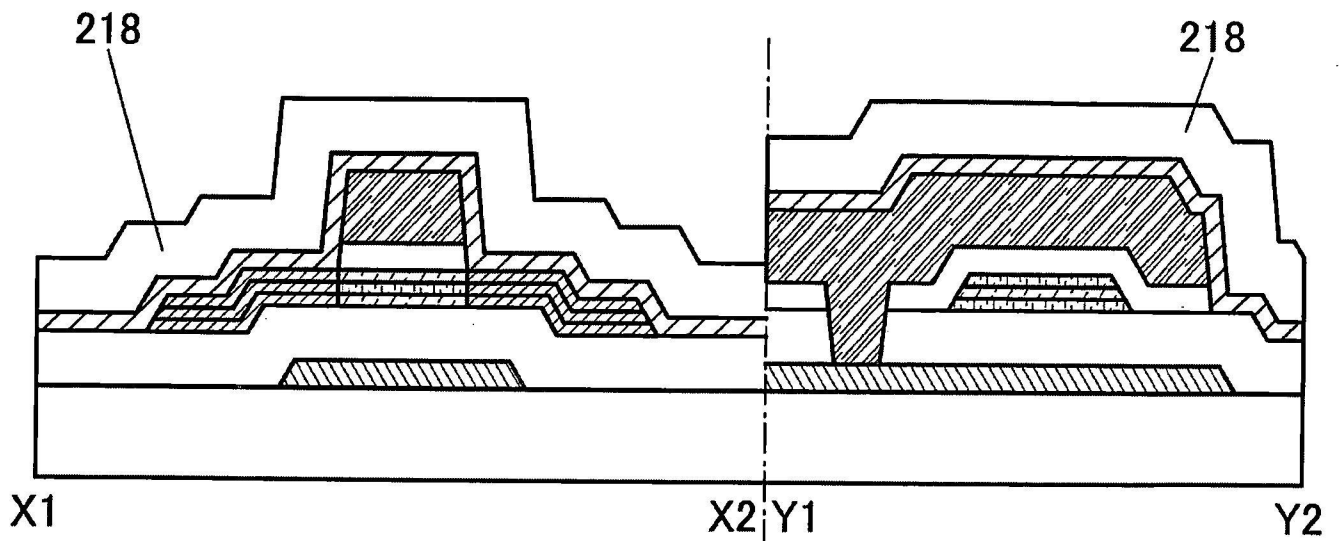


圖 15A

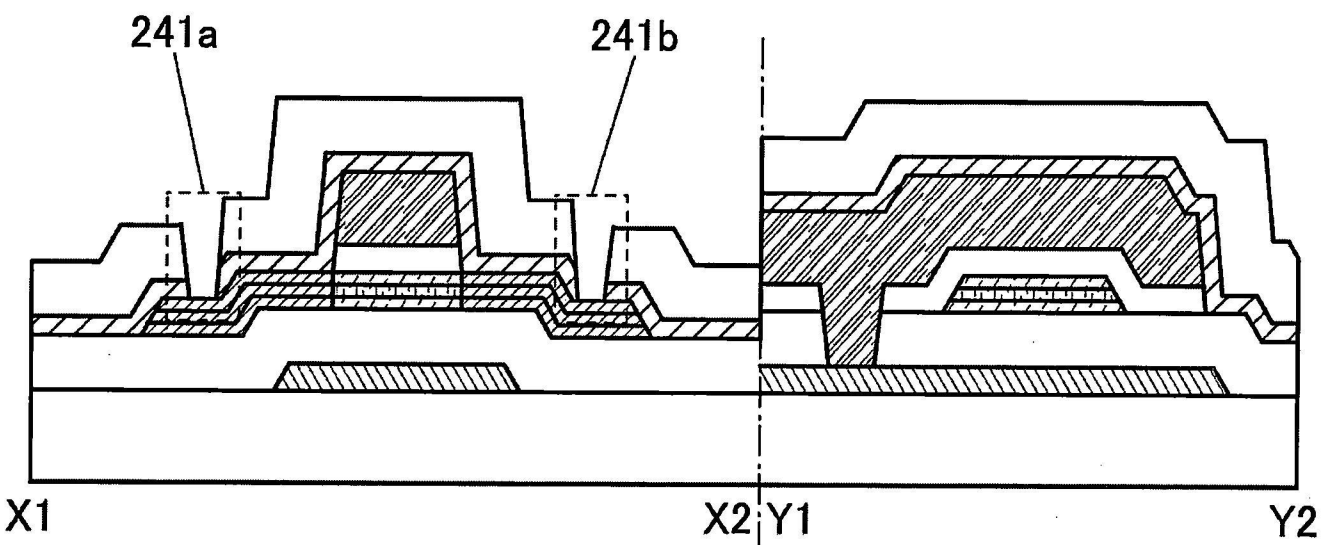


圖 15B

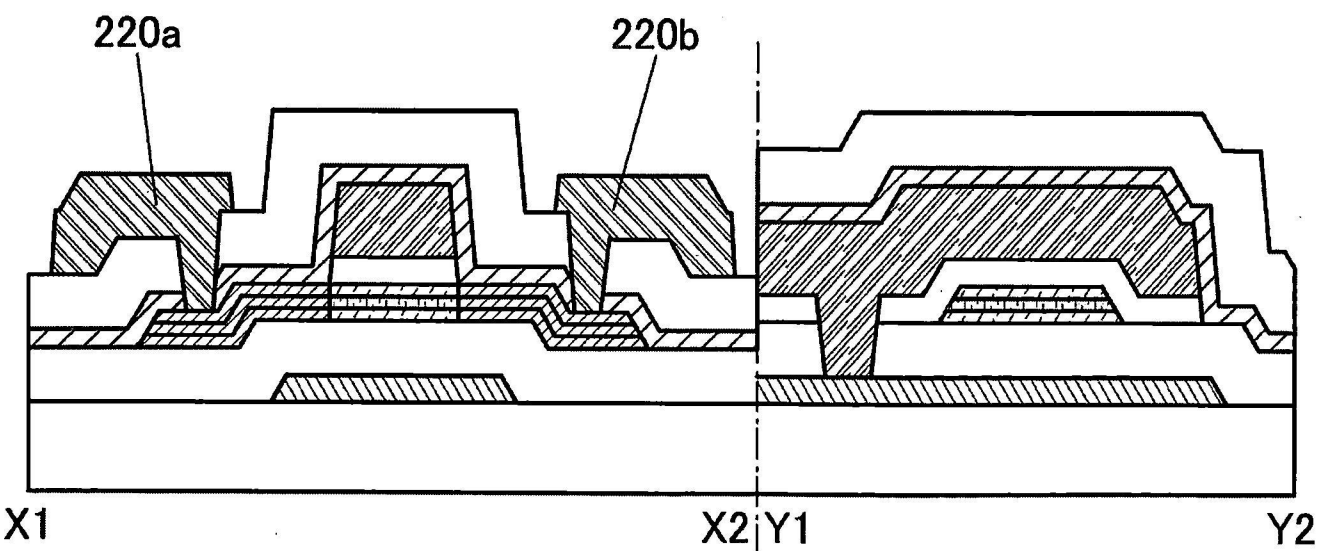


圖 15C

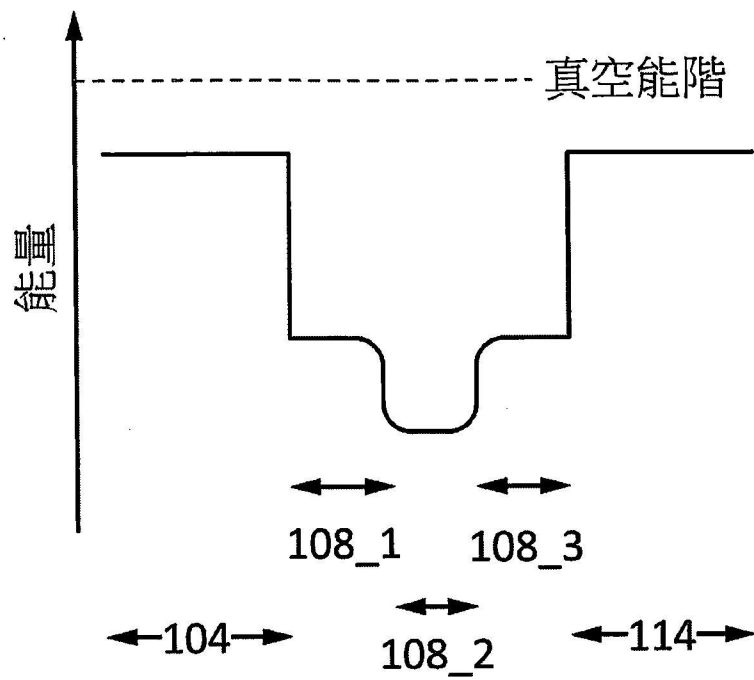


圖 16A

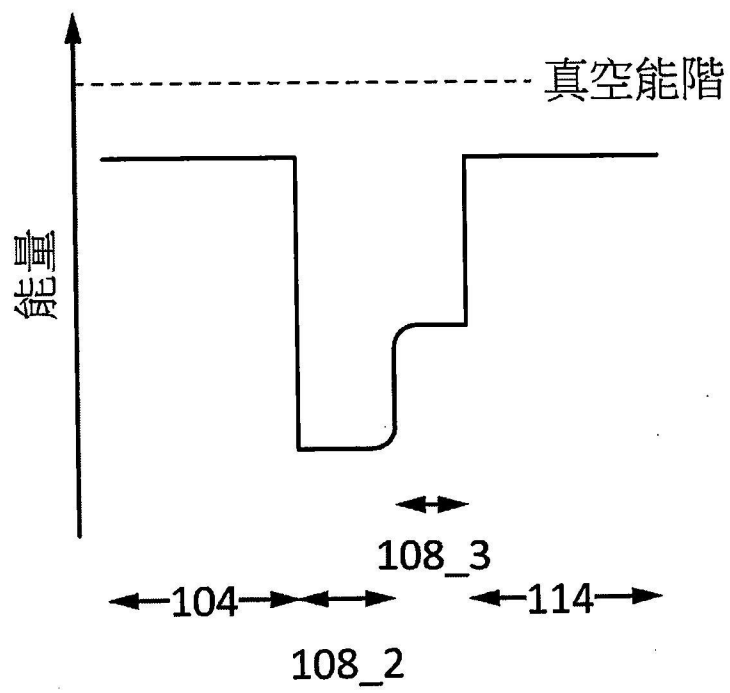


圖 16B

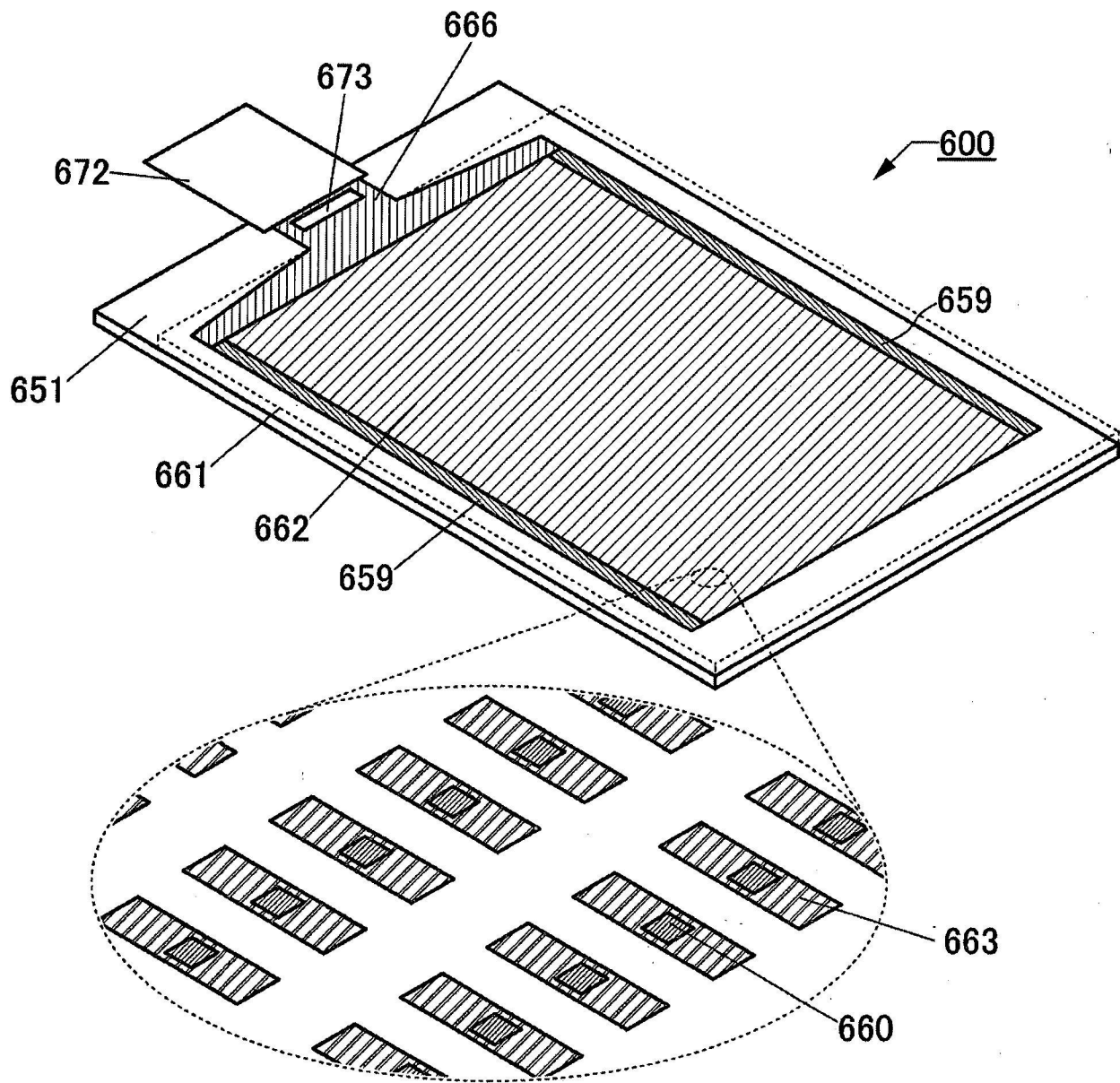


圖 17

600

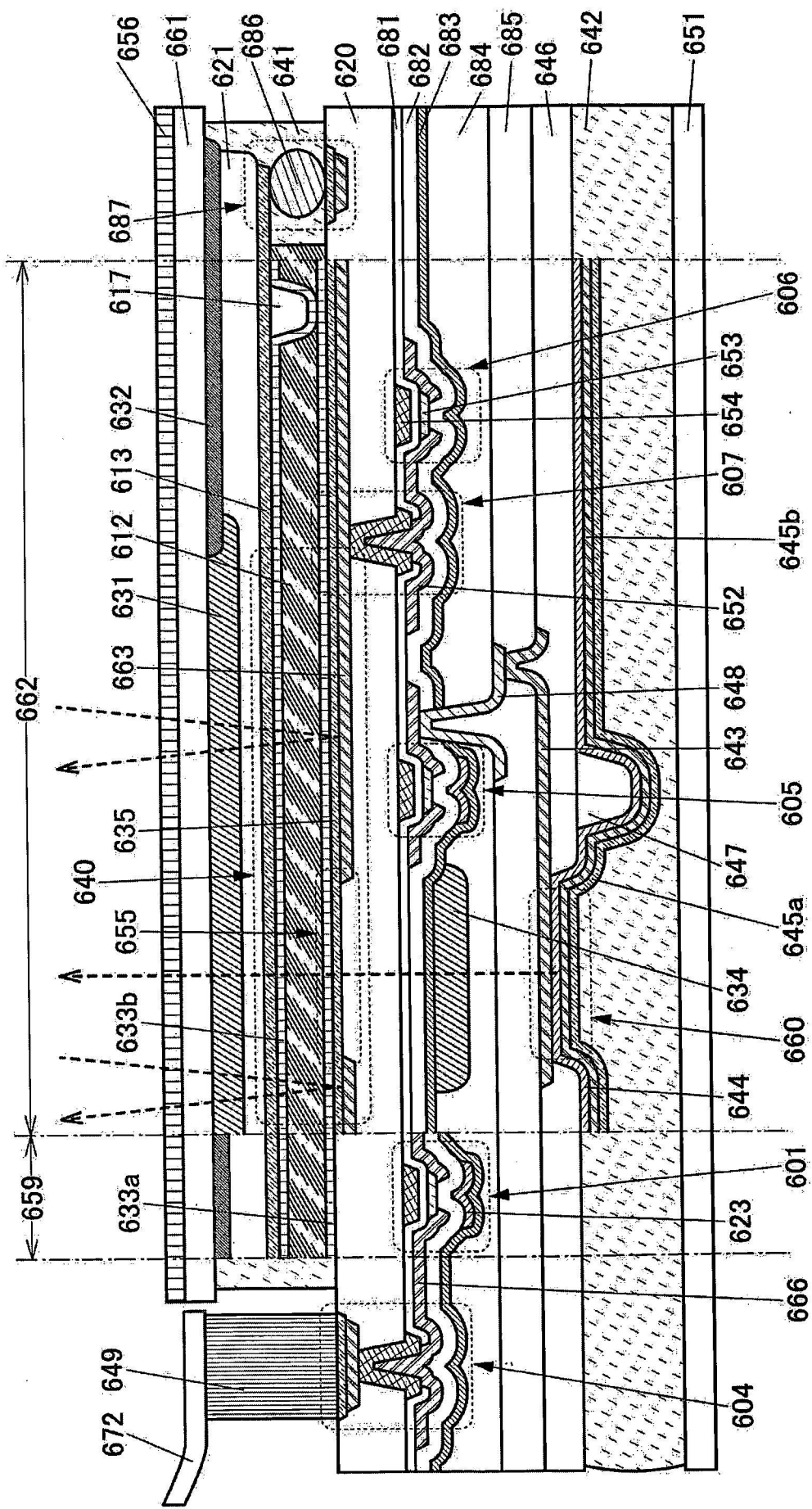


圖 18