

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024年7月4日 (04.07.2024)



(10) 国际公布号
WO 2024/140504 A1

(51) 国际专利分类号:
H10B 53/30 (2023.01) G11C 11/22 (2006.01)

(21) 国际申请号: PCT/CN2023/141245

(22) 国际申请日: 2023年12月22日 (22.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211705791.9 2022年12月29日 (29.12.2022) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 徐俊文 (XU, Junwen); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。李杨 (LI, Yang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。葛浩 (GE, Hao); 中国广东省深圳市龙岗区坂田

华为总部办公楼, Guangdong 518129 (CN)。商新超 (SHANG, Xinchao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。李岩 (LI, Yan); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: MEMORY ARRAY AND PREPARATION METHOD, STORAGE CIRCUIT AND READ-WRITE METHOD, AND ELECTRONIC DEVICE

(54) 发明名称: 存储阵列及制备方法、存储电路及读写方法、电子设备

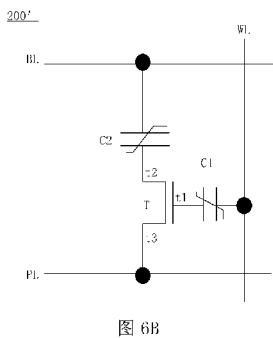


图 6B

(57) Abstract: Embodiments of the present application relate to the technical field of semiconductors, and provide a memory array and a preparation method, a storage circuit and a read-write method, and an electronic device, which are used for improving the storage density of a memory. The memory array comprises a plurality of memory cells. Each of the plurality of memory cells comprises a transistor, a first ferroelectric capacitor, and a second ferroelectric capacitor; the transistor comprises a conductive gate, as well as a first doped region and a second doped region which are adjacently arranged; the conductive gate is located above a gap between the first doped region and the second doped region; the first doped region and the second doped region are a source doped region and a drain doped region; a first end of the first ferroelectric capacitor is coupled to the conductive gate, and a second end of the first ferroelectric capacitor is used for receiving a signal of a word line; a first end of the second ferroelectric capacitor is coupled to the first doped region, and a second end of the second ferroelectric capacitor is used to communicate signals with a bit line. The described memory array is applicable in a ferroelectric memory.

(57) 摘要: 本申请实施例提供一种存储阵列及制备方法、存储电路及读写方法、电子设备, 涉及半导体技术领域, 用于提高存储器的存储密度。存储阵列包括多个存储单元。多个存储单元中的每个存储单元包括晶体管、第一铁电电容器和第二铁电电容器; 晶体管包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区; 导电栅极位于第一掺杂区和第二掺杂区之间间隙的上方; 第一掺杂区和第二掺杂区互为源极掺杂区和漏极掺杂区; 第一铁电电容器的第一端与导电栅极耦接, 第一铁电电容器的第二端用于接收字线的信号; 第二铁电电容器的第一端与第一掺杂区耦接, 第二铁电电容器的第二端用于与位线互通信号。可适用于铁电存储器中。



WO 2024/140504 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

存储阵列及制备方法、存储电路及读写方法、电子设备

5 本申请要求于 2022 年 12 月 29 日提交国家知识产权局、申请号为 202211705791.9、申请名称为“存储阵列及制备方法、存储电路及读写方法、电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

10 本申请涉及半导体技术领域，尤其涉及一种存储阵列及制备方法、存储电路及读写方法、电子设备。

背景技术

15 存储器是用于储存信息的装置。通常是将信息数字化后再以利用电、磁或光学等方式的媒体加以存储。铁电随机存取存储器（ferroelectric random access memory, FRAM）作为一种新型存储器，较传统的动态随机存取存储器（dynamic random access memory, DRAM）或者静态随机存取存储器（static random accessory memory, SRAM），具有非易失性的优势，越来越广泛的被利用。

然而，存储器自身的存储密度会很大程度的影响存储器的市场前景。

发明内容

20 本申请实施例提供一种存储阵列及制备方法、存储电路及读写方法、电子设备，用于增大存储器的存储密度。

为达到上述目的，本申请采用如下技术方案：

25 本申请实施例的第一方面，提供一种存储阵列，存储阵列包括多个存储单元。多个存储单元中的每个存储单元包括晶体管、第一铁电电容器和第二铁电电容器；晶体管包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区；导电栅极位于第一掺杂区和第二掺杂区之间间隙的上方；例如，第一掺杂区和第二掺杂区互为源极掺杂区和漏极掺杂区；第一铁电电容器的第一端与导电栅极耦接，第一铁电电容器的第二端用于接收字线的信号。第二铁电电容器的第一端与第一掺杂区耦接，第二铁电电容器的第二端用于与位线互通信号。

30 本申请实施例提供的存储阵列中，每个存储单元中所包括的晶体管耦接两个铁电电容器，导电栅极耦接第一铁电电容器，第一掺杂区耦接第二铁电电容器。因此，每个存储单元的比特数大于 1，可增大存储单元的存储密度。从而可以实现在不增加存储阵列面积的情况下，增加存储阵列的容量。

在一种可能的实现方式中，第一铁电电容器和第二铁电电容器位于导电栅极远离第一掺杂区和第二掺杂区一侧。

35 第一铁电电容器和第二铁电电容器均位于晶体管上方，与 FeRAM 的制造工艺流程对比，第一铁电电容器和第二铁电电容器的制备均位于后端工艺中，不会过多的增加工艺流程和工艺难度。与 FeFET 的制造工艺流程对比，本申请实施例中第一铁电电容器和第二铁电电容器的制备无需夹杂于前段工艺中，工艺流程与 CMOS 逻辑部分的兼容性高。也就是说，本申请实施例提供的存储阵列，在不增加工艺难度、工艺成本以及存储单元中晶体管数量的基础上，可以提高存储阵列的容量。

40 在一种可能的实现方式中，第一铁电电容器和第二铁电电容器同步（在同一工艺流程步骤中）形成。这样一来，可以降低工艺难度和工艺成本。

在一种可能的实现方式中，第二掺杂区用于接收板线的信号。

45 在一种可能的实现方式中，存储阵列还包括第一布线层，第一铁电电容器和第二铁电电容器设置在第一布线层远离晶体管一侧。通过在第一铁电电容器和第二铁电电容器与晶体管之间可以设置一层或者多层第一布线层，可以降低第一铁电电容器和第二铁电电容器对晶体管的干扰，提高

读取的准确性。

在一种可能的实现方式中，存储阵列还包括第二布线层；第一铁电电容器和第二铁电电容器位于第二布线层与第一布线层之间，第二布线层与第一布线层相邻设置。这样一来，可以避免因第一铁电电容器和第二铁电电容器跨布线层设置导致中间被跨越的布线层的金属走线浪费。

5 在一种可能的实现方式中，存储单元的比特数为 2 比特或者 $\log_2 3$ 比特。每个存储单元的比特数大于 1，可增加存储阵列的存储密度。

10 本申请实施例的第二方面，提供一种存储电路，包括：多个存储支路，多个存储支路中的每个存储支路包括晶体管、第一铁电电容器和第二铁电电容器；晶体管包括控制极、第一输入输出极和第二输入输出极；第一铁电电容器的第一端与控制极耦接，第一铁电电容器的第二端用于接收字线的信号。第二铁电电容器的第一端与第一输入输出极耦接，第二铁电电容器的第二端用于与位线互通信号。

本申请实施例提供的存储电路中，每个存储支路中所包括的晶体管耦接两个铁电电容器，控制极耦接第一铁电电容器，第一输入输出极耦接第二铁电电容器。因此，每个存储支路的比特数大于 1。从而可以实现在不增加存储阵列面积的情况下，可以增加存储电路的存储密度。

15 在一种可能的实现方式中，第二输入输出极用于接收板线的信号。

在一种可能的实现方式中，第一输入输出极和第二输入输出极包括相邻设置的第一掺杂区和第二掺杂区，例如，第一掺杂区和第二掺杂区互为源极掺杂区和漏极掺杂区；控制极包括导电栅极，导电栅极位于第一掺杂区和第二掺杂区之间间隙的上方。

20 在一种可能的实现方式中，第一铁电电容器和第二铁电电容器位于导电栅极远离第一掺杂区和第二掺杂区。

在一种可能的实现方式中，第一铁电电容器和第二铁电电容器同步（在同一工艺流程步骤中）形成。

25 在一种可能的实现方式中，存储电路还包括第一布线层，第一铁电电容器和第二铁电电容器设置在第一布线层远离晶体管一侧，第一铁电电容器经第一布线层与控制极耦接，第二铁电电容器经第一布线层与第一输入输出极耦接。

在一种可能的实现方式中，存储阵列还包括第二布线层；第一铁电电容器和第二铁电电容器位于第二布线层与第一布线层之间，第二布线层与第一布线层相邻设置。

本申请实施例的第三方面，提供一种存储器，包括：控制器和与控制器耦接的第一方面任一项的存储阵列。

30 在一种可能的实现方式中，存储器还包括电荷检测电路；电荷检测电路与存储阵列的存储单元耦接，用于检测存储单元输出的电荷量。

在一种可能的实现方式中，存储器还包括电流检测电路；电流检测电路与存储阵列的存储单元耦接，用于检测存储单元输出的电流。

35 本申请实施例的第四方面，提供一种存储器，包括：控制器和与控制器耦接的第二方面任一项的存储电路。

在一种可能的实现方式中，存储器还包括电荷检测电路；电荷检测电路与存储电路的存储支路耦接，用于检测存储支路输出的电荷量。

在一种可能的实现方式中，存储器还包括电流检测电路；电流检测电路与存储电路的存储支路耦接，用于检测存储支路输出的电流。

40 本申请实施例的第五方面，提供一种电子设备，包括：电路板和存储器，电路板和存储器耦接；存储器包括第三方面任一项或者第四方面任一项的存储器。

45 本申请实施例的第六方面，提供一种存储阵列的制备方法，存储阵列包括多个存储单元；存储阵列的制备方法，包括：形成晶体管以及形成第一铁电电容器和第二铁电电容器，以形成存储单元；其中，包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区；导电栅极位于第一掺杂区和第二掺杂区之间间隙的上方；第一铁电电容器的第一端与导电栅极耦接，第一铁电电容器的第二端用于接收字线的信号；第二铁电电容器的第一端与第一掺杂区耦接，第二铁电电容器的第二

端用于与位线互通信号。采用已有铁电存储器工艺即可形成本申请实施例提供的存储阵列，技术成熟，工艺难度低。

5 在一种可能的实现方式中，形成第一铁电电容器和第二铁电电容器，包括：在导电栅极远离第一掺杂区和第二掺杂区一侧形成第一铁电电容器和第二铁电电容器。第一铁电电容器和第二铁电电容器均位于晶体管上方，与 FeRAM 的制造工艺流程对比，第一铁电电容器和第二铁电电容器的制备均位于后段工艺中，不会过多的增加工艺流程和工艺难度。与 FeFET 的制造工艺流程对比，本申请实施例中第一铁电电容器和第二铁电电容器的制备无需夹杂于前段工艺中，工艺流程与 CMOS 逻辑部分的兼容性高。

10 在一种可能的实现方式中，第一铁电电容器和第二铁电电容器同步（在同一工艺流程步骤中）形成。这样一来，可以简化制备工艺。

在一种可能的实现方式中，存储阵列还包括第一布线层；制备方法还包括：形成第一铁电电容器和第二铁电电容器之前，在晶体管上形成第一布线层。

15 本申请实施例的第七方面，提供一种存储电路的读写方法，存储电路包括第二方面任一项的存储电路；读写方法，包括：在写入阶段：向第一铁电电容器写入数据时，向晶体管的第一输入输出极和第二输入输出极施加参考地电压；向晶体的控制极施加第一电压，写入第一数据；向控制极施加第二电压，写入第二数据；向第二铁电电容器写入数据时，向控制极和第二输入输出极施加参考地电压；向第一输入输出极施加第三电压，写入第一数据；向第一输入输出极施加第四电压，写入第二数据。在读取阶段：向第二输入输出极施加参考地电压，向控制极施加参考电压，向第一输入输出极施加读取电压（可以为正电压，也可以为负电压），读取第一输入输出极的信号。在数据保持阶段：向控制极、第一输入输出极和第二输入输出极施加参考地电压，保持存储电路的存储。本申请实施例提供的存储电路的读写方法，在读写操作过程中，存储支路存储的 1 比特以上的信息可以通过分次写入、一次读取来完成，无需多次读取。与将相关技术中的两个存储单元拼接为一个比特数大于 1 的存储单元，然后分两次读写相比，本申请实施例中存储支路的读写过程简单，相应速度快。

25 在一种可能的实现方式中，第一数据和第二数据互为“逻辑 1”和“逻辑 0”。

在一种可能的实现方式中，第一电压、第三电压、第二电压的绝对值以及第四电压的绝对值大于矫顽电压。

在一种可能的实现方式中，参考电压小于矫顽电压，读取电压的绝对值大于矫顽电压。

在一种可能的实现方式中，第一电压和第二电压极性相反；第三电压和第四电压极性相反。

30 本申请实施例的第八方面，提供一种计算机可读存储介质，计算机可读存储介质包括计算机指令，当计算机指令在设备上运行时，使得设备执行如第六方面任一项的读写方法。

附图说明

图 1 为本申请实施例提供的一种电子设备的架构图；

图 2 为本申请实施例提供的一种存储单元的电路图；

35 图 3 为本申请实施例提供的一种极化强度与随外加电场的变化关系图；

图 4 为本申请实施例提供的另一种极化强度与随外加电场的变化关系图；

图 5A 为本申请实施例提供的一种存储单元的结构示意图；

图 5B 为本申请实施例提供的另一种存储单元的结构示意图；

图 6A 为本申请实施例提供的又一种存储单元的结构示意图；

40 图 6B 为本申请实施例提供的一种存储支路的拓扑示意图；

图 7 为本申请实施例提供的一种存储阵列的制备流程示意图；

图 8-图 14 为本申请实施例提供的一种存储阵列的制备过程示意图；

图 15A 为本申请实施例提供的一种存储数据与读写数据的对应关系示意图；

图 15B 为本申请实施例提供的另一种存储数据与读写数据的对应关系示意图。

45 具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述

的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

以下，术语“第二”、“第一”等仅用于描述方便，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第二”、“第一”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

此外，本申请实施例中，“上”、“下”、“左”、“右”等方位术语可以包括但不限于相对附图中的部件示意置放的方位来定义的，应当理解到，这些方向性术语可以是相对的概念，它们用于相对于的描述和澄清，其可以根据附图中部件附图所放置的方位的变化而相应地发生变化。

在本申请实施例中，除非另有明确的规定和限定，术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。此外，术语“相耦接”可以是直接的电性连接，也可以通过中间媒介间接的电性连接。术语“接触”可以是直接接触，也可以是通过中间媒介间接的接触。

本申请实施例中，“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B的情况，其中A，B可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。下面，先对本申请实施例中的一些术语做出解释。

存储器：在芯片中，存储器是用来存储程序和数据信息的记忆部件。常见存储器存储的信息是以二进制单位存储在芯片中，也就是以“逻辑0”或者“逻辑1”保存在存储器中。在物理器件中，通常是以电压的高或者低、电阻的大或者小、电荷量的多或者少等方式得以实现。

比特：是存储器中存储信息的最小数量单位。n个比特可以表示 2^n 种状态。例如，一个比特可以表示两种状态，0或者1。两个比特可以表示四种状态，00、01、10、11，以此类推。也就是说，如果一个存储器种存储的物理信息存在m种状态，它就是一个 $\log_2 m$ 比特的存储器。

易失性存储器和非易失性存储器（non-volatile memory, NVM）：按照存储器中所存储的信息在芯片外部供电电源移除后，存储的信号是否依旧存在，存储器可以被分为易失性存储器和非易失性存储器。易失性存储器以静态随机存储器（static random accessory memory, SRAM）或动态随机存储器（dynamic random access memory, DRAM）为代表，信息的存储须有持续的外部供电。当无外加电源时，存储的信息也不复存在。非易失性存储器以传统的只读存储器（read-only memory, ROM）和闪存（flash）、铁电存储器（ferroelectric random-access memory, FeRAM、ferroelectric field effect transistor, FeFET），磁阻式存储器（magnetoresistive random access memory, MRAM）、阻变式存储器（resistive random access memory, RRAM）和相变存储器（phase-change random access memory, PCRAM）为代表。这些非易失性存储器都以其各自独特的物理原理，实现掉电信息不丢失的特点。

矫顽电压（coercive voltage, V_c ）：等于矫顽电场（coercive electric field, E_c ）*铁电层的厚度。

本申请实施例提供一种的电子设备。该电子设备例如为消费性电子产品、家居式电子产品、车载式电子产品、金融终端产品、通信电子产品。其中，消费性电子产品如为手机（mobile phone）、平板电脑（pad）、笔记本电脑、电子阅读器、个人计算机（personal computer, PC）、个人数字助理（personal digital assistant, PDA）、桌面显示器、智能穿戴产品（例如，智能手表、智能手环）、虚拟现实（virtual reality, VR）终端设备、增强现实（augmented reality, AR）终端设备、无人机等。家居式电子产品如为智能门锁、电视、遥控器、冰箱、充电家用小型电器（例如豆浆机、扫地机器人）等。车载式电子产品如为车载导航仪、车载高密度数字视频光盘（digital video disc, DVD）等。金融终端产品如为自动取款机（automated teller machine, ATM）机、自助办理业务的终端等。通信电子产品如为服务器、存储器、雷达、基站等通信设备。

示例一种电子设备，如图1所示，电子设备1包括：存储器11、处理器12、输入设备13、输出设备14等部件。本领域技术人员可以理解到，图1中示出的电子设备1的架构并不构成对该电子设备1的限定，该电子设备1可以包括比如图1所示的部件更多或更少的部件，或者可以组

合如图 1 所示的部件中的某些部件，或者可以与如图 1 所示的部件布置不同。

其中，存储器 11 用于存储软件程序以及模块。存储器 11 主要包括存储程序区和存储数据区，其中，存储程序区可存储和备份操作系统、至少一个功能所需的应用程序（比如声音播放功能、图像播放功能等）等；存储数据区可存储根据电子设备 1 的使用所创建的数据（比如音频数据、图像数据、电话本等）等。

处理器 12 是该电子设备 1 的控制中心，利用各种接口和线路连接整个电子设备 1 的各个部分，通过运行或执行存储在存储器 11 内的软件程序和/或模块，以及调用存储在存储器 11 内的数据，执行电子设备 1 的各种功能和处理数据，从而对电子设备 1 进行整体监控。可选的，处理器 12 可以包括一个或多个处理单元。例如，处理器 12 可以包括应用处理器(application processor, AP)，调制解调处理器，图形处理器(graphics processing unit, GPU)等。其中，不同的处理单元可以是独立的器件，也可以集成在一个或多个处理器中。例如，处理器 12 可集成应用处理器和调制解调处理器，其中，应用处理器主要处理操作系统、用户界面和应用程序等，调制解调处理器主要处理无线通信。可以理解的是，上述调制解调处理器也可以不集成到处理器 12 中。上述的应用处理器例如可以为中央处理器(central processing unit, CPU)。

输入设备 13 用于接收输入的数字或字符信息，以及产生与电子设备的用户设置以及功能控制有关的键信号输入。示例的，输入设备 13 可以包括触摸屏以及其他输入设备。触摸屏，也称为触摸面板，可收集用户在触摸屏上或附近的触摸操作（比如用户使用手指、触笔等任何适合的物体或附件在触摸屏上或在触摸屏附近的操作），并根据预先设定的程式驱动相应的连接装置。

输出设备 14 用于输出输入设备 13 的输入，和存储在存储器 11 中的数据对应的信号。例如，输出设备 14 输出声音信号或视频信号。

铁电存储器作为新型存储器，凭借其存储数据非易失性等特点，成为主流的存储器之一。

继续参考图 1，存储器 11 包括控制器以及存储阵列或者存储电路。控制器用于控制存储阵列和存储电路的读取和写入。

存储阵列包括多个阵列排布的存储单元，存储单元 200 的存储密度直接影响着存储阵列的存储密度。

关于存储单元的结构，在一些实施例中，如图 2 所示，存储单元 200 具有 1T1C (1-transistor-1-capacitor) 结构，即存储单元 200 包括一个晶体管 T 和一个铁电电容器 C。晶体管 T 的源极与板线(plate line, PL)电连接，漏极与铁电电容器 C 的一个电极电连接，导电栅极与字线(word line, WL)电连接，铁电电容器 C 的另一个电极与位线(bit line, BL)电连接，本申请的实施例中的存储单元 200 的电路架构不限于此。

晶体管 T 例如可以是金属氧化物半导体场效应管(metal-oxide-semiconductor field-effect transistor, MOSFET 或者 MOS)，MOSFET 是现在集成电路的基本单元器件。根据其载流子类型的不同，分为 N 沟道型(NMOS)和 P 沟道型(PMOS)。

晶体管 T 主要包括控制极(例如导电栅极)、第一输入输出极(例如源极)、以及第二输入输出极(例如漏极)。如图 2 所示，例如晶体管 T 的控制极与字线 WL 耦接，晶体管 T 的第一输入输出极与铁电电容器 C 耦接，晶体管 T 的第二输入输出极与板线 PL 耦接。通过改变控制极的电压，来控制第一输入输出极和第二输入输出极之间的电阻，进而控制第一输入输出极和第二输入输出极流过的电流，实现晶体管 T 的开关特性。

以晶体管 T 为 N 型晶体管为例，开态和关态转变的电压被称为阈值电压(V_t)，当控制极电压大于阈值电压时，晶体管 T 打开，第一输入输出极和第二输入输出极之间存在电流，对应的存储单元 200 被选中。当控制极电压小于阈值电压时，晶体管 T 关闭，第一输入输出极和第二输入输出极之间电流几乎为 0，对应的存储单元 200 未被选中。

当然，晶体管 T 也可以为 P 型晶体管。N 型晶体管为高开低关型晶体管，P 型晶体管是低开高关型晶体管，N 型晶体管和 P 型晶体管控制器接收的开启电压与阈值电压的大小相反。当存储单元 200 被选中时，会向铁电电容器 C 中施加一个电场(电压)，此时铁电材料内部的极化电荷相对移动，会产生电极化强度。

如图 3 所示,普通电介质的电极化强度 (polarization, P) 随外加电场 E 的变化关系是线性的关系。当外加电场为 0 时,极化强度 P 为 0。如图 4 所示,铁电材料作为电介质时,极化强度 P 随外加电场 E 的变化关系是非线性的,本领域将铁电介质的极化强度 P 随外加电场 E 的变化称之为电滞回线。

5 在图 4 中,可以定义两个变量,剩余极化强度 (remnant polarization, P_r) 和矫顽电场 E_c 。剩余极化强度 P_r 是电滞回线和纵轴 (P 轴) 的交点。电滞回线中存在 $+P_r$ 和 $-P_r$ 两个交点,用来表示在外加电场 E 为 0 的时候,剩余极化强度 P_r 可能是正的或者是负的。通过极化强度 P 的符号,可以定义存储的信息是 0 还是 1。矫顽电场 E_c 是电滞回线和横轴 (E 轴) 的交点。电滞回线 E_c 中存在 $+E_c$ 和 $-E_c$ 两个交点,通过外加绝对值大于 E_c 的正或者负向电场,可改变存储的信息。

10 电滞回线按照以下规则进行运动:当外加正向电场大于 E_c 时,极化强度 P 为正,处于第一象限。随着外加电场的减小,极化强度 P 随之减小。当外加电场减小为 0 时,极化强度 P 为 $+P_r$ 。接着,当外加电场改变方向 (改为负向),极化强度 P 从 $+P_r$ 开始减小,进入第二象限。若电场 (绝对值) 小于 E_c 时,外加电场消失,极化强度 P 回到 $+P_r$ 。当外加电场 (负向) 大于 E_c 并继续增加,极化强度 P 会从正变负,进入第三象限。至此,完成了铁电材料极性由正向负的翻转。铁电材料
15 极性由负向正的翻转也是类似,如果所加正向电场不超过 E_c ,则当电场消失时,极化强度 P 为 $-P_r$ 。如果所加正向电场超过 E_c ,则从第四象限进入第一象限。

铁电材料的非易失性源自于电滞回线,当外加电场消失的时候,材料的极化强度 P 要么处于 $+P_r$,要么处于 $-P_r$ 这两种状态。以此实现掉电信息不丢失的特性。

20 关于晶体管 T 和铁电电容器 C 的结构,在一些技术中,如图 5A 所示,示例一种 FeRAM 中所包括的存储单元 200 的结构。

存储单元 200 包括晶体管 T (金属氧化物场效应管) 和铁电电容器 C 。晶体管 T 包括导电栅极 G 、源极掺杂区 S 以及漏极掺杂区 D ,铁电电容器 C 与晶体管 T 的漏极掺杂区 D 耦接。

25 在信息写入的过程中,源极掺杂区 S 和导电栅极 G 接地,在向漏极掺杂区 D 施加一绝对值大于矫顽电压 V_c 的电压,使铁电电容器 C 极性翻转。如果施加的电压极性为正 (负),则铁电材料存储的信息极性朝上 (下)。

当信息需要保持的时候 (非读、非写的过程),向导电栅极 G 、源极掺杂区 S 以及漏极掺杂区 D 都施加参考地电压。由于电滞回线,铁电材料存在 $+P_r$ 或者 $-P_r$,信息得以保存。

30 在读取信息的过程中,向源极掺杂区 S 施加参考地电压,向导电栅极 G 施加一电压大于阈值电压 V_t ,向漏极掺杂区 D 施加一正向电压 (大于矫顽电压 V_c),使得铁电电容器 C 极性被强制翻转置朝上。如果原存储信息极性朝上,则有少量电荷从漏极掺杂区 D 端流,如果原存储信息极性朝下,由于铁电电容器 C 极性被翻转,会有大量电荷从漏极掺杂区 D 端流过。通过外部电路读取流经漏极掺杂区 D 端的电流,得以判断原存储的信息是 0 还是 1。在铁电信息读取完毕后,由于读的过程将铁电电容器 C 极性翻转到了朝上方向,原存储的信息被破坏,需要再次向铁电电容器 C 中写入原存储的信息。该读的过程被称作“破坏性读取”。

35 图 5A 所示的 FeRAM 虽然可以完成非易失性存储,但是每个存储单元 200 只能存储 1 比特的信息,存储器的密度较小。

在另一些技术中,如图 5B 所示,示例一种 FeFET 中所包括的存储单元 200 的结构。

40 存储单元 200 包括晶体管 T (金属氧化物场效应管) 和铁电电容器 C 。晶体管 T 包括导电栅极 G 、源极掺杂区 S 以及漏极掺杂区 D ,铁电电容器 C 与晶体管 T 的导电栅极 G 耦接,铁电电容器 C 位于导电栅极 G 靠近源极掺杂区 S 和漏极掺杂区 D 一侧。

在信息的写入过程中,向源极掺杂区 S 和漏极掺杂区 D 施加参考地电压,向导电栅极 G 施加一绝对值大于矫顽电压 V_c 的电压,使铁电电容器 C 极性翻转。如果施加的电压极性为正 (负),则铁电电容器 C 存储的信息极性朝上 (下)。

45 当信息需要保持的时候 (非读、非写的过程),向导电栅极 G 、源极掺杂区 S 以及漏极掺杂区 D 均施加参考地电压。由于电滞回线,铁电材料存在 $+P_r$ 或者 $-P_r$,信息得以保存。

在读取信息的过程中,向源极掺杂区 S 施加参考地电压,向导电栅极 G 施加一恰当的参考电

压 (reference voltage, V_{ref})，向漏极掺杂区 D 施加一读取电压 (read voltage, V_{read})。由于铁电极性的作用，正 (负) 极性会相应的增加 (减小) 晶体管 T 的阈值电压 V_t 。使得在恰当的参考电压 V_{ref} 下，铁电电容器极性朝上时漏极电流 (drain current, I_d) 几乎为 0，另一种状态铁电电容器极性朝下时，漏极电流 I_d 不为 0。通过读取漏极电流 I_d 的大小，得以判断原存储的信息是 0 还是 1。

图 5B 所示的 FeFET 虽然可以完成非易失性存储，但是每个存储单元 200 只能存储 1 比特的信息，存储器的密度较小。而且，铁电电容器 C 位于导电栅极 G 下方，铁电电容器 C 的制备夹杂于互补式金属氧化物半导体 (Complementary, CMOS) 制备工序的前段工艺 (front end of line, FEOL) 中，工艺流程与 CMOS 逻辑部分的兼容性低。

基于此，本申请实施例提供一种存储单元，存储单元的比特数大于 1 比特。当将存储单元应用于本申请实施例提供的存储阵列中时，可增加存储阵列的存储密度。

本申请实施例提供一种存储阵列，存储阵列例如可以应用于图 1 所示的存储器 11 中。

存储阵列包括设置在衬底上的多个存储单元，衬底可以属于存储阵列，衬底也可以不属于存储阵列。

为了便于示意，本申请实施例的附图中以设置在衬底上的一个存储单元为例，对本申请实施例提供的存储阵列进行示意性说明。存储阵列包括的多个存储单元中每个存储阵列的结构可以与本申请实施例重点描述的存储单元的结构相同。当然，存储阵列在包括本申请实施例示意的多个存储单元的基础上，还可以包括其他结构的存储单元，本申请实施例对此不做限定。

关于存储单元的结构，如图 6A 所示，存储单元 200 包括晶体管 T、第一铁电电容器 C1 和第二铁电电容器 C2。

晶体管包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区，导电栅极位于第一掺杂区和第二掺杂区之间间隙的上方。

导电栅极的材料例如可以是金属、多晶硅等导电材料。第一掺杂区和第二掺杂区互为源极掺杂区和漏极掺杂区，第一掺杂区和第二掺杂区例如可以同为 N 型掺杂区或者同为 P 型掺杂区。

导电栅极作为晶体管 T 的控制极 t1、漏极掺杂区作为晶体管 T 的第一输入输出极 t2、源极掺杂区作为晶体管 T 的第二输入输出极 t3。

第一铁电电容器 C1 的第一端与导电栅极耦接，第二铁电电容器 C2 的第一端与第一掺杂区耦接。也就是说，第一铁电电容器 C1 与控制极 t1 耦接，第二铁电电容器 C2 与第一输入输出极 t2 耦接。

本申请实施例提供的存储阵列中，每个存储单元 200 中所包括的晶体管 T 耦接两个铁电电容器，导电栅极耦接第一铁电电容器 C1，第一掺杂区耦接第二铁电电容器 C2。因此，每个存储单元 200 的比特数大于 1，可增大存储单元 200 的存储密度。从而可以实现在不增加存储阵列面积的情况下，可以增加存储阵列的容量。

本申请实施例提供的存储阵列可以拓扑为本申请实施例提供的存储电路。如图 6B 所示，本申请实施例还提供一种存储电路，存储电路包括多个存储支路 200'，多个存储支路 200' 中的每个存储支路 200' 包括晶体管 T、第一铁电电容器 C1 和第二铁电电容器 C2。

晶体管 T 包括控制极 t1、第一输入输出极 t2 和第二输入输出极 t3，第一铁电电容器 C1 的第一端与控制极 t1 耦接，第一铁电电容器 C1 的第二端用于接收字线 WL 的信号。第二铁电电容器 C2 的第一端与第一输入输出极 t2 耦接，第二铁电电容器 C2 的第二端用于与位线 BL 互通信号。

在一些实施例中，存储支路 200' 还包括字线 WL、板线 PL 以及位线 BL。第二输入输出极 t3 与板线 PL 耦接，第一铁电电容器 C1 的第二端与字线 WL 耦接，第二铁电电容器 C2 的第二端与位线 BL 耦接。

在一些实施例中，第一铁电电容器 C1 位于导电栅极 G 朝向沟道区一侧，第二铁电电容器 C2 位于漏极掺杂区 D 远离衬底 300 一侧。

在另一些实施例中，如图 6A 所示，第一铁电电容器 C1 和第二铁电电容器 C2 位于晶体管 T 远离衬底 300 一侧。

第一铁电电容器 C1 和第二铁电电容器 C2 均位于晶体管 T 远离衬底 300 一侧，与 FeRAM 的制造工艺流程对比，第一铁电电容器 C1 和第二铁电电容器 C2 的制备均位于后段工艺（back end of line, BEOL）中，不会过多的增加工艺流程和工艺难度。与 FeFET 的制造工艺流程对比，本申请实施例中第一铁电电容器 C1 和第二铁电电容器 C2 的制备无需夹杂于前段工艺 FEOL 中，工艺流程与 CMOS 逻辑部分的兼容性高。也就是说，本申请实施例提供的存储阵列，在不增加工艺难度、工艺成本、读写复杂度以及存储单元中晶体管数量的基础上，可以提高存储阵列的存储密度。

下面，以具体的示例对本申请实施例提供的存储阵列及其制备方法进行示意说明。

本申请实施例提供一种存储阵列的制备方法，存储阵列包括多个存储单元 200，存储阵列的制备方法包括：

10 形成晶体管 T 以及形成第一铁电电容器 C1 和第二铁电电容器 C2，以形成所述存储单元 200。

其中，晶体管 T 包括导电栅极、栅氧化层、沟道区以及相邻设置的第一掺杂区和第二掺杂区，第一掺杂区和第二掺杂区互为源极掺杂区和漏极掺杂区。沟道区位于第一掺杂区和第二掺杂区之间，栅氧化层位于导电栅极与沟道区之间。第一铁电电容器 C1 的第一端与导电栅极耦接，第二铁电电容器 C2 的第一端与第一掺杂区耦接。

15 在一些实施例中，如图 7 所示，存储阵列的制备方法包括：

S10、如图 8 所示，在衬底 300 上形成晶体管 T。

示例的，晶体管 T 包括互补金属氧化物半导体器件（complementary metal oxide semiconductor, CMOS）、鳍式场效应晶体管（fin field-effect transistor, FinFET）等。

20 图 8 中以晶体管 T 包括 CMOS 为例进行示意，晶体管 T 包括导电栅极 G、栅氧化层、沟道区以及相邻设置的第一掺杂区和第二掺杂区。

第一掺杂区和第二掺杂区互为源极掺杂区 S 和漏极掺杂区 D，例如，第一掺杂区为源极 S 掺杂区，则第二掺杂区为漏极 D 掺杂区。第一掺杂区为漏极掺杂区 D，则第二掺杂区为源极掺杂区 S。本申请实施例中以第一掺杂区为漏极掺杂区 D，第二掺杂区为源极掺杂区 S 为例进行示意。

25 沟道区位于第一掺杂区（漏极掺杂区 D）和第二掺杂区（源极掺杂区 S）之间，栅氧化层位于导电栅极 G 与沟道区之间。

30 衬底 300 的材料例如可以是硅，衬底 300 上还设置有第三掺杂区，源极掺杂区 S 与第三掺杂区互为 N 型掺杂区和 P 型掺杂区，源极掺杂区 S 和漏极掺杂区 D 为同种类型的掺杂区。在源极掺杂区 S 为 N 型掺杂区，第三掺杂区为 P 型掺杂区的情况下，晶体管 T 为 N 型晶体管。在源极掺杂区 S 为 P 型掺杂区，第三掺杂区为 N 型掺杂区的情况下，晶体管 T 为 P 型晶体管。其中，沟道区的掺杂类型和第三掺杂区的掺杂类型相同，或者是将第三掺杂区中位于源极掺杂区 S 和漏极掺杂区 D 之间的部分作为晶体管 T 的沟道区。

在一些实施例中，晶体管 T 在包括导电栅极 G、源极掺杂区 S、漏极掺杂区 D、栅氧化层的基础上，还包括位于导电栅极 G 侧面的侧墙，侧墙用于对导电栅极进行阻隔保护。

35 图 8 中示意的晶体管 T 的结构仅为一种示意，不作任何限定。相关技术中任意采用前段工艺 FEOL 形成晶体管 T 的方法均适用于本申请实施例的步骤 S10。

S20、如图 9 所示，在晶体管 T 远离衬底 300 一侧形成第一铁电电容器 C1 和第二铁电电容器 C2，以形成存储单元 200。

其中，第一铁电电容器 C 与导电栅极 G 耦接，第二铁电电容器 C2 与漏极掺杂区 D 耦接。

40 存储阵列包括多个存储单元 200，在衬底 300 上同步（在同一工艺流程步骤中）形成多个存储单元 200，即可完成对存储阵列的制备。

在一些实施例中，存储阵列还包括多层布线层，多层布线层设置在晶体管 T 远离衬底 300 一侧，第一铁电电容器 C1 和第二铁电电容器 C2 设置于两层布线层之间。

那么，在制备存储阵列的过程中，存储阵列的制备方法还包括：

45 在晶体管 T 远离衬底 300 一侧形成多层布线层；其中，第一铁电电容器 C1 和第二铁电电容器 C2 形成于两层布线层之间。

存储阵列包括多层布线层，第一铁电电容器 C1 和第二铁电电容器 C2 可以位于任意两层布线

层之间。当然，第一铁电电容器 C1 和第二铁电电容器 C2 可以位于相同的两层布线层之间，例如，第一铁电电容器 C1 和第二铁电电容器 C2 均位于第二层布线层和第三层布线层之间。第一铁电电容器 C1 和第二铁电电容器 C2 也可以位于不同的两层布线层之间，例如，第一铁电电容器 C1 位于第三层布线层和第四层布线层之间。第二铁电电容器 C2 位于第四层布线层和第五层布线层之间。

5 在一些实施例中，第一铁电电容器 C1 和第二铁电电容器 C2 设置于相邻两层布线层之间。

这样一来，可以避免因第一铁电电容器 C1 和第二铁电电容器 C2 跨布线层设置导致中间被跨越的布线层的金属走线浪费。例如第一铁电电容器 C1 和第二铁电电容器 C2 设置在第三层布线层和第五层布线层之间，那个，会浪费第四层布线层的金属走线。

10 在一些实施例中，如图 10 所示，铁电存储阵列中的多层布线层包括第一布线层 P1 和第二布线层 P2。第一铁电电容器 C1 和第二铁电电容器 C2 与晶体管 T 之间设置有一层或者多层第一布线层 P1，第一铁电电容器 C1 和第二铁电电容器 C2 远离晶体管 T 一侧设置有一层或者多层第二布线层 P2。

15 图 10 中以第一铁电电容器 C1 和第二铁电电容器 C2 与晶体管 T 之间设置有一层第一布线层 P1，第一铁电电容器 C1 和第二铁电电容器 C2 远离晶体管 T 一侧设置有一层第二布线层 P2 为例进行示意。那么，第一布线层 P1 可以作为多层布线层中的第一层布线层，第二布线层 P2 可以作为多层布线层中的顶层布线层。

20 第一铁电电容器 C1 和第二铁电电容器 C2 与晶体管 T 之间可以设置有多层第一布线层 P1，第一铁电电容器 C1 和第二铁电电容器 C2 远离晶体管 T 一侧可以设置有多层第二布线层 P2。那么，第一布线层 P1 可以作为多层布线层中的第一层布线层、第二层布线层、……等，第二布线层 P2 可以作为多层布线层中的顶层布线层、次顶层布线层、……等。

通过在第一铁电电容器 C1 和第二铁电电容器 C2 与晶体管 T 之间可以设置一层或者多层第一布线层 P1，可以降低第一铁电电容器 C1 和第二铁电电容器 C2 对晶体管的干扰，提高读取的准确性。

基于此，示例的，铁电存储阵列的制备方法包括：

25 S21、如图 11 所示，在晶体管 T 远离衬底 300 一侧形成第一布线层 P1。

第一布线层 P1 的形成，也就意味着存储阵列的制备进入 CMOS 的后段工艺中，第一布线层 P1 例如可以通过导通孔层（contact，CT）与晶体管 T 耦接。

导通孔层 CT 和第一布线层 P1 的外围填充有介电层（inter layer dielectrics，ILD）。

30 第一布线层 P1 包括第一走线 p1、第二走线 p2 和第三走线 p3，第一走线 p1 与导电栅极 G 耦接，第二走线 p2 与漏极掺杂区 D 耦接，第三走线 p3 与源极掺杂区 S 耦接。不对第一走线 p1、第二走线 p2 和第三走线 p3 的形状进行限定，能够实现信号的转接即可。

S22、如图 12 所示，在第一布线层 P1 远离衬底 300 一侧形成第一过孔 v1 和第二过孔 v2。

示例的，步骤 S22 包括：

35 S221、形成位于第一布线层 P1 远离衬底 300 一侧的第一介电膜 IMD1'，并用化学机械平坦化（chemical mechanical polishing，CMP）工艺使第一介电膜 IMD1' 顶部平整。

S222、进行第一次光刻步骤，形成光刻胶掩模板 PH。光刻胶掩模板 PH 将第一走线 p1 和第二走线 p2 上方连接通孔（via）处暴露出来，其余部分由光刻胶覆盖。

40 S223、刻蚀第一介电膜 IMD1' 被光刻胶掩模板 PH 露出的部分，在第一介电膜 IMD1' 上形成第一开口和第二开口，分别露出第一走线 p1 和第二走线 p2，形成第一介电层（inter-metal dielectric，IMD1）。

S224、移除光刻胶掩模板 PH。

S225、形成过孔膜 V'，孔膜 V' 填充第一开口和第二开口。

45 S226、CMP 磨平多余的孔膜 V'，保留位于第一开口和第二开口内的部分，形成第一过孔 v1 和第二过孔 v2。

其中，第一过孔 v1 通过第一走线 p1 与导电栅极 G 耦接，第二过孔 v2 通过第二走线 p2 与漏极掺杂区 D 耦接。

若第一铁电电容器 C1 与第二铁电电容器 C2 与晶体管 T 之间设置有多层第一布线层 P1 的情况下，可以多次重复步骤 S21 和步骤 S22，然后再开始执行步骤 S23。

若第一铁电电容器 C1 与第二铁电电容器 C2 与晶体管 T 之间设置有一层第一布线层 P1 的情况下，执行一次步骤 S21 和步骤 S22，则开始执行步骤 S23。

5 S23、如图 13 所示，形成第一铁电电容器 C1 和第二铁电电容器 C2。

在一些实施例中，第一铁电电容器 C1 和第二铁电电容器 C2 同步（在同一工艺流程步骤中）形成。

这样一来，可以简化存储阵列的制备工艺，相比于相关技术中只包括一个铁电电容器 C，本

10 在另一些实施例中，第一铁电电容器 C1 和第二铁电电容器 C2 分开形成。

由于铁电电容器的制备工艺比较成熟，即使第一铁电电容器 C1 和第二铁电电容器 C2 分开形成也不会过分增加工艺难度。

15 在一些实施例中，如图 13 所示，第一铁电电容器 C1 包括第一电极 201、第二电极 202 以及第一铁电层 203，第一铁电层 203 位于第一电极 201 和第二电极 202 之间，第一电极 201 与控制极（例如导电栅极 G）耦接。

第二铁电电容器 C2 包括第三电极 204、第四电极 205 以及第二铁电层 206，第二铁电层 206 位于第三电极 204 和第四电极 205 之间，第三电极 204 与第一输入输出极（例如漏极掺杂区 D）耦接。

20 示例的，第一电极 201、第二电极 202 以及第一铁电层 203 均与衬底 300 平行。第三电极 204、第四电极 205 以及第二铁电层 206 均与衬底 300 平行。

或者，示例的，第一电极 201 围设出凹槽，第二电极 202 和第一铁电层 203 位于凹槽内。或者，第二电极 202 围设出凹槽，第一电极 201 和第一铁电层 203 位于凹槽内。

同理，第三电极 204 围设出凹槽，第四电极 205 和第二铁电层 206 位于凹槽内。或者，第四电极 205 围设出凹槽，第三电极 204 和第二铁电层 206 位于凹槽内。

25 当然，第一铁电电容器 C1 和第二铁电电容器 C2 还可以是其他任意结构的铁电电容器，相关技术中铁电电容器的结构均适用于本申请实施例中的第一铁电电容器 C1 和第二铁电电容器 C2。另外，第一铁电电容器 C1 和第二铁电电容器 C2 的结构可以相同，第一铁电电容器 C1 和第二铁电电容器 C2 的结构也可以不同，本申请实施例对此不做限定。

示例的，步骤 S23 包括：

30 S231、在晶体管 T 远离衬底 300 一侧形成第一电极膜 201'、铁电膜 203' 以及第二电极膜 202'。

S232、进行第二次光刻步骤，形成光刻胶掩模板 PH。待形成第一铁电电容器 C1 和第二铁电电容器 C2 的区域被光刻胶掩模板 PH 覆盖，其余地方暴露出来。

35 S233、刻蚀第一电极膜 201'、铁电膜 203' 以及第二电极膜 202'，仅保留第一电极膜 201'、铁电膜 203' 以及第二电极膜 202' 中被光刻胶覆盖的部分，形成第一铁电电容器 C1 和第二铁电电容器 C2。

刻蚀第一电极膜 201'、铁电膜 203' 以及第二电极膜 202'，可以是在同一次刻蚀工艺中完成，同步形成第一电极 201、第三电极 204、第一铁电层 203、第二铁电层 206、第二电极 202 以及第四电极 205。

40 刻蚀第一电极膜 201'、铁电膜 203' 以及第二电极膜 202'，也可以是先对第二电极膜 202' 图案化，形成第二电极 202 和第四电极 205。第二电极 202 和第四电极 205 例如可以同步形成。然后对铁电膜 203' 图案化，形成第一铁电层 203 和第二铁电层 206。第一铁电层 203 和第二铁电层 206 例如可以同步形成。再对第一电极膜 201' 图案化，形成第一电极 201 和第三电极 204。第一电极 201 与第三电极 204 例如可以同步形成。

45 S234、移除光刻胶掩模板 PH。

S24、如图 14 所示，在第一铁电电容器 C1 和第二铁电电容器 C2 远离衬底 300 一侧形成第二

布线层 P2。

示例的，步骤 S24 包括：

S241、形成第二介电膜 IMD2'，并用 CMP 工艺使第二介电膜 IMD2' 顶部平整。

5 S242、进行第三次光刻步骤，形成光刻胶掩模板 PH。光刻胶掩模板 PH 将第一铁电电容器 C1、第二铁电电容器 C2 以及第三走线 p3 上方的部分露出。

S243、刻蚀第二介电膜 IMD2'，在第二介电膜 IMD2' 上形成多个开口，以形成第二介电层 IMD2。多个开口分别对应露出第三走线 p3、第一铁电电容器 C1 和第二铁电电容器 C2。

S244、移除光刻胶掩模板 PH。

S245、形成第二布线膜 P2'。

10 S246、CMP 磨平多余的第二布线膜 P2'，保留位于开口内的部分。

S247、形成第二布线层 P2。

形成第二布线层 P2 的工艺，可以与形成第一布线层 P1 的工艺相同，可参考上述关于形成第一布线层 P1 的相关描述。

在存储阵列包括多层第二布线层 P2 的情况下，可重复执行多次步骤 S24。

15 在一些实施例中，如图 14 所示，第二布线层 P2 包括板线 PL、字线 WL 以及位线 BL，板线 PL 经第三走线 p3 与源极掺杂区 S 耦接，字线 WL 与第一铁电电容器 C1 的第二端耦接，位线 BL 与第二铁电电容器 C2 的第二端耦接。

20 当然，第一铁电电容器 C1 和第二铁电电容器 C2 也可以不同步（在同一工艺流程步骤中）形成，单独形成第一铁电电容器 C1 和单独形成第二铁电电容器 C2 的过程，与上述形成第一铁电电容器 C1 和第二铁电电容器 C2 的过程相同。

本申请实施例中以采用单大马士革工艺形成第二布线层 P2 为例进行示意，也可以采用双大马士革工艺形成第二布线层 P2，本申请实施例对此不做限定。

在一些实施例中，基于本申请实施例提供的存储单元 200 的结构，存储单元 200 的比特数可以是 2 比特，也可以是 $\log_2 3$ 比特。

25 本申请实施例中，每个存储单元 200 的晶体管 T 耦接两个铁电电容器（第一铁电电容器 C1 和第二铁电电容器 C2）。因此，每个存储单元 200 的比特数大于 1。从而可以实现在不增加存储阵列面积的情况下，可以增加存储阵列的容量。在此基础上，第一铁电电容器 C1 和第二铁电电容器 C2 均位于晶体管 T 远离衬底 300 一侧，与 FeRAM 的制造工艺对比，第一铁电电容器 C1 和第二铁电电容器 C2 的制备均位于后段工艺 BEOL 中，不会过多的增加工艺流程和工艺难度。与 FeFET

30 的制造工艺对比，本申请实施例中第一铁电电容器 C1 和第二铁电电容器 C2 的制备无需夹杂于前段工艺 FEOL 中，工艺流程与 CMOS 逻辑部分的兼容性高，工艺成本低。也就是说，本申请实施例提供的存储阵列，在不增加工艺难度、工艺成本以及存储单元中晶体管数量的基础上，可以提高存储阵列的容量。

35 本申请实施例还提供一种存储电路，存储电路包括多个存储支路 200'，多个存储支路 200' 中的每个存储支路 200' 包括晶体管 T、第一铁电电容器 C1 和第二铁电电容器 C2。

晶体管 T 包括控制极 t1、第一输入输出极 t2 和第二输入输出极 t3，第一铁电电容器 C1 的第一端与控制极 t1 耦接，第二铁电电容器 C2 的第一端与第一输入输出极 t2 耦接。

40 在一些实施例中，存储支路 200' 还包括字线 WL、板线 PL 以及位线 BL。第二输入输出极 t3 与板线 PL 耦接，第一铁电电容器 C1 的第二端与字线 WL 耦接，第二铁电电容器 C2 的第二端与位线 BL 耦接。

在一些实施例中，第一输入输出极 t2 和第二输入输出极 t3 为相邻设置的第一掺杂区和第二掺杂区，第一掺杂区和第二掺杂区互为源极掺杂区 S 和漏极掺杂区 D，晶体管 T 还包括栅氧化层和沟道区，沟道区位于第一掺杂区和第二掺杂区之间，栅氧化层位于控制极与沟道区之间。

45 存储支路 200' 中晶体管 T 的结构，可以与上述存储单元 200 中示意的晶体管 T 的结构相同，可参考上述相关描述。晶体管 T 中的控制极可以理解是晶体管 T 中的导电栅极 G。

在一些实施例中，存储支路 200' 中第一铁电电容器 C1 和第二铁电电容器 C2 位于控制极远

离栅氧化层一侧。

在一些实施例中，存储支路 200' 中第一铁电电容器 C1 和第二铁电电容器 C2 同步（在同一工艺流程步骤中）形成，同层设置。

5 在一些实施例中，存储电路还包括第一布线层 P1，第一铁电电容器 C1 和第二铁电电容器 C2 设置在第一布线层 P1 远离晶体管 T 一侧，第一铁电电容器 C1 经第一布线层 P1 与控制极 t1 耦接，第二铁电电容器 C2 经第一布线层 P1 与第一输入输出极 t2 耦接。

示例的，存储电路还包括第一布线层 P1，第一铁电电容器 C1 和第二铁电电容器 C2 设置在第一布线层 P1 远离晶体管 T 一侧，第一铁电电容器 C1 经第一布线层 P1 与导电栅极 G 耦接，第二铁电电容器 C2 经第一布线层 P1 与漏极掺杂区 D 耦接。

10 通过上述制备过程可知，第一铁电电容器 C1 和第二铁电电容器 C2 均位于晶体管 T 远离衬底 300 一侧，与 FeRAM 的制造工艺流程对比，第一铁电电容器 C1 和第二铁电电容器 C2 的制备均位于后段工艺 BEOL 中，不会过多的增加工艺流程和工艺难度。与 FeFET 的制造工艺流程对比，本申请实施例中第一铁电电容器 C1 和第二铁电电容器 C2 的制备无需夹杂于前段工艺 FEOL 中，工艺流程与 CMOS 逻辑部分的兼容性高，工艺成本低。而且，第一铁电电容器 C1 和第二铁电电容器 C2 可以同步形成。也就是说，本申请实施例提供的存储阵列，在不增加工艺难度、工艺成本以及存储单元中晶体管数量的基础上，可以提高存储阵列的容量。

下面，对本申请实施例提供的存储电路的读取方法进行示意说明。

根据输入的读取信息的不同，本申请实施例提供的存储电路中的存储支路 200' 的比特数可以是 2 比特，也可以是 $\log_2 3$ 比特。

20 第一种情况下，存储支路 200' 的比特数可以是 2 比特。

那么，本申请实施例中，2 比特的信息分别存储于第一铁电电容器 C1 和第二铁电电容器 C2 中。由于铁电容器的极性朝上或者朝下可以代表 1 或者 0。本申请实施例中以第一铁电电容器 C1 存储高位信息，第二铁电电容器 C2 存储低位信息，铁电容器的极性朝上为 1，铁电容器的极性朝下为 0 为例进行示意。当然，也可以是第一铁电电容器 C1 存储低位信息，第二铁电电容器 C2 存储高位信息，铁电容器的极性朝上为 0，铁电容器的极性朝下为 1，其原理不变。

25 本申请实施例提供的存储支路 200' 的读取方法，包括：

在写入阶段：

30 向第一铁电电容器 C1 写入数据时，向晶体管 T 的第一输入输出极（例如漏极掺杂区 D）和第二输入输出极（例如源极掺杂区 S）施加参考地电压 GND。向晶体管 T 的控制极（例如导电栅极 G）施加第一电压，写入第一数据。向控制极（例如导电栅极 G）施加第二电压，写入第二数据。

在一些实施例中，第一数据和第二数据互为 1 和 0，本申请实施例中以第一数据为 1，第二数据为 0 为例进行示意。

在一些实施例中，第一电压大于矫顽电压 V_c ，第二电压的绝对值大于矫顽电压 V_c 。

35 示例的，当需要给高位比特进行数据写入时，向晶体管 T 的漏极掺杂区 D 和源极掺杂区 S 施加参考地电压 GND，向晶体管 T 的导电栅极 G 施加一绝对值大于矫顽电压 V_c 的电压，使第一铁电电容器 C1 强行翻转。如果向晶体管 T 的导电栅极 G 施加大于矫顽电压 V_c 的第一电压，则第一铁电电容器 C1 极性反转向下，写入 1。如果向晶体管 T 的导电栅极 G 施加绝对值大于矫顽电压 V_c 的第二电压，则第一铁电电容器 C1 极性反转向下，写入 0。

40 向第二铁电电容器 C2 写入数据时，向控制极（例如导电栅极 G）和第二输入输出极（例如源极掺杂区 S）施加参考地电压 GND。向第一输入输出极（例如漏极掺杂区 D）施加第三电压，写入第一数据。向第一输入输出极（例如漏极掺杂区 D）施加第四电压，写入第二数据。

在一些实施例中，第三电压大于矫顽电压 V_c ，第四电压的绝对值大于矫顽电压 V_c 。

45 示例的，当需要给低位比特进行数据写入时，将晶体管 T 的导电栅极 G 和源极掺杂区 S 施加参考地电压 GND，向晶体管 T 的漏极掺杂区 D 施加一绝对值大于矫顽电压 V_c 的电压，使铁电电容器强行翻转。如果向晶体管 T 的漏极掺杂区 D 施加第三电压，则第二铁电电容器 C2 极性反转向下，写入 1。如果向晶体管 T 的漏极掺杂区 D 施加第四电压，则第二铁电电容器 C2 极性反转向下，写

入 0。

在读取阶段：

向第二输入输出极（例如源极掺杂区 S）施加参考地电压 GND，向控制极（例如导电栅极 G）施加参考电压 V_{ref} ，向第一输入输出极（例如漏极掺杂区 D）施加读取电压 V_{read} ，读取第一输入输出极（例如漏极掺杂区 D）的信号。

在一些实施例中，参考电压 V_{ref} 小于矫顽电压 V_c ，读取电压 V_{read} 的绝对值大于矫顽电压 V_c 。

示例的，当需要读取数据时，向晶体管 T 的源极掺杂区 S 施加参考地电压 GND，向导电栅极 G 施加电压值小于矫顽电压 V_c 的参考电压 V_{ref} 。由于铁电极性会改变晶体管 T 的阈值电压 V_t ，而且不同极性改变的趋势是相反的。以 NMOS 为例，第一铁电电容器 C1 极性朝上时阈值电压 V_t 增加，流经漏极掺杂区 D 的电流较大。第一铁电电容器 C1 极性朝下时阈值电压 V_t 减小，流经漏极掺杂区 D 的电流较小。因此，选取一恰当的参考电压 V_{ref} ，漏极掺杂区 D 流过的电流大小可以被清楚区分。通过读取漏极掺杂区 D 流过的电流的大小，可以判断第一铁电电容器 C1 存储的是 0 还是 1。

然后，向漏极掺杂区 D 施加一电压值大于矫顽电压 V_c 的读取电压 V_{read} 。读取电压 V_{read} 会强行使与漏极掺杂区 D 耦接的第二铁电电容器 C2 翻转至朝上状态。如果第二铁电电容器 C2 的极性原本是朝上的，则流经漏极掺杂区 D 的总电荷量较小。如果第二铁电电容器 C2 的极性原本是朝下的，由于铁电极性进行了翻转，会有大量电荷流过漏极掺杂区 D，通过读取漏极掺杂区 D 的电荷量，可以判断第二铁电电容器 C 存储的是 0 还是 1。

在一些实施例中，将本申请实施例提供的存储阵列或者存储电路应用于本申请实施例提供的存储器中时，存储器中所包括的电荷检测电路与晶体管 T 耦接，用于检测晶体管 T 输出的电荷量。存储器中所包括的电流检测电路与晶体管 T 耦接，用于检测晶体管 T 输出的电流。

基于此，在读取过程会有四种情形，分别对应四种状态，并与两比特相对应。如图 15A 所示，通过判断读取得到的电流和电荷量处于四个区间中哪个区间，即可得到存储支路 200' 中存储的数据是 0 还是 1。

示例的，在电荷量大于 a 的情况下，低位为 0。在电荷量小于 a 的情况下，低位为 1。

在电荷量小于 a，且电流大于 b 的情况下，高位为 0。在电荷量小于 a，且电流小于 b 的情况下，高位为 1。

在电荷量大于 a，且电流大于 c 的情况下，高位为 0。在电荷量大于 a，且电流小于 c 的情况下，高位为 1。

也就是说，在电荷量大于 a，电流大于 c 的情况下，存储支路 200' 中存储的数据为<00>。

在电荷量大于 a，电流小于 c 的情况下，存储支路 200' 中存储的数据为<10>。

在电荷量小于 a，电流大于 b 的情况下，存储支路 200' 中存储的数据为<01>。

在电荷量小于 a，电流小于 b 的情况下，存储支路 200' 中存储的数据为<11>。

在另一些实施例中，将本申请实施例提供的存储阵列或者存储电路应用于本申请实施例提供的存储器中时，存储器中所包括的电荷检测电路与晶体管 T 耦接，用于检测晶体管 T 输出的电荷量。

基于此，在读取过程会有四种情形，分别对应四种状态，并与两比特相对应。如图 15B 所示，通过判断读取得到的电荷量处于四个区间中哪个区间，即可得到存储支路 200' 中存储的数据是 0 还是 1。

示例的，在电荷量小于 d 的情况下，存储支路 200' 中存储的数据为<11>。

在电荷量大于 d 且小于 e 的情况下，存储支路 200' 中存储的数据为<01>。

在电荷量大于 e 且小于 f 的情况下，存储支路 200' 中存储的数据为<10>。

在电荷量大于 f 且小于 g 的情况下，存储支路 200' 中存储的数据为<00>。

通过合理选择对晶体管 T 输出的电流的积分时间，可得到四种状态下对应的电荷量有明显的不同，以清楚区分四种存储情况。

数据保持阶段：

由于铁电材料的非易失性,外电场取消会存在剩余极化强度 $+P_r$ 或者剩余极化强度 $-P_r$ 。因此,在非数据写入和非数据读取的过程中,将向导电栅极 G、源极掺杂区 S 以及漏极掺杂区 D 均传输参考地电压 GND,存储支路 200' 中存储的数据会被保存。

第二种情况下,存储支路 200' 的比特数可以是 $\log_2 3$ 比特。

5 写入阶段与上述第一种情况下的写入阶段相同,读取阶段略有不同。

读取阶段:

向第二输入输出极(例如源极掺杂区 S)施加参考地电压 GND,向控制极(例如导电栅极 G)施加参考电压 V_{ref} ,向第一输入输出极(例如漏极掺杂区 D)施加读取电压 V_{read} ,读取第一输入输出极(例如漏极掺杂区 D)的信号。

10 在一些实施例中,参考电压 V_{ref} 小于矫顽电压 V_c ,读取电压 V_{read} 的绝对值大于矫顽电压 V_c 。且选取合适的参考电压 V_{ref} ,通过判断漏极掺杂区 D 是否流过电流,判断第一铁电电容器 C1 铁电极性所处的状态。此时,图 15A 中电荷量小于 a ,低位为 1 的两种情况中电流均较小,很难区分,简并为一个态。

15 这样一来,存储支路 200' 中存储的状态由四个状态减少为 3 个状态。相应的存储支路 200' 的比特数也从 2 比特减少为 $\log_2 3$ 比特。

使用该种数据读取的方法,可以更为简单的区分出这三种状态,虽然牺牲了比特数,但是减轻了外围电路的设计难度。

20 基于此,将本申请实施例提供的存储阵列和存储电路应用于本申请实施例提供的存储器中时,每个存储单元 200 和存储支路 200' 的比特数大于 1。从而可以实现在不增加存储器面积的情况下,可以增加存储器的容量。而且,在读写操作过程中,存储单元 200 和存储支路 200' 存储的 1 比特以上的信息可以通过分次写入、一次读取来完成,无需多次读取。与将相关技术中的两个存储单元拼接为一个比特数大于 1 的存储单元,然后分两次读写相比,本申请实施例中存储单元 200 和存储支路 200' 的读写过程简单,占用面积小。

25 以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何在本申请揭露的技术范围内的变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种存储阵列，其特征在于，包括：

多个存储单元，所述多个存储单元中的每个存储单元包括晶体管、第一铁电电容器和第二铁电电容器；

5 所述晶体管包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区；所述导电栅极设置于所述第一掺杂区和所述第二掺杂区之间间隙的上方；

所述第一铁电电容器的第一端与所述导电栅极耦接，所述第一铁电电容器的第二端用于接收字线的信号；所述第二铁电电容器的第一端与所述第一掺杂区耦接，所述第二铁电电容器的第二端用于与位线互通信号。

10 2. 根据权利要求 1 所述的存储阵列，其特征在于，所述第一铁电电容器和所述第二铁电电容器位于所述导电栅极远离所述第一掺杂区和所述第二掺杂区一侧。

3. 根据权利要求 2 所述的存储阵列，其特征在于，所述第一铁电电容器和所述第二铁电电容器同步形成。

15 4. 根据权利要求 1-3 任一项所述的存储阵列，其特征在于，所述第二掺杂区用于接收板线的信号。

5. 根据权利要求 1-4 任一项所述的存储阵列，其特征在于，所述存储阵列还包括第一布线层，所述第一铁电电容器和所述第二铁电电容器设置在所述第一布线层远离所述晶体管一侧。

6. 根据权利要求 5 所述的存储阵列，其特征在于，所述存储阵列还包括第二布线层；

20 所述第一铁电电容器和所述第二铁电电容器位于所述第二布线层与所述第一布线层之间，所述第二布线层与所述第一布线层相邻设置。

7. 根据权利要求 1-6 任一项所述的存储阵列，其特征在于，所述存储单元的比特数为 2 比特或者 $\log_2 3$ 比特。

8. 一种存储电路，其特征在于，包括：

25 多个存储支路，所述多个存储支路中的每个存储支路包括晶体管、第一铁电电容器和第二铁电电容器；

所述晶体管包括控制极、第一输入输出极和第二输入输出极；所述第一铁电电容器的第一端与所述控制极耦接，所述第一铁电电容器的第二端用于接收字线的信号；所述第二铁电电容器的第一端与所述第一输入输出极耦接，所述第二铁电电容器的第二端用于与位线互通信号。

9. 根据权利要求 8 所述的存储电路，其特征在于，所述第二输入输出极用于接收板线的信号。

30 10. 根据权利要求 8 或 9 所述的存储电路，其特征在于，第一输入输出极和第二输入输出极包括相邻设置的所述第一掺杂区和第二掺杂区；

所述控制极包括导电栅极，所述导电栅极位于所述第一掺杂区和所述第二掺杂区之间间隙的上方。

35 11. 根据权利要求 10 所述的存储电路，其特征在于，所述第一铁电电容器和所述第二铁电电容器位于所述导电栅极远离所述第一掺杂区和所述第二掺杂区一侧。

12. 根据权利要求 8-11 任一项所述的存储电路，其特征在于，所述第一铁电电容器和所述第二铁电电容器同步形成。

40 13. 根据权利要求 8-12 任一项所述的存储电路，其特征在于，所述存储电路还包括第一布线层，所述第一铁电电容器和所述第二铁电电容器设置在所述第一布线层远离所述晶体管一侧，所述第一铁电电容器经所述第一布线层与所述控制极耦接，所述第二铁电电容器经所述第一布线层与所述第一输入输出极耦接。

14. 根据权利要求 13 所述的存储电路，其特征在于，所述存储阵列还包括第二布线层；

所述第一铁电电容器和所述第二铁电电容器位于所述第二布线层与所述第一布线层之间，所述第二布线层与所述第一布线层相邻设置。

45 15. 一种存储器，其特征在于，包括：控制器和与所述控制器耦接的如权利要求 1-7 任一项所述的存储阵列，或者如权利要求 8-14 任一项所述的存储电路。

16. 根据权利要求 15 所述的存储器，其特征在于，所述存储器还包括电荷检测电路；所述电荷检测电路与所述存储阵列的存储单元耦接，用于检测所述存储单元输出的电荷量；或者，
所述电荷检测电路与所述存储电路的存储支路耦接，用于检测所述存储支路输出的电荷量。
- 5 17. 根据权利要求 15 或 16 所述的存储器，其特征在于，所述存储器还包括电流检测电路；所述电流检测电路与所述存储阵列的存储单元耦接，用于检测所述存储单元输出的电流；或者，
所述电流检测电路与所述存储电路的存储支路耦接，用于检测所述存储支路输出的电流。
- 10 18. 一种电子设备，其特征在于，包括：电路板和存储器，所述电路板和所述存储器耦接；
所述存储器包括权利要求 15-17 任一项所述的存储器。
- 15 19. 一种存储阵列的制备方法，其特征在于，所述存储阵列包括多个存储单元；
所述存储阵列的制备方法，包括：
形成晶体管以及形成第一铁电电容器和第二铁电电容器，以形成所述存储单元；
其中，所述晶体管包括导电栅极以及相邻设置的第一掺杂区和第二掺杂区；所述导电栅极位
于所述第一掺杂区和所述第二掺杂区之间间隙的上方；
所述第一铁电电容器的第一端与所述导电栅极耦接，所述第一铁电电容器的第二端用于接收
字线的信号；所述第二铁电电容器的第一端与所述第一掺杂区耦接，所述第二铁电电容器的第二
端用于与位线互通信号。
- 20 20. 根据权利要求 19 所述的存储阵列的制备方法，其特征在于，形成第一铁电电容器和第二
铁电电容器，包括：
在所述导电栅极远离所述第一掺杂区和所述第二掺杂区一侧形成所述第一铁电电容器和所述
第二铁电电容器。
- 25 21. 根据权利要求 19 或 20 所述的存储阵列的制备方法，其特征在于，所述第一铁电电容器
和所述第二铁电电容器同步形成。
- 30 22. 根据权利要求 19-21 任一项所述的存储阵列的制备方法，其特征在于，所述存储阵列还
包括第一布线层；
所述制备方法还包括：
形成所述第一铁电电容器和所述第二铁电电容器之前，在所述晶体管上形成所述第一布线层。
- 35 23. 根据权利要求 22 所述的存储阵列的制备方法，其特征在于，所述存储阵列还包括第二布
线层；
所述制备方法还包括：
形成所述第一铁电电容器和所述第二铁电电容器后，形成所述第二布线层；所述第二布线层
与所述第一布线层相邻设置。
- 40 24. 一种存储电路的读写方法，其特征在于，存储电路包括权利要求 8-14 任一项所述的存储
电路；
所述读写方法，包括：
向第一铁电电容器写入数据时，向晶体管的第一输入输出极和第二输入输出极施加参考地电
压；向所述晶体的控制极施加第一电压，写入第一数据；向所述控制极施加第二电压，写入第
二数据；
向第二铁电电容器写入数据时，向所述控制极和所述第二输入输出极施加所述参考地电压；
向所述第一输入输出极施加第三电压，写入所述第一数据；向所述第一输入输出极施加第四电压，
写入所述第二数据；
向所述第二输入输出极施加所述参考地电压，向所述控制极施加参考电压，向所述第一输入
输出极施加读取电压，读取所述第一输入输出极的信号；
- 45 向所述控制极、所述第一输入输出极和所述第二输入输出极施加参考地电压，保持所述存储
电路的存储。

25. 根据权利要求 24 所述的存储电路的读写方法, 其特征在于, 所述第一电压、所述第三电压、所述第二电压的绝对值以及所述第四电压的绝对值大于矫顽电压。

26. 根据权利要求 24 或 25 所述的存储电路的读写方法, 其特征在于, 所述参考电压小于矫顽电压, 所述读取电压的绝对值大于所述矫顽电压。

5 27. 根据权利要求 24-26 任一项所述的存储电路的读写方法, 其特征在于, 所述第一电压和所述第二电压极性相反; 所述第三电压和所述第四电压极性相反。

28. 一种计算机可读存储介质, 其特征在于, 所述计算机可读存储介质包括计算机指令, 当所述计算机指令在设备上运行时, 使得所述设备执行如权利要求 24-27 任一项所述的读写方法。

10

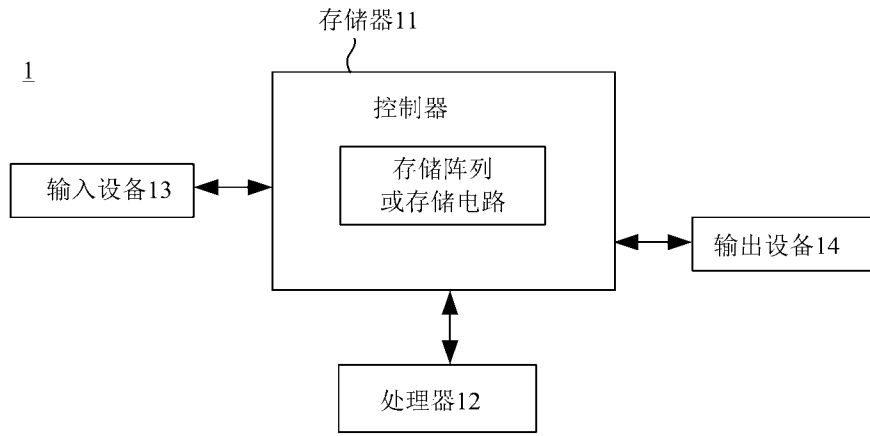


图 1

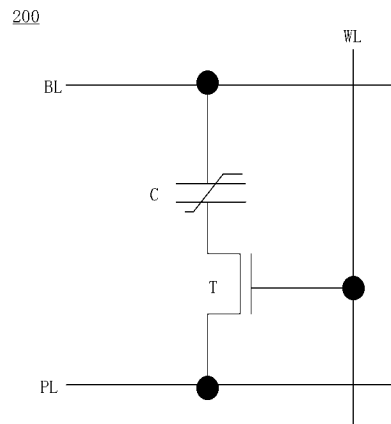


图 2

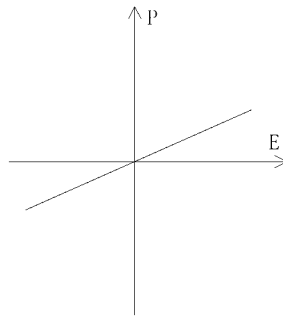


图 3

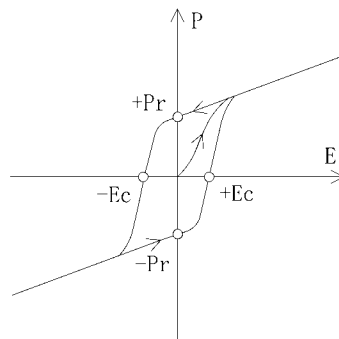


图 4

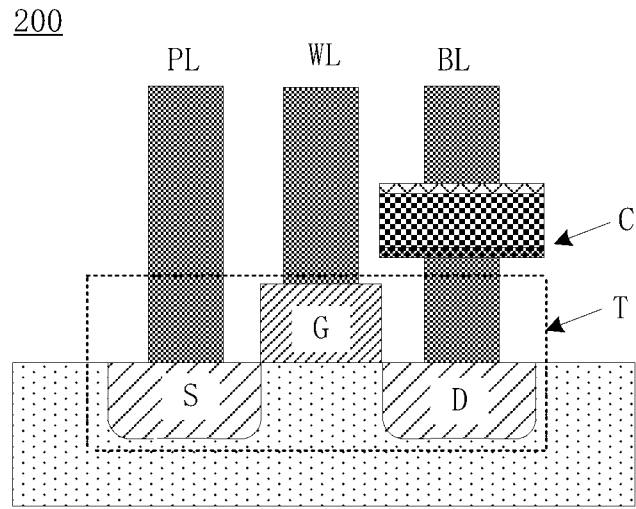


图 5A

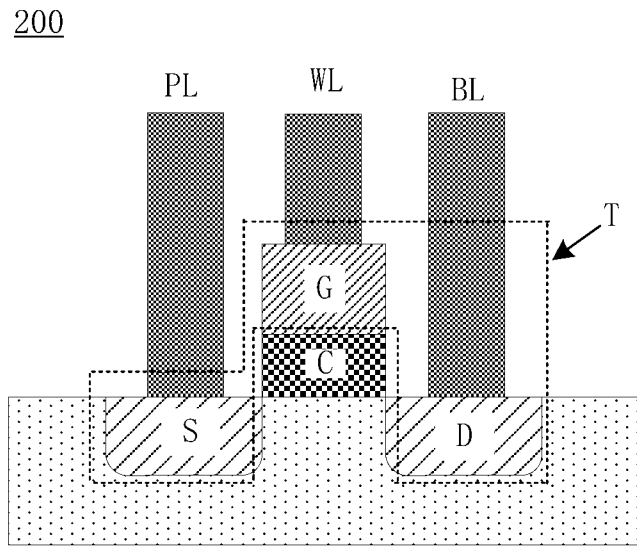


图 5B

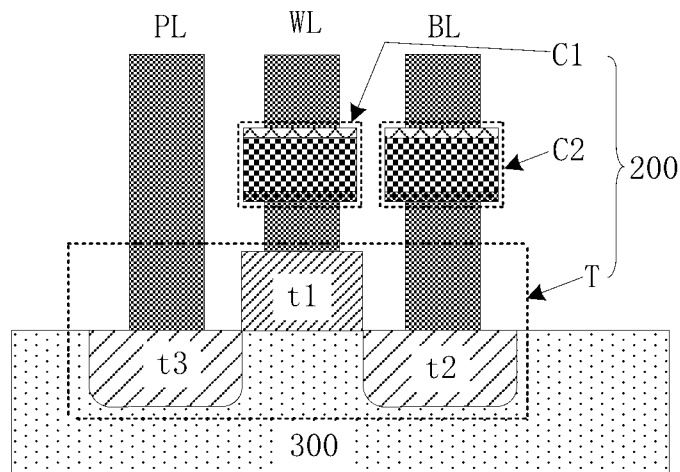


图 6A

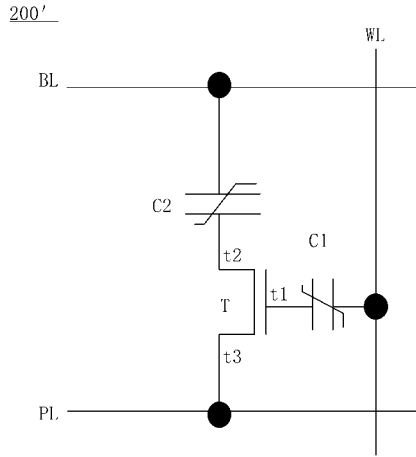


图 6B

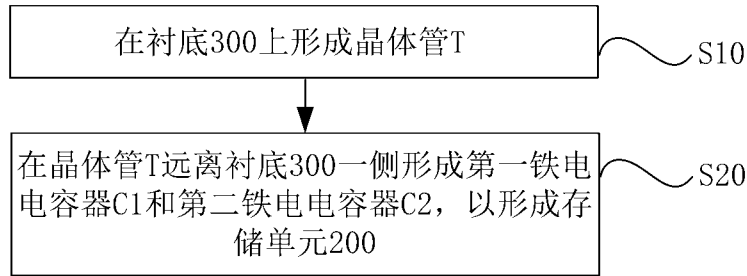


图 7

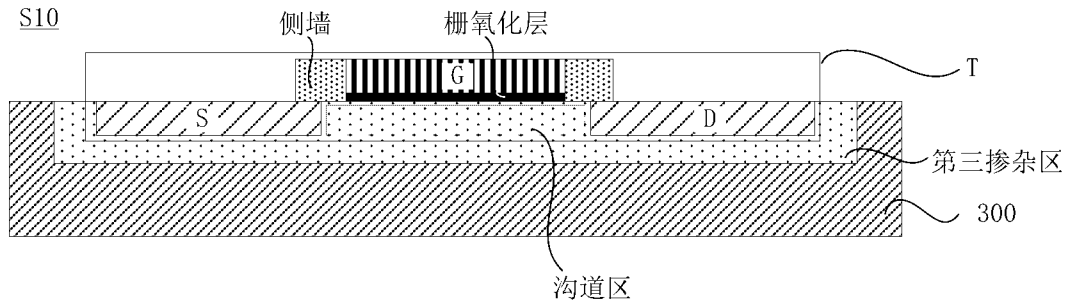


图 8

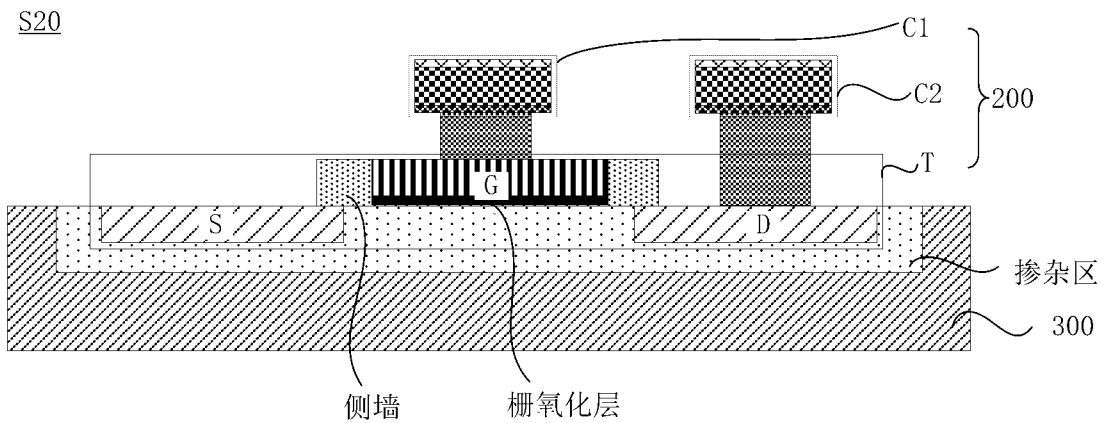


图 9

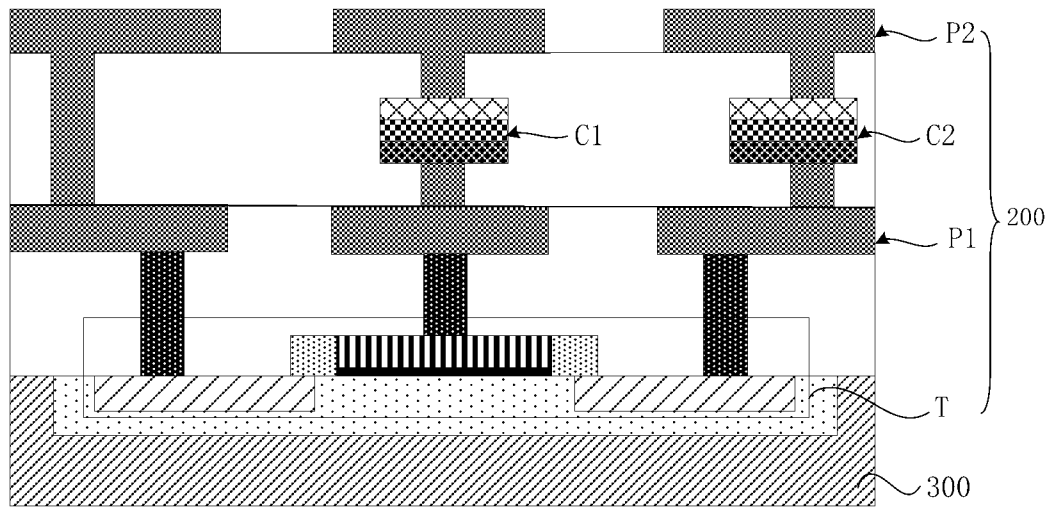


图 10

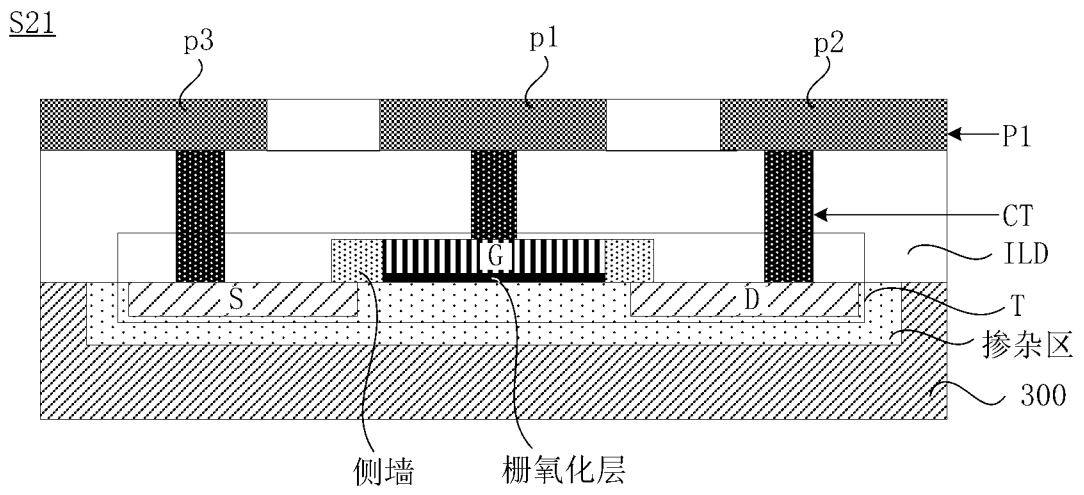


图 11

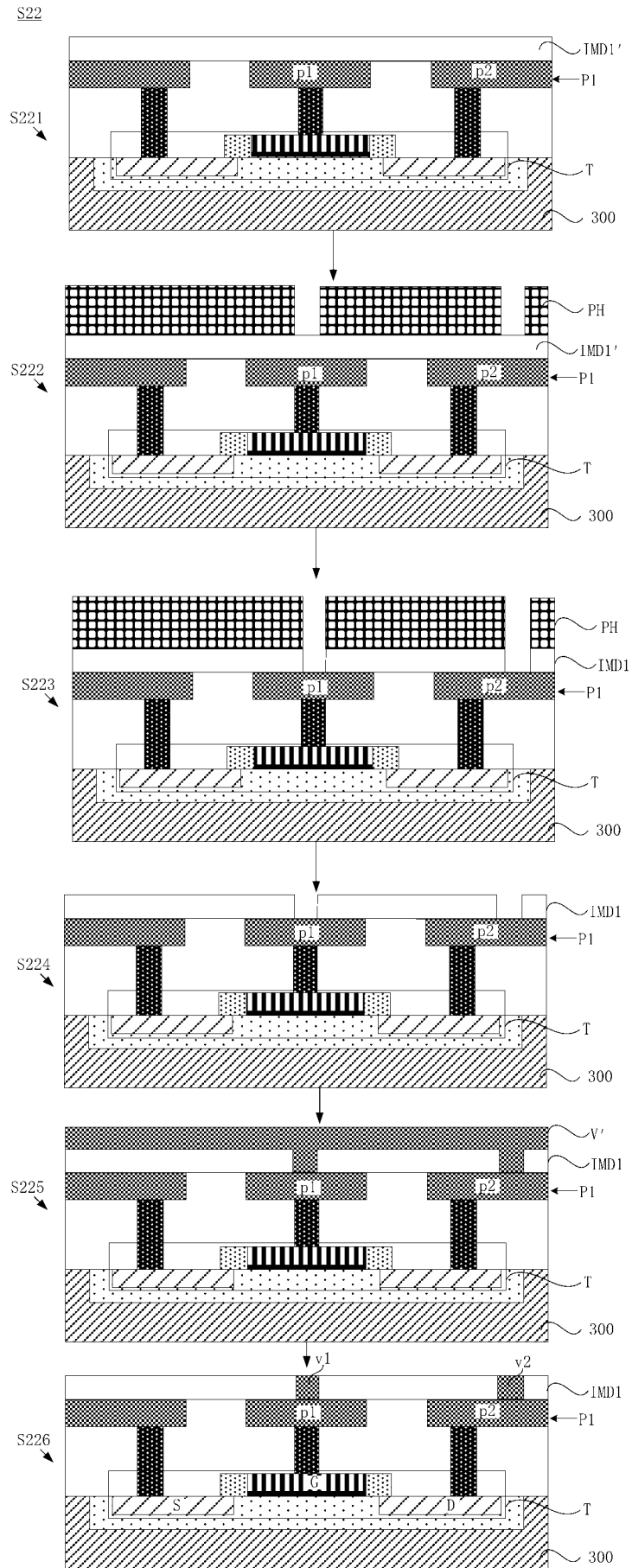


图 12

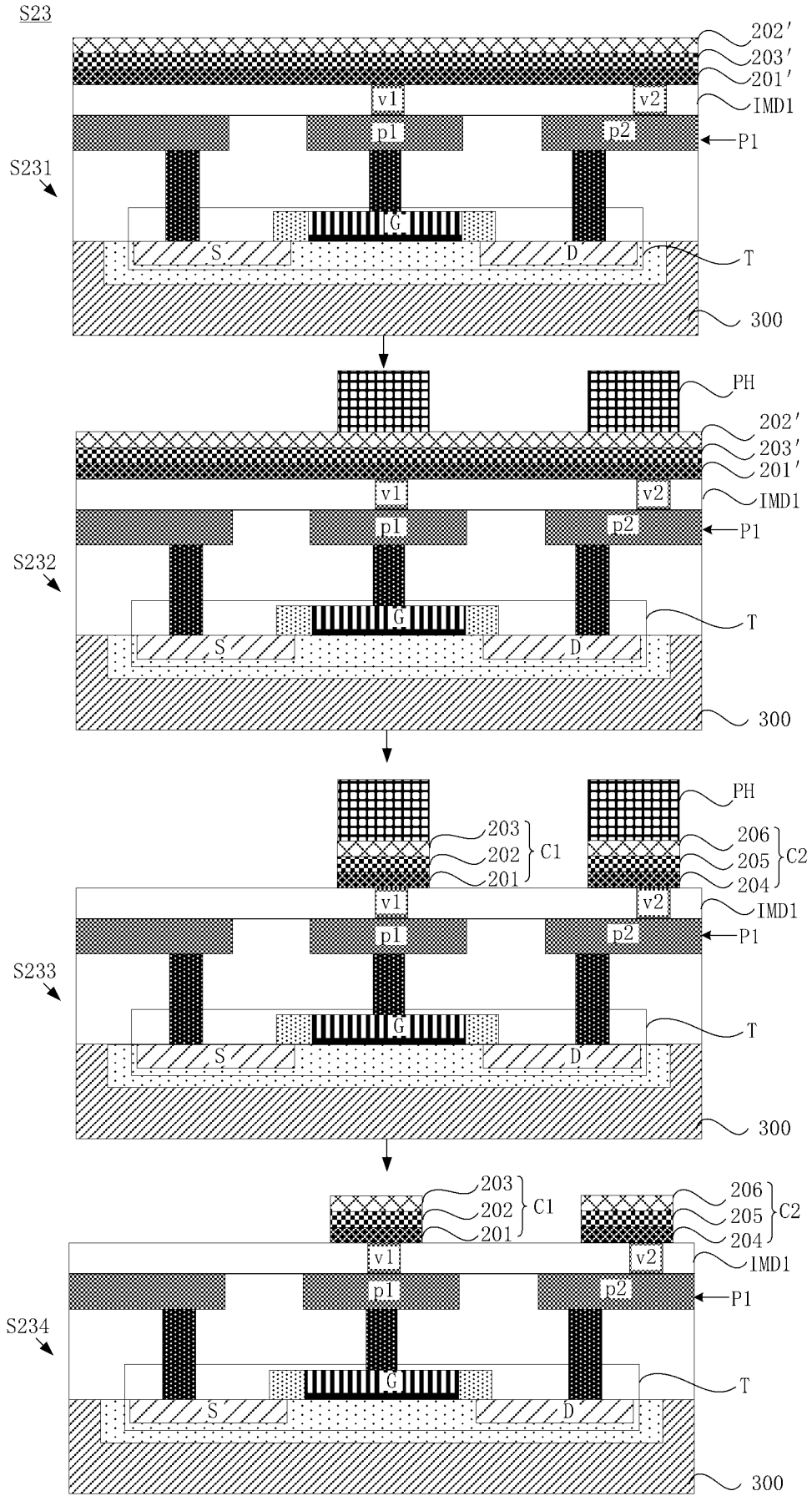


图 13

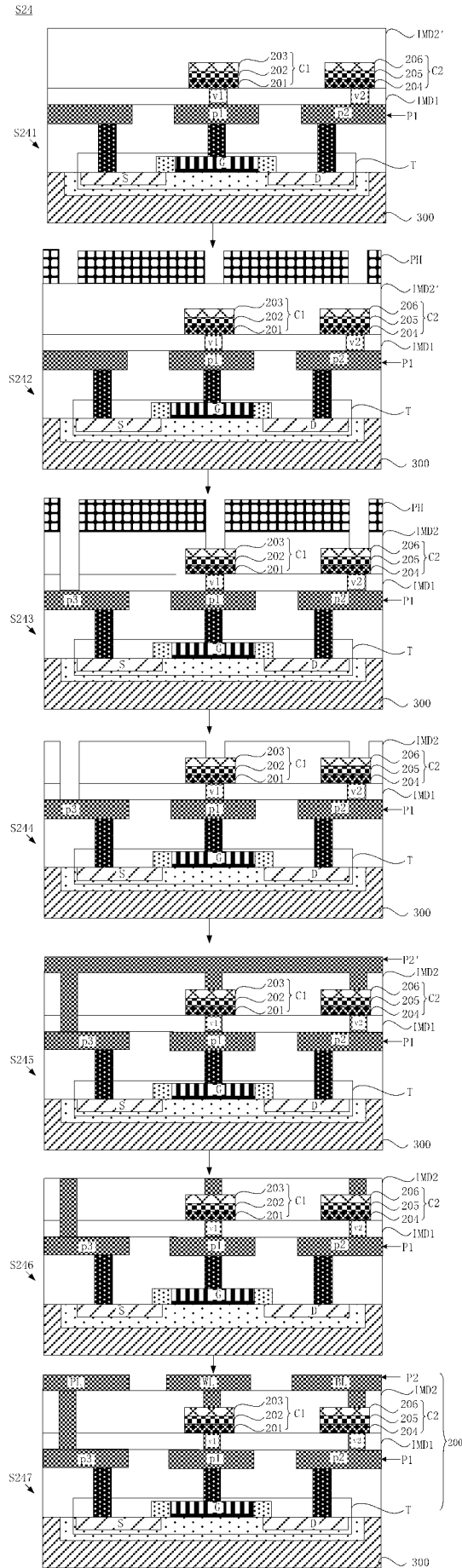


图 14

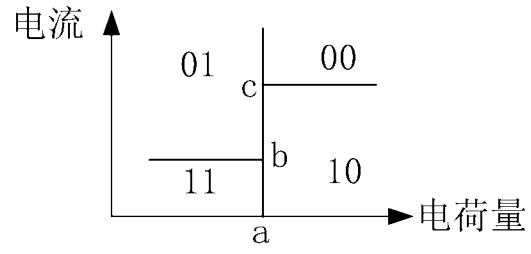


图 15A

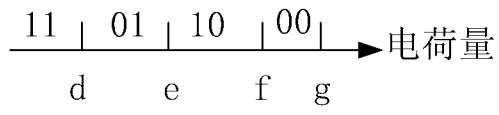


图 15B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/141245

A. CLASSIFICATION OF SUBJECT MATTER		
H10B53/30(2023.01)i; G11C11/22(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: H10B G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 存储, 晶体管, 铁电, 电容, 字线, 位线, 栅, storage, transistor, ferroelectric, capacitance, word line, WL, bit line, BL, gate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 211404064 U (ZHUHAI PAYBYTE INFORMATION TECHNOLOGY CO., LTD.) 01 September 2020 (2020-09-01) description, paragraphs [0053]-[0066], and figures 1-5	1-28
A	CN 107093456 A (SK HYNIX INC.) 25 August 2017 (2017-08-25) entire document	1-28
A	CN 112967743 A (WUXI PETABYTE TECHNOLOGY CO., LTD.) 15 June 2021 (2021-06-15) entire document	1-28
A	CN 114864582 A (SOUTHERN UNIVERSITY OF SCIENCE AND TECHNOLOGY) 05 August 2022 (2022-08-05) entire document	1-28
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 February 2024		03 March 2024
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/141245

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	211404064	U	01 September 2020	None			
CN	107093456	A	25 August 2017	KR	20170097247	A	28 August 2017
				KR	102359372	B1	09 February 2022
				US	2017236829	A1	17 August 2017
				US	10032852	B2	24 July 2018
				TW	201730883	A	01 September 2017
				TWI	705440	B	21 September 2020
CN	112967743	A	15 June 2021	None			
CN	114864582	A	05 August 2022	CN	217544619	U	04 October 2022

<p>A. 主题的分类</p> <p>H10B53/30(2023.01)i; G11C11/22(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC: H10B G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 存储, 晶体管, 铁电, 电容, 字线, 位线, 栅, storage, transistor, ferroelectric, capacitance, word line, WL, bit line, BL, gate</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 211404064 U (珠海拍字节信息科技有限公司) 2020年9月1日 (2020 - 09 - 01) 说明书第[0053]-[0066]段, 附图1-5</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>CN 107093456 A (爱思开海力士有限公司) 2017年8月25日 (2017 - 08 - 25) 全文</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>CN 112967743 A (无锡拍字节科技有限公司) 2021年6月15日 (2021 - 06 - 15) 全文</td> <td>1-28</td> </tr> <tr> <td>A</td> <td>CN 114864582 A (南方科技大学) 2022年8月5日 (2022 - 08 - 05) 全文</td> <td>1-28</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 211404064 U (珠海拍字节信息科技有限公司) 2020年9月1日 (2020 - 09 - 01) 说明书第[0053]-[0066]段, 附图1-5	1-28	A	CN 107093456 A (爱思开海力士有限公司) 2017年8月25日 (2017 - 08 - 25) 全文	1-28	A	CN 112967743 A (无锡拍字节科技有限公司) 2021年6月15日 (2021 - 06 - 15) 全文	1-28	A	CN 114864582 A (南方科技大学) 2022年8月5日 (2022 - 08 - 05) 全文	1-28
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 211404064 U (珠海拍字节信息科技有限公司) 2020年9月1日 (2020 - 09 - 01) 说明书第[0053]-[0066]段, 附图1-5	1-28															
A	CN 107093456 A (爱思开海力士有限公司) 2017年8月25日 (2017 - 08 - 25) 全文	1-28															
A	CN 112967743 A (无锡拍字节科技有限公司) 2021年6月15日 (2021 - 06 - 15) 全文	1-28															
A	CN 114864582 A (南方科技大学) 2022年8月5日 (2022 - 08 - 05) 全文	1-28															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“D” 申请人在国际申请中引证的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2024年2月18日</p>		<p>国际检索报告邮寄日期</p> <p>2024年3月3日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>		<p>授权官员</p> <p>张斌</p> <p>电话号码 (+86) 0512-88995753</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/141245

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	211404064	U	2020年9月1日	无			
CN	107093456	A	2017年8月25日	KR	20170097247	A	2017年8月28日
				KR	102359372	B1	2022年2月9日
				US	2017236829	A1	2017年8月17日
				US	10032852	B2	2018年7月24日
				TW	201730883	A	2017年9月1日
				TWI	705440	B	2020年9月21日
CN	112967743	A	2021年6月15日	无			
CN	114864582	A	2022年8月5日	CN	217544619	U	2022年10月4日