



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월17일
 (11) 등록번호 10-2021885
 (24) 등록일자 2019년09월09일

(51) 국제특허분류(Int. Cl.)
 H01L 27/00 (2006.01) H01L 21/77 (2017.01)
 (21) 출원번호 10-2012-0145747
 (22) 출원일자 2012년12월13일
 심사청구일자 2017년11월27일
 (65) 공개번호 10-2014-0077044
 (43) 공개일자 2014년06월23일
 (56) 선행기술조사문헌
 JP2009283497 A*
 KR1020100104280 A*
 KR1020120041642 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 옹준걸
 경기 수원시 권선구 효원로230번길 38, 101동 318호 (권선동, 올림픽공원대우미래사랑)
 김윤해
 경기도 수원시 영통구 웰빙타운로 20, 8321동 104호(이의동, 호반가든하임)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 10 항

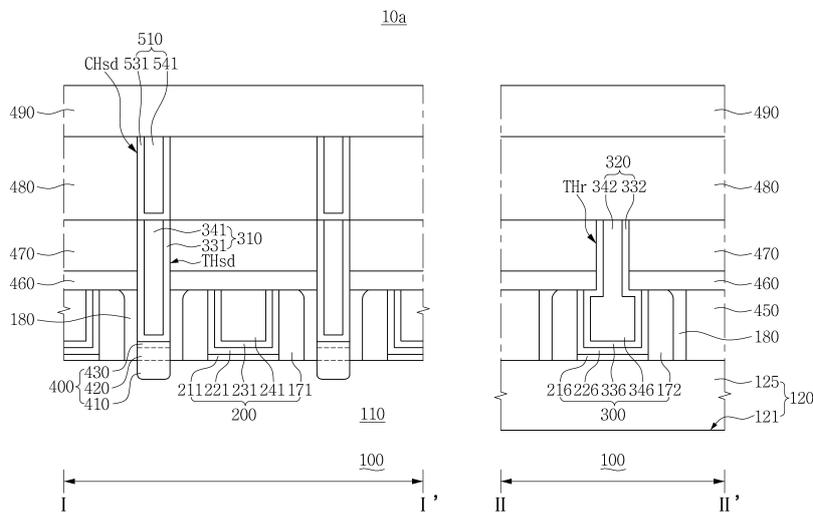
심사관 : 곽혁용

(54) 발명의 명칭 **금속성 저항 구조체를 갖는 반도체 소자**

(57) 요약

기판 내의 활성 영역 및 필드 영역, 상기 활성 영역 상의 게이트 구조체 및 상기 필드 영역 상의 저항 구조체, 상기 게이트 구조체 및 상기 저항 구조체를 덮는 제1 층간 절연층, 상기 제1 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 트렌치 플러그, 상기 제1 층간 절연층 및 상기 저항 트렌치 플러그 상의 제2 층간 절연층, 및 상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 콘택 플러그를 포함하는 반도체 소자가 설명된다.

대표도 - 도2a



(72) 발명자

강홍성

경기 화성시 동탄공원로 21-11, 945동 2401호 (능
동, 푸른마을모아미래도아파트)

이윤석

서울 관악구 신림로29길 8, 107동 1001호 (신림동,
신림현대아파트)

최유신

서울 광진구 용마산로24길 13, 11동 309호 (중곡동, 신향빌라)

명세서

청구범위

청구항 1

기판 내의 활성 영역 및 필드 영역;

상기 활성 영역 상의 게이트 구조체 및 상기 필드 영역 상의 저항 구조체;

상기 게이트 구조체 및 상기 저항 구조체를 덮는 제1 층간 절연층;

상기 제1 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 트렌치 플러그;

상기 제1 층간 절연층 및 상기 저항 트렌치 플러그 상의 제2 층간 절연층; 및

상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하고, 상기 저항 트렌치 플러그와 이격된 저항 컨택 플러그를 포함하는 반도체 소자.

청구항 2

제1항에 있어서,

상기 게이트 구조체의 일 측면의 상기 활성 영역 상에 형성된 소스/드레인 영역; 및

상기 제1 층간 절연층을 수직으로 관통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 트렌치 플러그를 더 포함하고,

상기 저항 트렌치 플러그의 상부 표면과 상기 소스/드레인 트렌치 플러그의 상부 표면은 상기 제1 층간 절연층의 상부 표면과 동일한 레벨에 위치하는 반도체 소자.

청구항 3

제2항에 있어서,

상기 제2 층간 절연층을 수직으로 관통하여 상기 소스/드레인 트렌치 플러그와 접촉하는 소스/드레인 컨택 플러그를 더 포함하고,

상기 저항 컨택 플러그의 상부 표면 및 상기 소스/드레인 컨택 플러그의 상부 표면은 상기 제2 층간 절연층의 상부 표면과 동일한 레벨에 위치하는 반도체 소자.

청구항 4

제3항에 있어서,

상기 소스/드레인 트렌치 플러그는 소스/드레인 트렌치 전극 및 상기 소스/드레인 트렌치 전극의 하면 및 측면들을 감싸는 소스/드레인 트렌치 배리어 층을 포함하고,

상기 소스/드레인 컨택 플러그는 소스/드레인 컨택 전극 및 상기 소스/드레인 컨택 전극의 하면 및 측면들을 감싸는 소스/드레인 컨택 배리어 층을 포함하고,

상기 소스/드레인 컨택 배리어 층은 상기 소스/드레인 트렌치 전극의 상면과 직접적으로 접촉하는 반도체 소자.

청구항 5

제1항 또는 제3항에 있어서,

상기 저항 트렌치 플러그는 상기 저항 구조체의 중간부 상에 서로 이격된 복수의 저항 트렌치 플러그들을 포함하고,

상기 저항 컨택 플러그는 상기 저항 구조체의 양 단부에 인접하게 배치된 복수의 저항 컨택 플러그들을 포함하는 반도체 소자.

청구항 6

제3항에 있어서,

상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 게이트 구조체와 접촉하는 게이트 콘택 플러그를 더 포함하고,

상기 게이트 콘택 플러그의 상부 표면, 상기 저항 콘택 플러그의 상부 표면, 및 상기 소스/드레인 콘택 플러그의 상부 표면은 동일한 레벨에 위치하는 반도체 소자.

청구항 7

제1항에 있어서,

상기 저항 구조체는 상기 필드 영역 상에 형성된 저항 전극 및 상기 저항 전극을 감싸는 저항 배리어 층을 포함하고,

상기 저항 콘택 플러그는 저항 콘택 전극 및 상기 저항 콘택 전극을 감싸는 저항 콘택 배리어 층을 포함하고,

상기 저항 콘택 배리어 층이 상기 저항 배리어 층과 직접적으로 접촉하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 저항 트렌치 플러그는 저항 트렌치 전극 및 상기 저항 트렌치 전극의 측면을 감싸는 저항 트렌치 배리어 층을 포함하고,

상기 저항 전극과 상기 저항 트렌치 전극이 일체형으로 형성되고,

상기 저항 배리어 층과 상기 저항 트렌치 배리어 층이 일체형으로 형성된 반도체 소자.

청구항 9

기판 내의 활성 영역 및 필드 영역;

상기 활성 영역 상에 형성된 게이트 구조체 및 상기 필드 영역 상에 형성된 저항 구조체;

상기 게이트 구조체의 일 측면의 상기 활성 영역 내에 형성된 소스/드레인 영역;

상기 게이트 구조체 및 상기 저항 구조체를 덮는 제1 층간 절연층;

상기 제1 층간 절연층을 수직으로 관통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 트렌치 플러그;

상기 제1 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 트렌치 플러그;

상기 제1 층간 절연층, 상기 소스/드레인 트렌치 플러그 및 상기 저항 트렌치 플러그 상의 제2 층간 절연층; 및

상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 게이트 구조체와 접촉하는 게이트 콘택 플러그를 포함하고,

상기 저항 트렌치 플러그는 상기 저항 구조체의 적어도 일부와 일체형으로 형성되고,

상기 저항 구조체, 상기 저항 트렌치 플러그, 및 상기 소스/드레인 트렌치 플러그는 동일한 물질들을 포함하고,

상기 소스/드레인 트렌치 플러그의 상부 표면과 상기 저항 트렌치 플러그의 상부 표면은 상기 제1 층간 절연층의 상부 표면과 동일한 레벨에 위치하는 반도체 소자.

청구항 10

제9항에 있어서,

상기 제2 층간 절연층을 수직으로 관통하여 상기 소스/드레인 트렌치 플러그와 접촉하는 소스/드레인 콘택 플러그를 더 포함하고,

상기 게이트 콘택 플러그의 상부 표면과 상기 소스/드레인 콘택 플러그의 상부 표면은 상기 제2 층간 절연층의

상부 표면과 동일한 레벨에 위치하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 금속성 저항 구조체를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 높아지고 디자인 룰이 미세해지면서, 반도체 소자 내의 저항성 구성 요소(elements)도 점차 작게 형성해야 할 필요성이 제기되었다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하고자 하는 과제는 금속성 저항 구조체를 포함하는 반도체 소자를 제공하는 것이다.
- [0004] 본 발명이 해결하고자 하는 과제는 게이트 구조체 및 게이트 저항 구조체를 포함하는 반도체 소자를 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 과제는 금속성 저항 구조체를 포함하는 반도체 소자를 제조하는 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 과제는 게이트 구조체 및 게이트 저항 구조체를 포함하는 반도체 소자를 제조하는 방법을 제공하는 것이다.
- [0007] 본 발명이 해결하고자 하는 과제는 상기 반도체 소자들을 포함하는 반도체 모듈, 전자 시스템, 및 모바일 디바이스를 제공하는 것이다.
- [0008] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 의한 반도체 소자는, 기판 내의 활성 영역 및 필드 영역, 상기 활성 영역 상의 게이트 구조체 및 상기 필드 영역 상의 저항 구조체, 상기 게이트 구조체 및 상기 저항 구조체를 덮는 제1 층간 절연층, 상기 제1 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 트렌치 플러그, 상기 제1 층간 절연층 및 상기 저항 트렌치 플러그 상의 제2 층간 절연층, 및 상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 콘택 플러그를 포함할 수 있다.
- [0010] 상기 반도체 소자는 상기 게이트 구조체의 일 측면의 상기 활성 영역 상에 형성된 소스/드레인 영역, 및 상기 제1 층간 절연층을 수직으로 관통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 트렌치 플러그를 더 포함할 수 있다.
- [0011] 상기 저항 트렌치 플러그의 상부 표면과 상기 소스/드레인 트렌치 플러그의 상부 표면은 동일할 수 있다.
- [0012] 상기 반도체 소자는 상기 제2 층간 절연층을 수직으로 관통하여 상기 소스/드레인 트렌치 플러그와 접촉하는 소스/드레인 콘택 플러그를 더 포함할 수 있다.
- [0013] 상기 소스/드레인 트렌치 플러그는 소스/드레인 트렌치 전극 및 상기 소스/드레인 트렌치 전극의 하면 및 측면들을 감싸는 소스/드레인 트렌치 배리어 층을 포함할 수 있다.
- [0014] 상기 소스/드레인 콘택 플러그는 소스/드레인 콘택 전극 및 상기 소스/드레인 콘택 전극의 하면 및 측면들을 감싸는 소스/드레인 콘택 배리어 층을 포함할 수 있다.
- [0015] 상기 소스/드레인 콘택 배리어 층은 상기 소스/드레인 트렌치 전극의 상면과 직접적으로 접촉할 수 있다.
- [0016] 상기 저항 콘택 플러그의 상부 표면 및 상기 소스/드레인 콘택 플러그의 상부 표면은 동일할 수 있다.
- [0017] 상기 반도체 소자는 상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 게이트 구조체와

접촉하는 게이트 콘택 플러그를 더 포함할 수 있다.

- [0018] 상기 게이트 콘택 플러그의 상부 표면, 상기 저항 콘택 플러그의 상부 표면, 및 상기 소스/드레인 콘택 플러그의 상부 표면은 동일할 수 있다.
- [0019] 상기 게이트 구조체는 상기 필드 영역 상으로 연장할 수 있고, 상기 게이트 콘택 플러그는 상기 필드 영역 상으로 연장한 상기 게이트 구조체 상에 배치될 수 있다.
- [0020] 상기 저항 콘택 플러그는 상기 저항 구조체의 일 단부 상에 배치될 수 있다.
- [0021] 상기 저항 트렌치 플러그는 상기 저항 구조체의 중간부 상에 배치될 수 있다.
- [0022] 상기 저항 구조체는 상기 필드 영역 상에 형성된 저항 절연층, 상기 저항 절연층 상에 형성된 저항 배리어 층, 및 상기 저항 배리어 층 상에 형성된 저항 전극을 포함할 수 있다.
- [0023] 상기 저항 절연층은 상기 저항 배리어 층을 감싸도록 "U" 자 형태를 가질 수 있다.
- [0024] 상기 저항 배리어 층은 상기 저항 전극을 감싸도록 "U" 자 형태를 가질 수 있다.
- [0025] 상기 저항 절연층은 금속 산화물을 포함할 수 있고, 상기 저항 배리어 층은 배리어용 금속을 포함할 수 있고, 및 상기 저항 전극은 금속 또는 금속 실리사이드를 포함할 수 있다.
- [0026] 상기 저항 트렌치 플러그는 저항 트렌치 전극 및 상기 저항 트렌치 전극을 감싸는 저항 트렌치 배리어 층을 포함할 수 있다.
- [0027] 상기 저항 전극과 상기 저항 트렌치 전극이 물질적으로 연속할 수 있다.
- [0028] 상기 저항 배리어 층과 상기 저항 트렌치 배리어 층이 물질적으로 연속할 수 있다.
- [0029] 본 발명의 일 실시예에 의한 반도체 소자는 기판 내의 활성 영역 및 필드 영역, 상기 활성 영역 상에 형성된 게이트 구조체 및 상기 필드 영역 상에 형성된 저항 구조체, 상기 게이트 구조체의 일 측면의 상기 활성 영역 내에 형성된 소스/드레인 영역, 상기 게이트 구조체 및 상기 저항 구조체를 덮는 제1 층간 절연층, 상기 제1 층간 절연층을 수직으로 관통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 트렌치 플러그, 상기 제1 층간 절연층을 수직으로 관통하여 상기 저항 구조체와 접촉하는 저항 트렌치 플러그, 상기 제1 층간 절연층, 상기 소스/드레인 트렌치 플러그 및 상기 저항 트렌치 플러그 상의 제2 층간 절연층, 및 상기 제1 층간 절연층 및 상기 제2 층간 절연층을 수직으로 관통하여 상기 게이트 구조체와 접촉하는 게이트 콘택 플러그를 포함할 수 있다.
- [0030] 상기 저항 트렌치 플러그는 상기 저항 구조체와 물질적으로 연속할 수 있다.
- [0031] 상기 소스/드레인 트렌치 플러그의 상부 표면과 상기 저항 트렌치 플러그의 상부 표면은 동일할 수 있다.
- [0032] 상기 반도체 소자는 상기 제2 층간 절연층을 수직으로 관통하여 상기 소스/드레인 트렌치 플러그와 접촉하는 소스/드레인 콘택 플러그를 더 포함할 수 있다.
- [0033] 상기 게이트 콘택 플러그의 상부 표면과 상기 소스/드레인 콘택 플러그의 상부 표면은 동일할 수 있다.
- [0034] 상기 게이트 구조체는 게이트 전극 및 상기 게이트 전극을 감싸는 게이트 배리어 층을 포함할 수 있다.
- [0035] 상기 저항 구조체는 저항 전극 및 상기 저항 전극을 감싸는 저항 배리어 층을 포함할 수 있다.
- [0036] 상기 소스/드레인 트렌치 플러그는 소스/드레인 트렌치 전극 및 상기 소스/드레인 트렌치 전극을 감싸는 소스/드레인 트렌치 배리어 층을 포함할 수 있다.
- [0037] 상기 저항 트렌치 플러그는 저항 트렌치 전극 및 상기 저항 트렌치 전극을 감싸는 저항 트렌치 배리어 층을 포함할 수 있다.
- [0038] 상기 게이트 전극은 제1 금속을 포함하고, 및 상기 저항 전극, 상기 소스/드레인 트렌치 전극 및 상기 저항 트렌치 전극은 상기 제1 금속과 다른 제2 금속을 포함할 수 있다.
- [0039] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0040] 본 발명의 기술적 사상의 실시예들에 의한 반도체 소자들은 금속, 금속 실리사이드, 또는 금속 화합물을 포함하

는 저항 구조체를 포함할 수 있다. 따라서, 저항 구조체는 낮은 저항을 가질 수 있으므로 미세하게 형성될 수 있다. 반도체 소자들은 게이트 구조체와 동일하거나 유사한 모양의 저항 구조체를 포함할 수 있다. 따라서, 저항 구조체는 게이트 구조체를 형성하는 공정을 이용하여 형성될 수 있고, 게이트 구조체처럼 정교한 크기와 정확한 저항 값을 가질 수 있다. 저항 구조체는 다수의 전기적 퓨즈(electrical fuse)로 이용될 수 있다. 예를 들어, 다수의 저항 구조체들이 인접하여 다수의 전기적 퓨즈가 모인 퓨즈 영역을 형성할 수 있다.

[0041] 본 발명의 기술적 사상의 실시예들에 의한 반도체 소자들의 제조 방법은 금속성 게이트 구조체 및 금속성 저항 구조체를 갖는 반도체 소자를 용이하게 제조하는 방법을 제공할 수 있다. 본 발명의 실시예들에 의한 반도체 소자들의 제조 방법은 저항 구조체만을 형성하기 위한 별도의 공정들을 추가하지 않고, 게이트 구조체를 형성하는 공정들을 이용하여 저항 구조체를 형성하는 방법을 제공할 수 있다.

[0042] 기타 본 발명의 기술적 사상에 의한 다양한 효과들이 본문내에서 언급될 것이다.

도면의 간단한 설명

[0043] 도 1a 및 1b는 본 발명의 실시예들에 의한 반도체 소자들의 개략적인 레이아웃들이다.

도 2a 내지 2d는 본 발명의 일 실시예에 의한 반도체 소자를 개략적으로 도시한 종단면도들이다.

도 3a 내지 3d는 본 발명의 일 실시예에 의한 반도체 소자를 개략적으로 도시한 종단면도들이다.

도 4 내지 23d는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 개략적으로 설명하는 종단면도들이다.

도 25a 내지 32d는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 개략적으로 설명하는 종단면도들이다.

도 33a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 반도체 모듈을 개념적으로 도시한 도면이다.

도 33b 및 33c는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 전자 시스템들을 개념적으로 도시한 블록도이다.

도 33d는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 모바일 디바이스를 개략적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0045] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0046] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0047] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어

있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0048] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0049] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0050] 도 1a 및 1b는 본 발명의 실시예들에 의한 반도체 소자들(10a, 10b)의 개략적인 레이아웃들이다.
- [0051] 도 1a 및 도 1b를 참조하면, 본 발명의 실시예들에 의한 반도체 소자들(10a, 10b)은 트랜지스터 영역(TA) 및 저항 영역(RA)을 포함할 수 있다. 트랜지스터 영역(TA)은 활성 영역(110) 및 필드 영역(120)을 포함하고, 활성 영역(110) 상에 배치된 게이트 구조체(200), 게이트 콘택 플러그(550), 소스/드레인 영역(400), 및 소스/드레인 콘택 플러그(510)를 포함할 수 있다. 게이트 구조체(200)는 활성 영역(110)을 가로지르고 필드 영역(120) 상으로 연장할 수 있다. 게이트 콘택 플러그(550)는 필드 영역(120) 상으로 연장한 게이트 구조체(200) 상에 배치될 수 있다. 소스/드레인 영역(400)은 게이트 구조체(200)와 평행하도록 활성 영역(110) 내에 국한될 수 있다. 소스/드레인 콘택 플러그(510)는 소스/드레인 영역(400)과 중첩될 수 있다. 저항 영역(RA)은 필드 영역(120) 상에 배치된 저항 구조체(300), 저항 트렌치 플러그(320) 및 저항 콘택 플러그(520)를 포함할 수 있다. 저항 트렌치 플러그(320) 및 저항 콘택 플러그(520)는 저항 구조체(300)와 중첩할 수 있다.
- [0052] 도 1b를 더 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10b)는 하나의 소스/드레인 영역(400)과 중첩하는 다수의 소스/드레인 콘택 플러그들(510) 및 저항 콘택 플러그들(520)과 중첩하는 저항 트렌치 플러그들(325)을 포함할 수 있다. 저항 트렌치 플러그들(320, 325) 중 적어도 하나와 저항 콘택 플러그들(520) 중 적어도 하나가 중첩될 수 있다.
- [0053] 도 2a 내지 2d는 본 발명의 일 실시예에 의한 반도체 소자(10a)를 개략적으로 도시한 종단면도들이다. 예를 들어, 도 2a 내지 2d는 도 1a의 I-I', II-II', III-III', IV-IV', V-V', 및 IV-IV' 방향의 종단면도들이다.
- [0054] 도 1a 및 2a 내지 2d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10a)는, 기판(100)의 활성 영역(110) 상에 배치된 게이트 구조체(200) 및 기판(100)의 필드 영역(120) 상에 배치된 저항 구조체(300)를 포함할 수 있다. 반도체 소자(10a)는 소스/드레인 영역(400), 소스/드레인 트렌치 플러그(310) 및 소스/드레인 콘택 플러그(510)를 더 포함할 수 있다. 반도체 소자(10a)는 저항 트렌치 플러그(320) 및 저항 콘택 플러그(520)를 더 포함할 수 있다.
- [0055] 필드 영역(120)은 기판(100) 내에 형성된 필드 트렌치(121) 및 필드 트렌치(121)를 채우는 필드 절연물(125)을 포함할 수 있다. 필드 절연물(125)은 실리콘 산화물을 포함할 수 있다.
- [0056] 게이트 구조체(200)는 게이트 표면 절연층(211), 게이트 절연층(221), 게이트 배리어 층(231), 및 게이트 전극(241)을 포함할 수 있다. 게이트 구조체(200)는 게이트 스페이서(171)를 더 포함할 수 있다.
- [0057] 게이트 표면 절연층(211)은 기판(100)의 표면 상에 수평으로 연장하는 모양으로 직접적으로 형성될 수 있다. 게이트 표면 절연층(211)은 산화된 실리콘 또는 증착된 실리콘 산화물을 포함할 수 있다.
- [0058] 게이트 절연층(221)은 게이트 표면 절연층(211) 상에 형성될 수 있다. 게이트 절연층(221)은 "U" 자 형태로 형성되어 게이트 배리어 층(231)을 감쌀 수 있다. 게이트 절연층(221)은 하프늄 산화물(HfO₂), 란타넘 산화물(LaO₃), 알루미늄 산화물 (AlO₃) 같은 금속 산화물을 포함할 수 있다.
- [0059] 게이트 배리어 층(231)은 "U" 자 형태로 형성되어 게이트 전극(241)을 감쌀 수 있다. 게이트 배리어 층(231)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속

속을 포함할 수 있다.

- [0060] 게이트 전극(241)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속, 금속 합금 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다. 예를 들어, 게이트 전극(241)은 알루미늄, 알루미늄 합금, 또는 알루미늄 화합물을 포함할 수 있다.
- [0061] 게이트 스페이서(171)는 게이트 표면 절연층(211) 및 게이트 절연층(221)의 측벽들 상에 형성될 수 있다. 게이트 스페이서(171)는 기판(100)의 표면과 접촉할 수 있다. 게이트 스페이서(171)는 실리콘 산화물 또는 실리콘 질화물의 단일층 또는 그 조합의 이중층을 포함할 수 있다.
- [0062] 게이트 구조체(200)의 상부 표면은 평탄할 수 있다. 예를 들어, 게이트 절연층(221), 게이트 배리어 층(231), 게이트 전극(241) 및/또는 게이트 스페이서(171)의 상부 표면들은 동일한 레벨에 위치할 수 있다.
- [0063] 저항 구조체(300)는 저항 절연층(226), 저항 배리어 층(336), 및 저항 전극(346)을 포함할 수 있다. 저항 구조체(300)는 저항 스페이서(172)를 더 포함할 수 있다. 저항 구조체(300)는 저항 표면 절연층(216)을 더 포함할 수도 있다.
- [0064] 저항 표면 절연층(216)은 필드 영역(120)의 표면 상에 수평으로 연장하는 모양으로 형성될 수 있다. 저항 표면 절연층(216)은 증착된 실리콘 산화물을 포함할 수 있다. 저항 표면 절연층(216)은 생략될 수도 있다.
- [0065] 저항 절연층(226)은 저항 표면 절연층(226) 또는 활성 영역(120) 상에 직접적으로 형성될 수 있다. 저항 절연층(226)은 "U" 자 형태로 형성되어 저항 배리어 층(336)을 감쌀 수 있다. 저항 절연층(236)은 hafnium 산화물 (HfO), lanthanum 산화물(LaO), aluminum 산화물 (AlO) 같은 금속 산화물을 포함할 수 있다.
- [0066] 저항 배리어 층(336)은 "U" 자 또는 "□" 자 형태로 형성되어 저항 전극(346)을 감쌀 수 있다. 저항 배리어 층(336)은 titanium(Ti), titanium 질화물(TiN), tantalum(Ta), tantalum 질화물(TaN), titanium 텅스텐(TiW) 또는 기타 배리어용 금속을 포함할 수 있다.
- [0067] 저항 전극(346)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속, 금속 합금, 금속 실리사이드 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다. 예를 들어, 저항 전극(346)은 텅스텐 또는 텅스텐 실리사이드를 포함할 수 있다.
- [0068] 저항 스페이서(172)는 저항 표면 절연층(216) 및 저항 절연층(226)의 측벽들 상에 형성될 수 있다. 저항 스페이서(172)는 필드 영역(120)의 표면과 접촉할 수 있다. 저항 스페이서(172)는 실리콘 산화물 또는 실리콘 질화물의 단일층 또는 그 조합의 이중층을 포함할 수 있다.
- [0069] 저항 구조체(300)의 상부 표면은 평탄할 수 있다. 예를 들어, 저항 절연층(226), 저항 배리어 층(336), 저항 전극(346) 및/또는 저항 스페이서(172)의 상부 표면들은 동일한 레벨에 위치할 수 있다.
- [0070] 게이트 구조체(200)의 상부 표면과 저항 구조체(300)의 상부 표면은 동일할 수 있다. 예를 들어, 게이트 절연층(221), 게이트 배리어 층(231), 게이트 전극(241), 게이트 스페이서(171), 저항 절연층(226), 저항 배리어 층(336), 저항 전극(346) 및/또는 저항 스페이서(172)의 상부 표면들은 동일한 레벨에 위치할 수 있다.
- [0071] 커버링 층(180)이 게이트 스페이서(171) 및 저항 스페이서(172)의 외면들 상에 컨포멀하게 형성될 수 있다. 커버링 층(180)은 기판(100)의 표면 및 필드 영역(120)의 표면과 접촉할 수 있다. 커버링 층(180)의 상부 표면도 게이트 구조체(200) 및 저항 구조체(300)의 상부 표면과 동일할 수 있다. 커버링 층(180)은 실리콘 산화물을 포함할 수 있다.
- [0072] 소스/드레인 영역(400)이 게이트 구조체들(200)의 사이에 위치한 기판(100) 내에 형성될 수 있다. 소스/드레인 영역(400)은 기판(100) 내에 형성된 하부 소스/드레인 영역(410) 및 하부 소스/드레인 영역(410) 상에 형성된 상부 소스/드레인 영역(420)을 포함할 수 있다. 소스/드레인 영역(400)은 상부 소스/드레인 영역(420) 내에 형성된 실리사이드 영역(430)을 더 포함할 수 있다. 소스/드레인 영역(400)은 인(P, phosphorous), 비소(As, arsenic), 또는 붕소(B, boron) 같은 주기율표의 3족 또는 5족 원자를 포함할 수 있다. 상부 소스/드레인 영역(420)은 에피택셜 성장한 단결정 실리콘을 포함할 수 있다. 실리사이드 영역(430)은 니켈, 텅스텐, 티타늄, 코발트 같은 금속을 함유하는 금속 실리사이드를 포함할 수 있다.
- [0073] 하부 층간 절연층(450)이 커버링 층(180)의 외측면을 덮도록 기판(100) 상에 형성될 수 있다. 하부 층간 절연층(450)의 상부 표면은 게이트 구조체(200)의 상부 표면과 동일할 수 있다. 하부 층간 절연층(450)은 실리콘 산화물을 포함할 수 있다.

- [0074] 버퍼 층간 절연층(460)이 하부 층간 절연층(450), 게이트 구조체(200), 및 저항 구조체(300) 상에 형성될 수 있다. 중간 층간 절연층(470)이 버퍼 층간 절연층(460) 상에 형성될 수 있다. 상부 층간 절연층(480)이 중간 층간 절연층(470) 상에 형성될 수 있다. 하부 층간 절연층(450)은 실리콘 산화물을 포함할 수 있다. 버퍼 층간 절연층(460)은 탄소를 함유하는 실리콘 산화물을 포함할 수 있다. 하부 층간 절연층(450)과 버퍼 층간 절연층(460)은 일체형(unitary)으로 형성될 수도 있다. 상부 층간 절연층(480)은 실리콘 산화물을 포함할 수 있다.
- [0075] 소스/드레인 트렌치 플러그(310)는 중간 층간 절연층(470) 및 버퍼 층간 절연층(460)을 수직으로 관통하고 상부 소스/드레인 영역(430)과 전기적으로 연결되도록 접촉할 수 있다. 소스/드레인 트렌치 플러그(310)는 소스/드레인 트렌치 홀(THsd)의 내벽 및 상부 소스/드레인 영역(420) 또는 실리사이드 영역(430) 상에 컨포멀하게 형성된 소스/드레인 트렌치 배리어 층(331) 및 소스/드레인 트렌치 홀(THsd)을 채우는 소스/드레인 트렌치 전극(341)을 포함할 수 있다. 소스/드레인 트렌치 배리어 층(331)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 포함할 수 있다. 소스/드레인 트렌치 전극(341)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다.
- [0076] 저항 트렌치 플러그(320)는 중간 층간 절연층(470) 및 버퍼 층간 절연층(460)을 수직으로 관통하고 저항 전극(346)과 전기적으로 연결되도록 접촉할 수 있다. 저항 트렌치 플러그(320)는 저항 트렌치 홀(THr)의 내벽 및 저항 전극(346) 상에 컨포멀하게 형성된 저항 트렌치 배리어 층(332) 및 저항 트렌치 홀(THr)을 채우는 저항 트렌치 전극(342)을 포함할 수 있다. 저항 트렌치 배리어 층(332)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 포함할 수 있다. 저항 트렌치 전극(342)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다. 저항 트렌치 배리어 층(332)은 저항 배리어 층(336)과 물질적으로(materially) 연속하도록(in continuity with) 일체형(unitary)일 수 있다. 저항 트렌치 전극(342)은 저항 전극(346)과 물질적으로 연속하도록 일체형일 수 있다.
- [0077] 소스/드레인 콘택 플러그(510)는 상부 층간 절연층(480)을 수직으로 관통하여 소스/드레인 트렌치 플러그(310)와 정렬 및 전기적으로 연결되도록 접촉할 수 있다. 소스/드레인 콘택 플러그(510)는 소스/드레인 콘택 홀(CHsd)의 내벽 및 소스/드레인 트렌치 플러그(310) 상에 컨포멀하게 형성된 소스/드레인 콘택 배리어 층(531) 및 소스/드레인 콘택 홀(CHsd)을 채우는 소스/드레인 콘택 전극(541)을 포함할 수 있다. 소스/드레인 콘택 배리어 층(531)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 포함할 수 있다. 소스/드레인 콘택 전극(541)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다.
- [0078] 저항 콘택 플러그(520)는 상부 층간 절연층(480), 중간 층간 절연층(470), 및 버퍼 층간 절연층(460)을 수직으로 관통하여 저항 구조체(300)와 전기적으로 연결되도록 접촉할 수 있다. 저항 콘택 플러그(520)는 저항 구조체(300)의 양 단부와 인접하게 배치될 수 있다. 저항 콘택 플러그(520)는 저항 콘택 홀(CHr)의 내벽 및 저항 배리어 층(536) 상에 컨포멀하게 형성된 저항 콘택 배리어 층(532) 및 저항 콘택 홀(CHr)을 채우는 저항 콘택 전극(542)을 포함할 수 있다. 저항 콘택 배리어 층(532)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 포함할 수 있다. 저항 콘택 전극(542)은 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 포함할 수 있다.
- [0079] 상부 층간 절연층(480) 상에 소스/드레인 콘택 플러그(512) 및 저항 콘택 플러그(520)를 덮는 캡핑 절연층(490)이 더 형성될 수 있다. 캡핑 절연층(490)은 실리콘 산화물, 탄소를 함유하는 실리콘 산화물, 실리콘 질화물, 기타 절연물을 포함할 수 있다.
- [0080] 도 3a 내지 3d는 본 발명의 일 실시예에 의한 반도체 소자(10b)를 개략적으로 도시한 종단면도들이다. 예를 들어, 도 3a 내지 3d는 도 1b의 VII-VII', VIII-VIII', IX-IX', X-X', XI-XI', 및 XII-XII' 방향의 종단면도들이다.
- [0081] 도 1b 및 3a 내지 3d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10b)는, 하나의 소스/드레인 트렌치 플러그(310) 상에 형성된 다수의 소스/드레인 콘택 플러그들(510)을 포함할 수 있다. 반도체 소자(10b)는 저항 트렌치 플러그(320) 상에 형성된 저항 콘택 플러그(520)를 포함할 수 있다. 저항 콘택 플러그(520)의 저항 콘택 배리어 층(532)은 저항 트렌치 플러그(320)의 저항 트렌치 전극(342)과 전기적으로 연결되도록 직접적으로 접촉

할 수 있다.

- [0082] 본 발명의 실시예들에 의한 반도체 소자들(10a, 10b)은 금속, 금속 실리사이드, 또는 금속 화합물을 포함하는 저항 구조체(300)를 포함할 수 있다. 따라서, 저항 구조체(300)는 낮은 저항을 가질 수 있으므로 미세하게 형성될 수 있다. 반도체 소자들(10a, 10b)은 게이트 구조체(200)와 동일하거나 유사한 모양의 저항 구조체(300)를 포함할 수 있다. 따라서, 저항 구조체(300)는 게이트 구조체(200)를 형성하는 공정을 이용하여 형성될 수 있고, 게이트 구조체(200)처럼 정교한 크기와 정확한 저항 값을 가질 수 있다.
- [0083] 도 4 내지 23d는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 개략적으로 설명하는 종단면도들이다. 예를 들어, 도 4 내지 16, 및 17a 내지 24a는 도 1a의 I-I' 및 II-II' 방향의 종단면도들이고, 도 17b 내지 24b는 도 1a의 III-III' 방향의 종단면도들이고, 도 17c 내지 24c는 도 1a의 IV-IV' 방향의 종단면도들이고, 및 도 21d 내지 24d는 도 1a의 V-V' 및 VI-VI' 방향의 종단면도들이다.
- [0084] 도 4를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 기판(100) 내에 활성 영역(110)을 정의하는 필드 영역(120)을 형성하고, 기판(100)의 활성 영역(110) 및 필드 영역(120) 상에 버퍼 절연층(130a)을 형성하고, 버퍼 절연층(130a) 상에 희생층(140a)을 형성하고, 희생층(140a) 상에 하드 마스크 층(150a)을 형성하고, 및 하드 마스크 층(150a) 상에 마스크 패턴(Mp)을 형성하는 것을 더 포함할 수 있다. 기판(100)은 벌크(bulk) 실리콘 웨이퍼 또는 SOI (silicon on insulator) 기판을 포함할 수 있다. 필드 영역(120)을 형성하는 것은 기판(110) 내에 필드 트렌치(121)를 형성하고, 필드 트렌치(121) 내에 내부에 필드 절연물(125)을 채우고, 및 CMP (chemical mechanical polishing) 같은 평탄화 공정을 수행하여 기판(100)의 활성 영역(110) 표면과 필드 영역(120)의 표면을 동일하거나 유사하게 하는 것을 포함할 수 있다. 필드 절연물(125)은 USG (undoped silicate glass) 또는 TOSZ (tonen silazane) 같은 실리콘 산화물을 포함할 수 있다. 버퍼 절연층(130a)을 형성하는 것은 기판(100)의 활성 영역(110) 및 필드 영역(120) 상에 ALD (atomic layered deposition) 공정 또는 MLD (molecular layered deposition) 공정 같은 증착 공정을 수행하여 실리콘 산화물을 형성하는 것을 포함할 수 있다. 희생층(140a)을 형성하는 것은 저압 CVD 공정 (LP-CVD process, low pressure CVD process) 등을 수행하여 다결정 실리콘을 형성하는 것을 포함할 수 있다. 하드 마스크 층(150a)을 형성하는 것은, CVD 공정 등을 수행하여 실리콘 질화물을 형성하는 것을 포함할 수 있다. 마스크 패턴(Mp)을 형성하는 것은, 포토리소그래피 공정을 수행하여 포토레지스트 패턴을 형성하는 것을 포함할 수 있다.
- [0085] 도 5를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 마스크 패턴(Mp)을 식각 마스크로 하드 마스크 층(150a)을 식각하여 하드 마스크 패턴(150)을 형성하는 것을 포함할 수 있다. 이후, 마스크 패턴(Mp)은 제거될 수 있다.
- [0086] 도 6을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 하드 마스크 패턴(150a)을 식각 마스크로 이용하여 희생층(140a), 및 버퍼 절연층(130a)을 식각하여 제1 예비 구조체들(160)을 형성하는 것을 포함할 수 있다. 제1 예비 구조체(160)들은 적층된 버퍼 절연 패턴(130), 희생 패턴(140), 및 하드 마스크 패턴(150)을 포함할 수 있다. 이 공정에서, 하드 마스크 패턴(150)은 얇아질 수 있다.
- [0087] 도 7을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 제1 예비 구조체들(160) 상에 스페이서 층(170)을 형성하는 것을 포함할 수 있다. 스페이서 층(170)은 제1 예비 구조체들(160)의 표면들 및 활성 영역(110) 및 필드 영역(120)의 표면 상에 콘포멀하게 형성될 수 있다. 스페이서 층(170)은 실리콘 산화물, 실리콘 질화물, 또는 그 이종층을 포함할 수 있다. 예를 들어, 제1 예비 구조체들(160)의 표면 상에 실리콘 산화물이 직접적으로 형성되고, 실리콘 산화물 상에 실리콘 질화물이 형성될 수 있다. 본 발명을 이해하기 쉽도록하기 위하여, 도면에는 스페이서 층(170)이 실리콘 질화물을 포함하는 단일층인 것으로 가정, 도시된다.
- [0088] 도 8를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 에치-백 공정을 이용하여 스페이서 층(170)을 블랭킷(blanket) 식각하여 제2 예비 구조체들(190a, 190b)을 형성하는 것을 포함할 수 있다. 제2 예비 구조체들(190a, 190b)은 기판(100)의 활성 영역(110) 및 필드 영역(120) 상에 각각 형성된 제1 예비 구조체들(160) 및 스페이서들(171, 172)을 포함할 수 있다. 예를 들어, 제2 예비 구조체들(190a, 190b)은 제1 예비 구조체(160)와 게이트 스페이서(171)를 포함하는 게이트용 제2 예비 구조체(190a, second preliminary structure for gates) 및 제1 예비 구조체(160)와 저항 스페이서(172)를 포함하는 저항용 제2 예비 구조체(190b, second preliminary structure for resistors)를 포함할 수 있다.
- [0089] 도 9를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 제2 예비 구조체들(190a, 190b)을 덮는 커버링 층(180)을 형성하는 것을 포함할 수 있다. 기판(100)의 활성 영역(110)의 표면의 일부가 커버

링 층(180)으로 덮이지 않고 노출될 수 있다. 커버링 층(180)을 형성하는 것은 ALD 공정 같은 증착 공정을 수행하여 실리콘 산화물을 컨포멀하게 형성하는 것을 포함할 수 있다. 기판(100)의 활성 영역(110)의 표면을 노출하는 것은 포토리소그래피 공정 또는 에치-백 공정을 수행하는 것을 포함할 수 있다. 도면에는 예시적으로 에치-백 공정이 수행된 것으로 가정, 도시되었다.

[0090] 도 10을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 노출된 기판(100)의 활성 영역(110) 내에 불순물 원자를 주입하여 게이트용 제2 예비 구조체(190a)의 양 측면에 인접한 활성 영역(110) 내에 하부 소스/드레인 영역(410)을 형성하는 것을 포함할 수 있다. 불순물 원자를 주입하는 것은 이온 임플란테이션 공정 (ion implantation process) 또는 이온 확산 공정 (ion diffusion process)를 수행하여 인(P, phosphorous), 비소(As, arsenic), 또는 붕소(B, boron) 같은 주기율표의 3족 또는 5족 원자를 기판(100)의 활성 영역(110) 내에 주입하는 것을 포함할 수 있다.

[0091] 도 11을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 선택적 에피택셜 성장 공정을 수행하여 하부 소스/드레인 영역(410) 상에 상부 소스/드레인 영역(420)을 형성하는 것을 포함할 수 있다. 예를 들어, 상부 소스/드레인 영역(420)은 에피택셜 성장한 단결정 실리콘을 포함할 수 있다.

[0092] 도 12를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 제2 예비 구조체들(190a, 190b), 상부 소스/드레인 영역(420), 및 커버링 층(180)을 덮는 하부 층간 절연층(450)을 형성하고, CMP 공정을 수행하여 하드 마스크 패턴(150)을 노출하는 것을 포함할 수 있다. 하부 층간 절연층(450)을 형성하는 것은 증착 공정 또는 코팅 공정을 수행하여 실리콘 산화물을 형성하는 것을 포함할 수 있다.

[0093] 도 13을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 제2 예비 구조체들(190a, 190b)의 하드 마스크 패턴(150), 희생 패턴(140), 및 버퍼 절연 패턴(130)을 제거하여 전극 공간(SE)을 형성하는 것을 포함할 수 있다. 전극 공간(SE)은 기판(100)의 표면, 게이트 스페이서(171), 및/또는 커버링 층(180), 또는 필드 영역(120)의 표면, 저항 스페이서(172), 및/또는 커버링 층(180)에 의해 정의될 수 있다. 하드 마스크 패턴(150)을 제거하는 것은 CF_4 , C_2F_6 , C_3F_6 , C_4F_8 등, 탄소(C)와 불소(F)를 포함하는 가스 및/또는 CHF_3 등, 탄소(C), 수소(H), 및 불소(F)를 포함하는 가스를 이용하는 건식 식각 공정, 또는 인산(H_3PO_4)을 이용하는 습식 공정을 수행하는 것을 포함할 수 있다. 희생 패턴(140)을 제거하는 것은 염소 이온(Cl^-) 또는 염소 라디칼(Cl^*)을 이용하여 건식 식각 공정을 수행하는 것을 포함할 수 있다. 버퍼 절연 패턴(130)을 제거하는 것을 CF_4 , C_2F_6 , C_3F_6 , C_4F_8 등, 탄소(C)와 불소(F)를 포함하는 가스 및/또는 CHF_3 등, 탄소(C), 수소(H), 및 불소(F)를 포함하는 가스를 이용하는 건식 식각 공정, 또는 불산(HF)을 이용하는 습식 공정을 수행하는 것을 포함할 수 있다.

[0094] 도 14를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 전극 공간(SE)을 채우도록 게이트 표면 절연층(211)을 형성하는 것을 포함할 수 있다. 게이트 표면 절연층(211)을 형성하는 것은 열 산화 공정 또는 플라즈마 산화 공정을 수행하여 전극 공간(SE) 내에 노출된 기판(100)의 활성 영역(110)의 표면을 산화시키거나, 실리콘 산화물을 증착하는 것을 포함할 수 있다. 산화 공정을 이용하는 경우, 필드 영역(120) 상에는 저항 표면 절연층(216)이 형성되지 않을 수 있다. 본 도면에서는 본 발명의 기술적 사상을 이해하기 쉽도록 하기 위하여, 필드 영역(120) 상에 저항 표면 절연층(216)이 형성된 것으로 간주, 설명될 것이다. 필드 영역(120) 및 저항 표면 절연층(216)은 모두 실리콘 산화물을 포함하는 절연물들이므로 저항 표면 절연층(216)의 존재/부존재가 이후에 설명될 본 발명의 기술적 사상에 영향을 주지 않는다.

[0095] 도 15를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 전극 공간(SE) 내에 제1 절연 물질층(220), 제1 배리어 물질층(230), 및 제1 전극 물질층(240)을 형성하는 것을 포함할 수 있다. 제1 절연 물질층(220)을 형성하는 것은 ALD 같은 증착 공정을 수행하여 hafnium 산화물(HfO), lanthanum 산화물(LaO), aluminum 산화물 (AlO) 같이 실리콘 산화물보다 높은 유전율을 갖는 금속 산화물을 표면 절연층들(211, 216) 및 스페이서들(171, 172) 상에 컨포멀하게 형성하는 것을 포함할 수 있다. 제1 절연 물질층(220)은 커버링 층(180)의 노출된 측면들 하부 층간 절연층(450) 상에도 형성될 수 있다. 저항 표면 절연층(216)이 생략된 경우, 제1 절연 물질층(220)은 필드 영역(120)의 표면 상에 직접적으로 형성될 수 있다. 제1 배리어 물질층(230)을 형성하는 것은 ALD 같은 증착 공정을 수행하여 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 형성하는 것을 포함할 수 있다. 제1 전극 물질층(240)을 형성하는 것은 CVD 또는 PVD 같은 증착 공정을 수행하여 알루미늄, 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 전극 공간(SE)을 채우도록 형성하는 것을 포함할 수 있다.

- [0096] 도 16을 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, CMP 같은 평탄화 공정을 수행하여 활성 영역(110) 상의 게이트 구조체(200) 및 필드 영역(120) 상의 제3 예비 구조체(260)를 형성하는 것을 포함할 수 있다. 예를 들어, CMP 공정을 수행하여, 제1 전극 물질층(240)은 게이트 전극(241) 및 예비 저항 전극(246)으로 변환될 수 있고, 제1 배리어 물질층(230)은 게이트 배리어 층(231) 및 예비 저항 배리어 층(236)으로 변환될 수 있고, 및 제1 절연 물질층(220)은 게이트 절연층(221) 및 저항 절연층(226)으로 변환될 수 있다. 따라서, 게이트 구조체(200)는 기판(100)의 활성 영역(110) 상에 형성된 게이트 표면 절연층(211), 게이트 절연층(221), 게이트 배리어 층(231), 게이트 전극층(241), 및 게이트 스페이서(171)를 포함할 수 있다. 제3 예비 구조체(260)는 필드 영역(120) 상에 형성된 저항 표면 절연층(216), 예비 저항 절연층(226), 예비 저항 배리어 층(236), 예비 저항 전극(246), 및 저항 스페이서(172)를 포함할 수 있다.
- [0097] 도 17a 내지 17c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 게이트 구조체(200), 제3 예비 구조체(260) 및 하부 층간 절연층(450) 상에 버퍼 층간 절연층(460), 중간 층간 절연층(470) 및 트렌치 마스크 패턴(Mt)을 형성하고, 상부 소스/드레인 영역(420)을 노출하는 소스/드레인 트렌치 홀(THsd) 및 제3 예비 구조체(260)의 예비 저항 전극(246)의 상면들을 노출하는 저항 트렌치 홀(THr)을 형성하는 것을 포함할 수 있다. 저항 트렌치 홀(THr)은 트렌치 모양으로 넓거나 길게 형성될 수도 있고, 홀 모양으로 좁거나 짧게 형성될 수도 있다. 버퍼 층간 절연층(460)은 하부 층간 절연층(450) 및 중간 층간 절연층(470)과 식각 선택비를 갖는 물질을 포함할 수 있다. 버퍼 층간 절연층(460)은 하부 층간 절연층(450) 및 중간 층간 절연층(470)보다 낮은 유전율을 갖는 물질을 포함할 수 있다. 예를 들어, 버퍼 층간 절연층(460)은 탄소를 함유하는 실리콘 산화물(SiOC)을 포함할 수 있다. 중간 층간 절연층(470)은 실리콘 산화물을 포함할 수 있다. 트렌치 마스크 패턴(Mt)은 포토레지스트 같은 유기물, 또는 실리콘 질화물 또는 실리콘 산질화물 같은 무기물을 포함할 수 있다.
- [0098] 도 18a 내지 18c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 제3 예비 구조체(260)의 예비 저항 전극(246) 및 예비 저항 배리어 층(236)을 저항 트렌치 홀(THr)을 통하여 제거하여 저항 공간(SR)을 형성하는 것을 포함할 수 있다. 이 공정에서, 트렌치 마스크 패턴(Mt)도 제거될 수 있다. 이 공정은 황산(H₂SO₄) 용액, SC-1(standard cleaning) 용액, 또는 구연산 용액 등을 포함하는 습식 식각 공정을 포함할 수 있다. SC-1 용액은 과산화수소수, 암모니아수, 및 물을 포함할 수 있다.
- [0099] 도 19a 내지 19c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 상부 소스/드레인 영역(420) 내에 실리사이드 영역(430)을 형성하는 것을 포함할 수 있다. 실리사이드 영역(430)을 형성하는 것은 상부 소스/드레인 영역(420) 상에 니켈, 텅스텐, 티타늄, 코발트 같은 금속을 형성하고, 실리시테이션 반응 공정을 수행하여 실리사이드 영역(430)을 형성하고, 및 반응하지 않은 금속을 제거하는 것을 포함할 수 있다. 따라서, 예를 들어, 실리사이드 영역(430)은 니켈 실리사이드, 코발트 실리사이드, 텅스텐 실리사이드, 또는 티타늄 실리사이드를 포함할 수 있다. 이 공정에서, 상부 소스/드레인 영역(420)은 전체적 또는 부분적으로 실리사이드 영역(430)으로 변환될 수 있다.
- [0100] 도 20a 내지 20c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 소스/드레인 트렌치 홀(THsd), 저항 공간(SR), 및 저항 트렌치 홀(THr)을 채우는 제2 배리어 물질층(330) 및 제2 전극 물질층(340)을 형성하는 것을 포함할 수 있다. 제2 배리어 물질층(330)을 형성하는 것은 증착 공정을 수행하여 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 저항 공간(SR) 및 트렌치 홀들(THsd, THr)의 내벽들 상에 컨포멀하게 형성하는 것을 포함할 수 있다. 제2 전극 물질층(340)을 형성하는 것은 증착 공정을 수행하여 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨, 또는 그 외 다양한 금속, 텅스텐 실리사이드, 티타늄 실리사이드, 니켈 실리사이드, 코발트 실리사이드 같은 금속 실리사이드 및/또는 금속 질화물 같은 금속 화합물을 저항 공간(SR) 및 트렌치 홀들(THsd, THr)을 채우도록 형성하는 것을 포함할 수 있다.
- [0101] 도 21a 내지 21d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, CMP 같은 평탄화 공정을 수행하여 저항 구조체(300), 소스/드레인 트렌치 플러그(310) 및 저항 트렌치 플러그(320)를 형성하고, 및 상부 층간 절연층(480)을 형성하는 것을 포함할 수 있다. 제2 배리어 물질층(330)은 소스/드레인 트렌치 배리어 층(331), 저항 트렌치 배리어 층(332), 및 저항 배리어 층(336)으로 변환될 수 있다. 제2 전극 물질층(340)은 소스/드레인 전극(341), 저항 트렌치 전극(342), 및 저항 전극(346)으로 변환될 수 있다. 저항 구조체(300)는 필드 영역(120) 상에 형성된 저항 절연층(226), 저항 배리어 층(336), 저항 전극(346)을 포함할 수 있다. 저항 구조체(300)는 저항 스페이서(172)를 더 포함할 수 있다. 저항 구조체(300)는 저항 표면 절연층(216)을 더 포함할 수 있다. 소스/드레인 트렌치 플러그(310)는 소스/드레인 트렌치 배리어 층(331) 및 소스/드레인 트렌치 전

극(341)을 포함할 수 있다. 저항 트렌치 플러그(320)는 저항 트렌치 배리어 층(332) 및 저항 트렌치 전극(342)을 포함할 수 있다. 저항 트렌치 배리어 층(332)과 저항 배리어 층(336)은 물질적으로 연속하도록 일체형으로 형성될 수 있다. 저항 트렌치 전극(342)과 저항 전극(346)도 물질적으로 연속하도록 일체형으로 형성될 수 있다. 상부 층간 절연층(480)은 실리콘 산화물을 포함할 수 있다.

[0102] 도 22a 내지 22d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHr), 및 게이트 컨택 홀(CHg)을 형성하는 것을 포함할 수 있다. 소스/드레인 컨택 홀(CHsd)은 상부 층간 절연층(480)을 수직으로 관통하여 소스/드레인 트렌치 플러그(310)의 상면을 노출할 수 있다. 저항 컨택 홀(CHr)은 상부 층간 절연층(480), 중간 층간 절연층(470), 및 버퍼 층간 절연층(460)을 수직으로 관통하여 저항 배리어 층(336)을 노출할 수 있다. 게이트 컨택 홀(CHg)은 상부 층간 절연층(480), 중간 층간 절연층(470), 및 버퍼 층간 절연층(460)을 수직으로 관통하여 게이트 전극(241)을 노출할 수 있다.

[0103] 도 23a 내지 23d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHr), 및 게이트 컨택 홀(CHg) 내에 컨택 배리어 물질층(530) 및 컨택 전극 물질층(540)을 형성하는 것을 포함할 수 있다. 컨택 배리어 물질층(530)을 형성하는 것은 증착 공정을 수행하여 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHr), 및 게이트 컨택 홀(CHg)의 내벽들 상에 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄 텅스텐(TiW) 또는 기타 배리어용 금속을 컨포멀하게 형성하는 것을 포함할 수 있다. 컨택 전극 물질층(540)을 형성하는 것은 증착 공정을 수행하여 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHr), 및 게이트 컨택 홀(CHg)을 채우도록 텅스텐, 구리, 니켈, 코발트, 알루미늄, 티타늄, 탄탈륨 같은 금속 및/또는 금속 질화물 같은 금속 화합물을 형성하는 것을 포함할 수 있다.

[0104] 도 24a 내지 24d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, CMP 같은 평탄화 공정을 수행하여 소스/드레인 컨택 플러그(510), 저항 컨택 플러그(520), 및 게이트 컨택 플러그(550)를 형성하는 것을 포함할 수 있다. 컨택 배리어 물질층(530)은 소스/드레인 컨택 배리어 층(531), 저항 컨택 배리어 층(532), 및 게이트 컨택 배리어 층(535)으로 변환될 수 있다. 컨택 전극 물질층(540)은 소스/드레인 컨택 전극(541), 저항 컨택 전극(542), 및 게이트 컨택 전극(545)으로 변환될 수 있다. 이후, 도 2a 내지 2d를 더 참조하여, 캡핑 절연층(490)을 형성하는 것을 포함할 수 있다.

[0105] 도 25a 내지 32d는 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법을 개략적으로 설명하는 종단면도들이다. 예를 들어, 도 25a 내지 32a는 도 1b의 VII-VII' 및 VIII-VIII' 방향의 종단면도들이고, 도 125b 내지 32b는 도 1b의 IX-IX' 방향의 종단면도들이고, 도 25c 내지 32c는 도 1b의 X-X' 방향의 종단면도들이고, 및 도 29d 내지 32d는 도 1b의 XI-XI' 및 XII-XII' 방향의 종단면도들이다.

[0106] 본 발명의 일 실시예에 의한 반도체 소자의 제조 방법은, 먼저, 도 4 내지 16을 참조하여 설명된 공정들을 수행하는 것을 포함할 수 있다.

[0107] 이어서, 도 25a 내지 25c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 17a 내지 17c를 참조하여 설명된 공정들을 수행하여 게이트 구조체(200), 제3 예비 구조체(260) 및 하부 층간 절연층(450) 상에 버퍼 층간 절연층(460), 중간 층간 절연층(470) 및 트렌치 마스크 패턴(Mt)을 형성하고, 상부 소스/드레인 영역(420)을 노출하는 소스/드레인 트렌치 홀(THsd) 및 제3 예비 구조체(260)의 예비 저항 전극(246)의 상면들을 노출하는 저항 트렌치 홀(THr)을 형성하는 것을 포함할 수 있다. 도 25c를 더 참조하면, 저항 트렌치 홀(THr)은 제3 예비 구조체(260)의 양 단부들과 인접한 위치에 더 배치될 수 있다.

[0108] 도 26a 내지 26c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 18a 내지 18c를 참조하여 설명된 공정들을 수행하여 제3 예비 구조체(260)의 예비 저항 전극(246) 및 예비 저항 배리어 층(236)을 저항 트렌치 홀(THr)을 통하여 제거하여 저항 공간(SR)을 형성하는 것을 포함할 수 있다.

[0109] 도 27a 내지 27c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 19a 내지 19c를 참조하여 설명된 공정들을 수행하여 상부 소스/드레인 영역(420) 내에 실리사이드 영역(430)을 형성하는 것을 포함할 수 있다.

[0110] 도 28a 내지 28c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 20a 내지 20c를 참조하여 설명된 공정들을 수행하여 소스/드레인 트렌치 홀(THsd), 저항 공간(SR), 및 저항 트렌치 홀(THr)을 채우는 제2 배리어 물질층(330) 및 제2 전극 물질층(340)을 형성하는 것을 포함할 수 있다.

[0111] 도 29a 내지 29d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 21a 내지 21d를 참조하여 설명된 공정들을 수행하여 저항 구조체(300), 소스/드레인 트렌치 플러그(310) 및 저항 트렌치 플러그

들(320, 325)를 형성하고, 및 상부 층간 절연층(480)을 형성하는 것을 포함할 수 있다. 도 29c를 더 참조하면, 저항 트렌치 플러그들(320, 325)은 저항 구조체(300) 또는 저항 전극(346)의 중간 영역에 위치한 이너 저항 트렌치 플러그(320) 및 아우터 저항 트렌치 플러그(325)를 포함할 수 있다.

[0112] 도 30a 내지 30d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 22a 내지 22d를 참조하여 설명된 공정들을 수행하여 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHR), 및 게이트 컨택 홀(CHg)을 형성하는 것을 포함할 수 있다. 도 30c를 더 참조하면, 저항 컨택 홀(CHR)은 아우터 저항 트렌치 플러그(325)를 노출시킬 수 있다.

[0113] 도 31a 내지 31d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 23a 내지 23d를 참조하여 설명된 공정들을 수행하여 소스/드레인 컨택 홀(CHsd), 저항 컨택 홀(CHR), 및 게이트 컨택 홀(CHg) 내에 컨택 배리어 물질층(530) 및 컨택 전극 물질층(540)을 형성하는 것을 포함할 수 있다.

[0114] 도 32a 내지 32d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 24a 내지 24d를 참조하여 설명된 공정들을 수행하여 소스/드레인 컨택 플러그(510), 저항 컨택 플러그(520), 및 게이트 컨택 플러그(550)를 형성하는 것을 포함할 수 있다. 도 32c를 더 참조하면, 저항 컨택 플러그(520)는 아우터 저항 트렌치 플러그(325)와 정렬 및 전기적으로 연결되도록 접촉할 수 있다. 이후, 도 3a 내지 3d를 더 참조하여, 캡핑 절연층(490)을 형성하는 것을 포함할 수 있다.

[0115] 본 발명의 실시예들에 의한 반도체 소자들의 제조 방법들은 게이트 구조체(200)를 형성하는 공정들을 이용하여 저항 구조체(300)를 형성하는 방법들을 제공할 수 있다. 게이트 구조체(200)를 형성하는 공정과 저항 구조체(300)를 형성하는 공정들이 서로 호환적으로 조합될 수 있으므로, 본 발명의 실시예들에 의한 반도체 소자들의 제조 방법들은 비교적 단순한 조합으로 적절한 금속성 저항 또는 금속성 전기 퓨즈를 형성하는 것을 제공할 수 있다.

[0116] 도 33a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함하는 반도체 모듈(2200)을 개념적으로 도시한 도면이다. 도 33a를 참조하면, 본 발명의 기술적 사상의 일 실시예에 의한 반도체 모듈(2200)은, 반도체 모듈 기판(2210) 상에 실장된 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 하나를 포함할 수 있다. 반도체 모듈(2200)은 모듈 기판(2210) 상에 실장된 마이크로프로세서(2220)를 더 포함할 수 있다. 모듈 기판(2210)의 적어도 한 변에는 입출력 터미널들(2240)이 배치될 수 있다. 마이크로프로세서(2220)는 본 발명의 실시예들에 의한 반도체 소자들(10a, 10b) 중 하나를 포함할 수 있다.

[0117] 도 33b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함하는 전자 시스템(2300)을 개념적으로 도시한 블록도이다. 도 33b를 참조하면, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b)은 전자 시스템(2300)에 적용될 수 있다. 전자 시스템(2300)은 바디(Body; 2310)를 포함할 수 있다. 바디(2310)는 마이크로프로세서(Microprocessor; 2320), 파워 서플라이(Power Supply; 2330), 기능 유닛(Function Unit; 2340), 및/또는 디스플레이 컨트롤러(Display Controller; 2350)를 포함할 수 있다. 바디(2310)는 인쇄 회로 기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다. 마이크로프로세서(2320), 파워 서플라이(2330), 기능 유닛(2340), 및 디스플레이 컨트롤러(2350)는 바디(2310)상에 실장 또는 장착될 수 있다. 바디(2310)의 상면 혹은 바디(2310)의 외부에 디스플레이(2360)가 배치될 수 있다. 예를 들면, 디스플레이(2360)은 바디(2310)의 표면 상에 배치되어 디스플레이 컨트롤러(2350)에 의해 프로세싱된 이미지를 표시할 수 있다. 파워 서플라이(2330)는 외부의 전원 등으로부터 일정 전압을 공급받아 이를 다양한 전압 레벨로 분기하여 마이크로프로세서(2320), 기능 유닛(2340), 디스플레이 컨트롤러(2350) 등으로 공급할 수 있다. 마이크로프로세서(2320)는 파워 서플라이(2330)로부터 전압을 공급받아 기능 유닛(2340)과 디스플레이(2360)를 제어할 수 있다. 기능 유닛(2340)은 다양한 전자 시스템(2300)의 기능을 수행할 수 있다. 예를 들어, 전자 시스템(2300)이 휴대폰 같은 모바일 전자 제품인 경우 기능 유닛(2340)은 다이얼링, 또는 외부 장치(External Apparatus; 2370)와의 교신으로 디스플레이(2360)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 무선 통신 기능을 수행할 수 있는 여러 구성 요소들을 포함할 수 있으며, 카메라를 포함하는 경우, 이미지 프로세서(Image Processor)의 역할을 할 수 있다. 다른 실시예에서, 전자 시스템(2300)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 기능 유닛(2340)은 메모리 카드 컨트롤러일 수 있다. 기능 유닛(2340)은 유선 혹은 무선의 통신 유닛(Communication Unit; 2380)을 통해 외부 장치(2370)와 신호를 주고 받을 수 있다. 또한, 전자 시스템(2300)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 기능 유닛(2340)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다. 본 발명의 기술적 사상에

의한 다양한 실시예들에서 설명된 반도체 소자들(10a, 10b)은 마이크로 프로세서(2320) 및 기능 유닛(2340) 중 적어도 어느 하나에 포함될 수 있다.

[0118] 도 33c는 본 발명의 기술적 사상이 적용된 일 실시예에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함하는 다른 전자 시스템(2400)을 개략적으로 도시한 블록도이다. 도 33c를 참조하면, 전자 시스템(2400)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함할 수 있다. 전자 시스템(2400)은 모바일 기기 또는 컴퓨터를 제조하는데 사용될 수 있다. 예를 들어, 전자 시스템(2400)은 메모리 시스템(2412), 마이크로프로세서(2414), 램(2416) 및 버스(2420)를 사용하여 데이터 통신을 수행하는 유저 인터페이스(2418)를 포함할 수 있다. 마이크로프로세서(2414)는 전자 시스템(2400)을 프로그램 및 컨트롤할 수 있다. 램(2416)은 마이크로프로세서(2414)의 동작 메모리로 사용될 수 있다. 예를 들어, 마이크로프로세서(2414) 또는 램(2416)은 본 발명의 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함할 수 있다. 마이크로프로세서(2414), 램(2416) 및/또는 다른 구성 요소들은 단일 패키지 내에 조립될 수 있다. 유저 인터페이스(2418)는 전자 시스템(2400)으로 데이터를 입력하거나 또는 전자 시스템(2400)으로부터 출력하는데 사용될 수 있다. 메모리 시스템(2412)은 마이크로프로세서(2414) 동작용 코드들, 마이크로프로세서(2414)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(2412)은 컨트롤러 및 메모리를 포함할 수 있다.

[0119] 도 33d는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나를 포함하는 모바일 디바이스(2500)을 개략적으로 도시한 도면이다. 모바일 디바이스(2500)는 모바일 폰 또는 태블릿 PC를 포함할 수 있다. 부가하여, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10a, 10b) 중 적어도 하나는 모바일 폰 또는 태블릿 PC 외에도, 노트북 같은 휴대용 컴퓨터, mpeg-1 오디오 레이어 3 (MP3) 플레이어, MP4 플레이어, 네비게이션 기기, 솔리드 스테이트 디스크(SSD), 테이블 컴퓨터, 자동차 및 가정용 가전 제품에 사용될 수 있다.

[0120] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

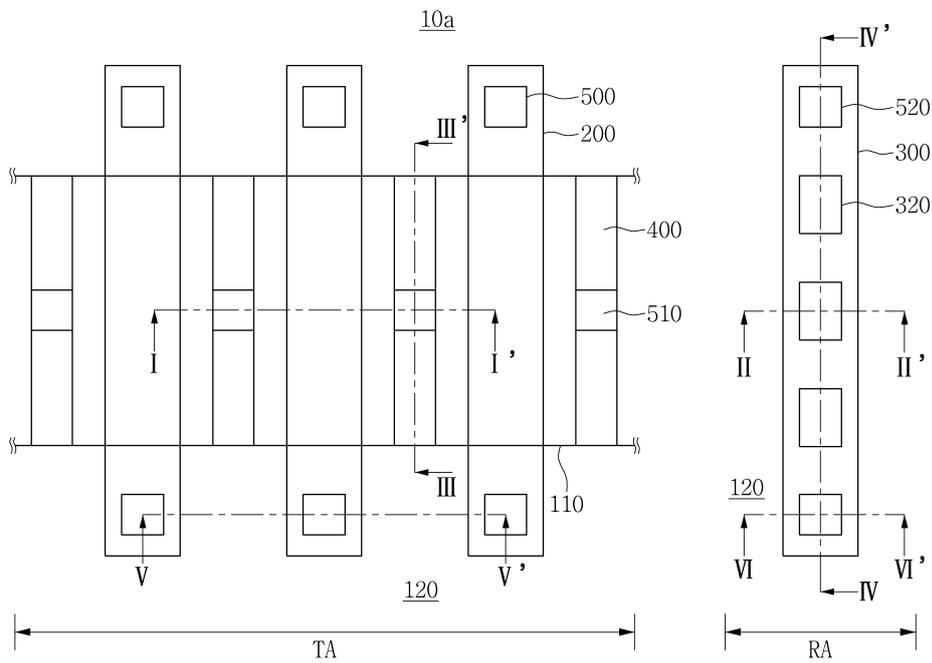
부호의 설명

[0121] 10A, 10B: 반도체 소자	100: 기관
110: 활성 영역	120: 필드 영역
121: 필드 트렌치	125: 필드 절연물
130a: 버퍼 절연층	130: 버퍼 절연 패턴
140a: 희생층	140: 희생 패턴
150a: 하드 마스크 층	150: 하드 마스크 패턴
160: 제1 예비 구조체들	170: 스페이서 층
171: 게이트 스페이서	172: 저항 스페이서
180: 커버링 층	190: 제2 예비 구조체들
200: 게이트 구조체	211: 게이트 표면 절연층
216: 저항 표면 절연층	220: 제1 절연 물질층
221: 게이트 절연층	226: 저항 절연층
230: 제1 배리어 물질층	231: 게이트 배리어 층
236: 예비 저항 배리어 층	240: 제1 전극 물질층
241: 게이트 전극	246: 예비 저항 전극
260: 제3 예비 구조체	300: 저항 구조체

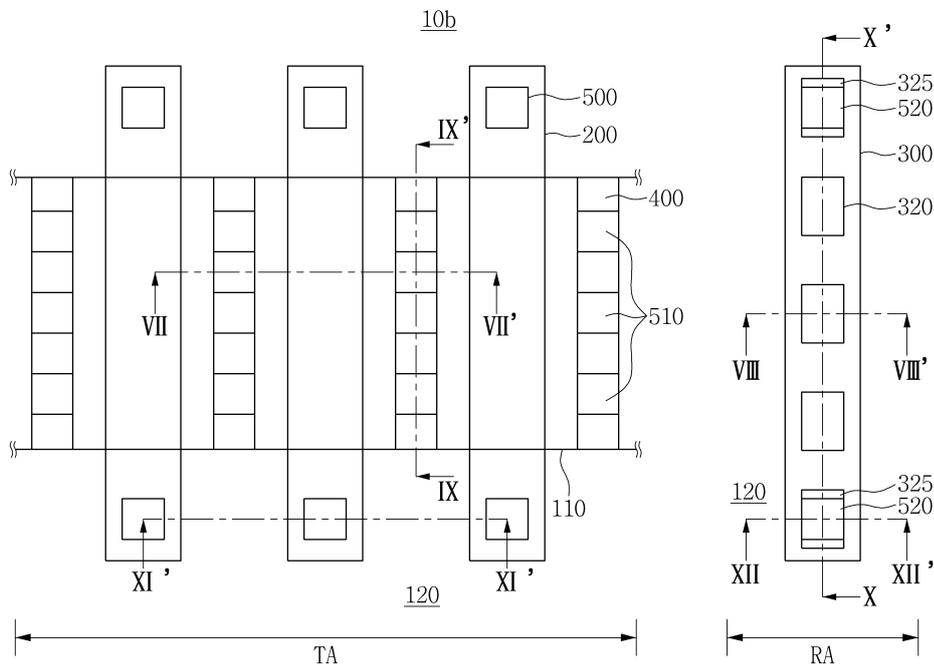
- 310: 소스/드레인 트렌치 플러그
 320, 325: 저항 트렌치 플러그
 330: 제2 배리어 물질층
 331: 소스/드레인 트렌치 배리어 층
 332: 저항 트렌치 배리어 층
 341: 소스/드레인 트렌치 전극
 336: 저항 배리어 층
 400: 소스/드레인 영역
 420: 상부 소스/드레인 영역
 450: 하부 층간 절연층
 470: 중간 층간 절연층
 490: 캡핑 절연층
 520: 저항 콘택 플러그
 532: 저항 콘택 배리어 층
 535: 게이트 콘택 배리어 층
 541: 소스/드레인 콘택 전극
 545: 게이트 전극
 TA: 트랜지스터 영역
 THsd: 소스/드레인 트렌치 홀
 CHsd: 소스/드레인 콘택 홀
 CHg: 게이트 콘택 홀
 SR: 저항 공간
 Mt: 트렌치 마스크 패턴
- 340: 제2 전극 물질층
 342: 저항 트렌치 전극
 346: 저항 전극
 410: 하부 소스/드레인 영역
 430: 실리사이드 영역
 460: 버퍼 층간 절연층
 480: 상부 층간 절연층
 510: 소스/드레인 콘택 플러그
 530: 콘택 배리어 물질층
 531: 소스/드레인 콘택 배리어 층
 540: 콘택 전극 물질층
 542: 저항 콘택 전극
 550 게이트 콘택 플러그
 RA: 저항 영역
 THr: 저항 트렌치 홀
 CHr: 저항 콘택 홀
 SE: 전극 공간
 Mp: 마스크 패턴

도면

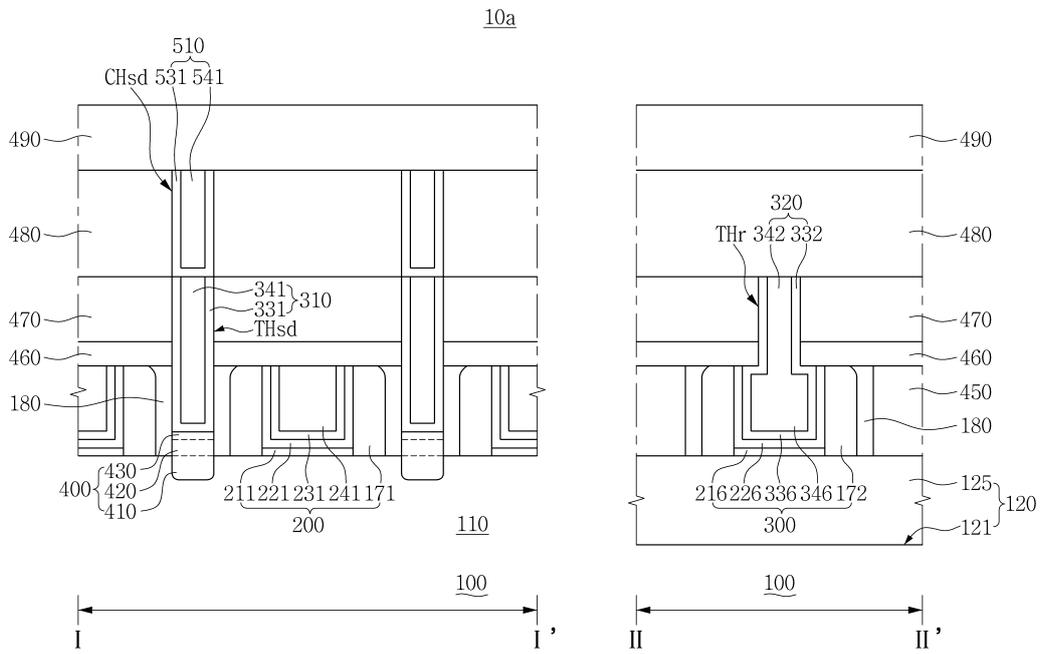
도면1a



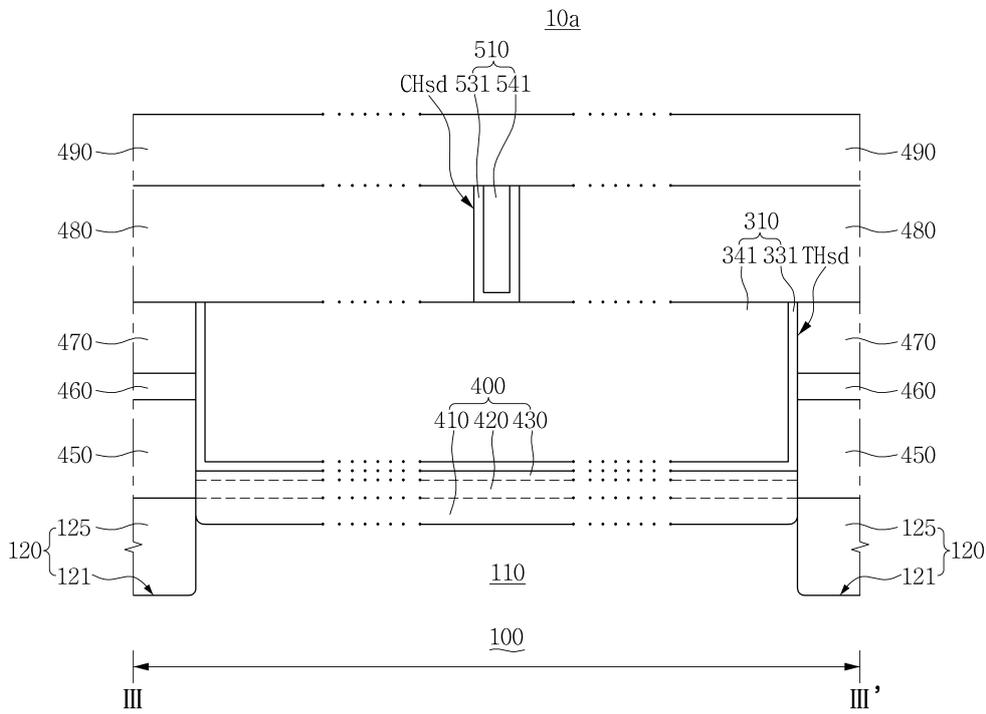
도면1b



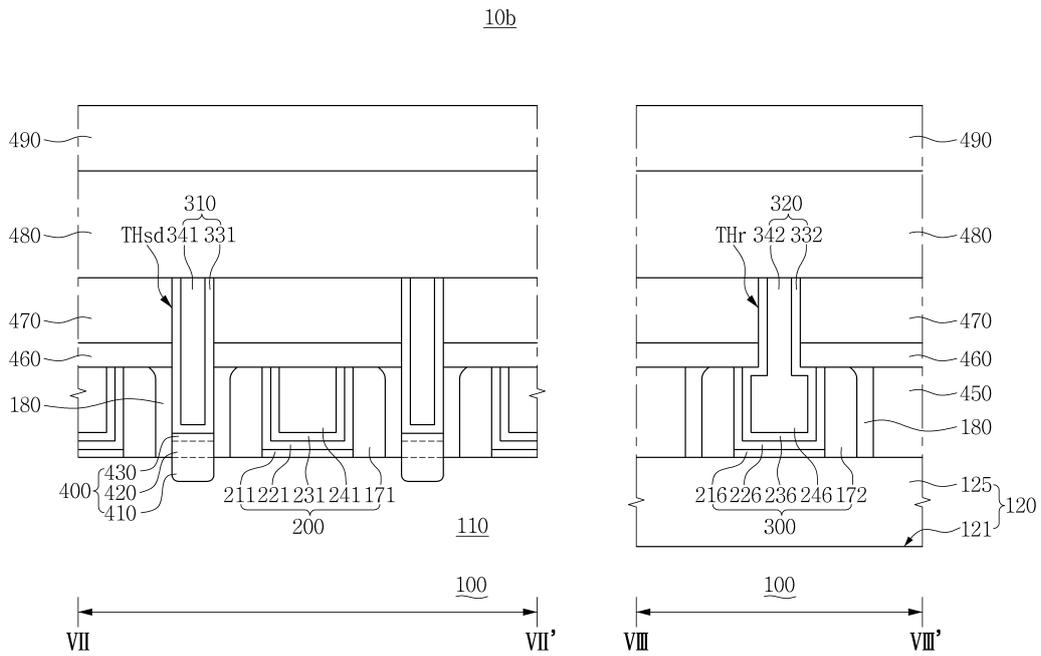
도면2a



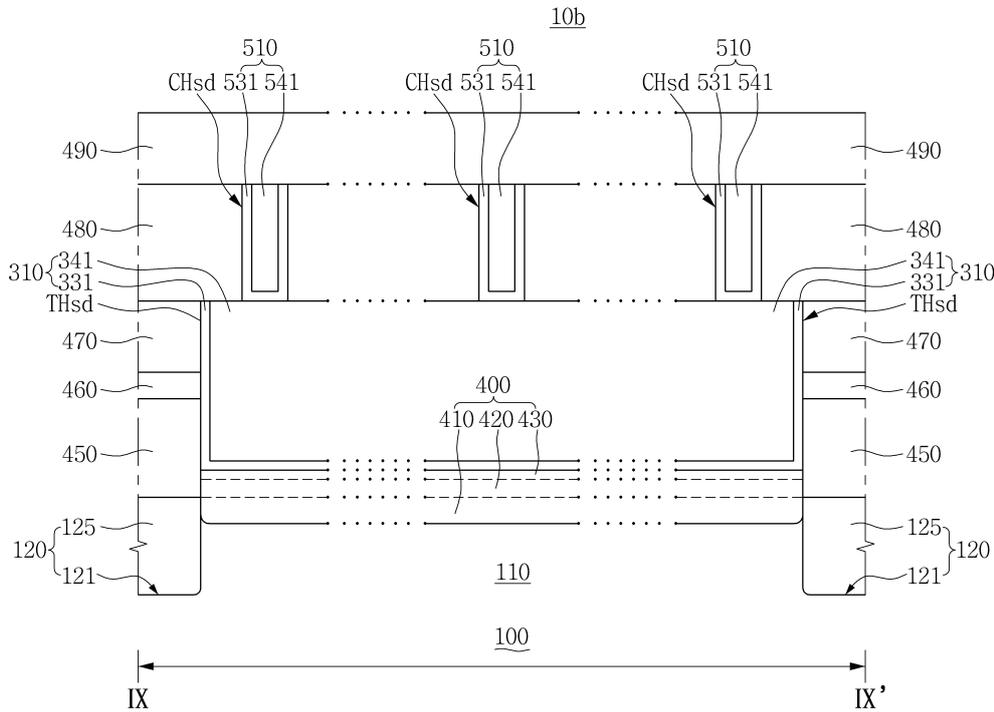
도면2b



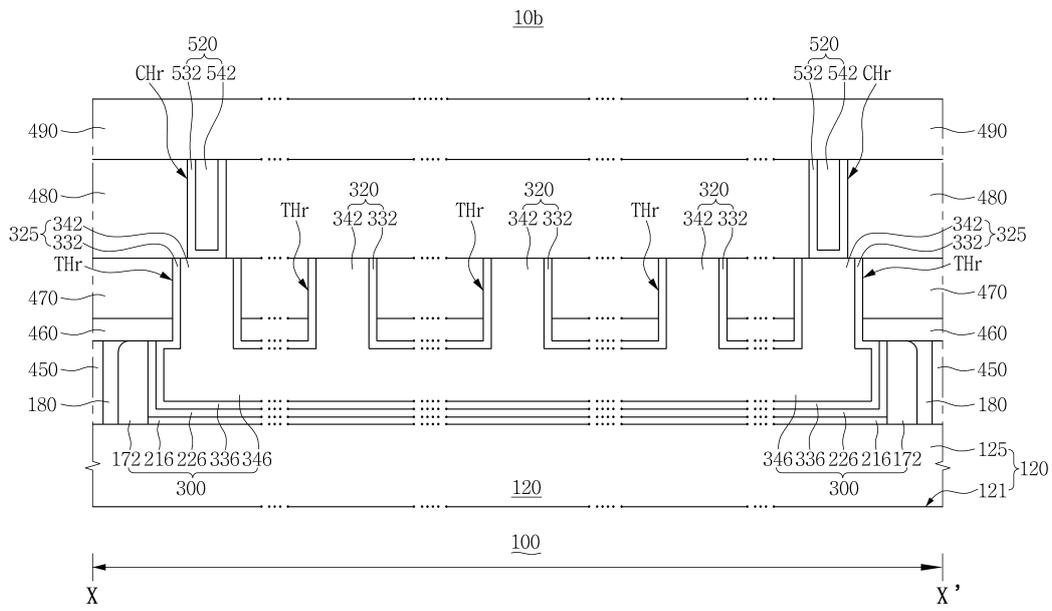
도면3a



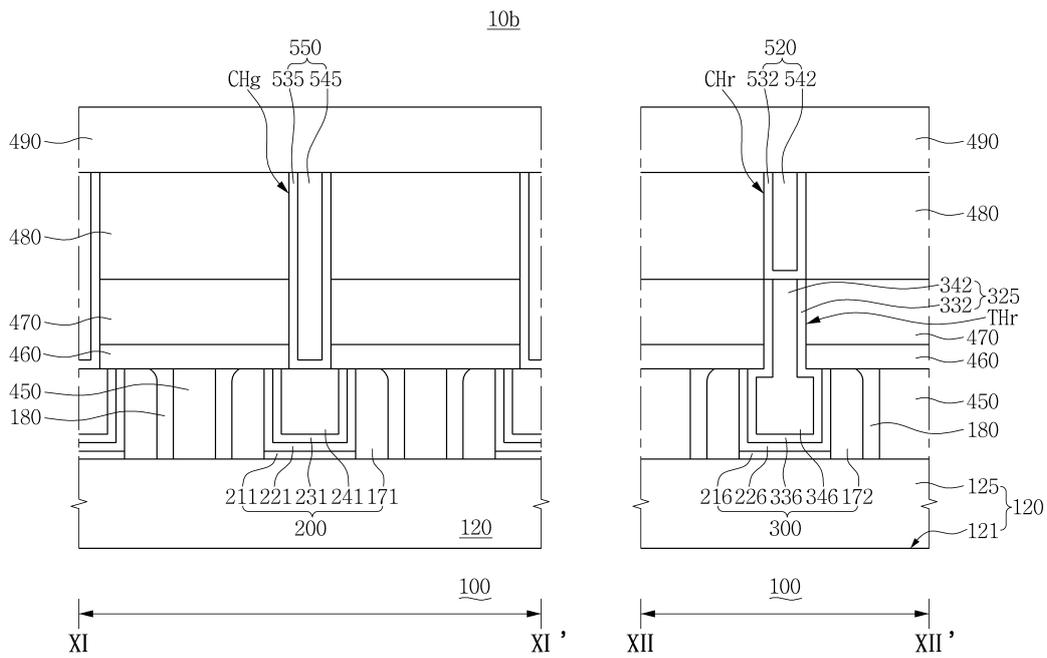
도면3b



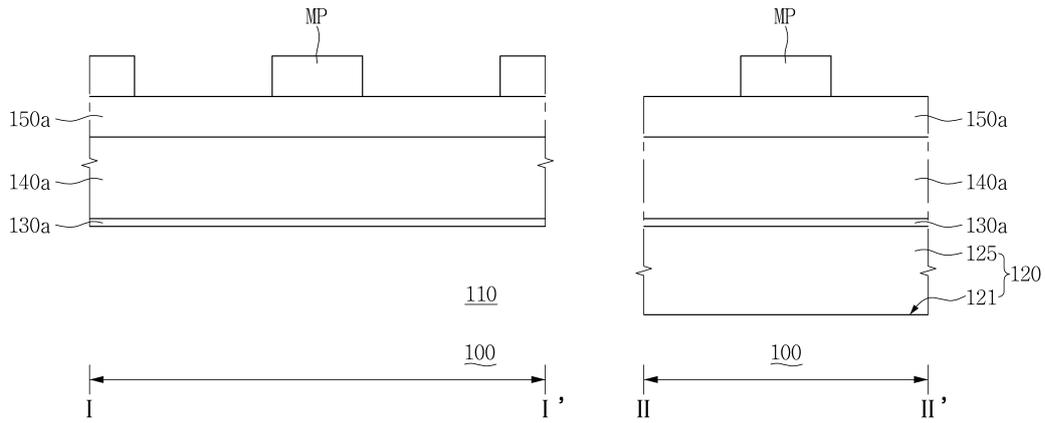
도면3c



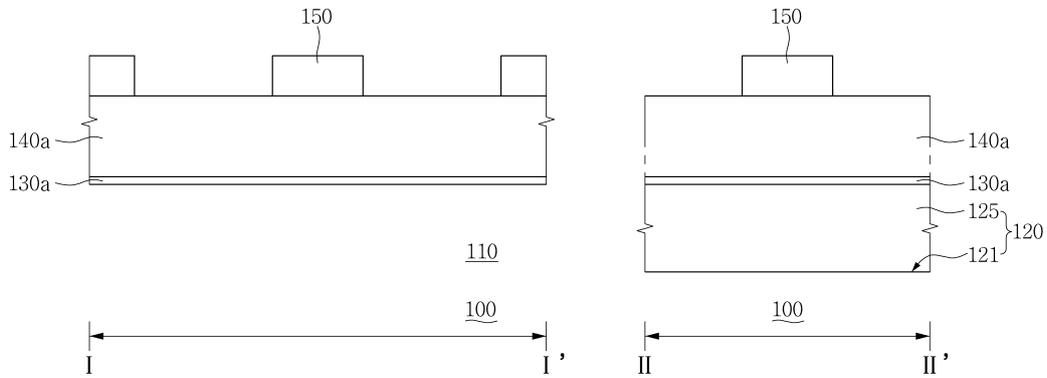
도면3d



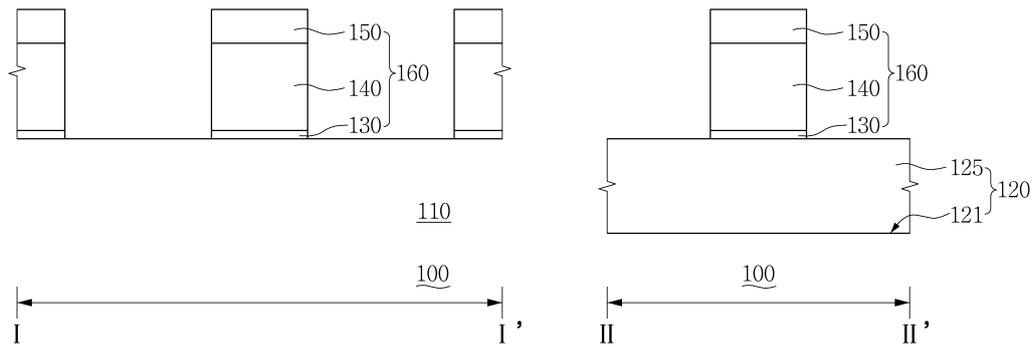
도면4



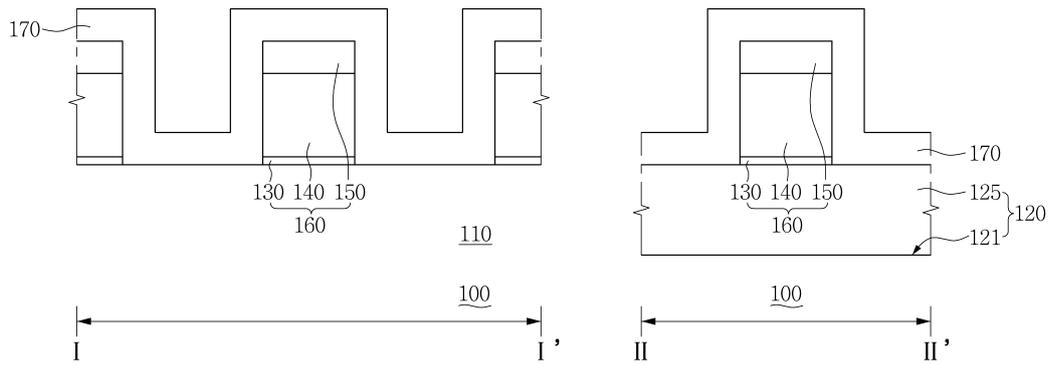
도면5



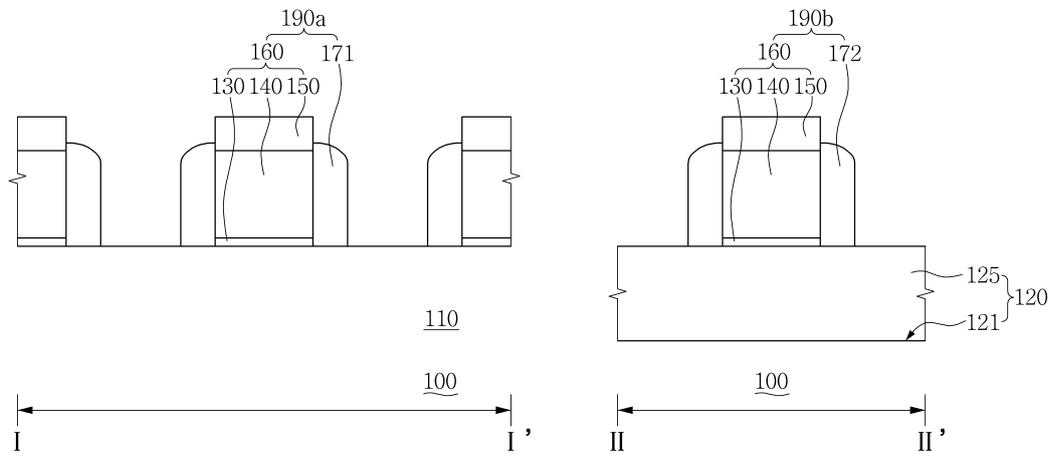
도면6



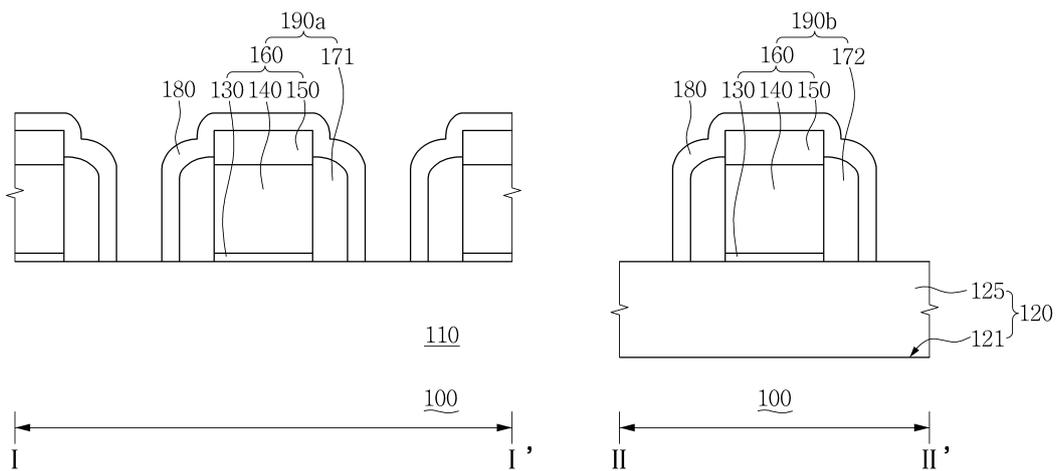
도면7



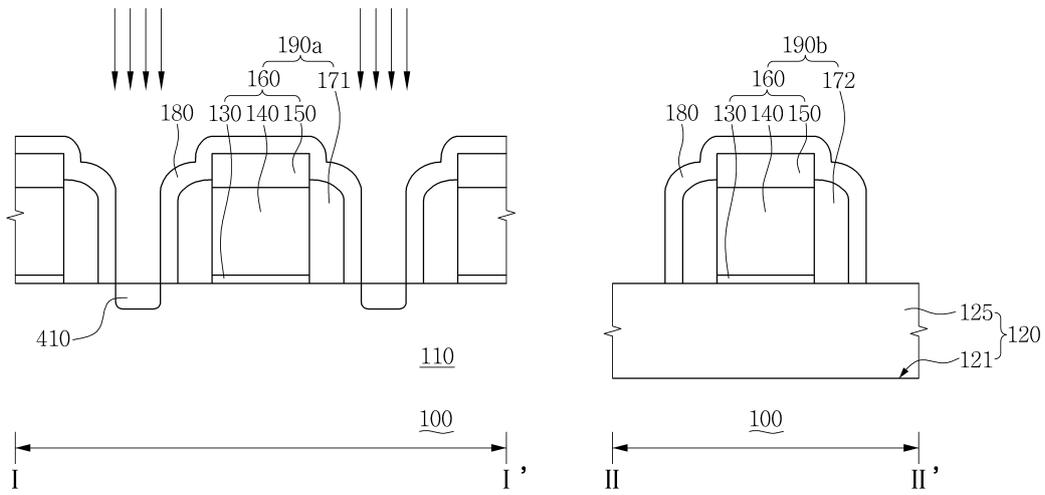
도면8



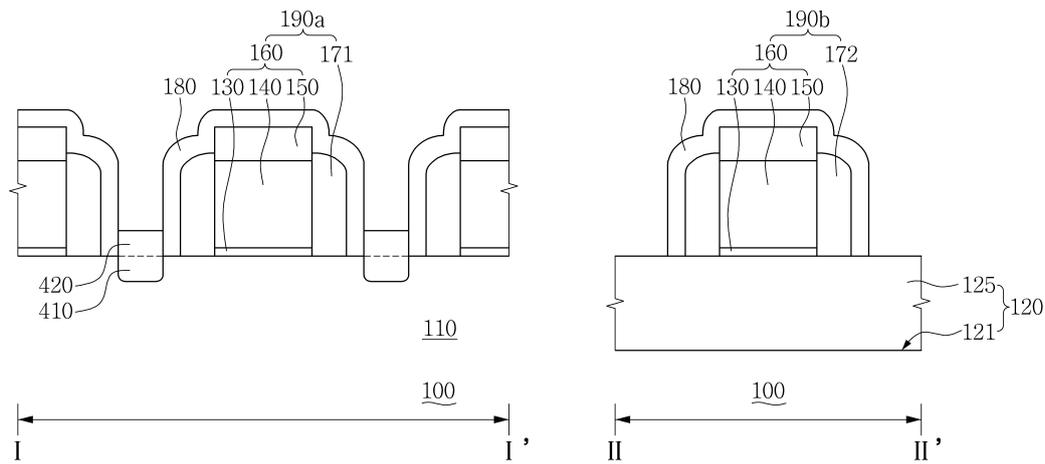
도면9



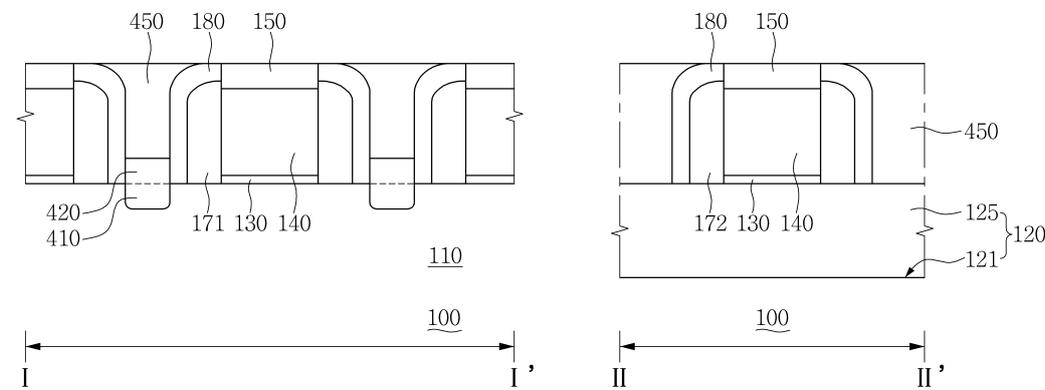
도면10



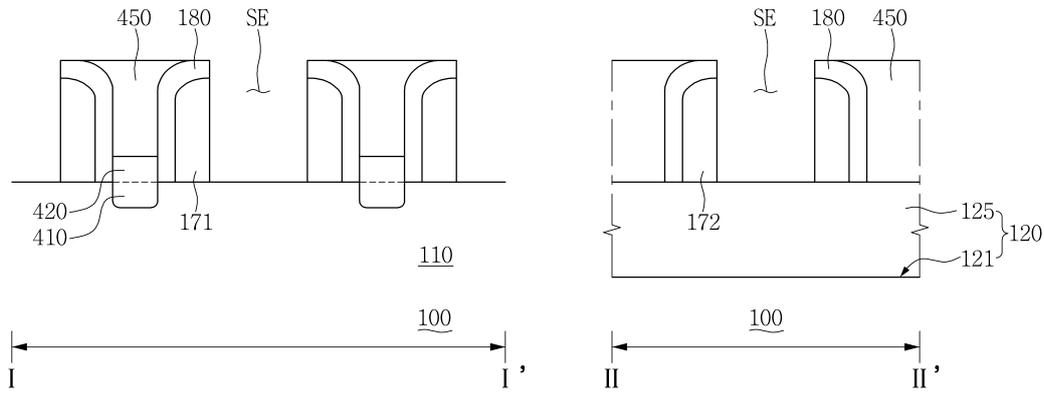
도면11



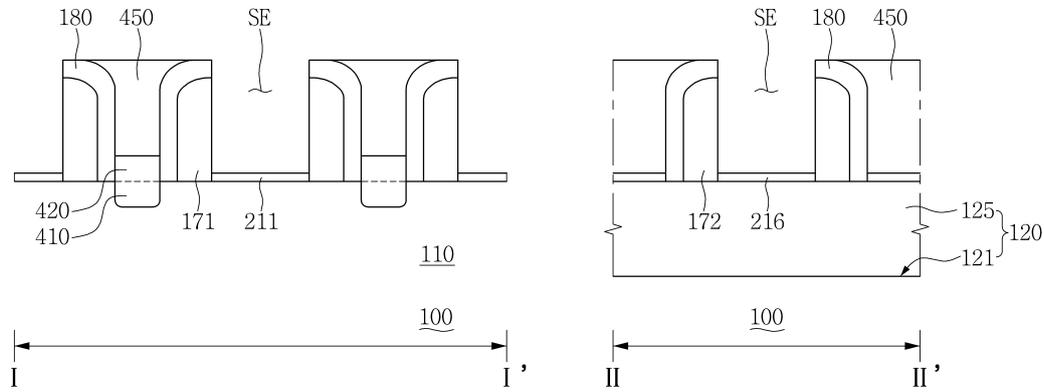
도면12



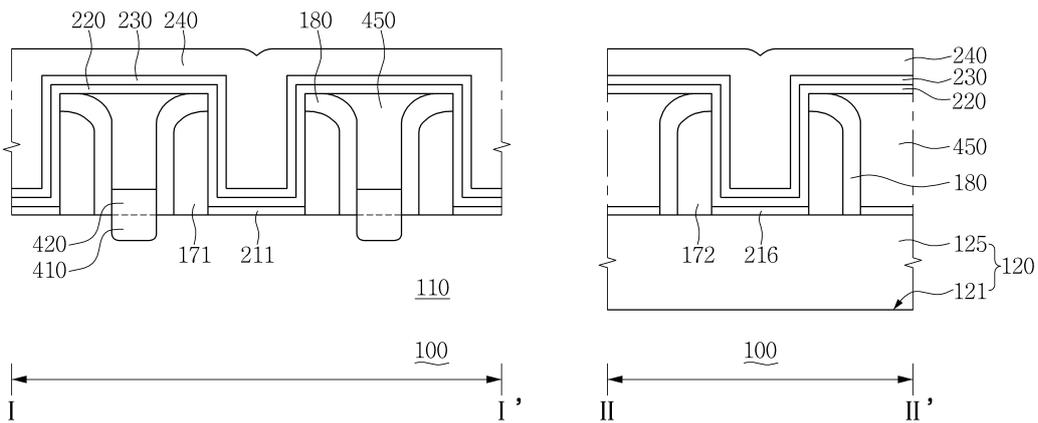
도면13



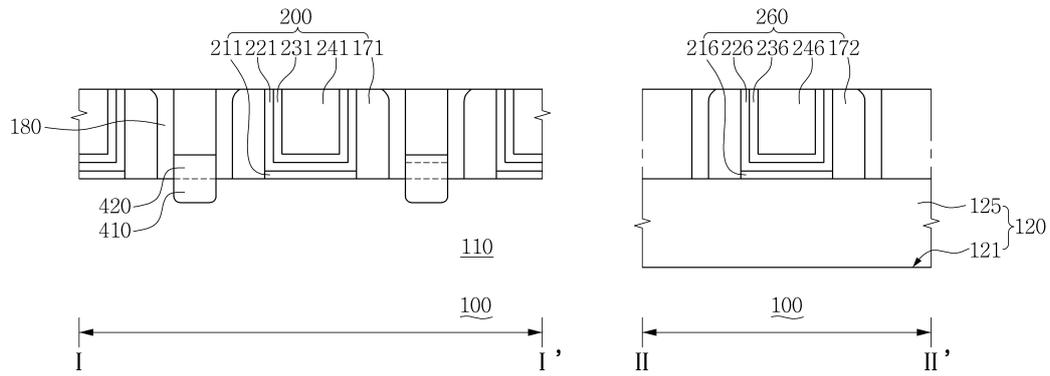
도면14



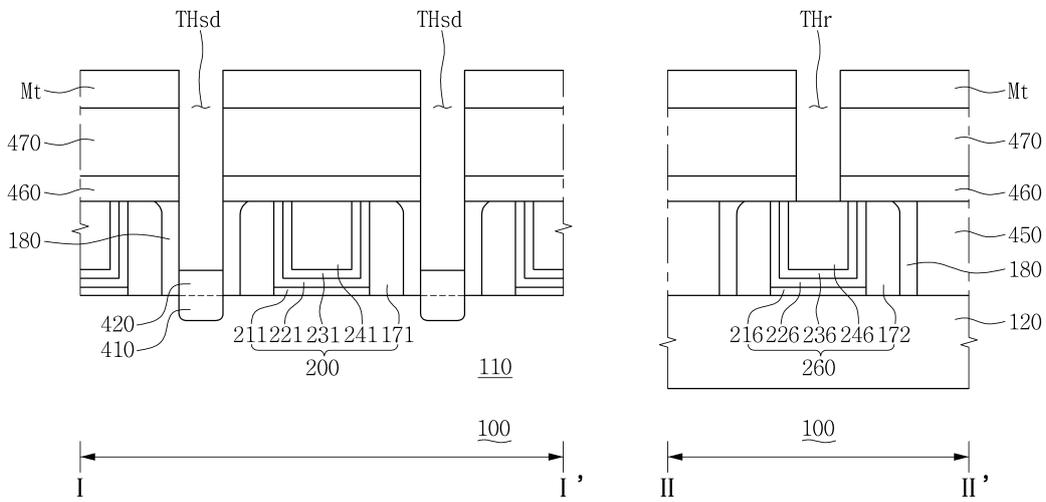
도면15



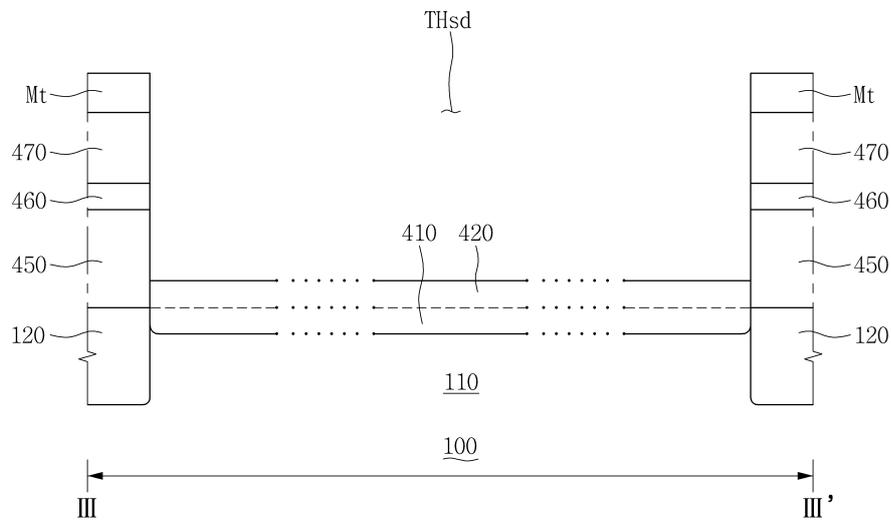
도면16



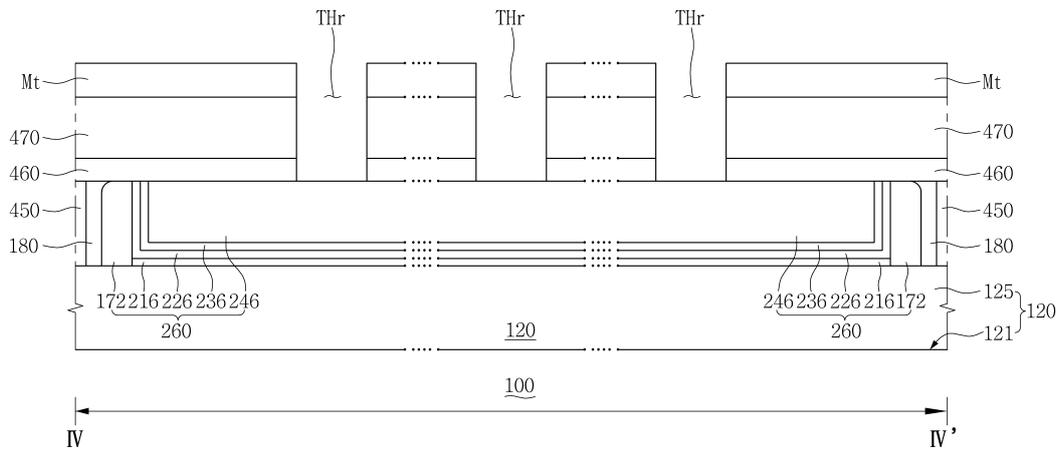
도면17a



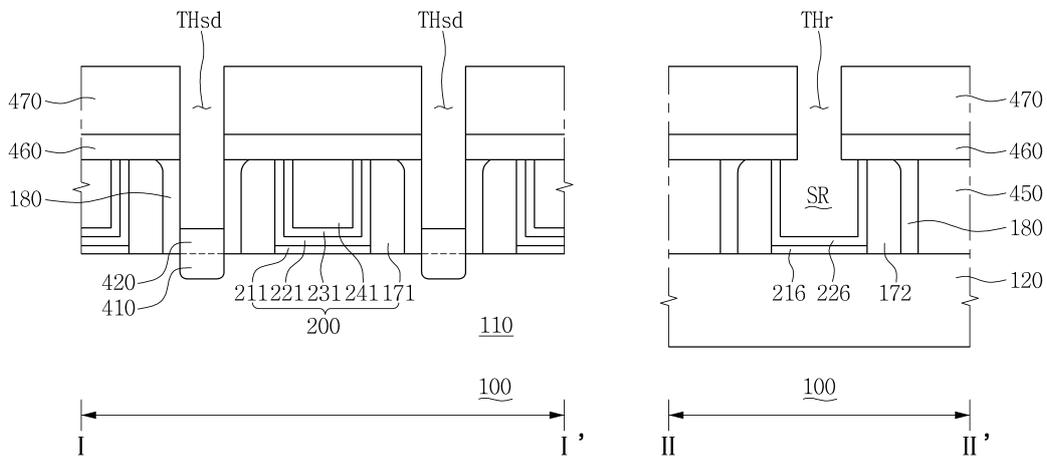
도면17b



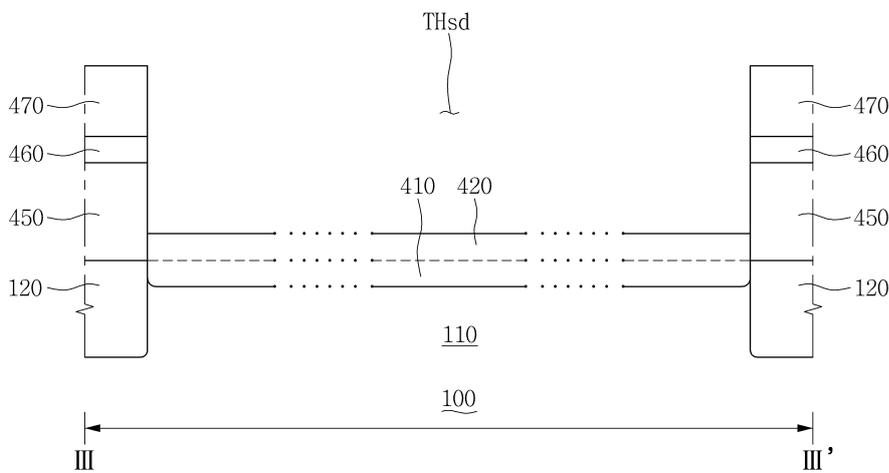
도면17c



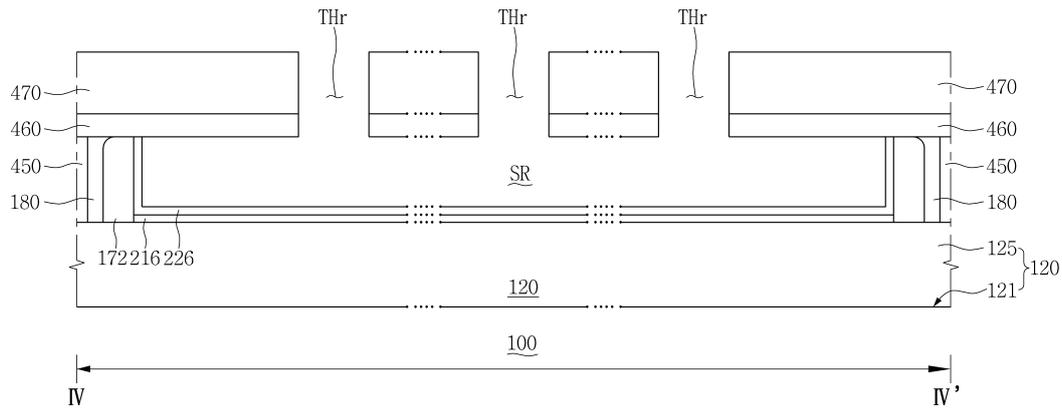
도면18a



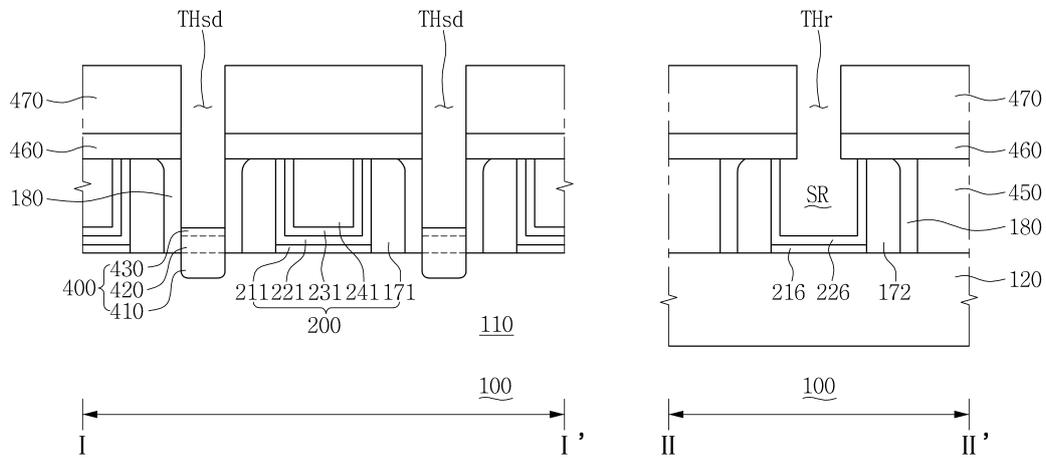
도면18b



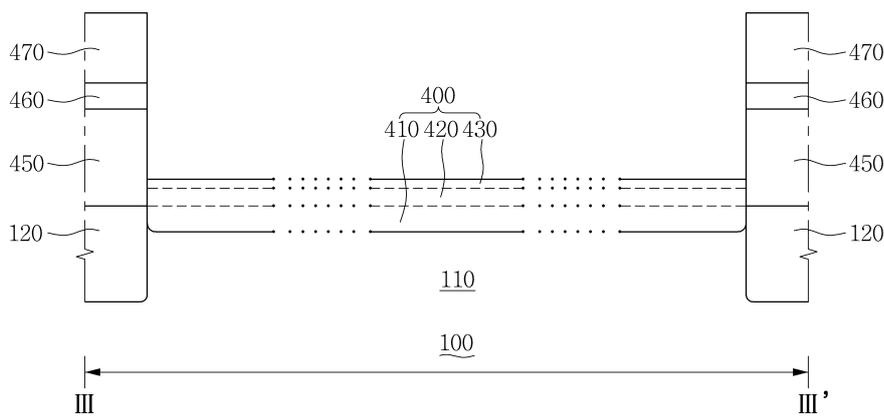
도면18c



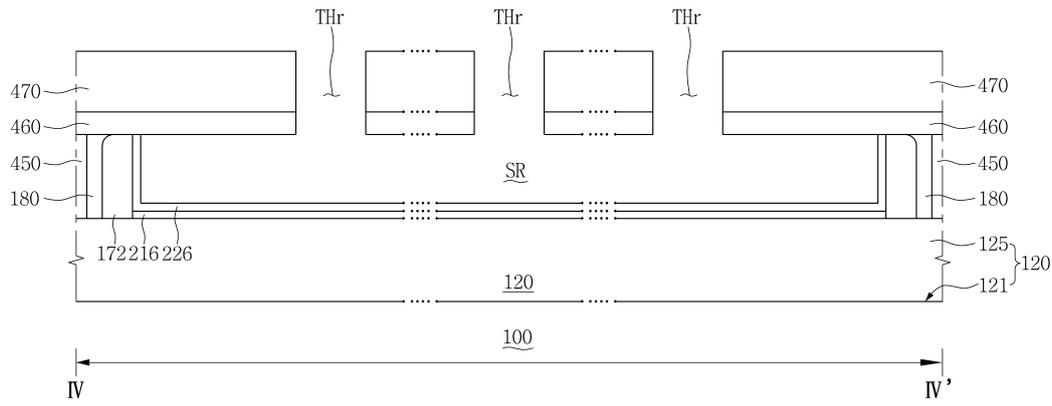
도면19a



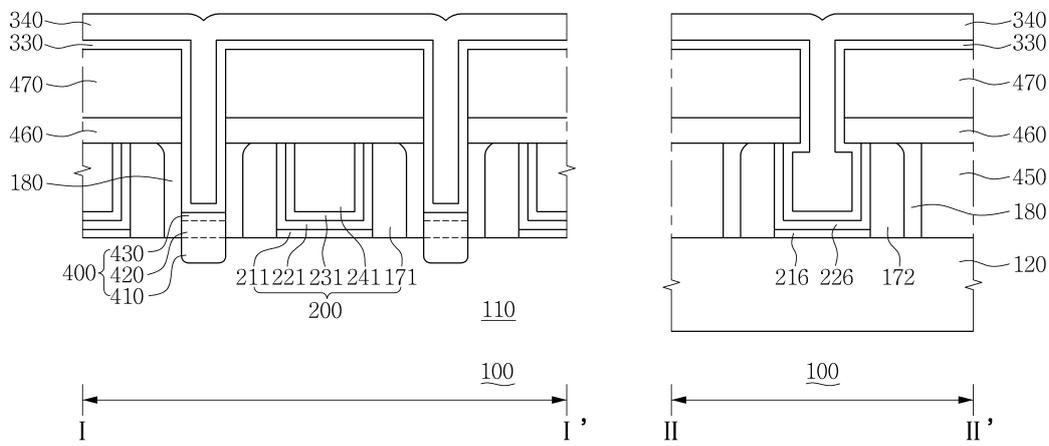
도면19b



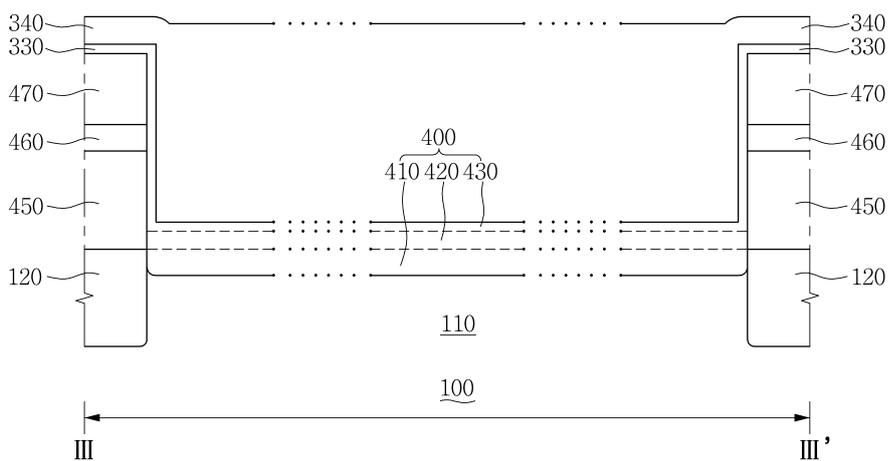
도면19c



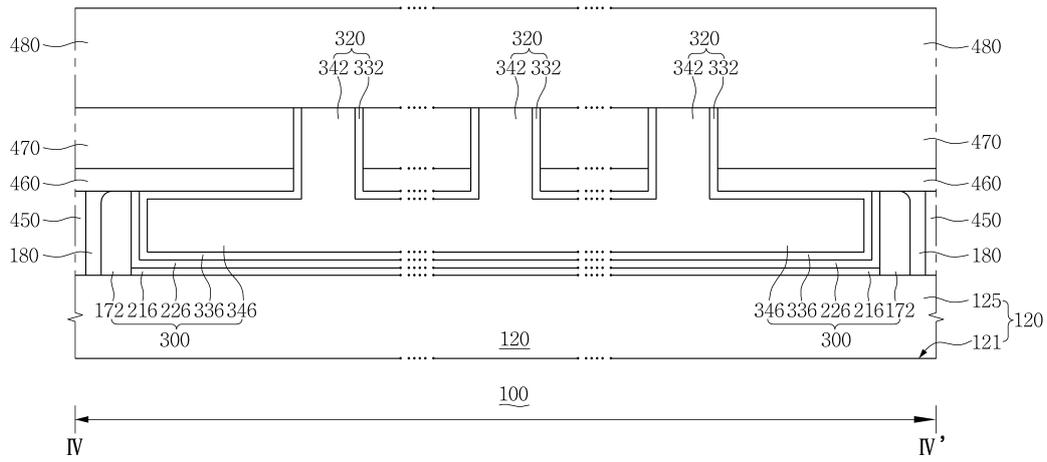
도면20a



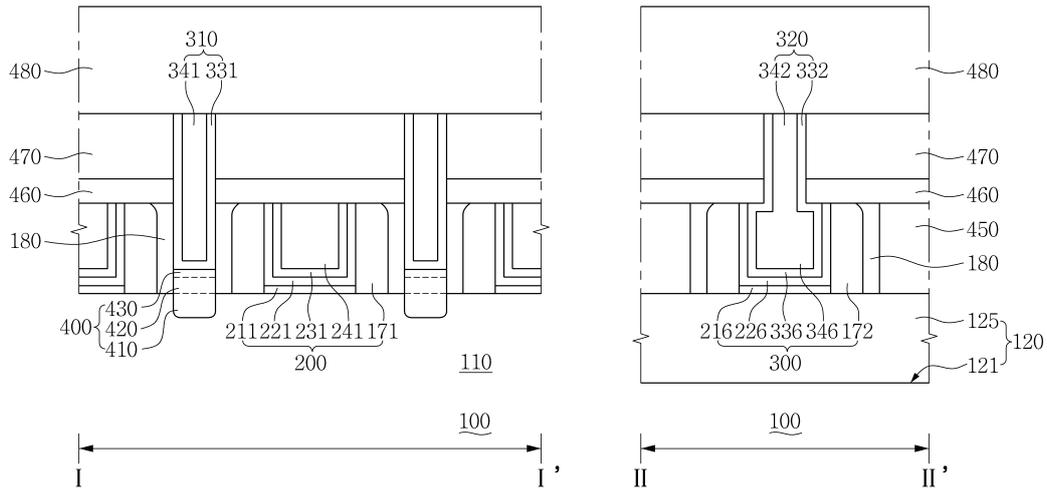
도면20b



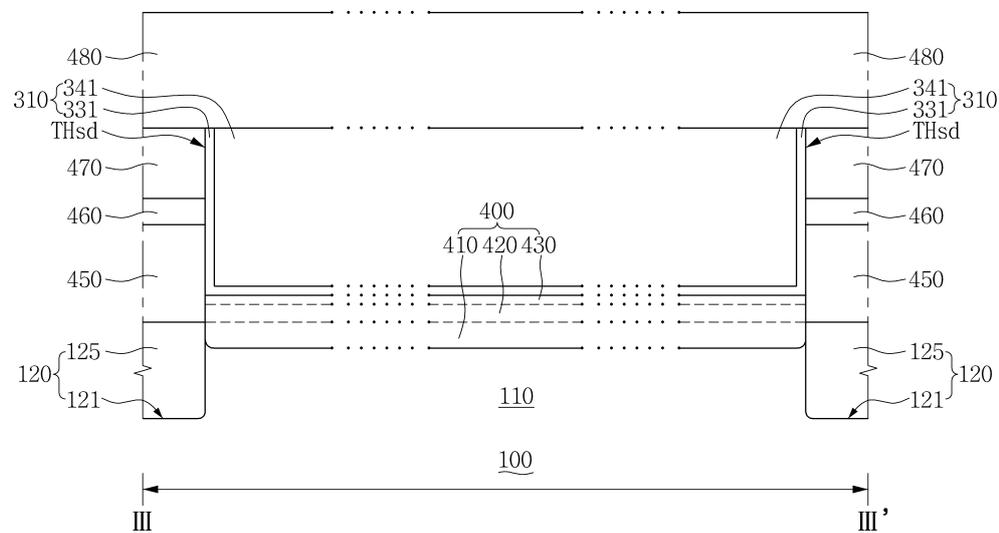
도면20c



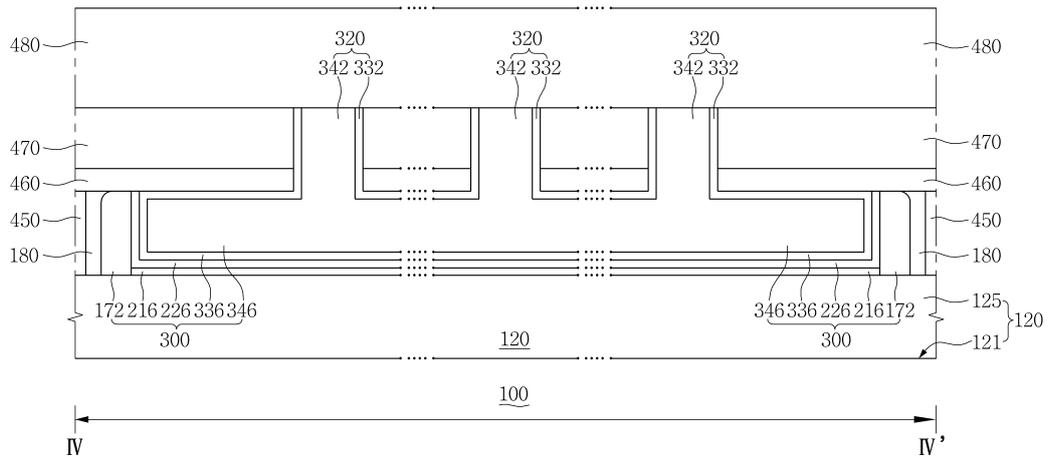
도면21a



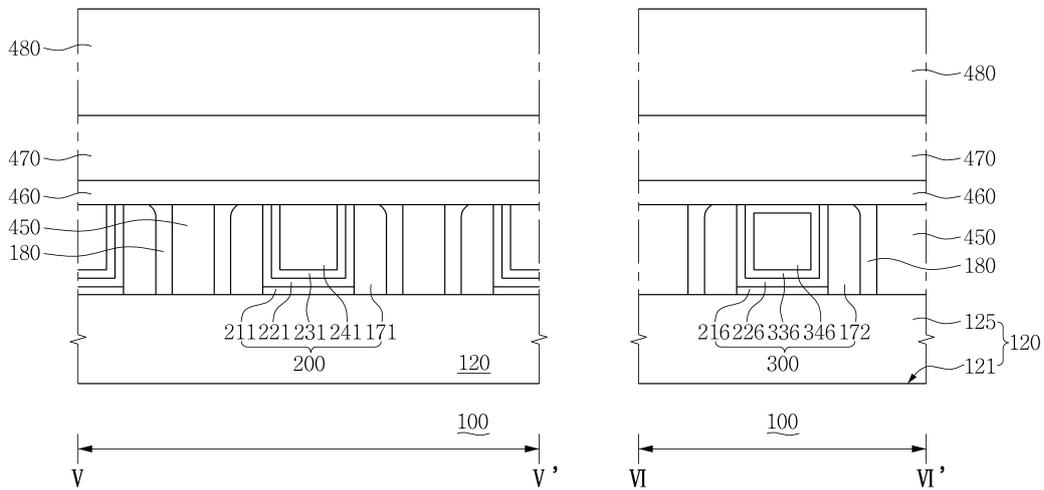
도면21b



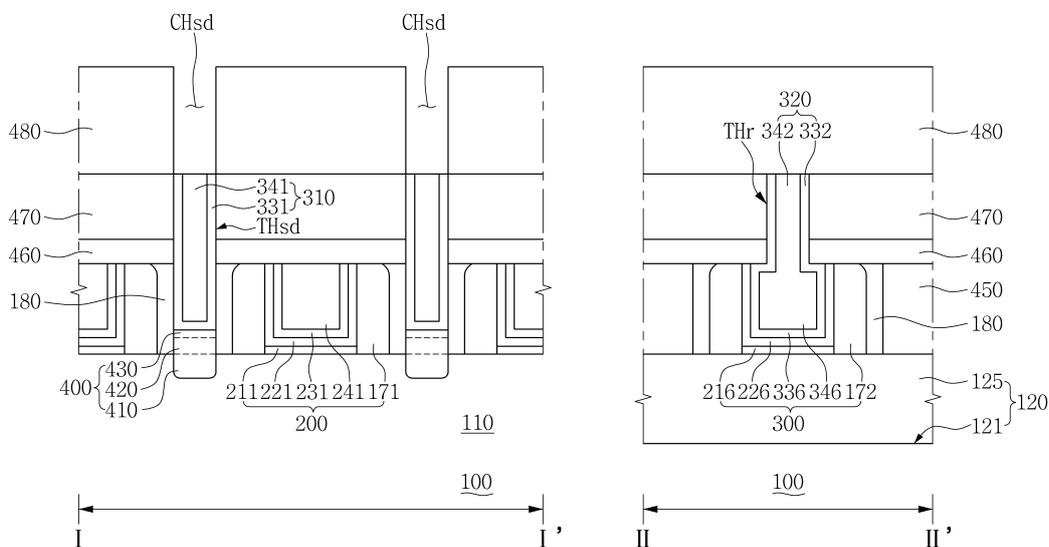
도면21c



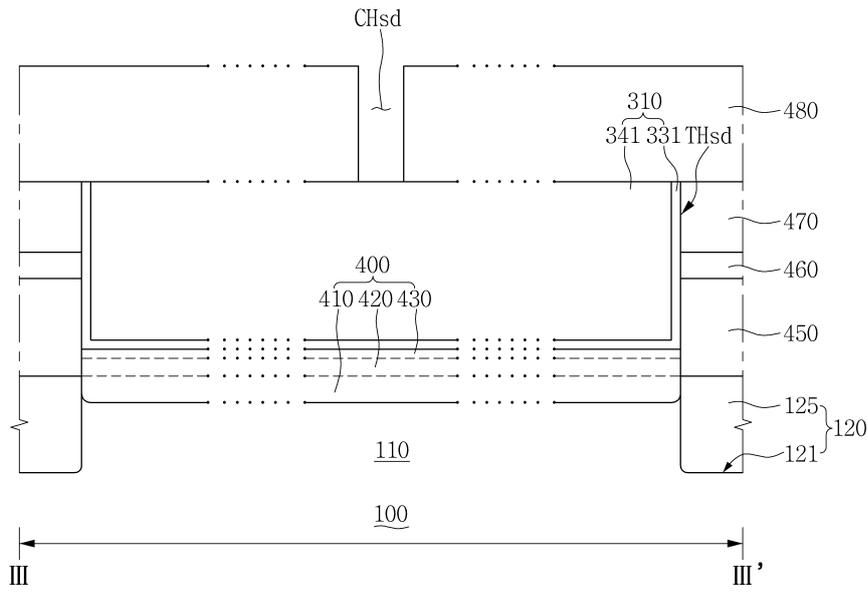
도면21d



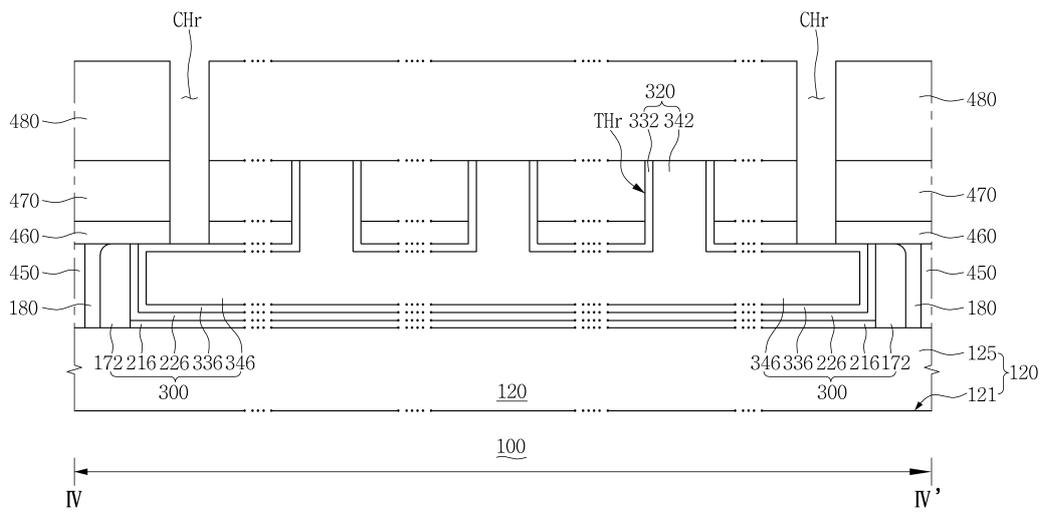
도면22a



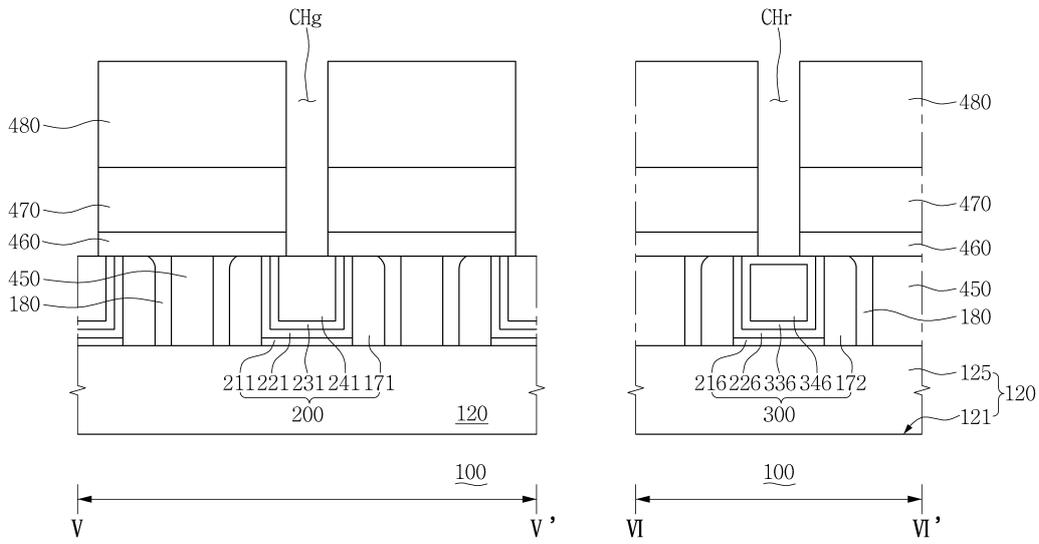
도면22b



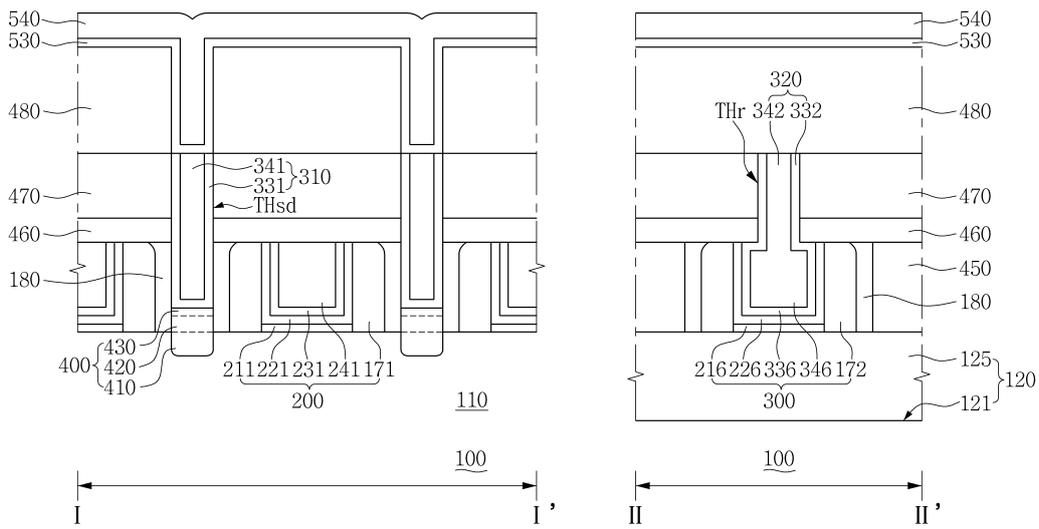
도면22c



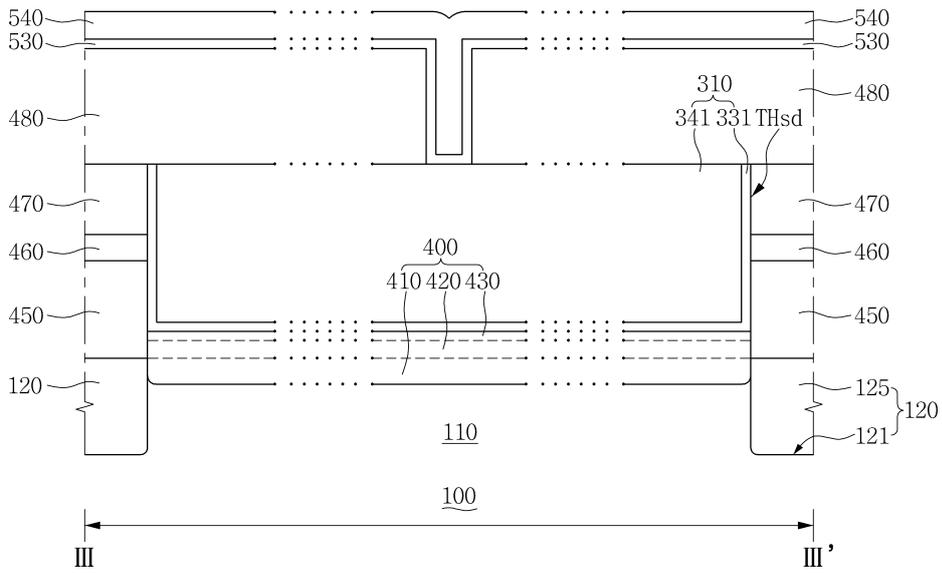
도면22d



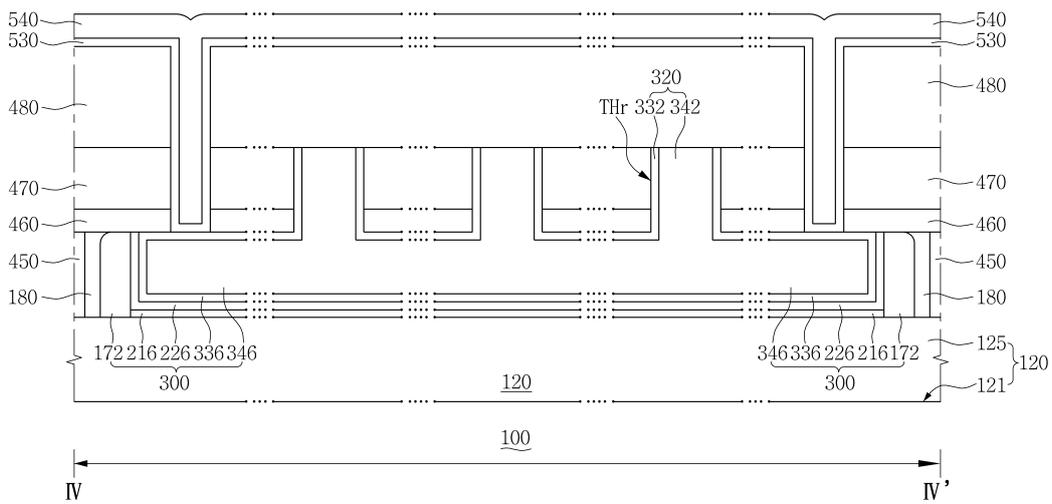
도면23a



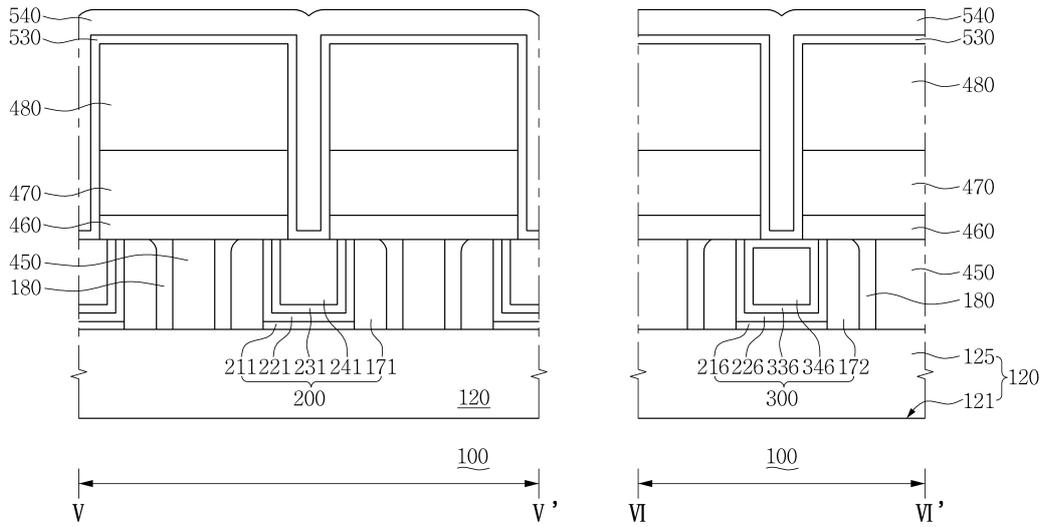
도면23b



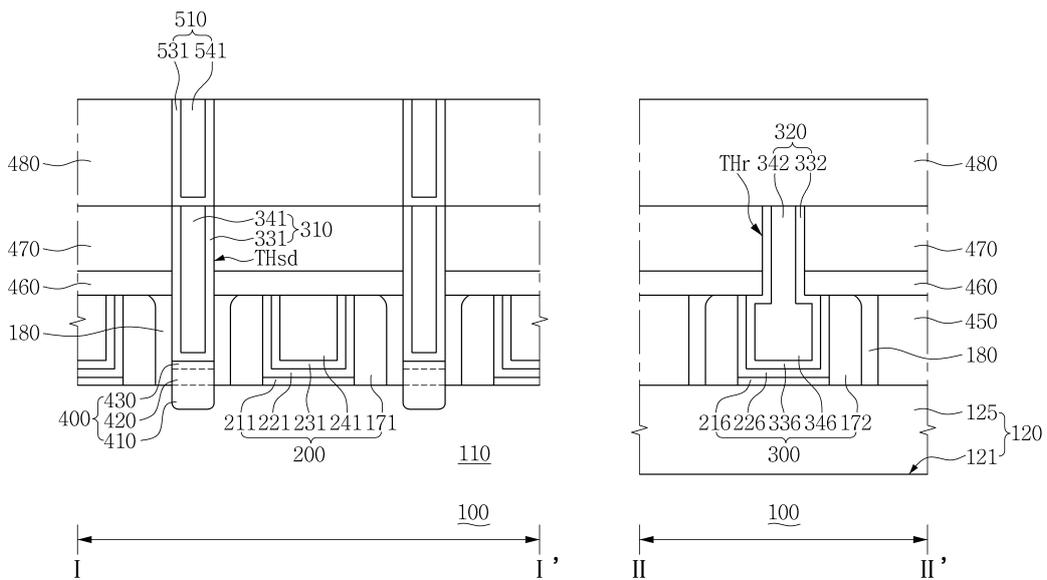
도면23c



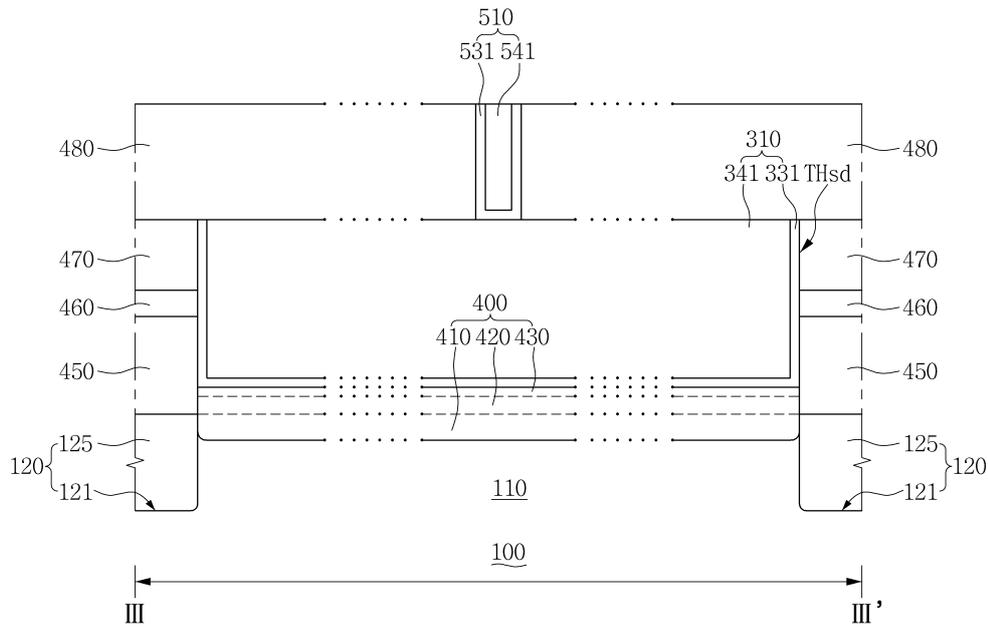
도면23d



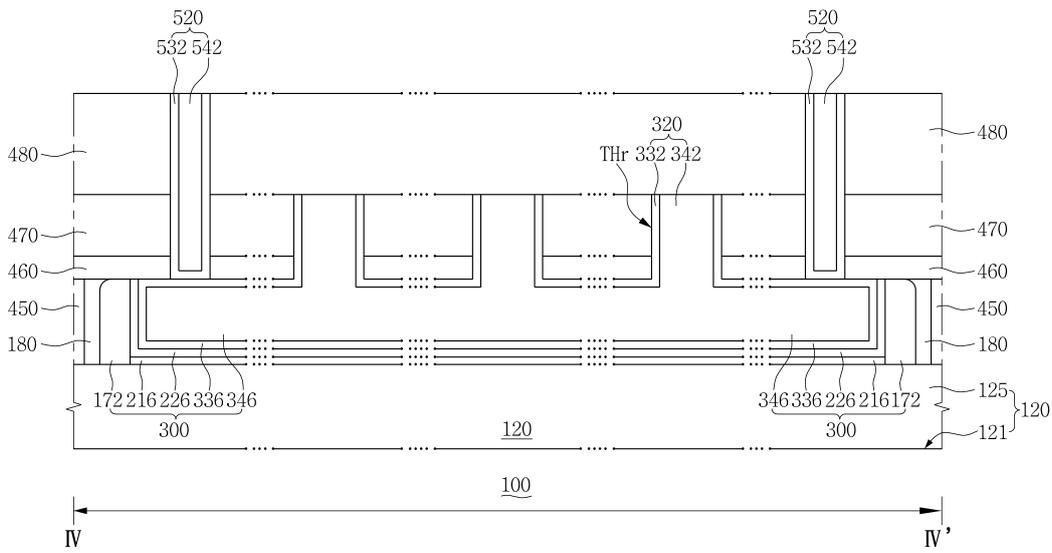
도면24a



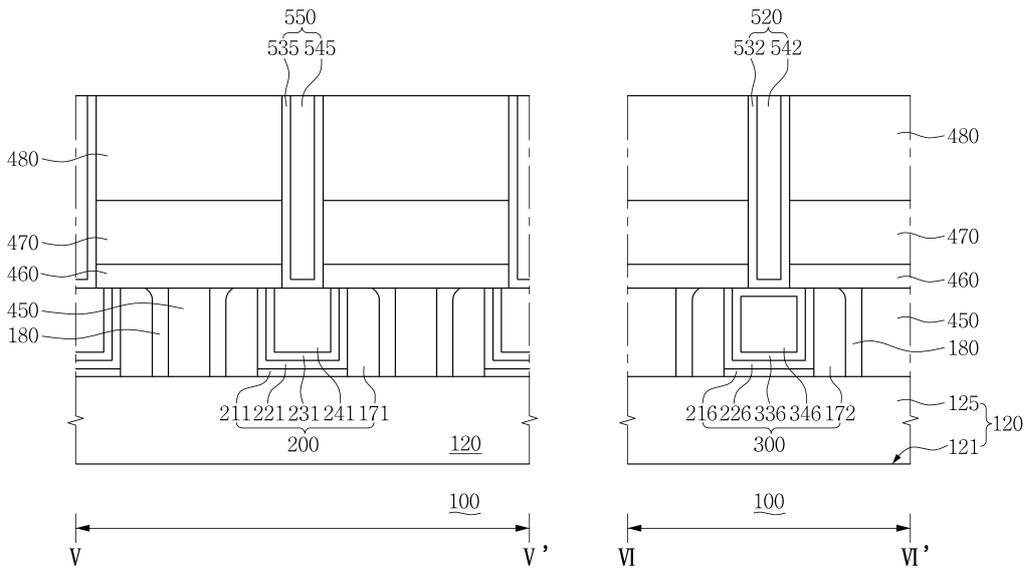
도면24b



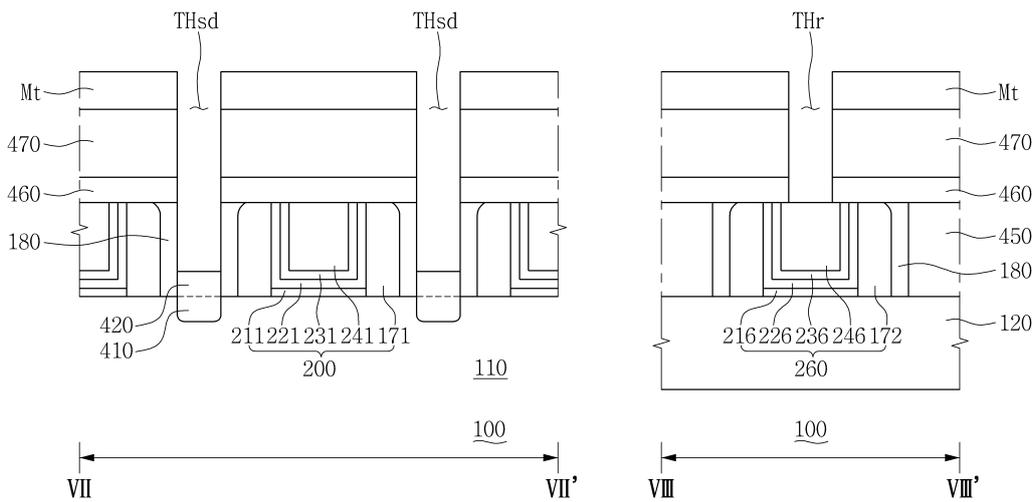
도면24c



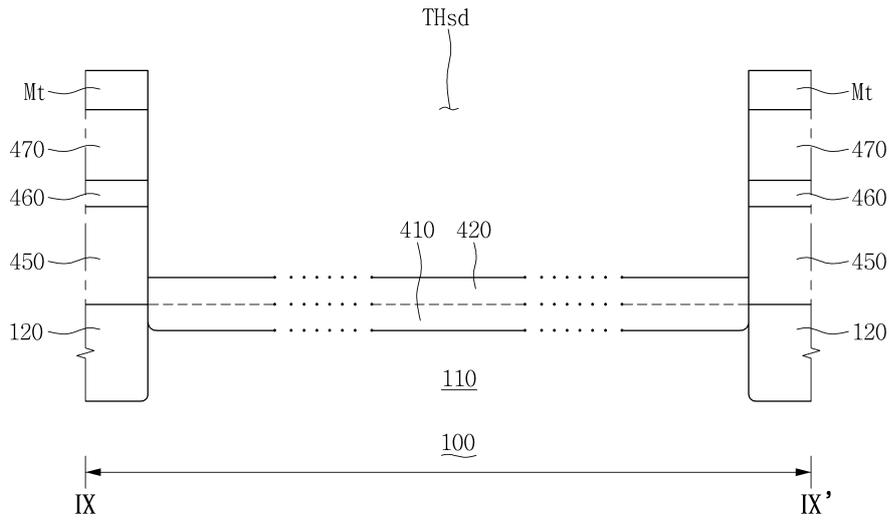
도면24d



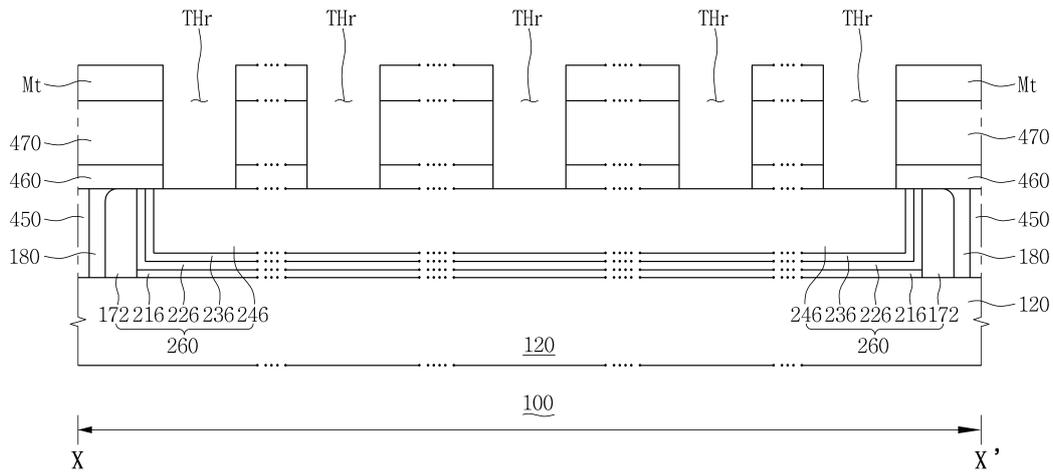
도면25a



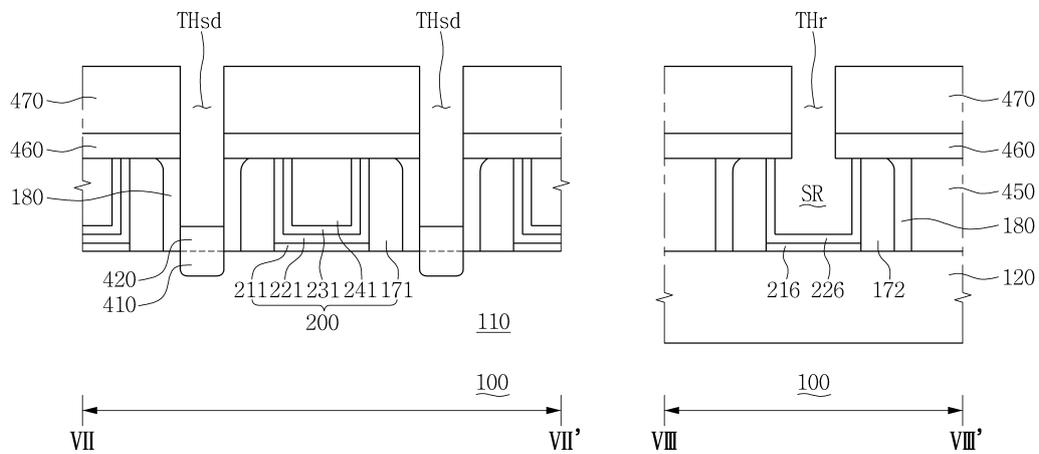
도면25b



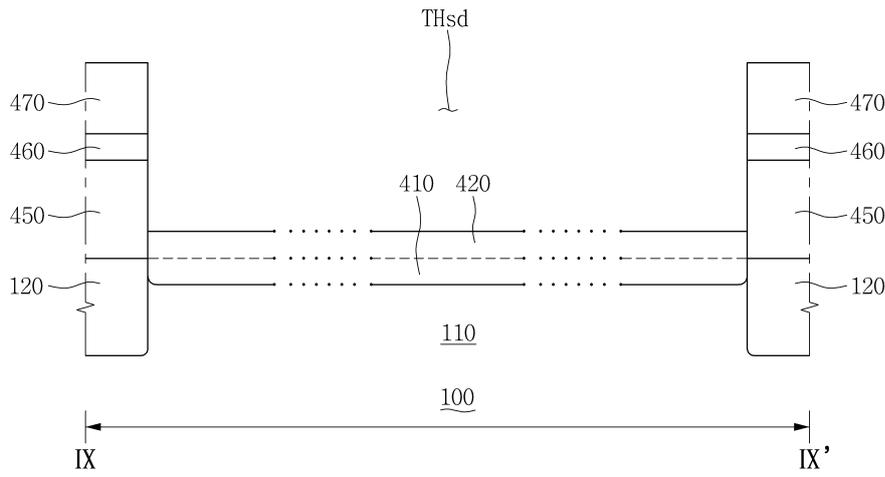
도면25c



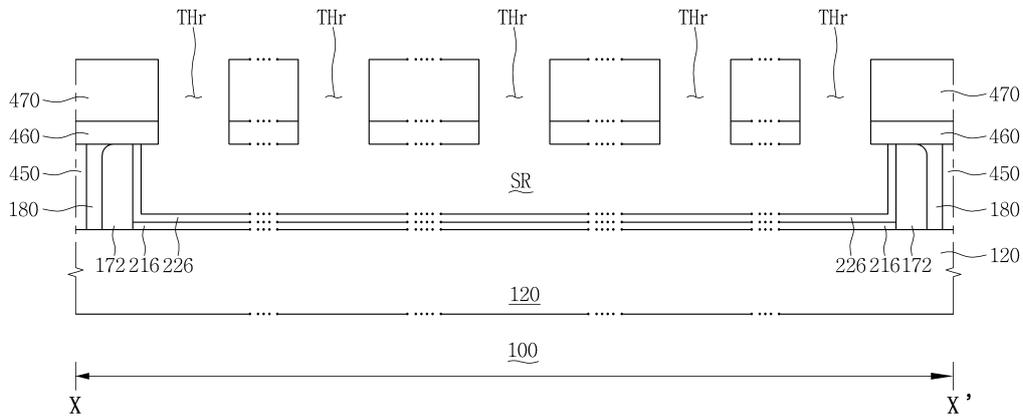
도면26a



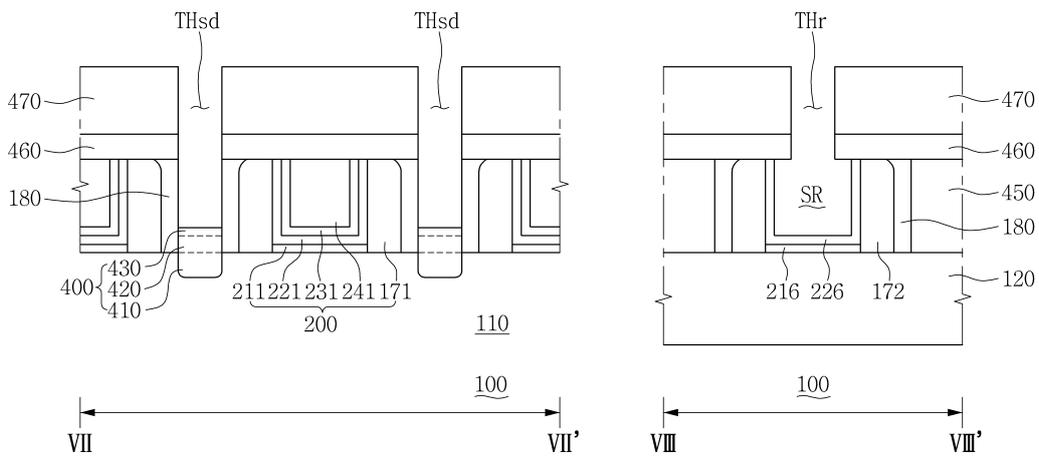
도면26b



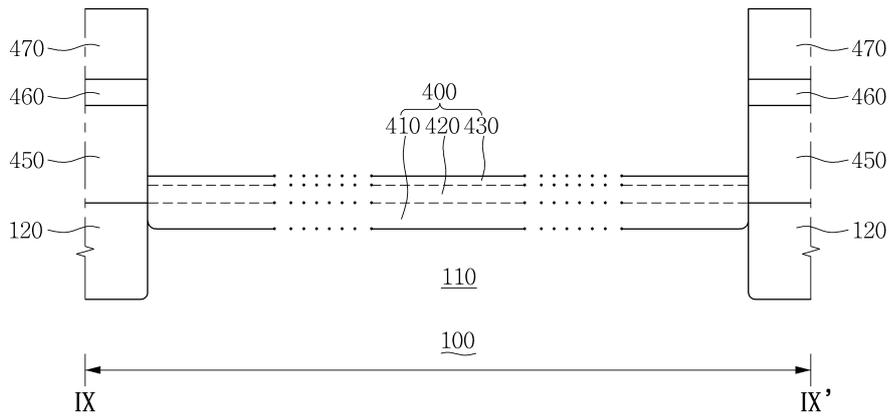
도면26c



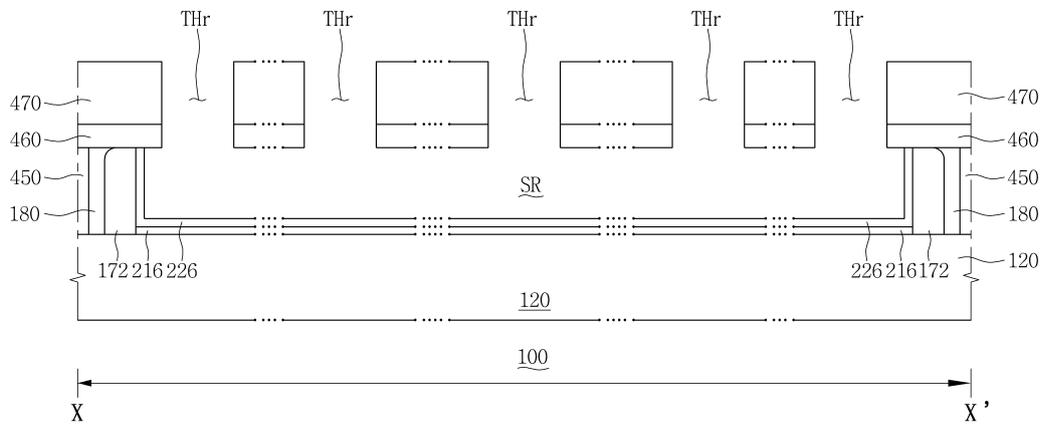
도면27a



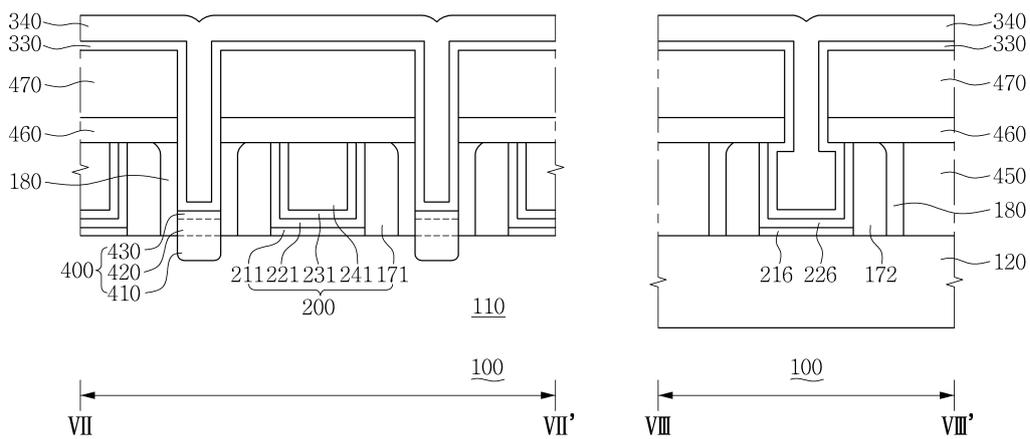
도면27b



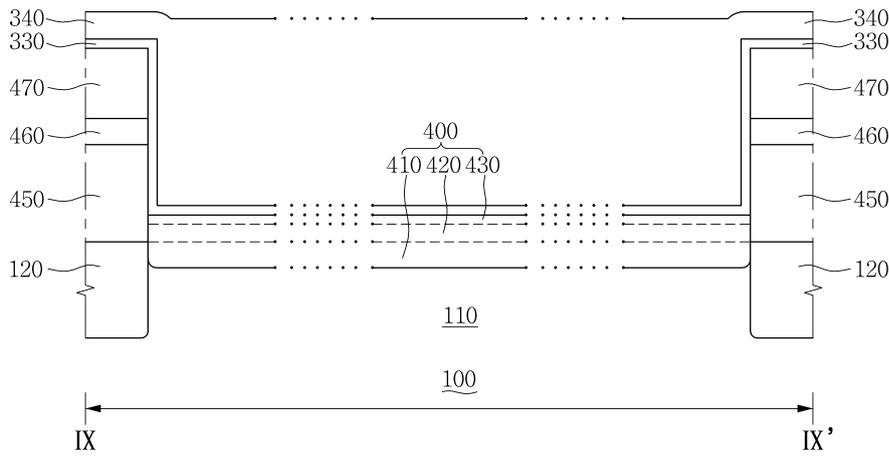
도면27c



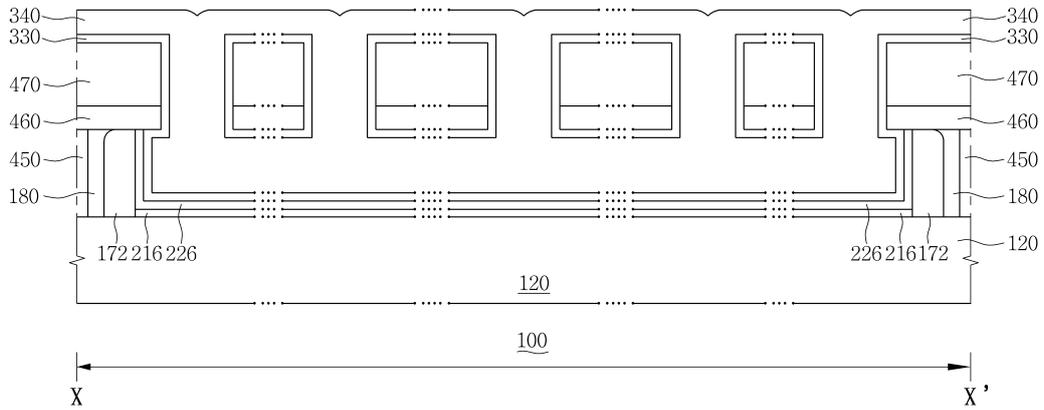
도면28a



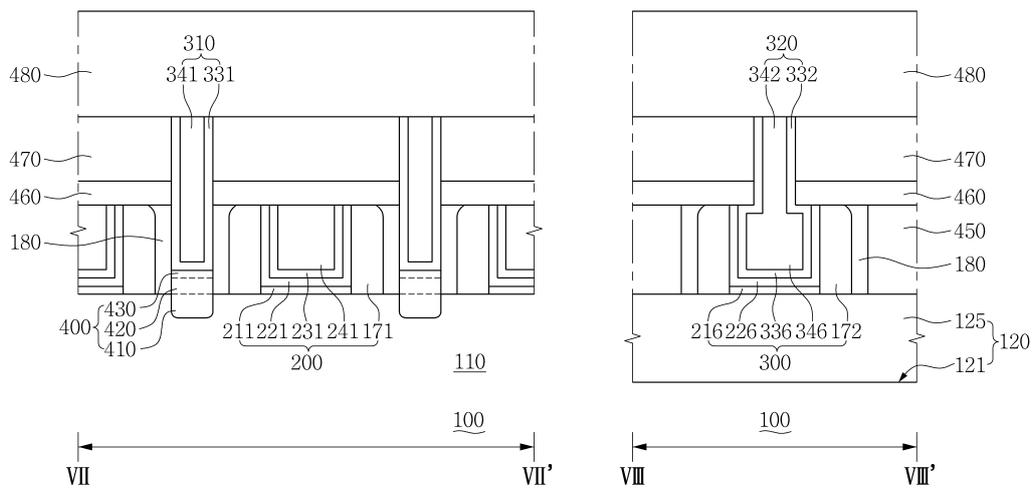
도면28b



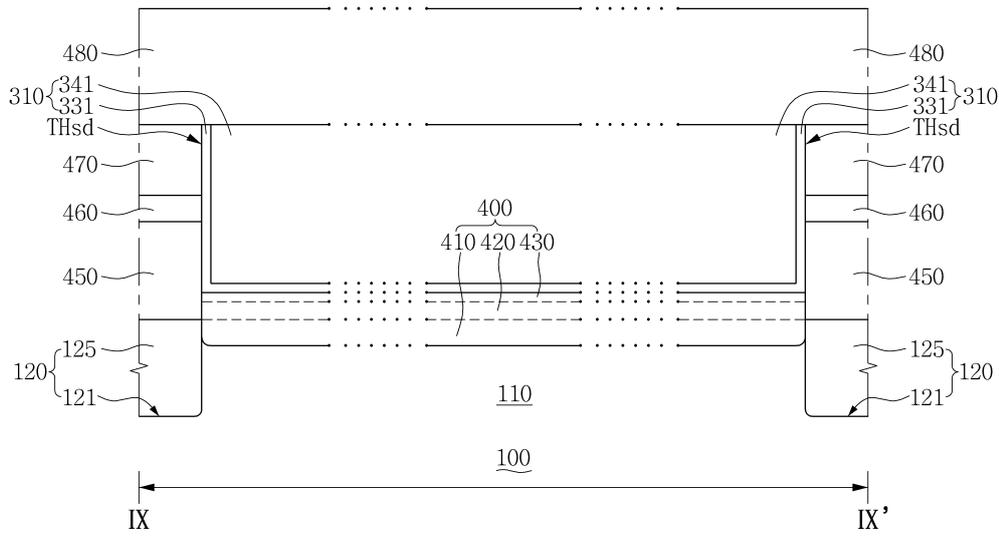
도면28c



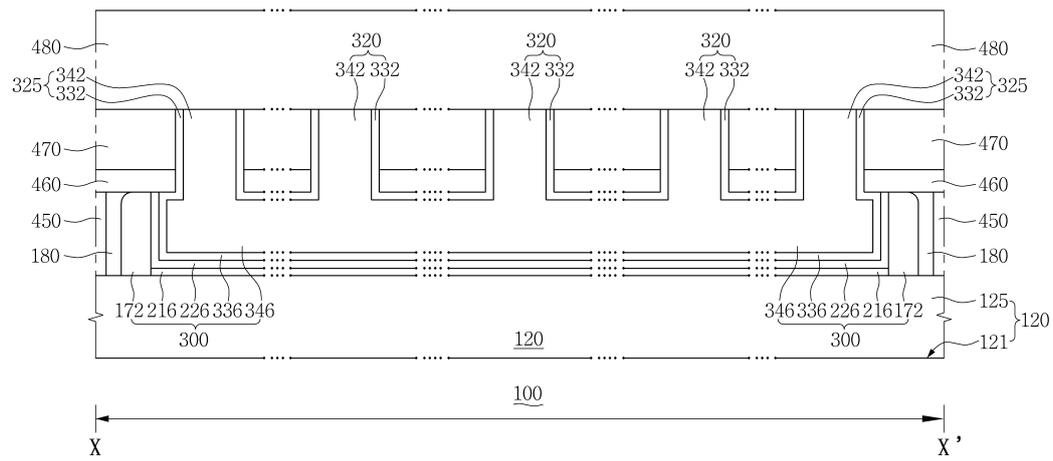
도면29a



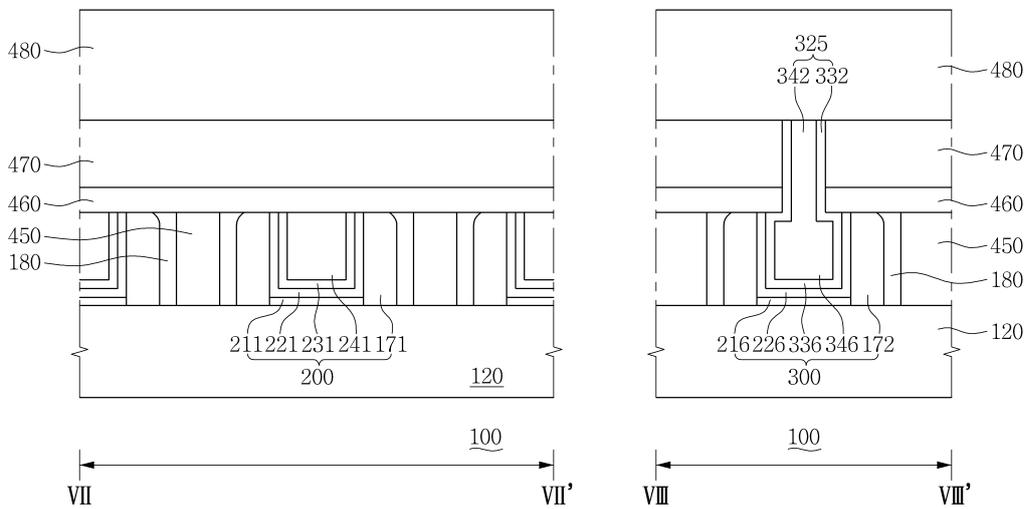
도면29b



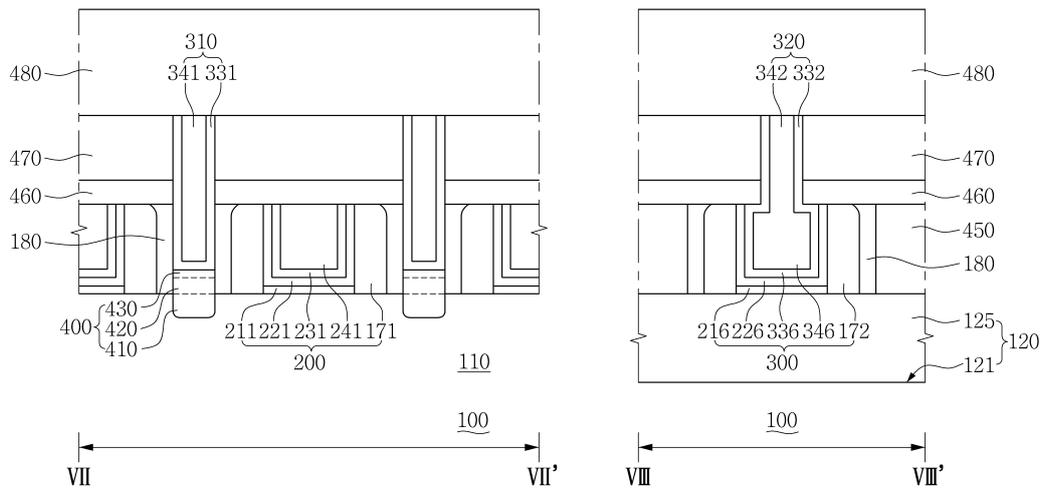
도면29c



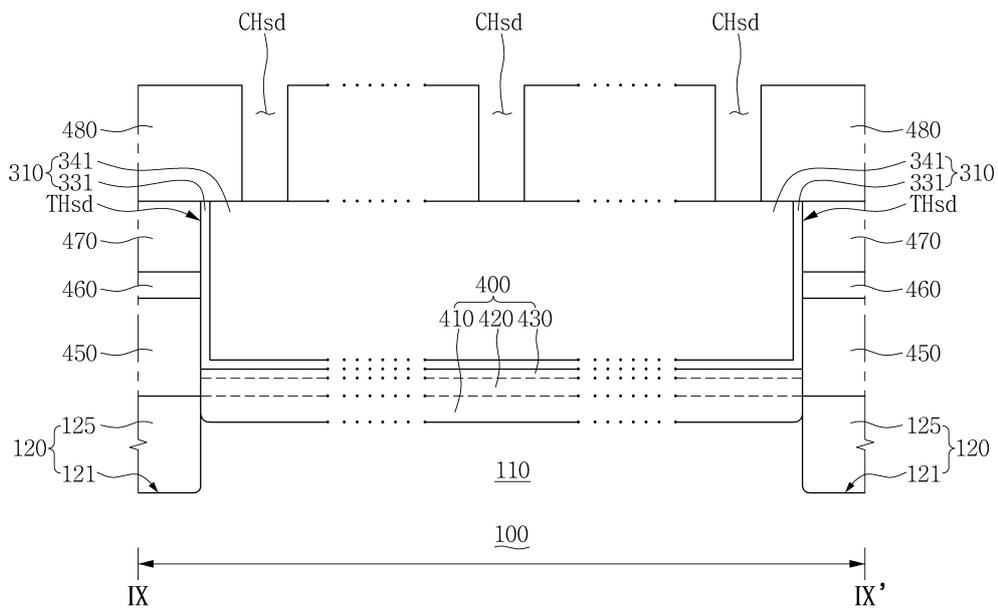
도면29d



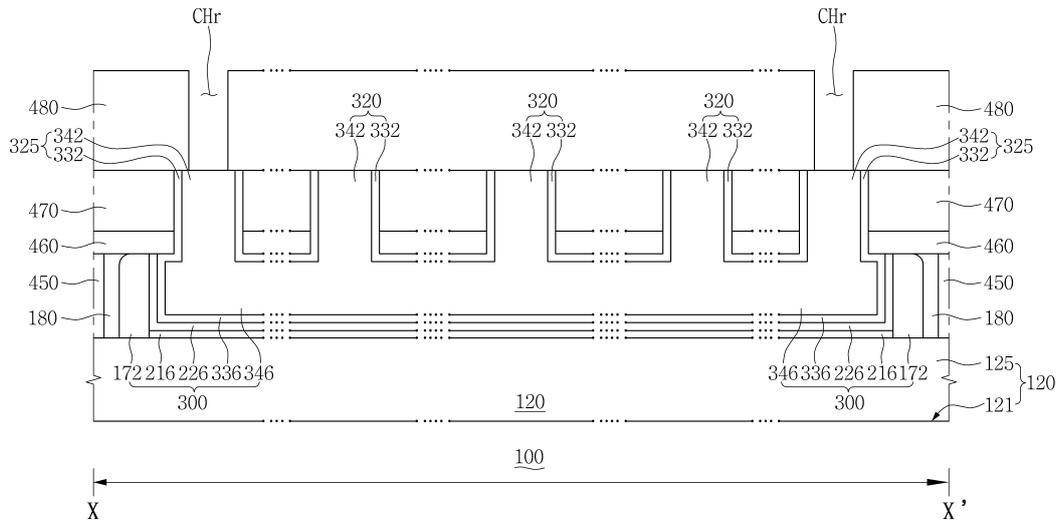
도면30a



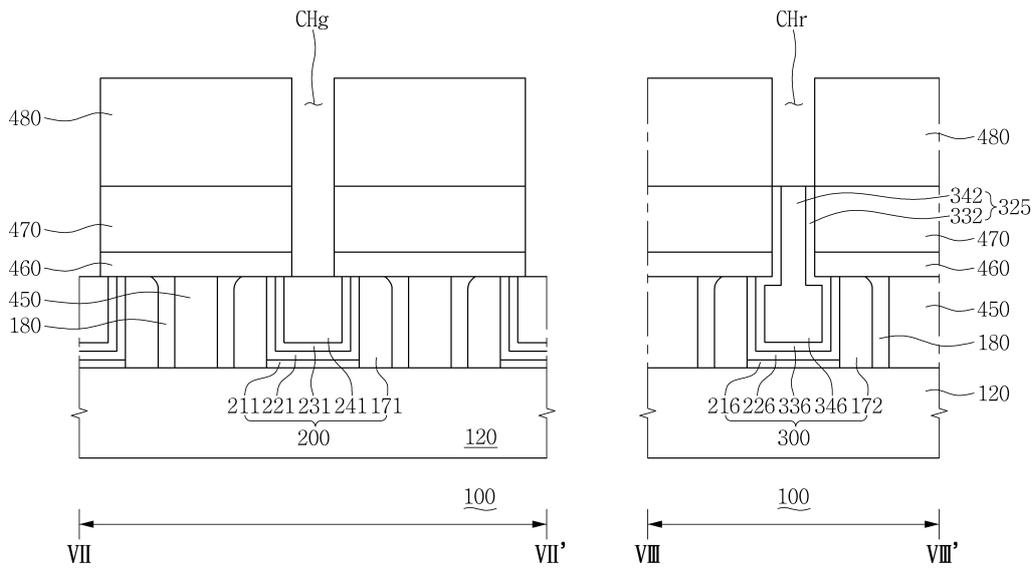
도면30b



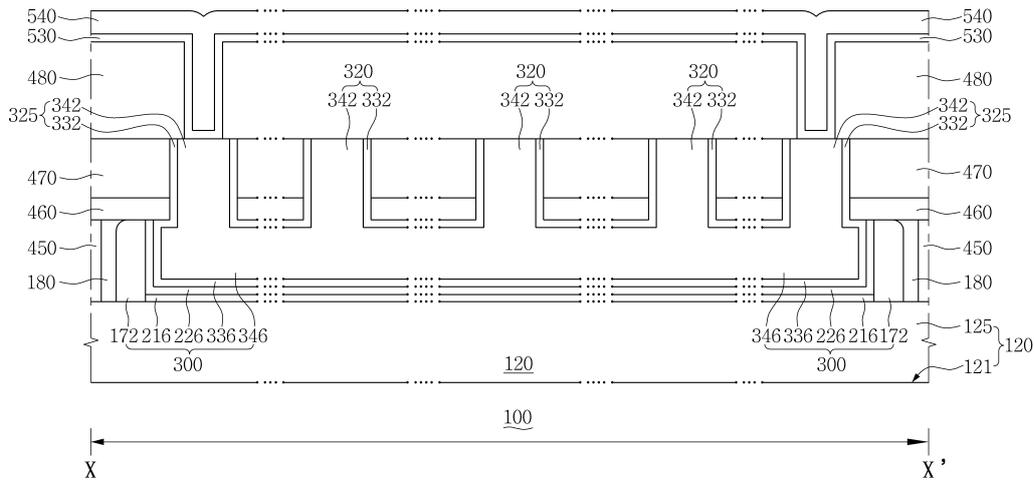
도면30c



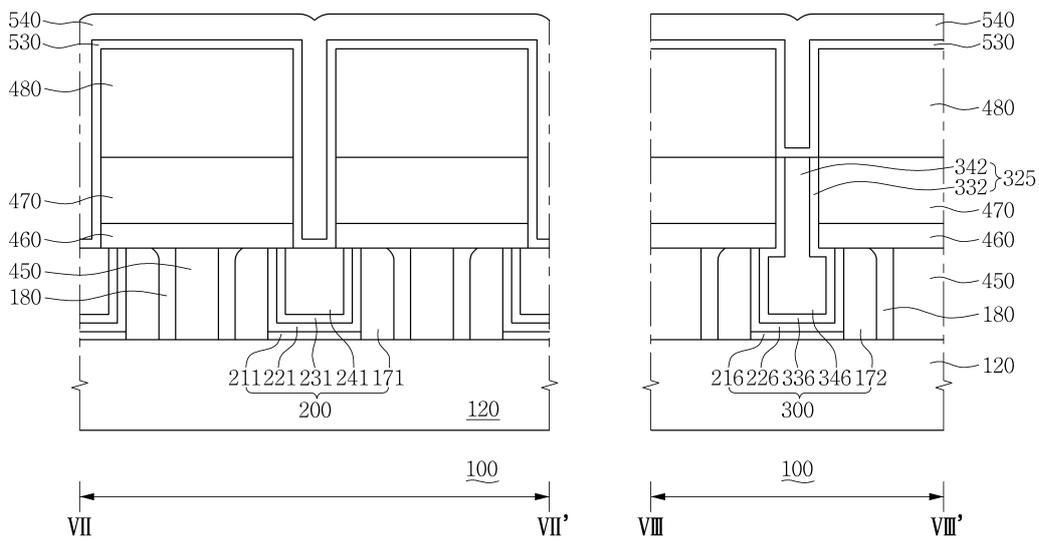
도면30d



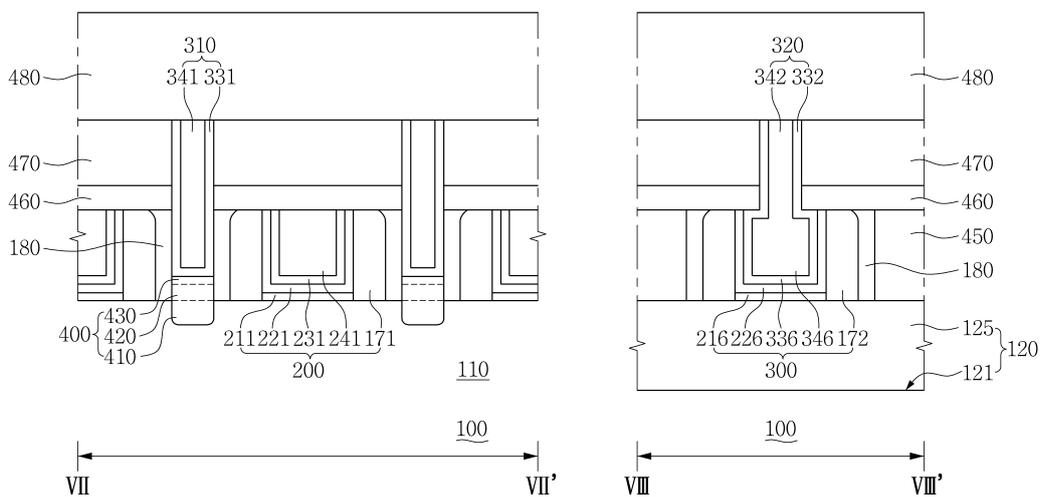
도면31c



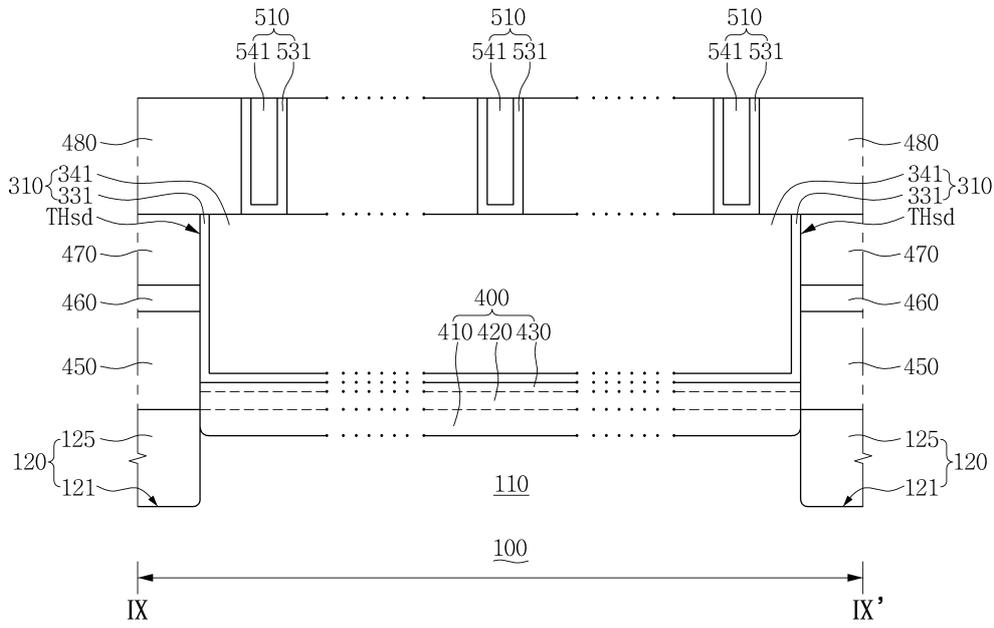
도면31d



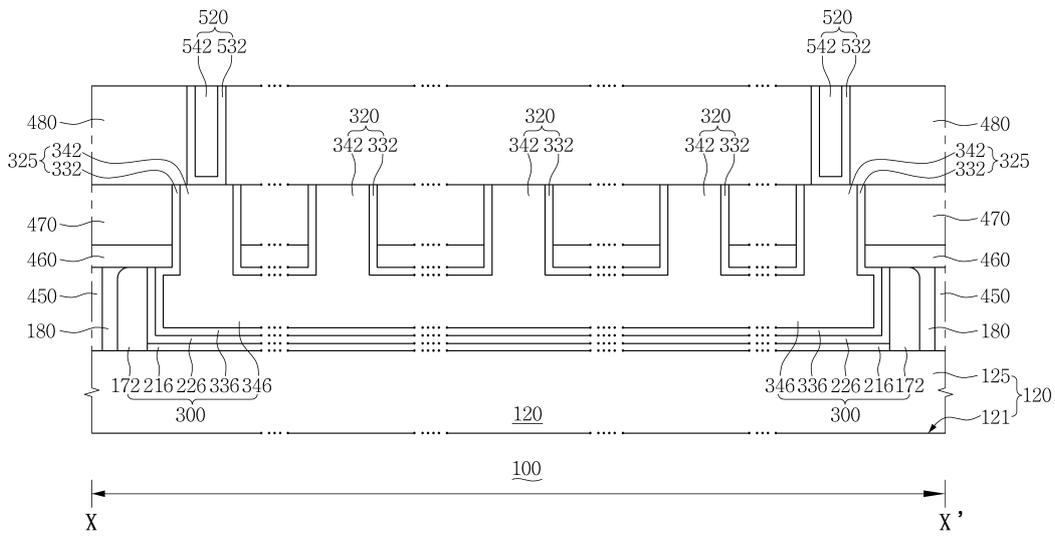
도면32a



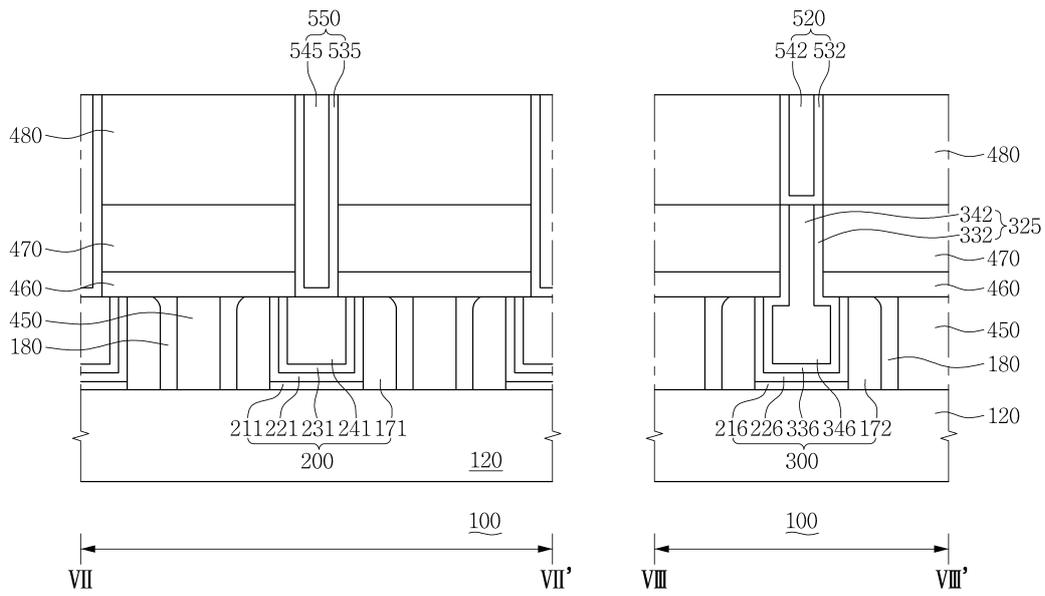
도면32b



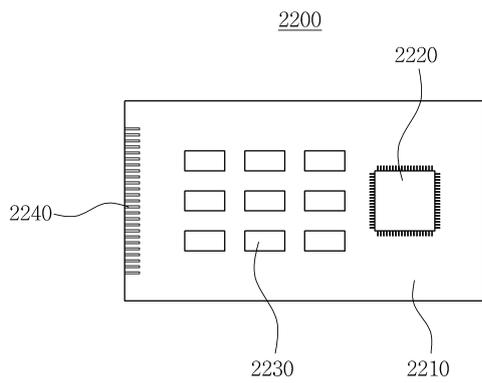
도면32c



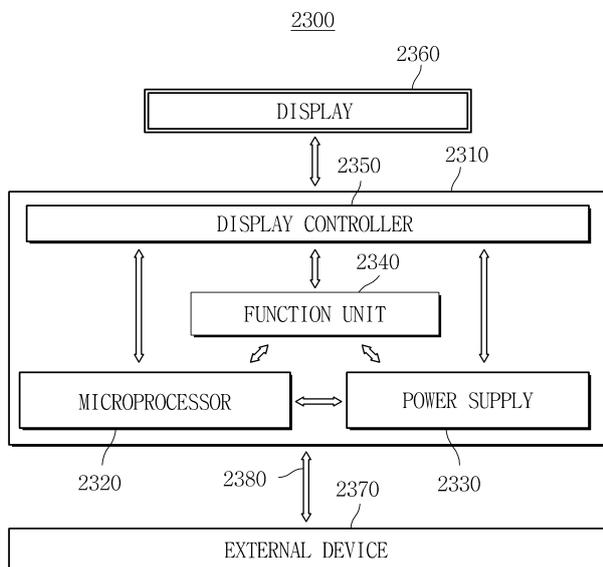
도면32d



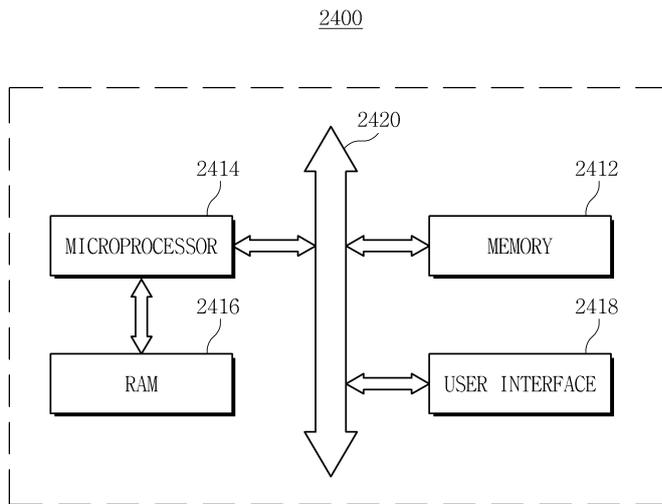
도면33a



도면33b



도면33c



도면33d

