

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4879168号
(P4879168)

(45) 発行日 平成24年2月22日 (2012. 2. 22)

(24) 登録日 平成23年12月9日 (2011.12.9)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 E
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 1 A
	G 1 1 C 17/00 6 2 2 E
	G 1 1 C 17/00 6 4 1

請求項の数 18 (全 35 頁)

(21) 出願番号	特願2007-511394 (P2007-511394)	(73) 特許権者	592012513
(86) (22) 出願日	平成17年4月20日 (2005. 4. 20)		サンディスク コーポレーション
(65) 公表番号	特表2007-536682 (P2007-536682A)		SanDisk Corporation
(43) 公表日	平成19年12月13日 (2007.12.13)		アメリカ合衆国 95035 カリフォルニア州、ミルピタス、マッカーシー ブールバード 601
(86) 国際出願番号	PCT/US2005/013368	(74) 代理人	110000110
(87) 国際公開番号	W02005/112037		特許業務法人快友国際特許事務所
(87) 国際公開日	平成17年11月24日 (2005.11.24)	(72) 発明者	グターマン、ダニエル
審査請求日	平成19年3月29日 (2007. 3. 29)		アメリカ合衆国、94539、カリフォルニア州、フレモント、ジャカラнда ドライブ 305
(31) 優先権主張番号	10/839, 764		
(32) 優先日	平成16年5月5日 (2004.5.5)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/839, 806		
(32) 優先日	平成16年5月5日 (2004.5.5)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 非揮発性メモリのプログラミングを制御するためのブースティング

(57) 【特許請求の範囲】

【請求項 1】

非揮発性記憶装置をプログラミングする方法であり、
 ブースティングのソースを第 1 非揮発性記憶要素に供給することと、
 ブースティングのソースを供給している間の第 1 期間中に、第 1 非揮発性記憶要素のブースティングを妨害することと、

第 1 非揮発性記憶要素がブースティングを経験することができるように、ブースティングのソースを供給している間の第 2 期間であって、第 1 期間の後の第 2 期間中に、第 1 非揮発性記憶要素のブースティングを許容すること、

第 1 非揮発性記憶要素がブーストされている間に、第 1 非揮発性記憶要素をプログラミングすること

を備え、

第 1 非揮発性記憶要素は、ビットラインに接続されており、

前記「ブースティングを妨害すること」は、前記ビットラインをゼロボルトにすることを含んでおり、

前記「プログラミングすること」は、第 1 非揮発性記憶要素のための制御ゲートにパルスを供給することを含んでおり、

前記「ブースティングを妨害すること」と前記「ブースティングを許容すること」が、前記パルスの前に実行され、

前記「ブースティングのソースを供給すること」は、異なる非揮発性記憶要素の制御ゲ

ートに信号を供給することを含んでおり、

前記異なる非揮発性記憶要素は、第1非揮発性記憶要素に直列しており、

前記「ブースティングのソースを供給すること」は、前記信号を第1レベルにまで上昇させた後に、前記信号を第2レベルにまで上昇させることを含んでおり、

前記「ブースティングを許容すること」は、前記信号が前記第1レベルになった後であって前記信号が前記第2レベルに上昇される前に開始し、

前記「ブースティングを許容すること」は、前記ビットラインを、禁止電圧であるV_ddにすることを含んでいる、

ことを特徴とする方法。

【請求項2】

前記「ブースティングのソースを供給すること」は、第1非揮発性記憶要素のための制御ゲートに信号を供給することを含んでいる

ことを特徴とする請求項1の方法。

【請求項3】

第1非揮発性記憶要素は、そのチャンネルがブースト電圧レベルを有する間にプログラムされ、これにより、第1非揮発性記憶要素のプログラミング速度が低減する

ことを特徴とする請求項1の方法。

【請求項4】

第1非揮発性記憶要素のための雑モードプログラミングを実行することと、

第1非揮発性記憶要素のためのファインモードプログラミングを実行することを備え、
前記「ブースティングを許容するステップ」は、前記ファインモードプログラミングの一部として実行される

ことを特徴とする請求項1の方法。

【請求項5】

前記「第1非揮発性記憶要素のためのファインモードプログラミングを実行すること」は、前記第1期間が短縮された状態で、前記の「供給すること」、「妨害すること」、「許容すること」、及び「プログラミングすること」を繰り返すことを含んでいる

ことを特徴とする請求項4の方法。

【請求項6】

連続的な繰り返しの中で前記第1期間を短縮しながら、前記の「供給すること」、「妨害すること」、「許容すること」、及び「プログラミングすること」を繰り返すことを備える

ことを特徴とする請求項1の方法。

【請求項7】

前記第1期間の長さは、第1非揮発性記憶要素の既存の閾電圧とターゲット閾電圧との間の差に基づいている

ことを特徴とする請求項1の方法。

【請求項8】

第1非揮発性記憶要素の既存の閾電圧とターゲット閾電圧との間の差に基づいて、連続的な繰り返しの中で前記第1期間を短縮しながら、前記の「供給すること」、「妨害すること」、「許容すること」、及び「プログラミングすること」を繰り返すことを備える

ことを特徴とする請求項1の方法。

【請求項9】

第1非揮発性記憶要素は、NANDフラッシュメモリ装置を含んでいる

ことを特徴とする請求項1の方法。

【請求項10】

第1非揮発性記憶要素は、マルチ状態のNANDフラッシュメモリ装置を含んでいる

ことを特徴とする請求項1の方法。

【請求項11】

非揮発性メモリシステムであり、

10

20

30

40

50

第 1 非揮発性記憶要素と、第 1 非揮発性記憶要素に接続されているビットラインと、制御回路とを備え、

その制御回路は、

第 1 非揮発性記憶要素にブースティングのソースを供給し、

ブースティングのソースを供給している間の第 1 期間中に、第 1 非揮発性記憶要素のブースティングを妨害し、

前記ブースティングは、前記ビットラインをゼロボルトにすることによって妨害され、

第 1 揮発性記憶要素が少なくともいくつかのブースティングを経験することができるように、ブースティングのソースを供給している間の第 2 期間であって、第 1 期間の後の第 2 期間中に、第 1 非揮発性記憶要素のブースティングを許容し、

第 1 非揮発性記憶要素がブーストされている間に、第 1 非揮発性記憶要素のプログラムを引き起こし、

前記「第 1 非揮発性記憶要素のプログラムを引き起こすこと」は、制御回路が第 1 非揮発性記憶要素の制御ゲートにパルスを供給することを含んでおり、

前記「ブースティングを妨害すること」と、前記「ブースティングを許容すること」が、前記パルスより前に実行され、

第 1 非揮発性記憶要素は、NAND ストリングの一部であり、

前記「ブースティングのソースを供給すること」は、ワードライン信号を第 1 レベルまで上昇させることと、その後前記ワードライン信号を第 2 レベルまで上昇させることを含んでおり、

前記ワードライン信号は、NAND ストリング上の別の非揮発性記憶要素に対応しており、

前記「ブースティングを許容すること」は、前記ワードライン信号が前記第 1 レベルになった後であって前記ワードライン信号が前記第 2 レベルまで上昇される前に開始し、

制御回路は、ブースティングを許容するために、前記ビットラインに禁止電圧である V_{dd} を供給する

ことを特徴とする非揮発性メモリシステム。

【請求項 1 2】

制御回路は、連続的な繰り返しの中で前記第 1 期間を短縮しながら、前記の「供給すること」、「妨害すること」、「許容すること」、及び「プログラミングすること」を繰り返す

ことを特徴とする請求項 1 1 の非揮発性メモリシステム。

【請求項 1 3】

制御回路は、コントローラ、状態機械、デコーダ、及び、センス増幅器を含んでいる

ことを特徴とする請求項 1 1 の非揮発性メモリシステム。

【請求項 1 4】

制御回路は、第 1 非揮発性記憶要素のための雑モードプログラミングを実行し、第 1 非揮発性記憶要素のためのファインモードプログラミングを実行し、

前記「ブースティングを許容すること」は、ファインモードプログラミングの一部として実行される

ことを特徴とする請求項 1 1 の非揮発性メモリシステム。

【請求項 1 5】

前記「第 1 非揮発性記憶要素のためのファインモードプログラミングを実行すること」は、前記第 1 期間が短縮された状態において、前記の「供給すること」、「妨害すること」、「許容すること」、及び「プログラミング」を繰り返すことを含む

ことを特徴とする請求項 1 4 の非揮発性メモリシステム。

【請求項 1 6】

前記第 1 期間の長さは、第 1 非揮発性記憶要素の既存の閾電圧とターゲット閾電圧との間の差に基づいている

ことを特徴とする請求項 1 1 の非揮発性メモリシステム。

10

20

30

40

50

【請求項 17】

第1非揮発性記憶要素は、NANDフラッシュメモリ装置を含んでいることを特徴とする請求項11の非揮発性メモリシステム。

【請求項 18】

第1非揮発性記憶要素は、マルチ状態NANDフラッシュメモリ装置を含んでいることを特徴とする請求項11の非揮発性メモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

下記の出願の全体の内容は、本願明細書に組み込まれる。

10

【0002】

本出願と同日に出願された米国特許出願第10/839806号(事件番号SAND-01008US0)。発明の名称「BITLINE GOVERNED APPROACH FOR PROGRAM CONTROL OF NON-VOLATILE MEMORY」。発明者「Daniel C. Guterman、Nima Mokhlesi、Yupin Fong」

【背景技術】

【0003】

本発明は、非揮発性メモリをプログラミングするための技術に関する。

【0004】

半導体メモリ装置は、様々な電子装置に使用されてポピュラーになっている。例えば、非揮発性半導体メモリは、携帯電話、デジタルカメラ、パーソナルデジタルアシスタント、モバイルコンピュータ、非モバイルコンピュータ、及びその他の装置に使用されている。最も普及している非揮発性半導体メモリは、電気的消去プログラミングが可能な読み取り専用メモリ(EEPROM)とフラッシュメモリである。

20

【0005】

EEPROMとフラッシュメモリの両方は、半導体基板のチャネル領域から絶縁されているとともにチャネル領域の上に配置されているフローティングゲートを利用する。フローティングゲートは、ソース領域とドレイン領域の間に配置されている。制御ゲートは、フローティングゲートの上に設けられているとともに、フローティングゲートから絶縁されている。トランジスタの閾電圧は、フローティングゲートに保持される電荷量によって制御される。即ち、トランジスタがソースとドレインの間を導通してターンオンする前に制御ゲートに付加されるべき最小限の電圧が、フローティングゲートの電荷レベルによって制御される。

30

【0006】

いくつかのEEPROMとフラッシュメモリは、2つの電荷範囲を保持するために使用されるフローティングゲートが設けられている。このために、メモリセルを2つの状態(消去された状態とプログラムされた状態)の間でプログラミング/消去することができる。EEPROM又はフラッシュメモリ装置にプログラミングする場合、典型的には、制御ゲートにプログラミング電圧が供給され、ビットラインが接地される。チャネルからの電子がフローティングゲートに注入される。フローティングゲート内に電子が蓄積すると、フローティングゲートが負電荷状態となり、メモリセルの閾電圧が上昇して、メモリセルがプログラム状態になる。プログラミングに関するさらなる情報は、2003年3月5日出願の米国特許出願第10/379608号の「Self Boosting Technique」と、2003年7月29日出願の米国特許出願第10/629068号の「Detecting Over Programmed Memory」から得ることができる。両出願の全体は、本願明細書に組み込まれる。

40

【0007】

マルチ状態フラッシュメモリセルは、禁止された電圧範囲によって分離された複数の異なる許容された閾電圧範囲を特定することによって実現される。それぞれの異なる閾電圧範囲は、データビット群のセットの所定値に対応している。

【0008】

一般的に、制御ゲートに供給されるプログラミング電圧は、一連のパルスとして付加さ

50

れる。パルスの大きさは、連続パルス毎に所定のステップサイズ（例えば0.2V）増加する。パルスとパルスとの期間において、ベリファイ動作（証明動作）が実行される。プログラマブル状態の数が増えるに従ってベリファイ動作の数も増え、より多くの時間が必要になる。ベリファイの時間的負荷を低減するための1つの手段では、より効率的なベリファイプロセスを利用する。例えば、2002年12月5日出願の米国特許出願第10/314055号の「Smart Verify for Multi-State Memories」には、スマートなベリファイプロセスが開示されている。この全体は、本願明細書に組み込まれる。しかしながら、可能な限り高速にプログラミングを実行するメモリ装置を要求する顧客の声がある。例えば、フラッシュメモリカードに画像を記憶するデジタルカメラのユーザは、写真と写真の間の切り替え時間が長いと感じている。

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

リーズナブルな速度でプログラミングすることに加えて、マルチ状態メモリセルによる適切なデータの記憶を実現するためには、マルチ状態メモリセルの閾電圧レベルの複数の範囲を、十分なマージンで相互に離間させるべきである。これにより、明確なマナーでメモリセルのレベルのプログラミングと読み出しを実行することができる。さらに、タイトな閾電圧分布が奨励される。タイトな閾電圧分布の達成には、一般的に小さなプログラミングステップが使用されるために、セルの閾電圧のプログラミングがさらに遅くなる。所望の閾分布がタイトであるほど、ステップが小さくなり、プログラミングプロセスが遅くなる。

20

【0010】

プログラミングプロセスがそれ程遅くならずタイトな閾分布を達成するための1つの解決法では、2フェーズのプログラミングプロセスが利用される。第1フェーズ、即ち雑プログラミングフェーズは、閾電圧をより高速なマナーで上昇させ、タイトな閾分布の達成をそれ程意識していない。第2フェーズ、即ちファインプログラミングフェーズは、目標の閾電圧に達するよう閾電圧をより遅いマナーで上昇させ、よりタイトな閾分布を達成する。雑/ファインプログラミング方法の例は、2004年1月27日出願の米国特許出願第10/766217号の「Efficient Verification for Coarse/Fine Programming of Non-Volatile Memory」、2002年1月22日出願の米国特許出願第10/051372号の「Non-Volatile Semiconductor Memory Device Adapted to Store A Multi-Valued Data in a Single Memory Cell」、米国特許第6301161号、米国特許第5712815号、米国特許第5220531号、及び、米国特許第5761222号から得られる。これらの全体は、本願明細書に組み込まれる。

30

【0011】

メモリ装置がより小型化かつ高密度化するに従ってよりタイトな閾分布及び妥当なプログラミング時間の必要性が増加する。雑/ファインプログラミング方法は既存のいくつかの事案を解決するが、望ましいタイトな閾分布及び妥当なプログラミング時間を提供することができるように、雑/ファインプログラミング方法をさらに改善する必要がある。

【課題を解決するための手段】

40

【0012】

本発明は、簡単に言うと、非揮発性メモリのプログラミングを、より高い精度とリーズナブルなプログラミング時間において制御するためにブースティングを使用する技術に関する。本発明は、雑/ファインプログラミング方法を改善すること、及び/又は、雑/ファインプログラミングを実現せずに単独で使用されることができる。

【0013】

本発明の一実施形態では、ブースティングのソースを第1非揮発性記憶要素に供給し、ブースティングのソースを供給している間の第1期間中に第1非揮発性記憶要素のブースティングを妨害し、ブースティングのソースを供給している第2期間中に第1非揮発性記憶要素のブースティングを許容する。第1非揮発性記憶要素は、第2期間中にいくつかの

50

ブースティングを経験する。第1非揮発性記憶要素は、ブーストされた状態の間にプログラミングされる。

【0014】

本発明の別の実施形態では、NANDストリングのセットの一又は複数の非選択ワードラインにブースティング信号の第1フェーズを供給し、ブースティング信号の第1フェーズを供給している間にNANDストリングの選択ビットラインにプログラミングレベルを供給し、ブースティング信号の第1フェーズを供給している間にNANDストリングの非選択ビットラインに禁止レベルを供給する。この方法ではさらに、一又は複数の非選択ワードラインにブースティング信号の第2フェーズを供給し、選択ビットラインに禁止レベルを供給することによって選択ビットラインを変更し、これにより、選択ビットラインに対応するNANDストリングが、ブースティング信号の第2フェーズによってブーストされる。選択された記憶要素をプログラミングするために、選択ワードラインにプログラム電圧信号が供給される。選択された記憶要素とは、選択ワードラインに接続されているとともに、選択ビットラインに対応している記憶要素のことである。

10

【0015】

本発明の一又は複数の実施形態においては、一又は複数の非揮発性記憶要素をプログラミングすることを含むことができる。例えば、本発明を使用して、フラッシュメモリ装置のアレイをプログラムすることができる。いくつかの実施例では、一又は複数の非揮発性記憶要素のプログラミングは、制御回路によって又は制御回路の側で実行される。制御回路の構成要素は、特定の用途に従って異なる。例えば、制御回路は、コントローラ、コマンド回路、状態機械、行制御部、列制御部、ソース制御部、pウェル又はnウェル制御部、又はこれ以外の類似機能の回路の中のいずれか、又は任意の組み合わせを含むことができる。

20

【0016】

本発明のこれらの目的とその他の目的と利点は、図面を参照して説明される以下の本発明の好適な実施形態からより明確となるだろう。

【発明を実施するための最良の形態】

【0017】

本発明の内容は、限定されることなく例示として示されている添付の図面を参照して説明される。図面では、類似の要素を類似の参照符号で示している。この開示で参照している一又は複数の実施形態は必ずしも同じ実施形態である必要はなく、このような参照は少なくとも1つの手段を意味する点について留意するべきである。

30

【0018】

以降の説明では、本発明の様々な局面について説明する。しかしながら、当業者は、本発明開示の局面のいくつか又は全てを用いて本発明を実施できることが明白となるだろう。特定の数、材料、形状は、本発明を完全に理解するために説明の目的で述べられている。しかしながら、当業者は、本発明は特定の詳細部が全て揃わなくても実施できる点が明白であろう。本発明を不明瞭にしないために、よく知られた特徴を省略又は簡略化している例もある。

【0019】

以下では、様々な実施形態を複数の別個のステップとして、本発明を理解する上で最も助けとなる方法で順に説明する。しかしながら、この説明の順序は、これらのオペレーションが順序に依存するものであると思わせるものとして解釈されるべきではない。

40

【0020】

本発明が具現化されたフラッシュメモリシステムの一例では、NAND構造を利用する。このNAND構造は、2つの選択ゲートの間に複数のトランジスタを直列に配置することが含まれる。直列に配置されたトランジスタと選択ゲートはNANDストリングと呼ばれる。図1は、1つのNANDストリングを示す平面図である。図2は、図1の等価回路である。図1と図2に示されたNANDストリングは、第1選択ゲート120と第2選択ゲート122の間に挟まれた4つのトランジスタ100, 102, 104, 106を備え

50

ている。選択ゲート120は、NANDストリングをビットライン126に接続する。選択ゲート122は、NANDストリングをソースライン128に接続する。選択ゲート120は、制御ゲート120CGに適切な電圧を印加することによって制御される。選択ゲート122は、制御ゲート122CGに適切な電圧を印加することによって制御される。各トランジスタ100, 102, 104, 106は、制御ゲートとフローティングゲートを有する。トランジスタ100は、制御ゲート100CGとフローティングゲート100FGを有する。トランジスタ102は、制御ゲート102CGとフローティングゲート102FGを有する。トランジスタ104は、制御ゲート104CGとフローティングゲート104FGを有する。トランジスタ106は、制御ゲート106CGとフローティングゲート106FGを有する。制御ゲート100CGは、ワードラインWL3に接続しており、制御ゲート102CGは、ワードラインWL2に接続しており、制御ゲート104CGは、ワードラインWL1に接続しており、制御ゲート106CGは、ワードラインWL0に接続している。一実施形態では、トランジスタ100, 102, 104, 106は全てメモリセルである。別の実施形態では、これらのメモリセルは複数のトランジスタを有するか、又は、図1及び図2に示されたものとは異なるものであってもよい。選択ゲート120は、選択ラインSGDに接続しており、選択ゲート122は、選択ラインSGSに接続している。

10

【0021】

図3は、上述のNANDストリングの断面図を提供する。図3に示すように、NANDストリングのトランジスタは、pウェル領域140内に形成されている。各トランジスタは、制御ゲート(100CG, 102CG, 104CG, 106CG)とフローティングゲート(100FG, 102FG, 104FG, 106FG)によって構成される積層ゲート構造を含んでいる。フローティングゲートは、酸化膜上のpウェルの表面上に形成されている。制御ゲートはフローティングゲートの上に配置され、間に挟まれた中間ポリシリコン誘電層が制御ゲートとフローティングゲートを分離している。メモリセル(100, 102, 104, 106)の制御ゲートは、ワードラインを形成している。隣接するセルの間で、N+拡散層130, 132, 134, 136, 138が共有されていることによって、セル同士が直列に接続されてNANDストリングを形成している。これらのN+拡散層は、それぞれのセルのソースとドレインを形成している。例えば、N+拡散層130は、トランジスタ122のドレインとして機能し、トランジスタ106のソースとして機能する。N+拡散層132は、トランジスタ106のドレインとして機能し、トランジスタ104のソースとして機能する。N+拡散領域134は、トランジスタ104のドレインとして機能し、トランジスタ102のソースとして機能する。N+拡散領域136は、トランジスタ102のドレインとして機能し、トランジスタ100のソースとして機能する。N+拡散層138は、トランジスタ100のドレインとして機能し、トランジスタ120のソースとして機能する。N+拡散層126は、NANDストリングのためのビットラインに接続している。N+拡散層128は、複数のNANDストリングのための共通ソースラインに接続している。

20

30

【0022】

図1~図3は、NANDストリング内の4つのメモリセルを示している。しかしながら、この4つのトランジスタの利用は単に一例として提供されたものである。NANDストリングは、4つ未満、又は4つ以上のメモリセルを含むことができる。例えば、8個のメモリセル、16個のメモリセル、32個のメモリセル、又はその他を含むNANDストリングも存在する。なお、この説明によってNANDストリング内のメモリセルの数は限定されない。

40

【0023】

それぞれのメモリセルは、アナログ又はデジタル形式のデータを記憶することができる。1ビットのデジタルデータを記憶する場合、メモリセルの使用可能な閾電圧の範囲が2つの範囲に分割され、これらの範囲には論理データ「1」と「0」がそれぞれ割り当てられる。NAND型フラッシュメモリの一例では、メモリセル消去後に閾電圧が負になり、論

50

理「1」と定義される。プログラム動作後には閾電圧が正になり、論理「0」と定義される。閾電圧が負の場合に読み取りを試みると、メモリセルがターンオンし、論理「1」が記憶されたことを示す。閾電圧が正の場合には、読み出しオペレーションを試みても、論理「0」が記憶されたことを示すためにメモリセルがターンオンすることはない。メモリセルは、例えば複数のレベルの情報を記憶できる。即ち、複数ビットのデジタルデータを記憶することができる。複数レベルのデータを記憶する場合、使用可能な閾電圧の範囲が記憶レベルの数に分割される。例えば、4つのレベルの情報を記憶する場合、データ値「11」、「10」、「01」、「00」が割り当てられた4つの閾電圧範囲に分割される。NAND型メモリの一例では、消去オペレーション後に閾電圧が負になり、「11」と定義される。「10」、「01」、「00」の状態に対しては正の閾電圧が使用される。

10

【0024】

NAND型フラッシュメモリ及びその動作の関連例は、米国特許第5570315号、米国特許第5774397号、米国特許第6046935号、米国特許第5386422号、米国特許第6456528号、及び米国特許出願第09/893277号（公開公報第US2003/0002348号）から得られ、これらの全体は、本願明細書に組み込まれる。セルフブースティング技術を含むNANDフラッシュメモリのプログラミングに関する情報は、2003年3月5日出願の米国特許出願第10/379608号の「Self Boosting Technique」、及び、2003年7月29日出願の米国特許出願第10/629068号の「Detecting Over Programmed Memory」から得られる。両出願の全体は、本願明細書に組み込まれる。フラッシュメモリ装置の他のタイプも、本発明において用いることができる。例えば、NOR型フラッシュメモリについての説明は、米国特許第5095344号、第5172338号、第5890192号、第6151248号から得られ、これらの全体は、本願明細書に組み込まれる。別タイプのフラッシュメモリの例は、米国特許第6151248号から得られる。これらの全体は、本願明細書に組み込まれる。

20

【0025】

図4は、本発明を実行するために使用できるフラッシュメモリシステムの一実施形態のブロック線図である。メモリセルアレイ302は、列制御回路304、行制御回路306、cソース制御回路310、及びpウェル制御回路308によって制御される。列制御回路304は、メモリセルに記憶されているデータを読み出すため、プログラムオペレーション中のメモリセルの状態を決定するため、又は、ビットラインのポテンシャルレベルを制御してプログラミングを促進又は禁止するために、メモリセルアレイ302のビットラインに接続されている。行群制御回路306は、複数のワードラインから1つを選択するため、読み出し電圧を印加するため、プログラム電圧を印加するため、又は、消去電圧を印加するために、ワードラインに接続されている。cソース制御回路310は、メモリセルに接続された共有ソースライン（図5中に「cソース」として示す）を制御する。pウェル制御回路308は、pウェル電圧を制御する。

30

【0026】

メモリセルに記憶されたデータが列制御回路304によって読み出され、データ入力/出力バッファ312を介して外部I/Oラインへ出力される。メモリセルに記憶されるべきプログラムデータが、外部I/Oラインを介してデータ入力/出力バッファ312に入力され、列制御回路304に転送される。外部I/Oラインは、コントローラ318に接続されている。

40

【0027】

フラッシュメモリ装置を制御するための命令データがコントローラ318に入力される。命令データは、どのオペレーションが要求されたのかをフラッシュメモリに知らせる。入力された命令が状態マシン316に転送され、列制御回路304、行制御回路306、cソース制御310、pウェル制御回路308、データ入力/出力バッファ312を制御する。状態マシン316は、READY/BUSYやPASS/FAILのようなフラッシュメモリの状態データを出力することができる。

【0028】

50

コントローラ318は、ホストシステムに接続されているか、接続されることができる。このホストシステムは、パーソナルコンピュータ、デジタルカメラ、パーソナルデジタルアシスタント、その他である。コントローラ318は、ホストと通信して、ホストから命令を受信し、データを受信し、ホストにデータを供給し、状態情報を供給する。コントローラ318は、ホストからの命令を命令信号に変換する。この命令信号は、状態マシン316と通信している命令回路314によって解釈及び実行されることができる。一般的に、コントローラ318には、メモリアレイに書き込み又はメモリアレイから読み出しされるユーザデータのためのバッファメモリが内蔵されている。

【0029】

1つの例証的なメモリシステムは、コントローラ318を有する1つの集積回路と、それぞれがメモリアレイに対応する制御とを含んでいる一又は複数の集積回路チップと、入力/出力、及び、状態機械回路とを備えている。一又は複数の集積回路チップ上でシステムのメモリアレイとコントローラ回路を統合することがトレンドである。メモリシステムは、ホストシステムの部分として組み込むか、又は、ホストシステム内に取り外し可能に挿入されるメモリカード(または他のパッケージ)内に内蔵することができる。このような取り外し可能なカードには、メモリシステム全体(例えばコントローラを含む)が実装されているか、又は、単にメモリアレイ(一又は複数)と関連する周辺回路が実装されていてよい(ホストにコントローラが組み込まれた状態)。したがって、コントローラ(又は制御機能)をホスト内に組み込むか、取り外し可能なメモリシステム内に実装することが可能である。

【0030】

図4のいくつかの構成要素を組み合わせることができる実施形態もある。様々な設計において、図4中のメモリセルアレイ302以外の一又は複数の構成要素は、制御回路として考慮することができる。

【0031】

図5には、メモリセルアレイ302の構造の一例が示されている。一例として、1024個のブロックに区分されたNANDフラッシュEEPROMについて説明する。各ブロックに記憶されたデータが同時に消去される。一実施形態では、ブロックは、同時に消去されるセルの最小単位である。この場合、各ブロック内には、偶数列群と奇数列群に分割された8512個の列群が存在する。ビットラインも偶数ビットライン(BLe)と奇数ビットライン(BLo)に分割されている。図5は、直列に接続されてNANDストリングを形成している4つのメモリセルを示す。4つのセルは、それぞれのNANDストリング内に内蔵されて示されているが、4つ以上又は4つ未満のメモリセルを利用することができる。NANDストリングの一方のターミナルは、第1選択トランジスタSGDを介して対応するビットラインに接続しており、他方のターミナルは、第2選択トランジスタSGSを介してcソースに接続している。

【0032】

読み出し及びプログラミングオペレーションの一実施形態の間に、4256個のメモリセルが同時に選択される。選択されたメモリセルは、同一のワードラインと、同タイプのビットライン(例えば偶数ビットライン又は奇数ビットライン)を有する。したがって、532バイトのデータを同時に読み出し又はプログラムすることができる。同時に読み出し又はプログラムできる532バイトのデータによって論理ページが形成される。したがって、1つのブロックは、少なくとも8個の論理ページ(それぞれが奇数と偶数のページを備える4つのワードライン)を記憶することができる。各メモリセルが2ビットのデータを記憶し(例えばマルチレベルセル)、これら2ビットのそれぞれが異なるページに記憶されている場合、1つのブロックが16個の論理ページを記憶する。本発明では、これ以外のサイズのブロック及びページを利用することもできる。なお、本発明の実現には、図4及び図5に示した構造以外の構造を利用することもできる。

【0033】

メモリセルは、pウェルを消去電圧まで上昇させて(例えば20ボルト)、選択された

10

20

30

40

50

ブロックのワードラインをグラウンドすることによって消去される。ソースとビットラインは浮遊している。消去はメモリアレイ全体、別個のブロック、又は別の単位で実行することができる。電子がフローティングゲートから p ウェル領域に伝達されて、閾電圧が負になる（一実施形態の場合）。

【 0 0 3 4 】

読み出し及びベリファイ動作では、選択ゲート（SGD, SGS）と、非選択ワードライン（例えばWL0, WL2, WL3）が読み出しパス電圧（例えば4.5ボルト）まで上昇され、トランジスタがこの電圧によってパスゲートとして動作する。選択ワードライン（例えばWL1）が、読み出し動作及びベリファイ動作のそれぞれのレベルの電圧に接続されることで、メモリセルの閾電圧がこのレベルを上回るか又は下回るかが決定される。例えば、2レベルのメモリセルを読み出すオペレーションでは、選択ワードラインWL1をグラウンドすることで、閾電圧が0Vよりも高いかどうかを検出することができる。2レベルのメモリセルのベリファイオペレーションでは、選択ワードラインWL1を例えば0.8Vに接続することで、閾電圧が少なくとも0.8Vに達したかどうかをベリファイすることができる。ソースとpウェルはゼロボルトである。選択ビットライン（BLE）は、例えば0.7Vのレベルにプレチャージされる。閾電圧がワードラインの読み出し又はベリファイレベルよりも高い場合は、非導通メモリセルになり、セルに関連したビットライン（BLE）のポテンシャルレベル（例えばセル330のBLE1）が高レベルを維持する。閾電圧が読み出し又はベリファイレベルよりも低い場合は、導通メモリセルになり、接続されたビットライン（BLE）のポテンシャルレベルが、例えば0.5V未満の低レベルに低下する。このようにして、メモリセルの状態がビットラインに接続されている電圧コンパレータセンス増幅器によって検出される。

【 0 0 3 5 】

上述した消去、読み出し、及びベリファイオペレーションは、周知の技術に従って実施される。そのために、説明した詳細の多くは当業者によって変更されることが可能である。上記した以外の読み出し及びベリファイ技術を利用することもできる。

【 0 0 3 6 】

図6は、2ビットのデータ（例えば4つのデータ状態）を記憶するメモリセルのための閾電圧の分布を示す。一実施形態では、分布460は、消去状態にある（例えば「11」を記憶している）セルの閾電圧の分布を示す。この閾電圧は負の閾電圧レベルにある。分布462は、「10」を記憶しており、正の閾電圧レベルを有するセルの閾電圧の分布を示す。分布464は、「00」を記憶しているメモリセルの閾電圧の分布を示す。分布466は、「01」を記憶しているセルの閾電圧の分布を示す。別の実施形態では、それぞれの分布を、上述したのものとは異なるデータ状態に関連させることができる。いくつかの実施形態では（上記で例示したように）、これらのデータ値（例えば論理状態）は、グレイコードアサインメント（gray code assignment）を利用して、閾範囲に割り当てられる。フローティングゲートの閾電圧が誤ってその近くのフィジカル状態にシフトしても、1論理ビットしか影響を受けない。メモリセルにプログラムされるデータとセルの閾電圧範囲の間の特定の関係は、メモリセルに採用されるデータエンコーディングスキーム（data encoding scheme）に依存する。例えば、米国特許第6222762号と、2003年6月13日出願の米国特許出願第10/461244号の「Tracking Cells For A Memory System」は、マルチ状態フラッシュメモリセルのための様々なデータエンコーディングスキームを開示している。これらの全体は、本願明細書に組み込まれる。さらに、本発明は、2ビット以上のデータを記憶するメモリセルに適用することもできる。

【 0 0 3 7 】

1つの実施例においては、消去状態（例えば分布460）にあるメモリセルをあらゆるプログラム状態（分布462、464、466）にプログラムすることができる。別の実施形態では、消去状態にあるメモリセルが2ステップ方法でプログラムされる。この2ステップ方法では、1つのデータ状態に記憶されたそれぞれのビットが異なる論理ページに対応している。即ち、1つのメモリセルに記憶されているそれぞれのビットは、下方論理

10

20

30

40

50

ページと上方論理ページに関連している異なる論理ページアドレスを設けている。例えば、状態「10」では、下方論理ページについて「0」が記憶され、上方論理ページについて「1」が記憶される。第1プログラミングステップでは、セルの閾電圧レベルが、下方論理ページにプログラミングされるべきビットに従って設定される。このビットが論理「1」であれば、初期に消去された結果として適切な状態にあるので、閾電圧は変化しない。しかしながら、ビットが論理「0」にプログラムされるものである場合には、セルの閾電圧が閾電圧分布462内に達するように上昇する。

【0038】

第2プログラミングステップでは、メモリセルの閾電圧レベルが、上方論理ページ内にプログラムされるビットに従って設定される。上方論理ページビットが論理「1」となるべきものである場合、このセルは閾電圧分布460又は462のいずれかの状態にあるため、これ以上のプログラミングは実行されない。これらの閾電圧分布の両方は、上方論理ページビット「1」を含んでいる。上方論理ページビットが論理「0」となるべきものであり、第1ステップを実施してもこのセルが閾範囲460の消去状態にある場合には、プログラミング工程の第2ステップにおいて、閾電圧を閾分布466内に達するべく上昇させる。上方論理ページビットが論理「0」となるべきものであり、第1プログラミングステップの結果、セルが閾分布462の状態にプログラムされた場合には、プログラミング工程の第2ステップにおいて、閾電圧を閾電圧分布464内に達するべく上昇させる。この2ステップ方式は、マルチ状態メモリをプログラミングする方法の一例である。これ以外の方法、例えば1ステップ工程、2ステップ以上の工程を含む方法を利用することもできる。図6には、4つの状態(2ビット)が示されている。しかしながら、本発明は、これ以外にも、8つの状態、16個の状態、32個の状態、その他の数を含むマルチ状態構造に適用することが可能である。

【0039】

オールトンネリング(all tunneling)ベースEEPROM又はフラッシュメモリ装置をプログラミングする場合、一般的に、制御ゲートにプログラム電圧が印加され、ビットラインがグラウンドされる。チャネルからの電子がフローティングゲート内に注入される。フローティングゲート内に電子が蓄積すると、フローティングゲートは負電荷となり、メモリセルの閾電圧が上述した閾電圧分布のいずれかにまで上昇する。一般的に、制御ゲートに付加されるプログラム電圧は、パルス群として付加される。一実施形態では、このパルスの大きさが、それぞれの連続的なパルスによって、所定のステップサイズ(例えば0.4V、0.2V、その他)だけ上昇する。図7は、フラッシュメモリセルの制御ゲート(場合によってはステアリングゲート)に付加されるプログラム電圧信号V_{pgm}を示している。プログラム電圧信号V_{pgm}は、時間と共に大きさが増加するパルス群を含んでいる。

【0040】

プログラムパルス間の期間内に、ベリファイ動作が実行される。即ち、セル群のそれぞれのセルの平行にプログラミングされているプログラミングレベルが、連続するプログラミングパルス間に読み出され、プログラミングされているベリファイレベルと等しいのか、又は、これよりも大きいのか決定される。マルチ状態フラッシュメモリセルの阵列について、メモリセル群が各状態のベリフィケーションステップを実行し、セルがそのデータに関連したベリファイレベルに達しているのかどうかを決定する。例えば、データを4つの状態で記憶できるマルチ状態メモリセルは、3つの比較点についてベリファイ動作を実行する必要があるかもしれない。図8は、3つのプログラミングパルス10a、10b、10cを示す(これらは図7にも示されている)。プログラミングパルス間には、3つのベリファイ動作を実行するための3つのベリファイパルスが設けられている。システムは、これら3つのベリファイ動作に基づいて、メモリセルが対応するデータ状態ベリファイレベルに到達しているのか否かを決定することができる。このベリファイレベルのうちの一つは、0ボルトにあることを述べておく。

【0041】

図9は、雑ノファインプログラミング工程を利用したプログラミング工程の一実施形態を説明するためのフローチャートである。ステップ502では、メモリのプログラムされるべき部分が選択される。1つの実施例においては、これは、メモリ構造に適した一又は複数の書き込みユニットであってよい。書き込みユニットの一例は、ページと呼ばれる。別のユニット及びノ又は構造を利用してもよい。ステップ504では、プレプログラミング(又はプレ消去)工程が利用される。アドレス先のメモリセルに非データ依存プログラミングが付与され、記憶要素を一様にし、後の消去における開始点をより一様にする。ステップ506では、このタイプの記憶要素を適宜に利用して、消去工程が実行される。スマート消去工程の一例は、米国特許第5095344号に開示されている。この内容の全体は、本発明の明細書に組み込まれる。ステップ508は、実際の書き込みフェーズのため 10 のより一様な開始範囲内に、消去されたメモリセルの閾電圧を供給するように設計されたソフトプログラミング工程を含む。一実施形態では、消去中に(又はソフトプログラミング中に)メモリセルのいずれかがベリファイに失敗した場合には、このメモリセルを論理アドレス空間からマップアウトすることができる。この時点では、メモリはデータコンディショニング・プログラミングフェーズの準備ができています。

【0042】

ステップ510では、プログラム電圧(V_{pgm})が初期値に設定される。例えば、いくつかの実施形態では、図7の形状をした階段波を使用している。ステップ510には初期パルスの設定が含まれている。さらにステップ510でも、プログラムカウンタ(PC)がゼロに初期化され、(一般的に)プログラミング動作及び関連するレジスタが雑モード 20 に設定される。ステップ520では、NANDストリングのブースティングが実行され、プログラムパルスが付加される。ステップ520の詳細については、後で述べる。ステップ522で、ベリフィケーション工程が実行される。要求に応じて、雑プログラミングについて、ゼロ、1つ、又は複数のメモリセルがベリファイされ、ファインプログラミングについて、ゼロ、1つ、又は複数のメモリセルがベリファイされる。例えば、バイナリメモリセル(例えば2つの状態)では、いくつかのメモリセルが雑プログラミングのためにベリファイされるのと同時に、別のメモリセルがファインプログラミングのためにベリ 30 ファイされる。マルチ状態メモリセルでは、特定状態の雑プログラミングについていくつかのメモリセルがベリファイされるのと同時に、別のメモリセルが同じ特定状態のファインプログラミングについてベリファイされる。マルチ状態メモリセルに関連した別の実施形態では、異なるメモリセルを異なる状態に同時にプログラム/ベリファイすることができる。これらの状態では、いくつかのメモリセルが雑プログラミングのためにベリファイされるのと同時に、他のメモリセルがファインプログラミングのためにベリファイされる。さらにステップ522では、システムが、プログラミングの雑モードからファインモードへの切り替えが必要なのはどのメモリセルであるのかを決定する。ステップ522のさらなる詳細は後で説明する。

【0043】

ステップ524では、全てのメモリセルの閾電圧が、最終的な又は目標とするそれぞれの閾電圧を満たしたことを、全てのメモリセルにおいてベリファイされたのか否かが決定 40 される。ベリファイされた場合、ステップ526において、プログラミング工程が完了する(状態=パス)。全てのメモリセルがベリファイされていない場合、プログラムカウンタ(PC)が20未満であるのか否かが決定される。プログラムカウンタ(PC)が20未満でない場合(ステップ528)、そのプログラム工程は失敗である(ステップ530)。プログラムカウンタ(PC)が20未満である場合、ステップ532において、プログラムカウンタ(PC)が1だけ増加され、プログラム電圧が次のパルスに上昇される。ステップ532の後に再びステップ520に戻り、メモリセルに次のプログラムパルスが付加される。

【0044】

図10は、プログラミングモードをベリファイ及び決定する工程(図9のステップ522)の一実施形態を、より詳細に説明するフローチャートである。図10のステップ56 50

2では、システムが、特定のフラッシュメモリセルが雑プログラミングモード又はファインプログラミングモードのどちらにあるのかを決定するために、レジスタ（又は別の記憶装置）をチェックする。メモリセルが雑フェーズにある場合（ステップ564）、ステップ566において雑ベリフィケーションが実行される。例えば、図6を見ると、メモリセルの閾電圧が閾電圧レベル V_C と比較される。閾電圧レベル V_C は、プログラミング動作の最終的な又は目標である閾電圧レベル V_F よりも少し低い。図6では閾電圧分布462の V_C と V_F を示しているが、多くの実施形態において、メモリセルをプログラムすることができるそれぞれの閾電圧分布に V_C と V_F が設けられている点に留意するべきである。メモリセルの閾電圧がその目標の状態について V_C にあるか、又は、これを超えていれば、メモリセルは雑ベリフィケーションテストにパスしている（ステップ568）。メモリセルの閾電圧がその目標の状態について V_C 未満の場合、メモリセルはベリフィケーションテストにパスしていない。メモリセルが雑ベリフィケーションテストにパスしていない場合（ステップ568を参照）、メモリセルは雑プログラミングモードに留まる（ステップ570）。メモリセルが雑ベリフィケーションテストにパスした場合、メモリセルはプログラミングモードをファインプログラミングモードに変更する（ステップ572）。

【0045】

ステップ564で、メモリセルがファインプログラミングモードにあると決定された場合、ステップ580でファインベリフィケーション工程が実行される。例えば、図6を見ると、メモリセルの閾電圧を最終目標閾電圧 V_F と比較することができる。メモリセルの閾電圧が目標の電圧 V_F にあるか、又は、これを超える場合（ステップ582）、ファインベリフィケーションテストにパスしており、メモリセルにおいてはそのプログラミングセッション中のこれ以降のプログラミングが禁止されるか終了される（ステップ584）。メモリセルのそれ以上のプログラミングを禁止する一実施形態では、プログラミング動作中にビットラインを V_{dd} にまで上昇させる。メモリセルを禁止又はロックアウトする別の手段を利用することもできる。ステップ582において、ベリフィケーションテストにパスしなかったと決定された場合（例えば、メモリセルの閾電圧が目標の電圧 V_F 未満である場合）、メモリセルに対してそれ以上のプログラミングが禁止されることはない（ステップ586）。

【0046】

図10の工程が個々のセルに実行される。多くの実施形態では、複数のメモリセルが同時にプログラムされる。したがって、図10の工程は複数のメモリセルに同時に実行される。このようなプログラミングの間において、メモリセルのいくつかは雑プログラミング工程にある一方において、別のセルはファインプログラミング工程にあり、さらに別のメモリセルはプログラミングが禁止されている。

【0047】

上述したように、一実施形態においてプログラミングが実行されている間に、1つ置きのビットラインがプログラミングのために選択される。例えば、プログラミングのために全ての偶数ビットラインを選択し、全ての奇数ラインをプログラミングのために選択しないことが可能である。別の実施形態では、プログラミングのために異なるグループのビットラインを選択することが可能である。ビットラインの選択は、特定のプログラミング動作においてどのNANDストリングをプログラムするかを選ぶための1つの手段である。任意のプログラミング動作について、NANDストリング上のメモリセルの1つが選択される。例えば、図5において、プログラミングのためにメモリセル330が選択されているものと仮定する。これにより、プログラミングのために偶数ビットラインが選択され、又は、ワードライン WL_1 が選択される。図5からわかるように、 WL_1 は、メモリセル330とメモリセル332の両方に接続されている。メモリセル330はプログラミングのために選択されており、メモリセル332は選択されていないが、この接続によって、ワードラインプログラムパルスがメモリセル330とメモリセル332の両方に供給される。ワードライン上の1つのセルを、同じワードラインに接続されている他の全てのセルをプログラムせずにプログラムすることが望ましい場合に、問題が生じることが技術上

10

20

30

40

50

知られている。1つのワードラインに接続されている全てのセルにプログラム電圧が印加されるため、選択されていないセル（例えばメモリセル332）が誤ってプログラムされてしまう（又は一部プログラムされてしまう）可能性がある。選択されていないセルの同時プログラミングは「プログラムディスターブ」と呼ばれる。

【0048】

いくつかの技術を採用して、プログラムディスターブを防止することができる。「セルフブースティング」として知られている1つの方法では、プログラミング中に、非選択ビットラインが禁止電圧（例えばV_{dd}）にまで上昇され、非選択ワードラインにパス電圧（例えば9ボルト）が付加される。これにより、その下にあるチャンネルと相互に接続される拡散領域（開始状態をプレチャージされた状態に初期化することができる。この状態は例えば1.5ボルトである）を、約7.5ボルトの電位にカップリングさせる。その結果、プログラミング制御ゲートに対応したメモリセルのチャンネル（その電位は、約20ボルトにまで最大で上昇させることができる）が、この7.5ボルトレベルにまで上昇し、トンネリングオキシド（tunneling oxide）にわたって電圧が低下し、プログラミングディスターブが禁止される。

10

【0049】

より詳細には、 $V_G - V_S > V_{TH}$ である場合、NANDストリング内のトランジスタがターンオンされることを考慮する。この場合、 V_G はゲートに印加された電圧であり、 V_S はソースにおける電圧であり、 V_{TH} はトランジスタの閾電圧である。NANDトランジスタは対称的であり、どちら側もソース又はドレインとなり得る。一般的に、下方電圧を有する側はソースと呼ばれる。そのために、電圧が変化すると、どちら側がソースでどちら側がドレインであるのかが変化する。 $V_G - V_S$ が V_{TH} より小さい場合には、装置が停止する（ソースとドレインの間に導通はない）。所定の V_G によって、 V_S と V_D の両方が十分に増加して $V_G - V_S < V_{TH}$ （ $V_D - V_S$ である点に留意）となった場合にも装置が停止する。

20

【0050】

NANDストリングのプログラミングを禁止するためには、非選択ビットラインがV_{dd}にまで上昇される。一実施形態では、ドレイン側の選択ゲート（図2のSGD）の選択制御ゲートもV_{dd}に設定される。選択ゲートが、そのNANDストリングに接続されている下方にバイアスされたソースに導通する。次に、非選択ビットラインに対応する非選択NANDストリングが、これに対応する非選択ワードラインに印加されたパス電圧によってブーストされ、これによってNANDストリング内の電圧が静電的（capacitively）に上昇される。NANDストリング内の電圧が $V_G - V_{TH}$ に達すると、選択ゲートが停止し、NANDストリングがビットラインから隔離する。これにより、NANDストリングにカップルされている電圧がビットライン内に放電することはない。その後、NANDストリング上の電圧がパス電圧とともに、 V_G より高くなるように上昇を続ける。しかしながら、ビットラインバイアスは $V_G - V_{TH}$ を下回ることはなく、選択ゲートは停止したままであるために、NANDストリング内の電圧が約7.5ボルトにまで上昇を続けることができる。チャンネル内の電圧が7.5ボルトに達しても、選択ワードラインのトンネル誘電体にわたる電圧差は、電子がフローティングゲート内にトンネリングできるほど大きくない。これ以外のプログラムディスターブを低減する方法は、局所的なセルフブースティングと消去範囲セルフブースティングを含む。これらのブースティングアプローチの多くは、2003年3月5日出願の米国特許出願第10/379608号「Self-Boosting Technique」に説明されている。この内容の全体は、本願明細書に組み込まれる。

30

40

【0051】

図11A、図11B、図11Cは、図9のブースティング及びプログラムパルスステップ520を実行するための様々な実施形態を説明するためのタイミング図である。水平軸は、 μ 秒単位の時間に対応する。図11Aは、1つのプログラミングパルスを含むステップ520の1回の反復のために、非選択ビットライン（例えば、図5のメモリセル332に対応する奇数ビットライン）に対応する様々な信号の態様を示す。図11Aは、5~4

50

0 μ 秒の間に V_{dd} (例えば 2.5 ボルト) にあるビットライン電圧 V_{BL} を示している。これにより、NAND ストリングがこの特定のビットラインに関連することが禁止される。選択ゲート電圧 V_{SGD} (選択トランジスタ SGD の制御ゲートにおける電圧) は、5 μ 秒の時点で 5 ボルトに上昇され、10 μ 秒の時点で 2.5 ボルト (例えば V_{dd}) に降下され、この状態が 40 μ 秒の時点まで維持される。 V_{SGD} が 5 ボルトにある 5 ~ 10 μ 秒の間の時間が、NAND ストリングのプレチャージ電圧を増加させるために使用される。上述したように、この例では、メモリセル 330 をプログラミングするべく選択したものと仮定する。そのため、 $WL1$ は選択されたワードラインであり、 $WL0$ 、 $WL2$ 、 $WL3$ は選択されていないワードラインである。非選択ワードライン上の電圧 V_{UWL} は、その非選択ワードラインに接続されたメモリセルに対応する制御ゲート上の電圧 (パス電圧と呼ばれる) に対応している。電圧 V_{UWL} は、5 μ 秒の時点でプレチャージを可能にするべく V_{dd} にまで上昇され、その後 10 μ 秒の時点で非選択ビットラインに対応する NAND ストリングをブーストするために約 9 ボルトにまで上昇される。9 ボルトのパス電圧は、約 35 μ 秒まで非選択ワードライン上に維持される。5 μ 秒の時点でプレチャージを可能にするために、選択ワードライン (例えば $WL1$) 上の電圧 V_{SWL} が V_{dd} にまで上昇される。15 μ 秒の時点でプログラミングパルスが付加され、35 μ 秒の時点で終了する (実線)。1 つの例では、プログラミングパルスは 12 ~ 20 ボルトの間で変えることができる。ソース側の選択ゲート (V_{SGS}) の制御ゲートは、全体を通して 0 ボルトであり、ソース電圧 V_S は、2.5 μ 秒の時点で V_{dd} にまで上昇されて 40 μ 秒の時点で終了する。その結果、NAND ストリングの電圧 V_{NAND} がまずプレチャージレベルになり、続いて、非選択メモリセルのプログラミングを防止するために、約 7.5 ボルトにまでブーストされる。

【0052】

図 11B は、雑プロミグフェーズにある選択ビットラインに関連する様々な信号の様子を説明するためのタイミング図を示す。この例では、ビットライン電圧 V_{BL} は、プログラミングを可能にするために、関連する時間の全体にわたって 0 ボルトにある。ドレイン側の選択ゲートトランジスタが、図 11A のものと同じ電圧 V_{SGS} を受ける。これは、全てのビットラインに同じ選択ゲート電圧が印加されるためである。同様に、一実施形態では、全ての NAND ストリングが、雑プログラミング又はファインプログラミングを禁止されているのか否かに関係なく、同じ非選択ワードライン電圧 V_{UWL} と同じ選択ワードライン電圧 V_{SWL} を受ける。したがって、 V_{UWL} と V_{SWL} は、図 11A に示されるように、図 11C と同様に図 11B においても同じであり、 V_{SGD} と V_S も類似している。しかしながら、ビットライン電圧は 0 ボルトであるために、ブースティング電位からの電圧が、グラウンドビットラインに戻る導通によって消失し、NAND ストリングが約 0 ボルトの電圧に留まる。その結果、15 μ 秒の時点でプログラミングパルスが受け取られると、電子が発生し、この電子がフローティングゲート内にトンネリングされ、選択メモリセルがプログラムされる。

【0053】

図 11C は、一実施形態のファインプログラミングモードにある選択ビットラインに関連した様々な信号の様子を説明するためのタイミング図を示す。プログラミングのファイン制御を実現するために、一実施形態では、関連するそれぞれのプログラミングパルス間に、フローティングゲート内にトンネリングされる累積電荷量を低減させる。一実施形態では、ビットライン制御を使用して実行される。ファイン制御の実現の一例では、プログラミングパルスの最初に、プログラム禁止状態で開始する。次に、プログラミングパルスの一部にわたって (例えば 20 μ 秒プログラミングパルスの 10 μ 秒)、ビットラインをそのファインプログラミングレベル (例えば 0 ボルト、1/2 ボルト、その他のボルト) にまで低下させ、残りのプログラミングパルスについて、ビットラインをこのレベルに保持する。これにより、NAND ストリング電圧が、約 7.5 ボルトからビットライン電圧に近い値 (例えば、0 ボルト、1/2 ボルト、その他のボルト) にまで降下される。

【0054】

10

20

30

40

50

プログラムパルス禁止モードのビットラインを開始し、このビットラインをプログラムパルスの一部にわたって低下させることで、有効プログラミング時間が短縮され、プログラムパルスの効果を低減する効果が得られる。図11Dは、プログラムパルス短縮の効果を示すグラフである。同図に見られるように、プログラムパルスが長いほど（例えば20 μ 秒）、短いプログラムパルス（例えば10 μ 秒）より閾電圧が高くなる。

【0055】

いくつかの実施形態では、ビットラインが禁止レベルから低い値（例えば0.5ボルト、又は、ゼロボルト以外の適切な低電圧）に低減されることで、雑ノイズプログラミングのファインフェーズのためのプログラムパルスの非禁止部分の間に、NANDストリングの電位が0ボルトよりも高くなる。以降で説明するように、NANDストリングの値を0ボルトより上であって禁止レベルより下にすることによって、よりゆっくりと精密なプログラミング工程が可能になる。例えば、図11Eと図11Fは、チャンネル（NANDストリング）電圧の様々な組み合わせについてプログラミング速度を低減し、プログラミング時間を低減した（即ち、プログラムパルスの部分のための禁止）場合の実験結果を曲線で示している。図11Eは、雑プログラミング直後のファインプログラミングV_tの4本の曲線を示す。これらの曲線のうち3本（チャンネルが0ボルト、0.6ボルト、1ボルトにあるもの）は、20 μ 秒間禁止されず、パルスステップサイズが400mV増加するプログラミングパルスのものである。4本目の曲線は、チャンネルが0.6ボルトのものであり、プログラムパルスが10 μ 秒間禁止されず、パルスステップサイズの増加が400mVのものである。第1パルス（即ち一連の雑パルスの最後）では全ての曲線が同一の状態にあり、変化は第2パルス（又はオンセット・ファインプログラミングの直後）で開始していることに留意するべきである。同様に、図11Fも4本の曲線を示している。そのうちの2本（チャンネルが0ボルトと1.6ボルト）は、プログラムパルスが40 μ 秒間禁止されず、パルスステップサイズの増加が400mVのものである。第3曲線は、チャンネルが0.6ボルトであり、プログラムパルスが20 μ 秒間禁止されず、パルスステップサイズの増加が400mVのものである。第4曲線は、チャンネルが0.6ボルトであり、プログラムパルスが10 μ 秒間禁止されず、パルスステップサイズの増加が400mVのものである。第1パルスは、各曲線の雑モードプログラミングパルスの最後を示し、ファインプログラミングに関連する変化は第2パルスから開始していることに留意するべきである。

【0056】

上述の説明によれば、図11Cのタイミング図は、5 μ 秒の時点でV_{dd}にまで上昇され、そのV_{dd}がプログラミングパルスの中間の25 μ 秒まで維持されているビットライン電圧を示している。別の実施形態では、パルスの中間以外の時間（例えば、パルスの1/4、パルスの3/4、その他）に、ビットラインをV_{dd}から0ボルトにまで低下させることができる。別の実施形態では、プログラミングパルスの中間、又は、他の選択された時間に、ビットラインをV_{dd}から0V以外（例えば0.6V）の低電圧に低下させることができる。選択ゲートにおける電圧V_{SGD}、非選択ワードラインにおける電圧V_{UWL}、選択ワードラインにおける電圧V_{SWL}は、図11A、図11Bに関連して上述したものと同様である。NANDストリング内の電圧は、まず5 μ 秒の時点でプレチャージされ、次に10 μ 秒の時点で約7.5ボルトにまでブーストされる。ビットライン電圧がパルスの一部にわたって低下する際に、NAND電圧が7.5Vからその対応する時間における約0V（又は他の所定の低ビットライン電圧）にまで低下する。選択されたワードラインプログラミングパルスは、15 μ 秒の時点から35 μ 秒の時点まで付加されることを述べておく。

【0057】

図12は、図9～図11の工程の一実施形態を実現するために使用される構成要素を示すブロック線図である。図12は、1ビットラインの回路を示す。一実施形態では、アレイの各ビットラインにこの回路が1つ設けられている。別の実施形態では、ビットラインの対（即ち奇数/偶数の対）にこの回路が1つ設けられている。図12は、スイッチ60

10

20

30

40

50

0とキャパシタ602とに接続されたビットラインを示す。キャパシタの他端は、グラウンドのような基準電位に接続されている。キャパシタンスは、ビットライン自体のキャパシタンスからも得られる点に留意するべきである。スイッチ600は、プレチャージ電圧回路(Vprecharge)に接続されており、センス増幅回路610の入力部にも接続されている。信号Vrefは、センス増幅回路610の入力部に接続されている。センス増幅回路610の出力部は、C/Fレジスタ620とロックアウトレジスタ622にデータを供給する。C/Fレジスタ620の出力部は、マルチプレクサ630とマルチプレクサ604にデータを供給する。マルチプレクサ630は、ストロボ信号Tc, Tfを受信し、C/Fレジスタ620からのデータに基づいてこの2つの信号のうち的一方を選択する。マルチプレクサ630の出力は、センス増幅回路610に接続されており、センシング関連の時間を制御する。

10

【0058】

図12に示す構成要素のベリフィケーション動作は、ビットライン放電ベリフィケーション工程に基づいている。最初にビットラインがプレチャージされる。次に、このビットラインに取り付けられているメモリセルの制御ゲートにベリフィケーションパルスが提供される。その後、ビットラインが放電可能となる。放電速度に基づいて、メモリセルが特定の閾電圧レベルより上にあるのか下にあるのかを決定することができる。

【0059】

図12Aは、時間に対するビットライン電圧(Vb1)のグラフを示す。1つの実施形態では、ビットラインは、プレチャージ状態から開始し、時間Tにわたって放電を続けることができる。時間Tにおいて、ビットラインの電圧が基準電圧Vrefと比較される。ビットライン電圧がVrefよりも高い場合には、そのメモリセルはより遅い駆動能力を有し、目標の閾電圧よりも多くのプログラム容量を有する。この時間Tにおいてビットライン電圧がVrefより低い場合は、メモリセルの閾電圧は目標の閾値より低い。雑/ファイン手法を利用してプログラムされているメモリセルの場合では、一実施形態において(図12参照)、雑プログラミングに関連する放電のための1つの時間Tcと、ファインプログラミングの間の放電に関連する別の時間Tfとが存在するように、時間Tの長さを変更することができる。他の実施形態では、雑プログラミングに1つのVrefを設け、ファインプログラミングに別のVrefを設けることで、雑とファインの間で比較点を変更することができる。

20

30

【0060】

図12に示される装置の一実施形態では、C/Fレジスタ620は、特定のメモリセルが雑プログラミングモードとファインプログラミングモードのどちらにあるのかを表す1ビットレジスタ(又はラッチ)である。C/Fレジスタ620によって記憶される値がマルチプレクサ630に通信される。センス増幅器610は、マルチプレクサ630によって示される基準時間ストロボにおいて、ビットライン電圧を基準電圧Vrefと比較する回路を含む。プログラミングの間においてメモリセルが雑プログラミングモードにある場合には、マルチプレクサ630が、雑モードプログラミング基準時間ストロボTcをセンス増幅器610に送信する。雑モードの間において符号Tcで表される時間内にビットラインが固定の基準値Vref以下に放電しなかったために、雑ベリフィケーション工程が無事にパスしたことをセンス増幅回路610が決定した場合、センス増幅器610が、C/Fレジスタ620を雑状態Cからファイン状態Fに切り替える。メモリセルがファインプログラミングモードにある場合、マルチプレクサ630がファインモードプログラミング基準時間ストロボTfをセンス増幅器610に送信する。ファインモードの間において符号Tfで表される時間内にビットラインが固定の基準値Vref以下に放電しなかったために、ファインベリフィケーション工程が無事にパスしたことをセンス増幅回路610が決定した場合、センス増幅器610は、メモリセルがさらなるプログラミングからロックアウト(禁止)されるべきであることをロックアウトレジスタ622に示させる。

40

【0061】

さらに、スイッチ600は、マルチプレクサ604から入力を受信する。マルチプレク

50

サ604は、選択可能な2つの入力部、即ち、0ボルト（プログラミングを可能にする）とV_{dd}（プログラミングを禁止する）とを備えている。別の実施形態では、異なる電圧を使用したり、2つ以上の電圧を使用したりすることができる（即ち、2つ以上の入力部を装備したマルチプレクサ）。マルチプレクサ604は、選択論理回路636によって制御される。選択論理回路636は、C/Fレジスタ620、ロックアウトレジスタ622、タイマ（又はカウンタ）634からデータを受信する。C/Fレジスタ620は、メモリセルが雑モード又はファインモードのいずれにあるのかを示す。ロックアウトレジスタ662は、メモリセルがさらなるプログラミングからロックアウト（禁止）されるべきであるかの否かを示す。一実施形態では、タイマ634は、プログラムパルスの最初にカウントダウンを開始するプログラム可能タイマである。タイマ634は、プログラムパルス 10
 の中間にゼロに到達するように（さらにその出力部にその旨を示すように）プログラムされている。別の実施形態では、タイマがパルスの間以外の期間にも、時々レポートを報告する。

【0062】

選択論理回路636は、メモリセルをさらなるプログラミングからロックアウトすべき際に、マルチプレクサ604からビットラインにV_{dd}を印加させる。選択論理回路636は、メモリセルが雑モードでプログラムされている間に、マルチプレクサ604からビットラインに0ボルトを印加させる。選択論理回路636は、メモリセルがファインモードでプログラムされている間にマルチプレクサ604からV_{dd}をビットラインに印加させる。選択論理回路636は、（タイマ634の管理下にある）マルチプレクサ604に 20
 送信される選択を変更して、プログラムパルス全体の一部分（例えば中間）でマルチプレクサ604の出力部がV_{dd}から0ボルトに変更するようにすることで、ビットライン電圧を変更させる。

【0063】

多数のメモリセルが一斉に平行にプログラムされるいくつかの（全てではない）実施形態では、プログラムパルス中にビットライン電圧を変更することで、著しい電圧ノイズをその上にある制御ゲートに非常に短い期間だけカップルさせる。これは、（場合によっては）プログラム制御に潜在的に衝撃を与え、又は、妨害への脆弱性を増加させる。これがどの程度の制限になるのかは、特定の設計の詳細によって異なる。この問題に対応する1つの方法では、ビットラインを低下させる直前に、プログラム電圧V_{swl}を2.5 30
 ボルトにまで降下させ、次に、ビットラインを低下させた後でプログラム電圧を再び最高値にまで上昇させる。例えば、図11A～図11Cの破線590は、23μ秒の時点でプログラム電圧V_{swl}を2.5ボルトにまで降下させ、その後、27μ秒の時点で（ビットライン低下後）プログラム電圧を再び最高値に戻して上昇させる工程を示す。

【0064】

本発明の別の実施形態は、NANDストリング内の電圧レベルの制御に関連している。上述の2つの限定された状況（NANDストリングの完全ブースティングと、0ボルト又はその付近にあるNANDストリングのプログラミング状況）は、可能な電圧状況の連続であり、その値はNANDストリング内で維持される電圧（例えば、0ボルトから7.5 40
 ボルトまでの範囲）により規定されることができる。所定の制御ゲート電圧状態では、NANDストリング内で電圧を上昇させるとプログラミングが遅くなる。例えば、図13Aは、異なるビットライン電圧のための雑/ファインプログラミングについて、雑フェーズ直後におけるファインフェーズ中に付加されるプログラムパルスの閾電圧の変化を示すグラフである。上昇したビットライン電圧（通常は雑プログラミング中の0ボルト）がNANDストリング内を通ると、チャネル電位が上昇し、これにより、プログラムされたセルのトンネルオキサイド（tunnel oxide）にわたって電圧が降下する。そのため、メモリセルのプログラミングが遅くなる。図13Aは、プログラムパルスに0.4mVのステップサイズを有する制御ゲート階段の場合において（例えば図7を参照）、遅くなったプログラム速度を示す。図13Aは、0ボルト、0.4ボルト、0.8ボルト、1.2ボルト、1.6ボルト、2ボルトに等しいビットライン電圧（V_{b1}）について、雑/ファインプ 50

プログラミングの雑フェーズ直後のファインフェーズ (V_{b1} は 0 ボルトに等しい) におけるプログラミングパルス数に対する閾電圧の累積的な増加を曲線で示している。例えば、ビットライン電圧を 1.2 ボルトにまで上昇させるとプログラミング速度が遅くなる。ビットライン電圧が 0 ボルトに維持されるのであればファインモード中の 1 つのパルスの後にメモリセルが閾電圧を 359 mV に上昇させるところ、ビットライン電圧が 1.2 ボルトの場合は、34 mV に上昇させる。即ち、10 倍減速する。

【0065】

制御ゲートカップリングを介して NAND ストリング上の任意の電圧レベル (即ち、潜在的な完全ブーストされた 7.5 ボルト未満) を実現するためには、(一実施形態において) NAND ストリングが直面する純カップリング量を制御する必要がある。これを実施するのための 1 つの例証的な方法では、カップルされた電荷の一部分を放電する。これを実施する方法を説明するためには (例証の目的で)、制御ゲートのブースティング波形を階段形状によって視覚化することが有効である。実際の実現は、設計による必要性に応じて、この概念的なアプローチとは異なっていてよい。例えば、9 ボルトのブースト波形は、各段につき 1 ボルトを有し、対応する 9 個のタイムピンを設けた 9 段の階段として形成することができる。制御ゲート上で 1 ボルト上昇する毎に NAND ストリング電圧が約 0.8 ボルト上昇できると仮定すると、関連するビットライン電圧がその禁止レベル (例えば V_{dd}) に維持される限り、NAND ストリングもこれと類似の階段形状を得る (1 段毎に 0.8 ボルト上昇する)。しかしながら、ビットライン電圧が 0 ボルトに維持された場合、電圧ブーストは発生しない (即ち NAND ストリングは 0 ボルトに維持される)。部分的なブーストを実現するには、ブースト電圧階段のどこかの地点において、ビットライン電圧を 0 ボルトレベルから禁止レベルにまで上昇させることができる。第 1 段目以降でこのように上昇された場合には、制御ゲートとの間に 8 ボルトのカップリングが起こるか、あるいは約 6.4 ボルトにまでブーストされる。同様に、第 2 段目以降に上昇された場合には、NAND ストリングが約 5.6 ボルト及び他のボルト数にまで上昇され、0.8 ボルト、1.6 ボルト、2.4 ボルト、・・・完全ブースト電位のカップルされた電圧レベルを提供する。禁止状態が階段の最後の後で発生するようなタイミングである場合には、0 ボルト電位も可能であることに留意するべきである。

【0066】

このアプローチを、雑/ファインプログラミング工程のファインプログラミングフェーズに適用することができる。十分なファインプログラミングを得るために、(一実施形態では) NAND ストリング内に (一実施形態では) 約 1.6 ボルトを必要とする。制御ゲートブースティング電圧は、2 つのステップによって構成されている。第 1 ステップでは、ブースティング電圧を 7 ボルトに上昇させる。第 2 ステップでは、ブースト電圧を 7 ボルトから 9 ボルトに上昇させる。雑プログラミングの場合、両ステップにわたってビットラインがグラウンドに維持される。プログラムを禁止するために、両ステップにわたってビットラインが禁止電圧に維持される。しかしながら、メモリセルがファインプログラミングフェーズに入る場合には、ブースティングの第 1 ステップの間に、対応するビットラインがグラウンドに保持され、第 2 ステップでこのビットラインが禁止レベルにまで上昇される。残りの 2 ボルトの電圧をブーストした結果、1.6 V 電圧レベルが NAND ストリングにカップルされた。

【0067】

1 つの問題は、制限されたりザーバ NAND ストリング (例えば、8、16、32、その他の個数のセルで構成されている) が、有効なトンネリングを上述の状態にてサポートすることができるかどうかである。約 0.8 fF の総静電容量を得るように計画された 16 個のセル NAND ストリングを例証の目的で利用する。この静電容量の 2 つの主要構成要素は、(1) パイパスされている 15 個の NAND セルからのゲート静電容量を制御するチャネル (例えば、トンネルオキサイド静電容量を介したフローティングゲートまでのチャネルの群及び組み合わせ、又、セル毎に約 0.05 fF と想定されるインターポリONO 静電容量を介した制御ゲートまでのフローティングゲート)、基板/ウェルまでの累

10

20

30

40

50

積NANDストリング接合とチャネル静電容量である。シングルフローティングゲートの静電容量は、約0.2 fFと想定される。セルの閾電圧をシングルプログラミングパルスによって（例えばファインプログラミングのために）約100 mVシフトする目的のために、制御ゲートカップル比を60%と仮定した場合、NANDストリング陰極からトンネリングされた電荷のために負圧60 mVの増加に変換される。NANDストリング静電容量とフローティングゲート静電容量の比率を4:1とした場合、NANDストリング電位における $60 / 4 = 15$ mVの増加に変換される。カソード電位の増加がトンネリング電流を低減させるが、このような比較的小さい増加によって、プログラミングがこれに比例する小さい衝撃を受ける。

【0068】

プログラミング制御ゲートの静電容量カップリング（約20ボルトにまで上昇できる）からNANDストリングまでは、より大きな衝撃を受ける。約6.25%（約0.05 fF ÷ 0.8 fF）のカップリングを想定した場合、20ボルトの制御ゲートスイング（例えば0ボルトより開始する）がNANDストリングをフルの1.2 Vで静電的に上昇させると、トンネリング電流を低減するためのより大きな衝撃が得られる。カップルの大きさを低減するには電圧スイングを減少させる必要がある。これを達成するためには、プログラミング制御ゲートをなんらかの中間電圧から開始させるようにする。これを実施するための1つのアプローチでは、ブースティングフェーズの間に、選択制御ゲート（又はその一部）が非選択制御ゲートの波形を流れることで、追加電圧増加量を低減させ、20ボルトの電圧レベルを得る。いずれの場合にも、選択制御ゲート（その全部又は一部）を初期ブースティングに参加させ、ビットラインから、指定されたメモリセルを通りNANDストリングのリマインダ（ソース側）まで延びる通信パスを確保することが有益である。

【0069】

データパターン感度の問題は、NANDストリング全体にわたって通信できる問題に関連する。特に、プログラムされた目標のセルとソース側のセルとの間でセル同士の通信を確保する必要がある。これらのセルが既にプログラムされている可能性があるためである。通信とは、どのブースティング電位がNANDストリングの目標にされていようとも、このNANDストリングに伴う全てのメモリセルは、（一実施形態では）データパターンに関係なく値をサポートすることに関与しなくてはならないことを意味する。どのメモリセルにも許容される最大閾電圧が存在するために、ビットラインがグラウンドから禁止電位までされる際に、ブースティング制御ゲートが少なくともこの最大閾電圧（さらにガード禁止のためのいくらかの追加）のフロアレベルに達する。これにより、NANDストリング内の全てのバイパスメモリセルに対して、そのデータパターンに関係なく、同量のチャネルブースティングが確実に実行される。閾電圧フロアが約4.25ボルトであり、最大制御ゲートブースティングレベルが9ボルトであると仮定すると、1つの電位ブースティングについて約4.75ボルトとなり、雑ノイズファインプログラミングに必要な量を十分に上回る。

【0070】

図13Bは、雑ノイズファインプログラミングのファインフェーズ中に印加された異なるブースティング電圧について、プログラムパルスのための閾電圧の変化を示すグラフである。図13Bに示すデータは、NANDストリングの電圧を増加させるためにブースティング電位を使用するという考えを、ファイン制御プログラミングに利用できることを裏付けるものである。例えば、図13Bは6本の曲線を示しており、これらは、雑ノイズファインプログラミングの雑プログラミング直後のファインモードにおけるパルスの閾電圧の変化を表す。つまり、パルス番号1は、雑モードに続くファインモードの第1パルスである。6本の曲線のそれぞれは、プログラムパルスを供給する前のNANDストリングの異なるブースティング電圧に対応している。データポイントが示されていない第1曲線は、プログラムパルスを供給する前のNANDストリングの0ボルトのブースティング電圧に対応している。第2曲線は、プログラムパルスを供給する前のNANDストリングの0.5ボルトのブースティング電圧に対応している。第3曲線は、プログラムパルスを供給する前の

10

20

30

40

50

NANDストリングの1.0ボルトのブースティング電圧に対応している。第4曲線は、プログラムを供給する前のNANDストリングの1.5ボルトのブースティング電圧に対応している。第5曲線は、プログラムパルスを供給する前のNANDストリングの2.0ボルトのブースティング電圧に対応している。第6曲線は、プログラムパルスを供給する前のNANDストリングの2.5ボルトのブースティング電圧に対応している。この図からわかるように、NANDストリングのブースティング電位を増加することによってプログラミングが遅くなる。例えば、ファインモードにおける2つのパルス後に、1ボルトのブースティング電位が供給されたメモリセルの閾電圧がファインモード中に385mV上昇する一方で、2.5ボルトのブースティング電位が供給されたメモリセルの閾電圧はファインモード中に31mV上昇する。図13Bの動作の場合、選択ワードラインはブースティングフェーズ中に0ボルトに維持されたものであり、パスワードラインのブースティング電圧レベルにまで上昇されたものではない点に留意するべきである。

10

【0071】

図14A、図14B、図14Cは、上述したように、チャンネル/NANDストリングを部分的にブースティングすることによって、非揮発性メモリセルをブースティング及びプログラミングする実施形態(図9のステップ520)を示すタイミング図である。特に、図14Aは、ファインプログラミングモードをプログラミング及び経験するように選択されたNANDストリングのための様々な信号の様子を示す。選択トランジスタの制御ゲートにおける電圧 V_{SGD} は、要求があれば、全NANDストリングプレチャージを可能にするために、5 μ 秒の時点でまず5ボルトにまで急上昇する。 V_{SGD} は、禁止の実行に必要なバイアスレベルを維持するために、10 μ 秒の時点において V_{dd} にまで降下され、約43 μ 秒の時点までこの状態が維持される。非選択ワードラインの電圧 V_{UWL} は、5 μ 秒の時点において約7ボルトに上昇され、この状態を15 μ 秒の時点まで継続してから約9ボルトにまで上昇され、約40 μ 秒の時点までこの状態が続く。選択ワードラインの電圧 V_{SWL} は、5 μ 秒の時点において約5ボルトにまで上昇され、プログラムパルスの開始時までこの状態に維持される。20 μ 秒の時点においてプログラムパルスが開始され、約40 μ 秒の時点で終了する。ソース側の選択トランジスタ V_{SGS} の制御ゲートが接地され、ソース電圧 V_S は V_{dd} にある。第1ブースティングフェーズ中(V_{UWL} が0から7ボルトに上昇される際に)ビットラインが接地されているために、NANDストリングの電圧 V_{NAND} が最初は0ボルトである。第2ブースティングフェーズにおいて約12 μ 秒の時点(例えば V_{UWL} が9ボルトに上昇される直前)でビットラインが V_{dd} にまで上昇されるので、NANDストリングの電圧は、15 μ 秒の時点において約1.6ボルトにまでブーストされる。20 μ 秒の時点においてプログラムパルスが開始する際に、NANDストリングの電圧が若干上昇し(先述したカップリングとトンネリング機構による。上昇の大きさは、実際の電圧と静電容量によって異なるが、1ボルトであってもよい)、約40 μ 秒の時点までこの状態が維持される。NANDストリングの少なくとも一部がブーストされることによって、プログラミングが遅くなる。即ち、フローティングゲート内にトンネリングされる電子の数が減少し、雑プログラミングの時より小さい増加量で閾電圧が上昇する。

20

30

【0072】

図14Bは、雑プログラミングモードにある選択ビット及びワードライン上の信号の様子を示すタイミング図である。関連する時間フレームの間において、ビットラインは接地されている。ドレイン側の選択ゲートトランジスタ制御ゲートの電圧 V_{SGD} 、非選択ワードラインの電圧 V_{UWL} 、選択ワードラインの電圧 V_{SWL} 、ソース側の選択トランジスタにおけるソース電圧及び電圧 V_{SGS} (プログラミングの対象である選択セルのブロックの全てのセルについて共通である)は、全て図14Aのものと同様である。ビットラインが接地されているために、NANDストリング電位がグラウンド又はその付近に維持されて、雑モードプログラミングが開始する。

40

【0073】

図14Cは、非選択ビットラインに対応する信号の様子を示すタイミング図である。こ

50

のビットラインは、プログラミングのために選択されていないために、V_{dd}に維持される。ドレイン側の選択トランジスタの電圧、非選択ワードラインの電圧、選択ワードラインの電圧、ソース側の選択トランジスタの電圧、及び、ソースの電圧は、全て図14Aのものと同じである。ビットラインがブースティング工程の全体にわたってV_{dd}に維持されるために、NANDストリングは、その特定のブースティング信号に従って最大ポテンシャルレベルにまでブーストされ、プログラミングが禁止される。例えば、NANDストリングは、ブースティング信号の第1フェーズによって5.6ボルトにまでブーストされ、その後ブースティング信号の第2フェーズによって約7.2ボルトにまでブーストされる。20 μ 秒の時点においてプログラムパルスが開始すると、NANDストリングの電圧が若干上昇し(カップリングによる。上昇の大きさは実際の電圧と静電容量によって異なる)、約40 μ 秒の時点まで禁止状態が維持され、プログラム動作が終了する。

10

【0074】

先述した実施形態の1つの局面は、第2ブーストの直前におけるNANDストリングプレチャージ電位の導入である。これは、対応ビットラインを0ボルトから禁止レベル(例えばV_{dd})にまで上昇させることによって、第2ブースティングが可能となるために起こる。このビットライン電圧の上昇工程の間に、NANDストリング電圧も、バイアスされた選択ゲートのソースフォロア動作によって命令されたレベルであるV_{SGD}にまで上昇する。この場合、これと同等量だけNAND電圧も増加する。さらなるNAND電圧の増加を最小限に(望ましくない程度にまで)抑えるために、選択ゲートの選択電圧を最小に抑えることができる。

20

【0075】

図15は、ドレイン側の選択トランジスタの制御ゲートに印加された電圧V_{SGD}を低減するための別の実施形態を示す。図15は、プログラミングのファインフェーズにおける選択NANDストリングの信号の様子を示す。図15と図14Aの主な相違点は、選択ゲートV_{SGD}の波形である。NANDストリングとこれに対応するビットラインとの間の通信を制御する選択ゲート信号V_{SGD}が、図14Aの実施形態と同様に、まず5 μ 秒の時点で5ボルトにまで上昇される。選択ゲート電圧V_{SGD}は、約10 μ 秒の時点でその電圧が0ボルトに降下され、この状態を約17 μ 秒の時点まで維持した後にV_{dd}に変更されている。10 μ 秒の時点から17 μ 秒の時点までの期間の間に選択ゲート電圧V_{SGD}を降下させることによって、NANDストリングが対応ビットラインから切断されるとともに、この期間中にビットライン電圧が0ボルト(初期ブーストの放電に使用される)から禁止電圧(第2ブーストを可能にするための準備)にまで上昇され、第2ブースティングステップが実行される。V_{SGD}装置とこれに対応するソースフォロア動作をターンオンする前に、このブースティングを最初に行うことによって、NANDストリングが、その第2ブーストの前に、上述したソースフォロア電圧開始状態にまで上昇することがなくなる。したがって、このブースティングアプローチでは、選択ゲート電圧から閾電圧を引いた電圧をカップルされた電圧を超えた場合、静電的なカップルを超えて追加の電圧がNANDストリングに加わることがない。

30

【0076】

図12の装置(又はその応用形)を使用して、図14~図15の実施形態を実現することができる点に留意するべきである。カウントダウンタイマ634を使用して、ブースティング電圧のフェーズ間で、ビットライン電圧V_{BL}を上昇させるタイミングを決定することができる。あるいは、ビットラインを上昇させるタイミングは、ソフトウェアによって実行することができる。非選択ワードライン電圧をコンパレータと比較して、これに応じて動作させることによって実行することができる。また、当業者に周知である又は将来周知となる他の手段によって実行することができる。図9と図10の工程は、図14~図15の実施形態にも適用することができる。

40

【0077】

上述の実施形態は、雑ノイズプログラミングのファインフェーズを実現するために、プログラミングの速度及び/又は精度を、プログラム時間制御又はNANDストリング

50

電圧（若しくはチャンネル電圧）制御によってコントロールするものである。これと同じ技術を、雑ノイズプログラミングを使用していないメモリセルの精度とタイミングを制御するためにも利用できる。例えば、上述のアプローチを使用すれば、データ状態が命令されたプログラミング NAND ストリング電圧又は時間を提供することによって、カスタマイズされたプログラミングのデータ状態を提供することができる。一実施形態では、この概念は、それぞれのデータ状態に最適な NAND ストリング（又はチャンネル）電圧又はプログラム時間を提供するためのものである。

【0078】

ブーストされた NAND ストリング電圧技術を利用することによって、最も高い閾電圧状態のプログラミングが最も低いブーストされた電圧（統計的に 0 ボルトに維持された NAND ストリングを有する）を利用する一方において、プログレッシブに低下する閾電圧状態がより高いブースト電圧を利用する。これは、全ての状態を同時にプログラミングする間に、異なる閾電圧状態の全てをプログラムするために必要とされるパルス数を低減することができる。これと同様の考え方が、可変ビットライン電圧の実現と直接的に通信する場合の強制 NAND ストリング電圧（forced NAND string voltage）の利用にも適用される。

【0079】

プログラムパルス中のタイミングが使用される場合、特定のメモリセルがどのデータ状態にプログラムされているのかに応じて、異なる時間においてビットラインを V_{dd} から 0 ボルトに低下させることができる。上方閾電圧状態はより早期に低下するビットラインを有し、下方状態はより遅く低下するビットラインを有する。例えば、4つの状態を有するメモリセルでは、最も多くプログラムされた状態（図6の閾分布466参照）が、供給されたプログラムパルスよりも前にビットラインを低下させることができる。中間状態にプログラムされたメモリセルの場合（図6の閾電圧分布464参照）、プログラムパルスの25%の時点において（20 μ 秒のパルスの5 μ 秒）、ビットラインを V_{dd} からゼロに低下させることができる。最も低いプログラム状態にプログラムされたメモリセルの場合（図6の閾電圧分布462を参照）、プログラムパルスの50%（20 μ 秒パルス内に10 μ 秒）の時点においてビットラインが低下させることができる。

【0080】

図16は、この別の実施形態のプログラミング工程を示すフローチャートである。ビットラインを上述したように適切に調整することによって、複数のメモリセルが複数のプログラミング状態に同時にプログラムされる。ステップ652～660は、図9のステップ502～510と同様である。ステップ670では、適切なビットライン時間が設定される。例えば、プログラムパルスの間にビットライン電圧が変更される実施形態では、ビットラインを V_{dd} から 0 までのパルス内にどれだけ低下させるべきかを示すために、各ビットラインについて時間値が保存される。複数のブースティングフェーズを使用する実施形態では、ブースティングフェーズ中のビットラインを上昇させるべきタイミング値が各ビットラインについて保存される。ステップ672では、ブースティングが実行され、プログラムパルスが供給される。ステップ674では、閾電圧が目標のレベルに達したか否かを決定するために、メモリセルがベリファイされる。図16のステップ676～684は、図9のステップ524～532とほぼ同様である。ステップ684の後に、次のプログラムパルスのためにステップ672に戻る。

【0081】

図17Aは、図16のステップ672の一実施形態を示す。この実施形態では、複数のブースティングフェーズを使用してプログラミング量が制御される。図17Aは、プログラム中の3つの異なるメモリセルに利用される3つのビットライン電圧を示す。ビットライン電圧 $S2 - V_{BL}$ は、図6の閾電圧分布466にプログラムされているメモリセルに対応している。ビットライン電圧 $S1 - V_{BL}$ は、閾電圧分布464にプログラムされているメモリセルに対応している。ビットライン $S0 - V_{BL}$ は、閾分布462にプログラムされているメモリセルに対応している。選択ゲート波形 V_{SGD} と選択ワードライン波

10

20

30

40

50

形 V_{SWL} は、図 14 A のものと同様である点に留意するべきである。しかしながら、非選択ワードライン電圧 V_{UWL} は、3つのブースティングフェーズを備えた階段に分割される。第1ブースティングフェーズは、5 μ 秒の時点において非選択ワードライン電圧 V_{UWL} が 0 ボルトから 3 ボルトに上昇された際に生じる。第2ブースティングフェーズは、10 μ 秒の時点において非選択ワードライン電圧 V_{UWL} が 3 ボルトから 6 ボルトに上昇された際に生じる。第3ブースティングフェーズは、15 μ 秒の時点において非選択ワードライン電圧 V_{UWL} が 6 ボルトから 9 ボルトに上昇された際に生じる。これら以外の値も利用することができる点に留意するべきである。最も多くプログラムされる閾電圧分布（例えば図 6 の分布 466）にプログラムされているメモリセルでは、ビットラインは、第3ブースティングフェーズが終了するまで V_{dd} に上昇されない。別の実施形態では、この特定の状態 $S2 - V_{BL}$ を全期間に亘って 0 V に維持することができる点にも留意するべきである。閾分布 464（ $S1 - V_{BL}$ に対応）にプログラムされているメモリセルは、第2ブースティングフェーズの後にそのビットラインを上昇させることによって、第3ブースティングフェーズに参与する。閾分布 462（ $S0 - V_{BL}$ に対応）にプログラムされているメモリセルは、第1ブースティングフェーズの後にそのビットライン電圧を上昇させることによって、第2及び第3ブースティングフェーズに参与する。非選択ワードラインのブースティング信号は図示のように階段状である。しかしながら、ブースティング信号は、単に直線の部分又は曲線の部分の一部である様々なブースティングフェーズが設けられた直線又は曲線として示すこともできる点に留意するべきである。

【0082】

図 17 B は、図 16 のステップ 672 の別の実施形態であり、プログラムパルス中にビットライン電圧を変化させることによってプログラミングを制御する技術を実現する。図 17 B は、3つのメモリセルのためのビットライン電圧を示す。ビットライン電圧 V_{2BL} は、図 6 の閾分布 466 にプログラムされているメモリセルに対応している。ビットライン電圧 V_{1BL} は、閾電圧分布 464 にプログラムされているメモリセルに対応している。ビットライン電圧 V_{0BL} は、閾電圧分布 462 にプログラムされているメモリセルに対応している。ビットライン電圧 V_{2BL} は、20 μ 秒の時点において V_{dd} から 0 ボルトに変化する。これは、プログラムパルス V_{SWL} の中の 25% の時点での変化である。プログラムパルス（ V_{SWL} を参照）は、15 μ 秒の時点から開始し、35 μ 秒の時点で終了する。ビットライン電圧 V_{1BL} は、25 μ 秒の時点において V_{dd} から 0 ボルトへ変化する。これは、電圧パルス全体の半分の時点である。ビットライン電圧 V_{0BL} は、30 μ 秒の時点において V_{dd} から 0 ボルトへ変化する。これは、電圧パルスの 75% に関連する。 V_{2BL} は、時間内のより早いタイミングで変化するために、 V_{2BL} に対応したメモリセルは、 V_{1BL} 及び V_{0BL} に対応したメモリセルより多くのプログラムパルスを受け、より多くプログラムされる。なお、これ以外の時間を利用して同じプログラミング重量関係を維持することも可能である。

【0083】

図 18 は、図 17 A と図 17 B の実施形態のプログラミング及びベリフィケーションの実現に使用できる構成要素の一実施形態のブロック線図である。図 18 中の構成要素の多くは、図 12 の構成要素と同様である。図 18 は、スイッチ 700 とキャパシタ 702 に接続されたビットラインを示す。キャパシタの他端は、グラウンドのような基準電位に接続されている。スイッチ 700 は、プレチャージ電圧（ $V_{precharge}$ ）回路に接続しており、さらに、センス増幅回路 704 の入力部、マルチプレクサ 714 の出力部にも接続している。信号 V_{REF} は、センス増幅回路 704 の入力部に接続している。センス増幅回路 704 の出力部は、ロックアウトレジスタ 706 にデータを供給する。ロックアウトレジスタ 706 の出力は、選択論理回路 708 に提供される。一実施形態では、図 18 の装置は、（図 12 で実現されるように）雑ノイズプログラミングを実行せず、2つの異なる時間ストロボを受信する必要もない。むしろ、時間ストロボをセンス増幅器 704 の内部に設けることができる。別の実施形態では、雑ノイズプログラミングを実行するように図 18 の構成要素を使用することによって、一又は複数のプログラマブル

状態の雑／ファインプログラミングのファインモードにも図17Aと図17Bで説明した実施形態を利用することができる。この場合には、マルチプレクサを使用することによって、異なる時間ストロボ又は異なる基準電圧を雑又はファインベリファイ状態に提供することができる。カウンタ710は、選択論理回路708に接続されている。データレジスタ712は、カウンタ710に接続されている。選択論理回路708の出力部は、マルチプレクサ714に接続されている。マルチプレクサ714は、選択論理回路708の出力に基づいて0ボルトとV_{dd}を受信し、これらのどちらかを選択する。

【0084】

－実施形態では、プログラムされるべきデータが、データレジスタ712内にロードされる。このデータは、カウンタ710内のカウントを、プログラムパルス（図17Bを参照）の間においてビットライン電圧をいつ低下させるのかを選択論理回路708に知らせるために利用される。別の実施形態では、データレジスタ712は、カウンタ710内のカウントを、様々なブースティングフェーズ（図17Aを参照）の間においてビットライン電圧をいつ上昇させるかを選択論理回路708に知らせるために使用される。これにより、マルチプレクサ714が提供した適切な電圧レベルを確立することができる。

【0085】

別の実施形態では、メモリセルがファインプログラミングに入ると、プログラムパルスの中にビットラインを低下させるタイミング、又は、様々なブースティングフェーズの中にビットラインを上昇させるタイミングが、パルス群中のパルス数に基づいて変更される。例えば、プログラムパルスの中の連続的な後期に、ファインプログラミングフェーズにおけるそれぞれの連続したパルスによって、ビットラインをV_{dd}から0ボルトに低下させる。同様に、ファインフェーズの間において、それぞれの連続したパルスについて、より早いブースティングフェーズにおいてビットラインを0からV_{dd}に上昇させることができる。この実施形態では、ファインプログラミングフェーズが進むに従って制御の精密度が増加する。

【0086】

別の実施形態では、非揮発性メモリのプログラミングの完全な比例制御を含んでいる。この実施形態は、メモリセルのプログラミングの間のベリフィケーション工程に基づいたアナログエラー信号を予想する。エラー信号は、後続のプログラミングをセル毎に比例制御し、より短いプログラミング時間によってより大規模なプログラミング分布のタイトさを達成するために利用される。例えば、ベリフィケーション中に生成されたアナログ感知された電圧信号を、次のプログラミングパルスでNANDブースティングの量を制御するためのエラー又はタイミング信号に変換することができる。その後、このエラー信号を、より高くブーストされたNANDストリング電圧を生成するために使用でき（例えば、ブースティングフェーズ中における時間の短縮。この場合、ビットライン電圧は0から停止電圧レベルへ移動する）、その結果、次のプログラミングパルス中のプログラミングを低減することができる。プログラミング状態を達成するこのような段階的なアプローチには、最も近い隣り合うセルのロックアウトから生じるプログラミングキック効果を、プログラミングから禁止へ移行する際に減衰させる傾向もある。2003年9月17日出願のRaul-Adrian Cernea, Yan Li, Mehrdad Mofidi, Shahzad Khalidによる米国特許出願第10 / 667222号の「Non-Volatile Memory And Method With Bit Line To Bit Line Coupled Compensation」、及び、2003年9月17日出願のShahzad Khalid, Yan Li, Raul-Adrian Cernea, Mehrdad Mofidiによる米国特許出願第10 / 667223号の「Non-Volatile Memory and Method with Bit Line Compensation Dependent on Neighboring Operating Modes」を参照することができる。上記の両方の出願の全体は、本願明細書中に組み込まれる。さらに、このエラー信号を使用して、図11A～図11Cの実施形態のプログラムパルスの中に、ビットライン電圧をV_{dd}から0ボルトに低下させるタイミングを変更することもできる。閾電圧が目標の閾電圧に近づくに従って、ビットラインがV_{dd}から0ボルトに降下する時間が遅くなる。電圧対時間変換回路は、キャパシタを、チャージ電流源を介して、センス電圧からより高いトリップ電圧レベルにまでチャージするこ

10

20

30

40

50

とによって実現することができる。センス電圧が低いほど、トリップに要する時間が長くなる。

【0087】

図19は、エラー信号を使用する実施形態、又は、パルス群のプログラミングを減少させる実施形態のプログラミング工程を説明するためのフローチャートである。図19のステップ802～810は、図9のステップ502～510と同様である。ステップ820では、上述のようにブースティングが実行され、プログラムパルスが供給される。ステップ822では、ベリフィケーションが実行される。一実施形態では、雑ノイズプログラミングを使用しない実施例に図19の工程を適用することができる。別の実施形態では、雑ノイズプログラミングが実現され、上述のようにステップ822はモードを決定するの
10
に利用される。ステップ824～832は、ステップ524～532と同様である。ステップ832の後のステップ834において、システムがエラー信号に基づいてビットラインタイミングを調整する。ステップ822では、ベリフィケーションの間にエラー信号が作成される。このエラー信号は、特定のメモリセルのための目標閾電圧と閾電圧の電流レベルの間の差の指標になる。エラー信号は、ステップ834において、ビットライン電圧のタイミングを調整するために使用される(上述のとおり)。ステップ834の後にステップ820に戻り、ステップ834のタイミング設定に基づいてビットラインが制御されるとともに、ブースティング及びプログラム電圧が供給される。パルス群についてビットラインタイミングが自動的に調整される実施形態では、この調整は、ステップ834において、エラー信号なしで作成される(この場合、ステップ834はパルス数に基づいてビットラインタイミングを調整する)。
20

【0088】

図20は、図19の実施形態に利用できる構成要素の一実施形態を説明するためのブロック線図である。図20は、スイッチ850とキャパシタ852に接続されたビットラインを示す。キャパシタの他端は、グラウンドのような基準電位に接続されている。スイッチ850は、プレチャージ電圧回路($V_{PRECHARGE}$)に接続され、さらに、センス増幅回路860の入力部に接続されている。信号 V_{REF} もセンス増幅回路860の入力部に接続されている。センス増幅回路860の出力が制御論理882に供給される。センス増幅回路860は、メモリの閾電圧が目標のレベルに達したかどうかをベリファイし、達している場合には、制御部882にロックアウト状態を提供する。目標レベルに達して
30
いない場合は、上述のように、センス増幅回路860がエラー信号を決定する。センス増幅回路がこのエラー信号を制御論理882に供給する。制御論理882は、このエラー信号に基づいて、マルチプレクサ854への選択ラインを適切に制御し、0ボルトと V_{dd} の入力から一方を選択する。これにより、次のプログラムパルスの間に、スイッチ850を介して、適切な時間に適切なビットライン電圧をビットラインに印加することができるようになる。

【0089】

上記の本発明の詳細な説明は、例証及び説明の目的で提示されたものである。これらは、包括的なものではなく、又、上記に開示された形態に本発明を制限することを意図するものでもない。上記の示唆を考慮した多くの改良及び応用が可能である。上記の実施形態は、当業者が本発明を様々な実施形態において考えられる特定の使用に適した様々な改良を加えて利用できるように、本発明の原理とその実用的な用途を最良に説明するものとして
40
選択された。本発明の技術的範囲は、添付された特許請求の範囲によって定義されるものとする。

【図面の簡単な説明】

【0090】

【図1】NANDストリングの平面図である。

【図2】NANDストリングの等価回路線図である。

【図3】NANDストリングの断面図である。

【図4】本発明の様々な実施例が実現される非揮発性メモリシステムの一実施形態のプロ
50

ック線図である。

【図5】メモリアレイの一例を示す。

【図6】マルチ状態非揮発性メモリ装置の閾電圧分布を示す。

【図7】時間が経過するにつれて大きさが増加するプログラミングパルスのセットを表すプログラミング電圧信号を示す。

【図8】図7の信号からの3つのプログラミングパルスとプログラミングパルス間のベリフィケーションパルスとを示す。

【図9】フラッシュメモリのプログラミング工程の一実施形態を示すフローチャートである。

【図10】ベリフィケーション及び雑ノイズモードの決定を実行する工程の一実施形態を示すフローチャートである。

10

【図11A】プログラミング工程の様々な実施形態を示すタイミング図である。

【図11B】プログラミング工程の様々な実施形態を示すタイミング図である。

【図11C】プログラミング工程の様々な実施形態を示すタイミング図である。

【図11D】チャンネル(NANDストリング)電圧及びノイズ又は短縮したプログラミング時間の様々な組み合わせについて、プログラミング速度を遅くした実験結果を曲線で示す。

【図11E】チャンネル(NANDストリング)電圧及びノイズ又は短縮したプログラミング時間の様々な組み合わせについて、プログラミング速度を遅くした実験結果を曲線で示す。

【図11F】チャンネル(NANDストリング)電圧及びノイズ又は短縮したプログラミング時間の様々な組み合わせについて、プログラミング速度を遅くした実験結果を曲線で示す。

20

【図12】非揮発性メモリセルをベリファイ及びプログラムするために使用される構成要素の一実施形態のブロック線図である。

【図12A】ビットライン電圧に対するセンシング時間を示すグラフである。

【図13A】異なるビットライン電圧について雑ノイズプログラミングのファインフェーズ中に印加されたプログラムパルスの閾電圧の変化を示すグラフである。

【図13B】異なるブースティング電圧について雑ノイズプログラミングのファインフェーズ中に印加されたプログラムパルスの閾電圧の変化を示すグラフである。

【図14A】プログラミング工程の様々な実施形態を表すタイミング図である。

【図14B】プログラミング工程の様々な実施形態を表すタイミング図である。

【図14C】プログラミング工程の様々な実施形態を表すタイミング図である。

30

【図15】プログラミング工程の様々な実施形態を表すタイミング図である。

【図16】フラッシュメモリのプログラミング工程の一実施形態を示すフローチャートである。

【図17A】プログラミング工程の様々な実施形態を示すタイミング図である。

【図17B】プログラミング工程の様々な実施形態を示すタイミング図である。

【図18】非揮発性メモリセルをベリファイ及びプログラムするために使用される構成要素の一実施形態のブロック線図である。

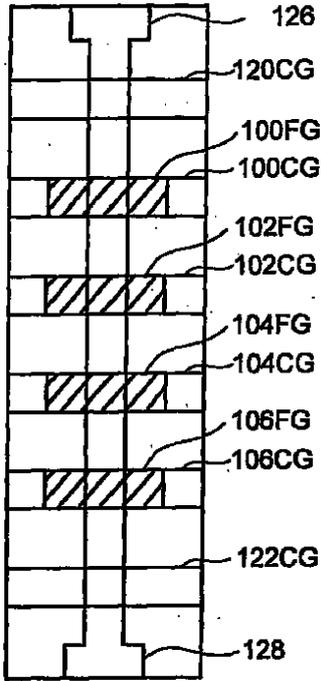
【図19】フラッシュメモリのプログラミング工程の一実施形態を示すフローチャートである。

【図20】非揮発性メモリセルをベリファイ及びプログラムするために使用される構成要素の一実施形態を示すブロック線図である。

40

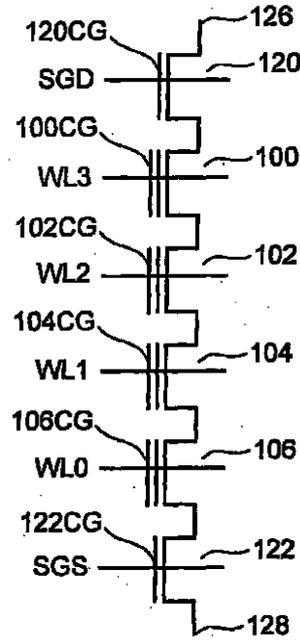
【 図 1 】

Fig. 1



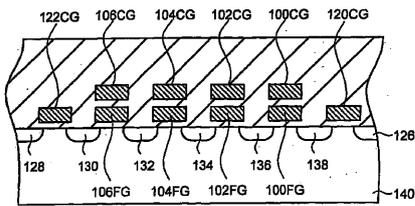
【 図 2 】

Fig. 2

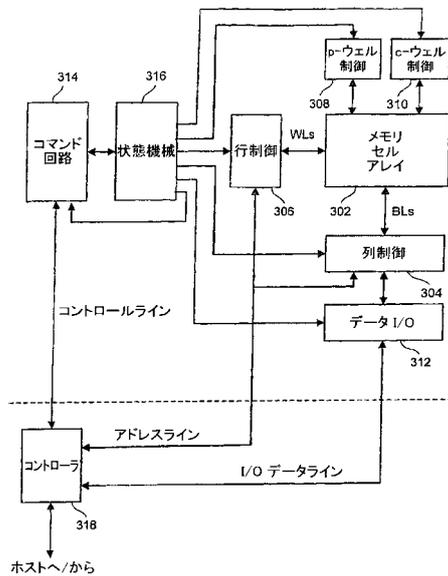


【 図 3 】

Fig. 3

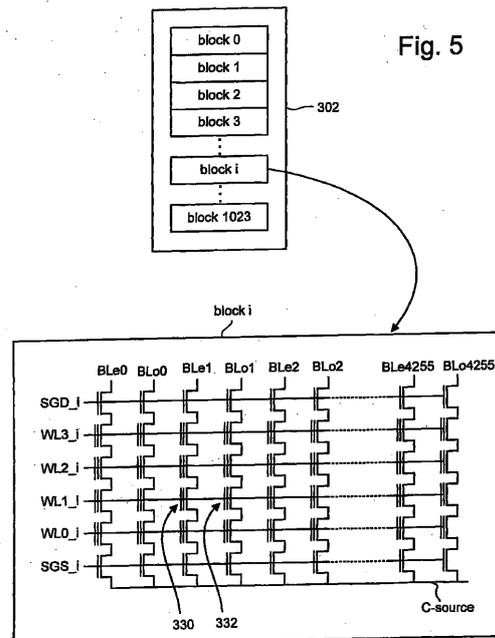


【 図 4 】

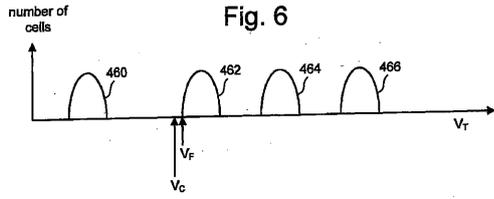


【 図 5 】

Fig. 5

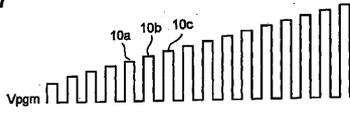


【図6】



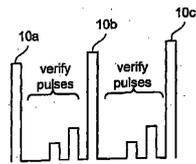
【図7】

Fig. 7

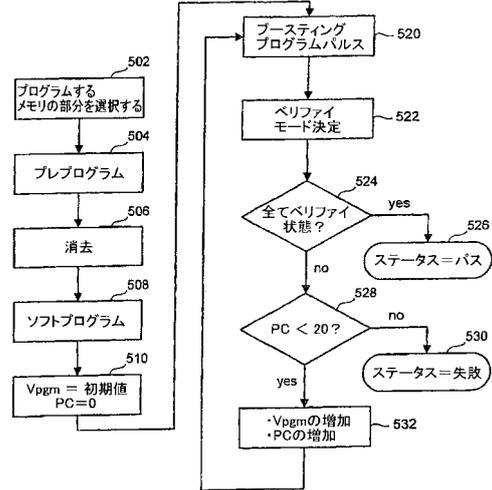


【図8】

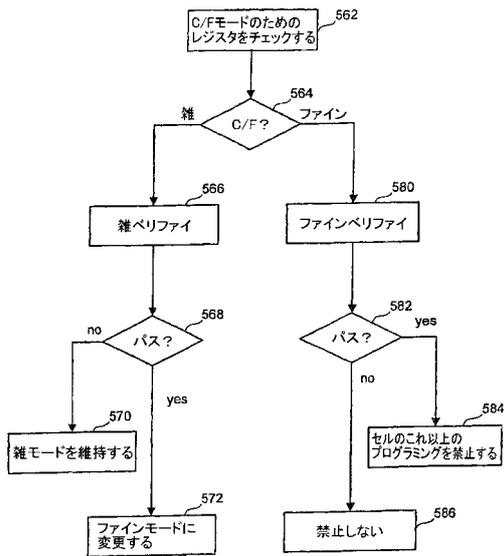
Fig. 8



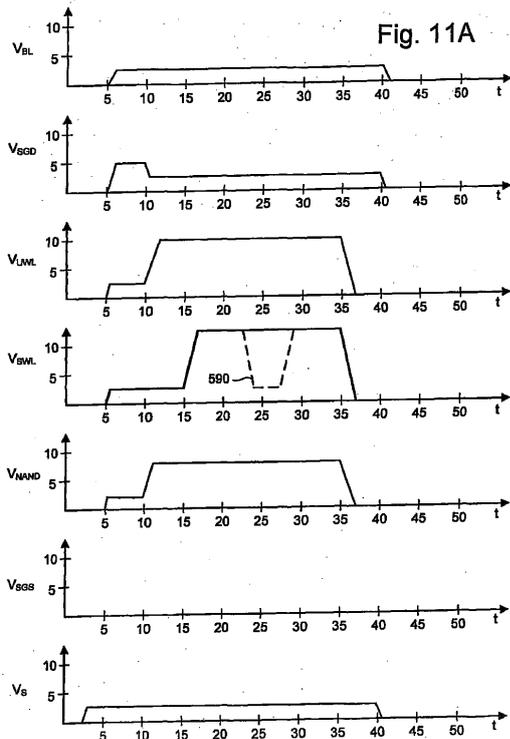
【図9】



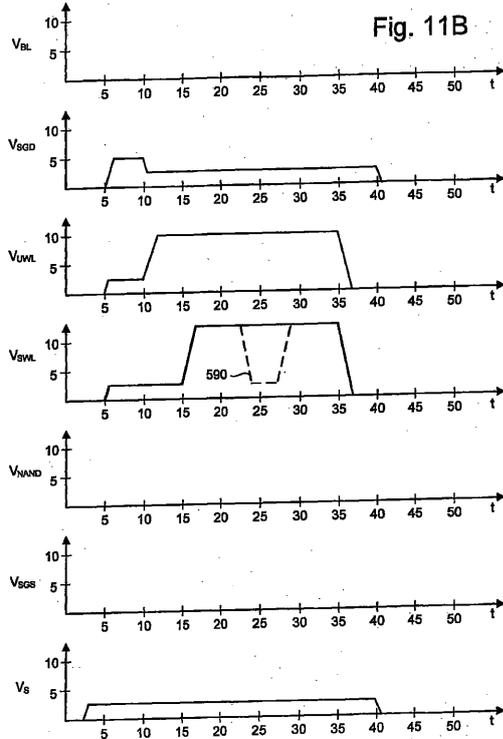
【図10】



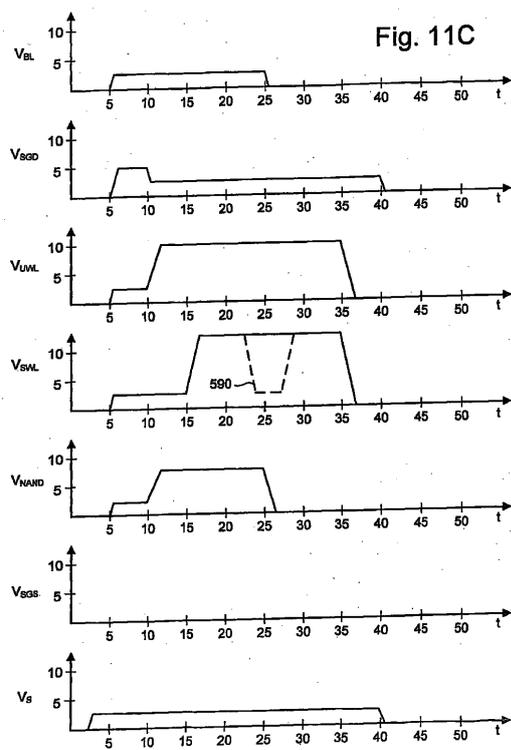
【図11A】



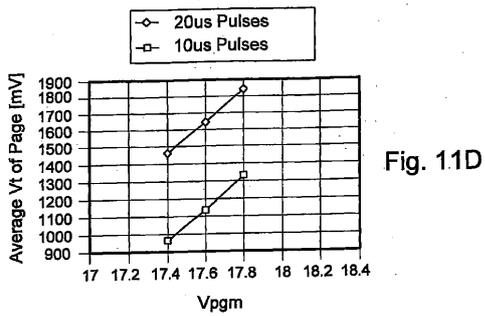
【 1 1 B 】



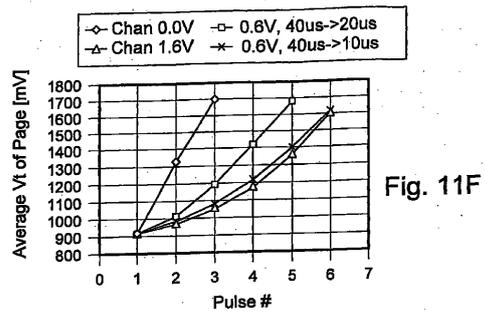
【 1 1 C 】



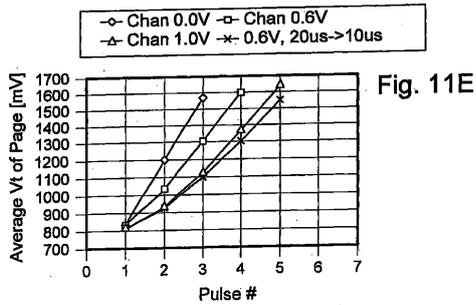
【 1 1 D 】



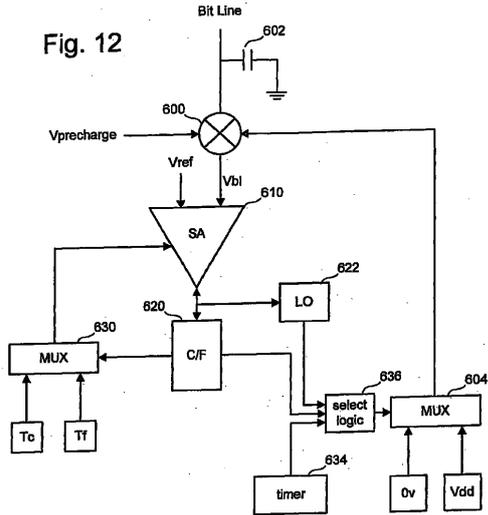
【 1 1 F 】



【 1 1 E 】



【 1 2 】



【 1 3 A 】

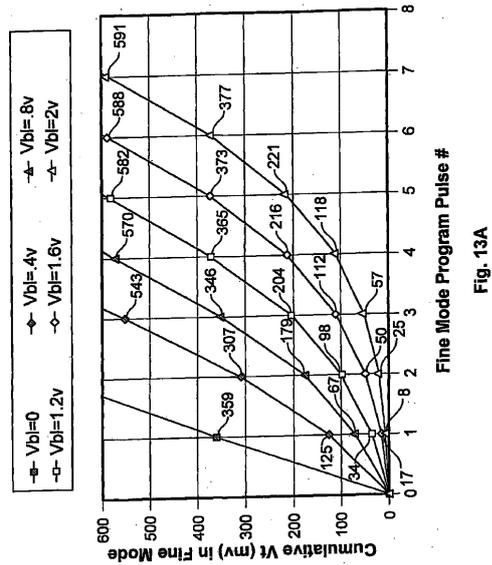
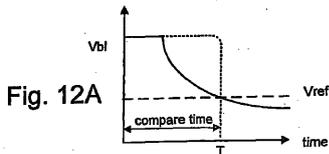
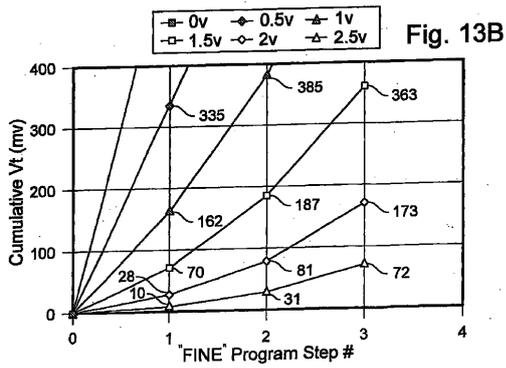


Fig. 13A

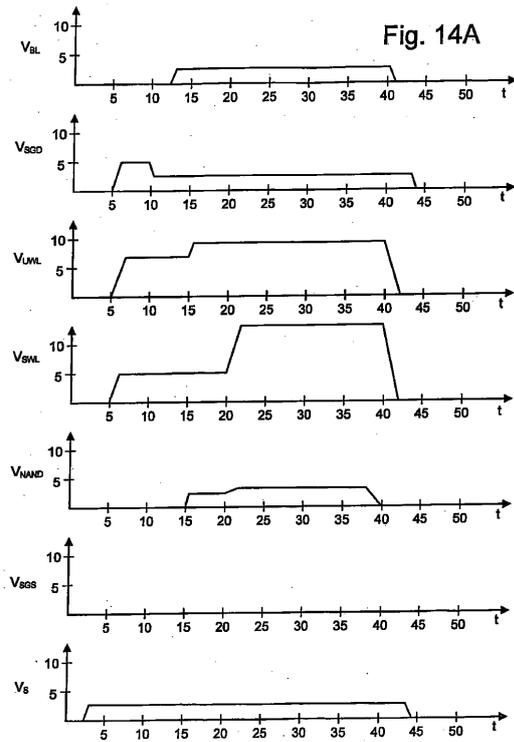
【 1 2 A 】



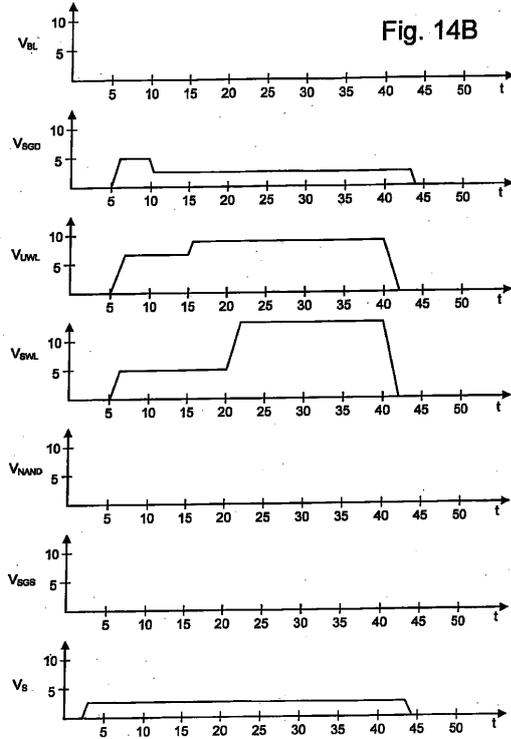
【 1 3 B 】



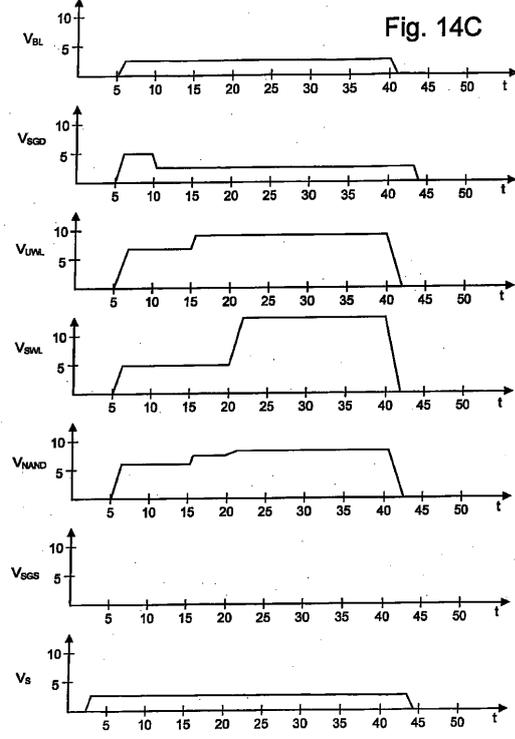
【 1 4 A 】



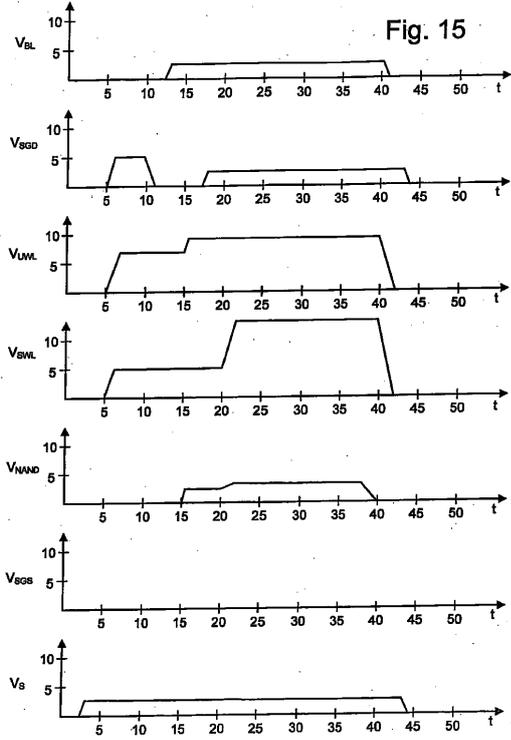
【 図 1 4 B 】



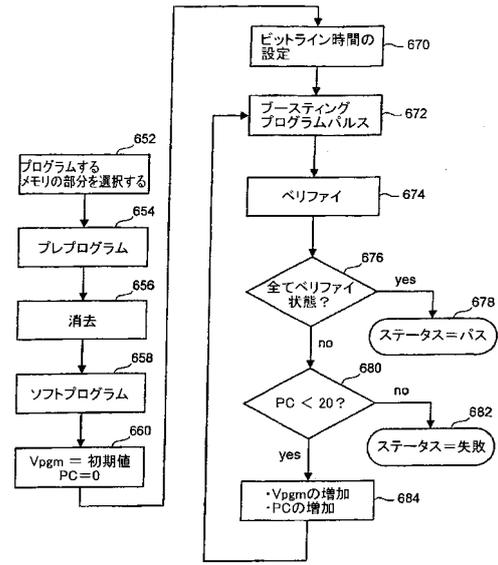
【 図 1 4 C 】



【 図 1 5 】

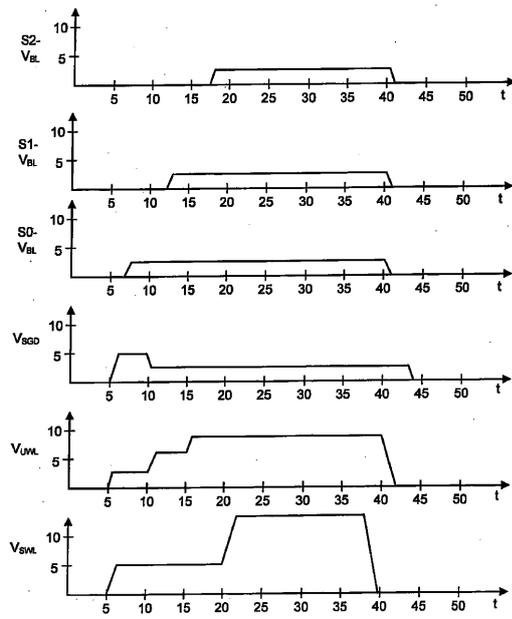


【 図 1 6 】



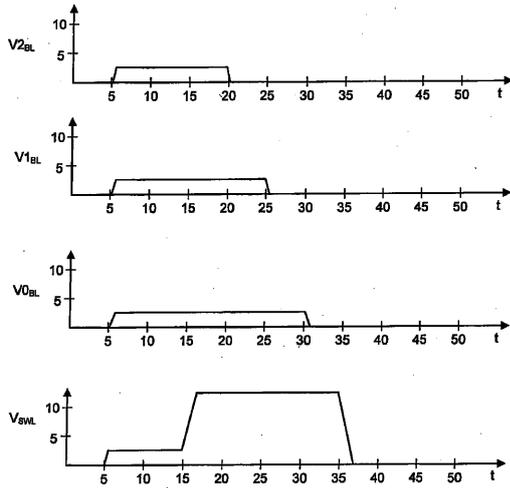
【図17A】

Fig. 17A



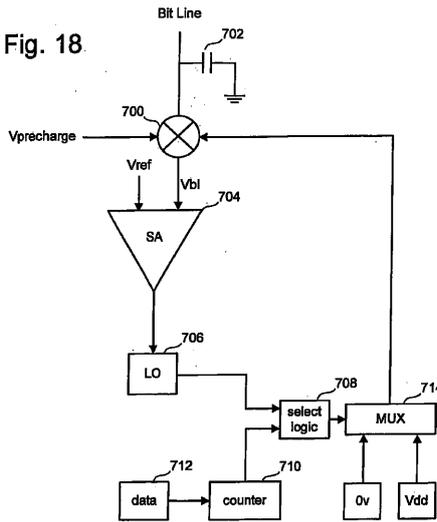
【図17B】

Fig. 17B

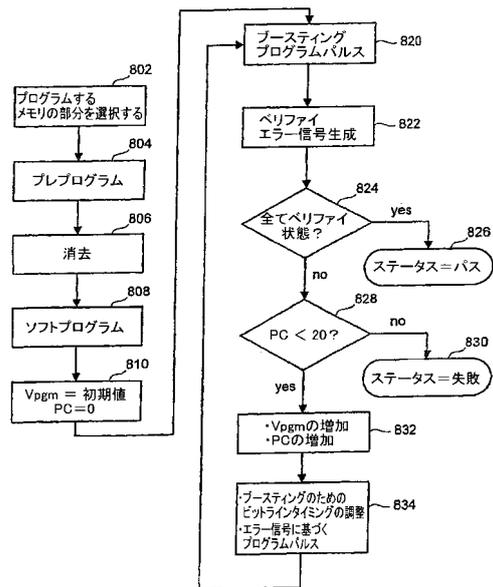


【図18】

Fig. 18

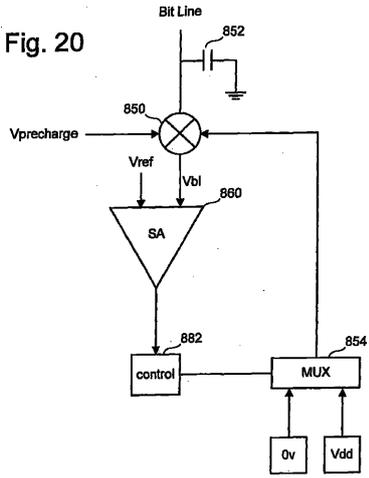


【図19】



【 20 】

Fig. 20



フロントページの続き

(72)発明者 モクレシー、ニーマ

アメリカ合衆国、95032、カリフォルニア州、ロスガトス、セリング ウェイ 14285

(72)発明者 フォン、ユーピン

アメリカ合衆国、94539、カリフォルニア州、フレモント、スプリングウォーター ドライブ
2100

審査官 外山 毅

(56)参考文献 特開平10-283788(JP,A)

特開2000-149577(JP,A)

特開2003-196988(JP,A)

特開平09-251784(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00-16/34