

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/40 (2006.01)

G11C 11/41 (2006.01)

H01L 27/108 (2006.01)



[12] 发明专利说明书

专利号 ZL 02154040.3

[45] 授权公告日 2006 年 7 月 5 日

[11] 授权公告号 CN 1263043C

[22] 申请日 2002.12.6 [21] 申请号 02154040.3

[30] 优先权

[32] 2002.3.28 [33] JP [31] 90768/02

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 木原雄治

审查员 袁文婷

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 梁永

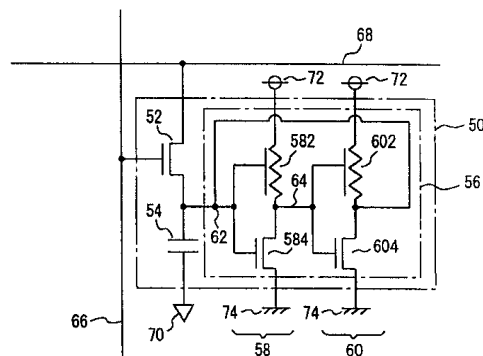
权利要求书 2 页 说明书 22 页 附图 8 页

[54] 发明名称

备有无需刷新动作的存储单元的半导体存储装置

[57] 摘要

存储单元，备有作为传输门的 N 沟道 MOS 晶体管、蓄存与存储信息对应的电荷的电容器、电荷补偿电路。电荷补偿电路，是由 2 级反相器构成的双稳态型电路，用于锁存结点的逻辑电平。各反相器的负载电阻，分别由以多晶硅形成并可以在作为整体晶体管的 N 沟道 MOS 晶体管的上层形成的 P 沟道薄膜晶体管构成。其结果是，半导体存储装置，能象 DRAM 一样实现高度集成化、大容量化，但无需进行刷新动作。



1. 一种半导体存储装置，备有包括按行列状排列的多个存储单元的存储单元阵列、按上述存储单元的每行和每列分别排列的多条字线及多条位线，上述多个存储单元的每一个，包括对以二值信息表示的存储信息的 1 位数据保持与其逻辑电平对应的电荷的电容元件、由施加于上述字线的电压驱动并在上述位线和上述电容元件之间进行上述电荷的相互传送的存取晶体管、连接在上述电容元件和上述存取晶体管之间且根据上述数据的逻辑电平补偿从上述电容元件漏泄的电荷的电荷补偿电路；
- 5
- 10 上述电荷补偿电路，包括将输入结点与上述电容元件和上述存取晶体管之间的存储结点连接的第 1 反相器、将输入结点与上述第 1 反相器的输出结点连接且将输出结点与上述存储结点连接的第 2 反相器。
2. 根据权利要求 1 所述的半导体存储装置，其特征在于：上述存储结点，具有比上述第 1 反相器的输出结点的电容大的电容。
- 15
3. 根据权利要求 2 所述的半导体存储装置，其特征在于：上述存储结点的电容，为上述第 1 反相器的输出结点的电容的 5 倍以上。
4. 根据权利要求 1 所述的半导体存储装置，其特征在于：上述第 1 和第 2 反相器中所包含的 MOS 晶体管，是导电型与上述存取晶体管相同的 MOS 晶体管。
- 20
5. 根据权利要求 4 所述的半导体存储装置，其特征在于：上述存储晶体管，是第 1N 沟道 MOS 晶体管，上述第 1 和第 2 反相器的每一个，由一端与电源结点连接而另一端与输出结点连接的以多晶硅形成的电阻元件及漏极与输出结点连接而源极与接地结点连接的第 2N 沟道 MOS 晶体管构成。
- 25
6. 根据权利要求 5 所述的半导体存储装置，其特征在于：上述电阻元件，由 P 沟道薄膜晶体管构成。
7. 根据权利要求 5 所述的半导体存储装置，其特征在于：当从上述多个存储单元的每一个读出上述数据时，将与上述多个存储单元的每一个对应的位线预充电到电源电压，并对与上述多个存储单元的每一个对应的字线施加上述电源电压以下的电压。
- 30
8. 根据权利要求 4 所述的半导体存储装置，其特征在于：上述存

储晶体管,是第 1P 沟道 MOS 晶体管,上述第 1 和第 2 反相器的每一个,由源极与电源结点连接而漏极与输出结点连接的第 2P 沟道 MOS 晶体管及一端与输出结点连接而另一端与接地结点连接的以多晶硅形成的电阻元件构成。

5 9. 根据权利要求 8 所述的半导体存储装置,其特征在于:上述电阻元件,由 N 沟道薄膜晶体管构成。

10 10. 根据权利要求 1 所述的半导体存储装置,其特征在于:上述第 1 和第 2 反相器的每一个,由一端与电源结点连接而另一端与输出结点连接的以多晶硅形成的第 1 电阻元件及一端与输出结点连接而另一端与接地结点连接的以多晶硅形成的第 2 电阻元件构成。

11. 根据权利要求 10 所述的半导体存储装置,其特征在于:上述第 1 电阻元件,由 P 沟道薄膜晶体管构成,上述第 2 电阻元件,由 N 沟道薄膜晶体管构成。

15 12. 一种半导体存储装置,备有包括按行列状排列的多个存储单元的存储单元阵列、按上述存储单元的每行和每列分别排列的多条字线及多条位线,上述多个存储单元的每一个,包括对以二值信息表示的存储信息的 1 位数据保持与其逻辑电平对应的电荷的电容元件、由施加于上述字线的电压驱动并在上述位线和上述电容元件之间进行上述电荷的相互传送的存取晶体管、连接在上述电容元件和上述存取晶体管之间且根据上述数据的逻辑电平补偿从上述电容元件漏泄的电荷的电荷补偿电路;

20 上述存储晶体管,是第 1N 沟道 MOS 晶体管,上述电荷补偿电路,包含将输入结点与上述电容元件和上述存取晶体管之间的存储结点连接的反相器、一端与电源结点连接而另一端与上述存储结点连接并根据从上述反相器的输出结点输出的信号切换从上述电源结点到上述存储结点的电流特性的以多晶硅形成的第 1 电阻元件,上述反相器,由一端与电源结点连接而另一端与输出结点连接的以多晶硅形成的第 2 电阻元件及漏极与输出结点连接而源极与接地结点连接的第 2N 沟道 MOS 晶体管构成。

30 13. 根据权利要求 12 所述的半导体存储装置,其特征在于:上述第 1 和第 2 电阻元件,由 P 沟道薄膜晶体管构成。

备有无需刷新动作的存储单元的半导体存储装置

技术领域

- 5 本发明涉及半导体装置，尤其是涉及根据构成存储单元的电容器有无蓄存电荷而对存储信息进行存储的半导体存储装置。

背景技术

- 10 作为半导体存储装置的典型格式之一的 DRAM (Dynamic Random Access Memory: 动态随机存取存储器)，其存储单元由 1 个晶体管及 1 个电容器构成，由于存储单元本身的结构简单，所以对半导体器件的高度集成化、大容量化是最佳的，并可以应用于各种电子设备。

图 11 是表示 DRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

- 15 参照图 11，存储单元 500，备有 N 沟道 MOS 晶体管 502 及电容器 504。N 沟道 MOS 晶体管 502，与位线 508 及电容器 504 连接，其栅极与字线 506 连接。电容器 504 的与连接于 N 沟道 MOS 晶体管 502 的一端不同的另一端，与单元板 510 连接。

- 20 N 沟道 MOS 晶体管 502，由仅当写入数据时及读出数据时被激活的字线 506 驱动，并仅当写入数据时及读出数据时导通，其他时间截止。

电容器 504，根据是否蓄存着电荷，存储二值信息“1”、“0”。从位线 508 通过 N 沟道 MOS 晶体管 502 对电容器 504 施加与二值信息“1”、“0”对应的电压，即可使电容器 504 进行充电或放电，从而进行数据的写入。

- 25 即，当写入数据“1”时，将位线 508 预充电到电源电压 V_{cc} ，并将字线 506 激活，从而使 N 沟道 MOS 晶体管 502 导通，并从位线 508 通过 N 沟道 MOS 晶体管 502 对电容器 504 施加电源电压 V_{cc} ，使电容器 504 蓄存电荷。而在该电容器 504 内蓄存着电荷的状态与数据“1”相对应。

- 30 另外，当写入数据“0”时，将位线 508 预充电为接地电压 GND 并将字线 506 激活，从而使 N 沟道 MOS 晶体管 502 导通，并从电容器 504 通过 N 沟道 MOS 晶体管 502 将电荷对位线 508 放电。而在该电容器 504

内没有蓄存电荷的状态与存储数据“0”相对应。

另一方面，当进行数据的读出时，预先将位线 508 充电到电压 $V_{cc}/2$ ，并将字线 506 激活，从而使 N 沟道 MOS 晶体管 502 导通，并使位线 508 与电容器 504 通电。因此，在位线 508 上将产生与电容器 504 的蓄电状态对应的微小电压变化，并由图中未示出的读出放大器将该微小电压变化放大到电压 V_{cc} 或接地电压 GND。该位线 508 的电压电平，与所读出的数据的状态相对应。

另外，由于上述的数据读出动作是破坏性读出，所以在根据所读出的数据将位线 508 放大到电压 V_{cc} 或接地电压 GND 的状态下再次将字线 506 激活并通过与上述数据写入动作相同的动作对电容器 504 进行再充电。按照这种方式，可以将曾随着数据的读出而被破坏了的数据恢复原来的状态。

这里，在 DRAM 的存储单元中，与存储数据相当的电容器 504 的电荷，可能因各种原因而发生漏泄并逐渐消失。即，存储数据随时间而消失。因此，在 DRAM 内，在数据读出过程中，在不能检测出与存储数据对应的位线 508 的电压变化之前，应进行将数据暂时读出然后再重新写入的所谓刷新动作。

DRAM，必需对所有的存储单元定期进行这种刷新动作，因而在这点上存在着对高速化和降低耗电量不利的缺点，因此，从高速化和降低耗电量的观点来看，它不如无需进行刷新动作的 SRAM (Static Random Access Memory: 静态随机存取存储器)。但是，如上所述，DRAM 因存储单元的结构简单而能实现高度集成化，所以，与其他存储器件相比，每 1 位的成本非常低廉，因而已成为当前 RAM 的主流。

另一方面，和 DRAM 一道作为典型的半导体存储装置之一的 SRAM，如上所述，是无需进行 DRAM 中所不可缺少的刷新动作的 RAM。

图 12 是表示 6 晶体管 SRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

参照图 12，存储单元 700，备有 N 沟道 MOS 晶体管 702 ~ 708、P 沟道 MOS 晶体管 710、712、存储结点 714、716。

存储单元 700，在结构上，将由 N 沟道 MOS 晶体管 702 及 P 沟道 MOS 晶体管 710 构成的反相器、由 N 沟道 MOS 晶体管 704 及 P 沟道 MOS 晶体管 712 构成的反相器以交叉方式相互连接后的触发器，通过作为

传输门的 2 个 N 沟道 MOS 晶体管 706、708 与位线对 718、720 连接。

在存储单元 700 中，使存储结点 714、716 的电压电平状态与存储数据相对应，例如，当存储结点 714、716 分别为 H(高)电平、L(低)电平时与存储数据“1”相对应，其相反的状态与存储数据“0”相对应。交叉连接的存储结点 714、716 的上的数据为双稳态，只要供给着规定的电源电压就能持续地保持该状态，所以，在这一点上，与电容器所蓄存的电荷随时间而消失的 DRAM 有着根本的不同。

在存储单元 700 中，当进行数据的写入时，对位线 718、720 施加与写入数据对应的相反的电压并将字线 722 激活而使传输门 706、708 接通，从而设定触发器的状态。另一方面，数据的读出方式为，将字线 722 激活而使传输门 706、708 接通，从而将存储结点 714、716 的电位传送到位线 718、720 并检测此时的位线 718、720 的电压变化。

该存储单元 700，由 6 个整体的晶体管构成，但也存在着备有可以由 4 个整体晶体管构成的存储单元的 SRAM。

图 13 是表示 4 晶体管 SRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

参照图 13，存储单元 750，代替存储单元 700 中的 P 沟道 MOS 晶体管 710、712 而分别备有 P 沟道薄膜晶体管 (P 沟道 TFT (Thin Film Transistor)：以下，将薄膜晶体管称作「TFT」) 730、732。对该 P 沟道 TFT730、732，有时也可以采用高电阻。此外，4 晶体管 SRAM 的所谓「4 晶体管」，意味着 1 个存储单元备有 4 个整体晶体管。此外，所谓「整体」，意味着晶体管在硅基板内形成，而与在基板上形成 TFT 不同。在下文中，与象 TFT 那样的在基板上形成的薄膜元件不同，将在硅基板内形成的晶体管称为「整体晶体管」。

存储单元 750 的动作原理，与存储单元 700 基本相同，所以其说明不再重复。

该 P 沟道 TFT730、732，在 N 沟道 MOS 晶体管 702、704 的上层形成，所以 4 晶体管 SRAM 与 6 晶体管 SRAM 相比具有可以减小单元面积的优点，但从另一方面看，由于在低电压特性上不如 6 晶体管 SRAM，所以不能适应近年来对半导体存储装置要求的低电压化的倾向，因而目前已不大使用。

如上所述，DRAM，因存储单元的结构简单而适用于高度集成化、

大容量化，但刷新动作则不可缺少，另一方面，SRAM 虽然无需进行刷新动作，但因需要 6 个或 4 个整体晶体管所以其存储单元尺寸较大，因而不能适应高度集成化、大容量化，因此双方各有其短长。

5 但是，今后，随着 IT 技术的进一步发展，对在高度集成化、大容量化及高性能化（高速且耗电量低）上都能满足的半导体存储装置寄予很大的期望。

发明内容

10 因此，本发明是为解决上述课题而开发的，其目的是提供一种备有能象 DRAM 一样实现高度集成化、大容量化但无需进行刷新动作的存储单元的半导体存储装置。

按照本发明，半导体存储装置，备有包含按行列状配置的多个存储单元的存储单元阵列、按存储单元的每行和每列分别配置的多条字线及多条位线，多个存储单元的每一个，包含对以二值信息表示的存储信息的 1 位数据保持与其逻辑电平对应的电荷的电容元件、由施加于字线的电压驱动并在位线和电容元件之间进行电荷的相互传送的存取晶体管、根据数据的逻辑电平补偿从电容元件漏泄的电荷的电荷补偿电路。

20 在本发明的半导体存储装置中，多个存储单元的每一个，包含对从保持与存储信息的逻辑电平对应的电荷的电容元件漏泄的电荷进行补偿的电荷补偿电路。

因此，按照本发明，无需进行刷新动作即可防止因电荷的漏泄而引起的存储信息的消失。

25 电荷补偿电路，最好包含将输入结点与电容元件和存取晶体管之间的存储结点连接的第 1 反相器、将输入结点与第 1 反相器的输出结点连接且将输出结点与存储结点连接的第 2 反相器。

电荷补偿电路，通过将第 1 反相器与第 2 反相器交叉连接而构成。

因此，按照本发明，由第 1 和第 2 反相器构成锁存功能，并可以将存储信息保持在存储结点上。

30 第 1 和第 2 反相器中所包含的 MOS 晶体管，最好是导电型与存取晶体管相同的 MOS 晶体管。

构成存储单元的整体晶体管，由 1 种导电型的晶体管构成。

因此，按照本发明，形成存储单元时无需设置 2 种导电型的阱区，因而可以减小存储单元的尺寸。

存储结点，最好具有比第 1 反相器的输出结点的电容大的电容。

因此，按照本发明，可以对存储单元进行稳定的数据写入动作。

5

附图说明

图 1 是表示本发明实施形态 1 的半导体存储装置的整体结构的简略框图。

10 图 2 是表示实施形态 1 的半导体存储装置中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

图 3 是表示将数据“0”写入图 2 所示的存储单元时的结点 62、64 的电位变化的图。

图 4 是表示将数据“1”写入图 2 所示的存储单元时的结点 62、64 的电位变化的图。

15 图 5A 是从面积的观点考虑而示意地示出现有的存储单元的断面的断面图。

图 5B 是从面积的观点考虑而示意地示出图 2 所示的存储单元的断面的断面图。

20 图 6A 是从面积的观点考虑而示意地示出 6 晶体管 SRAM 中的存储单元的整体晶体管的形成区域的平面图。

图 6B 是从面积的观点考虑而示意地示出图 2 所示的存储单元的整体晶体管的形成区域的平面图。

图 7 是表示实施形态 1 的半导体存储装置中的在存储单元阵列上按行列状配置的存储单元的另一种结构的电路图。

25 图 8 是表示实施形态 2 的半导体存储装置中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

图 9 是表示实施形态 3 的半导体存储装置中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

30 图 10 是表示实施形态 4 的半导体存储装置中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

图 11 是表示 DRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

图 12 是表示 6 晶体管 SRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

图 13 是表示 4 晶体管 SRAM 中的在存储单元阵列上按行列状配置的存储单元的结构电路图。

5

具体实施方式

以下，边参照附图边详细说明本发明的实施形态。此外，对图中相同或相当的部分标以相同符号而其说明不再重复。

10

[实施形态 1]

图 1 是表示本发明实施形态 1 的半导体存储装置的整体结构的简略框图。

参照图 1，半导体存储装置 10，备有控制信号端子 12、时钟信号端子 14、地址端子 16、数据输入输出端子 18。此外，半导体存储装置 15 10，还备有控制信号缓冲器 20、时钟信号缓冲器 22、地址缓冲器 24、输入输出缓冲器 26。进一步，半导体存储装置 10，还备有控制电路 28、行地址译码器 30、列地址译码器 32、读出放大器/输入输出控制电路 34、存储单元阵列 36。

另外，在图 1 中，对半导体存储装置 10 仅代表性地示出与数据输入输出有关的主要部分。 20

控制信号端子 12，接收芯片选择信号/CS、行地址选通信号/RAS、列地址选通信号/CAS 及允写信号/WE 的命令控制信号。时钟信号端子 14，接收外部时钟信号 CLK 及时钟启动信号 CKE。地址端子 16，接收地址信号 $A_0 \sim A_n$ (n 为自然数)。

25

时钟信号缓冲器 22，接收外部时钟信号 CLK 而产生内部时钟信号，并将其输出到地址缓冲器 24、输入输出缓冲器 26 及控制电路 28。控制信号缓冲器 20，根据从时钟信号缓冲器 22 接收的内部时钟信号，取入和锁存芯片选择信号/CS、行地址选通信号/RAS、列地址选通信号/CAS 及允写信号/WE，并向控制电路 28 输出。地址缓冲器 24，根据从 30 时钟信号缓冲器 22 接收的内部时钟信号，取入和锁存地址信号 $A_0 \sim A_n$ ，并在产生内部地址后输出到行地址译码器 30 及列地址译码器 32。

数据输入输出端子 18，是与外部交换在半导体存储装置 10 上读写

的数据的端子，写入数据时接收从外部输入的数据 $DQ0 \sim DQi$ (i 为自然数)，读出数据时向外部输出数据 $DQ0 \sim DQi$ 。

当写入数据时，输入输出缓冲器 26，根据从时钟信号缓冲器 22 接收的内部时钟信号，取入和锁存数据 $DQ0 \sim DQi$ ，并向读出放大器/输入输出控制电路 34 输出内部数据 IDQ 。另一方面，当读出数据时，输入输出缓冲器 26，将从读出放大器/输入输出控制电路 34 接收的内部数据 IDQ 输出到数据输入输出端子 18。

控制电路 28，根据从时钟信号缓冲器 22 接收的内部时钟信号，从控制信号缓冲器 20 取入命令控制信号，并根据所取入的命令控制信号控制行地址译码器 30、列地址译码器 32 及输入输出缓冲器 26。按照这种方式，即可进行数据 $DQ0 \sim DQi$ 对存储单元阵列 36 的读写。

行地址译码器 30，根据来自控制电路 28 的指示，选择与地址信号 $A0 \sim An$ 对应的存储单元阵列 36 上的字线，并由图中未示出的字驱动器将所选定的字线激活。另外，列地址译码器 32，根据来自控制电路 28 的指示，选择与地址信号 $A0 \sim An$ 对应的存储单元阵列 36 上的位线对。

当写入数据时，读出放大器/输入输出控制电路 34，根据从输入输出缓冲器 26 接收的内部数据 IDQ 的逻辑电平，将由列地址译码器 32 选定的位线对预充电到电源电压 V_{cc} 或接地电压 GND 。按照这种方式，即可将内部数据 IDQ 写入与由行地址译码器 30 激活了的字线及由列地址译码器 32 选择并由读出放大器/输入输出控制电路 34 预充电后的位线对连接的存储单元阵列 36 上的存储单元。

另一方面，当读出数据时，读出放大器/输入输出控制电路 34，在读出数据前将由列地址译码器 32 选定的位线对预充电到电源电压 $V_{cc}/2$ ，并对所选定的位线上产生的与读出数据对应的微小电压变化进行检测和放大，以判断读出数据的逻辑电平，并输出到输入输出缓冲器 26。

存储单元阵列 36，是将后文所述的存储单元按行列状配置的存储元件群，通过与各行对应的字线与行地址译码器 30 连接，并通过与各列对应的位线对与读出放大器/输入输出控制电路 34 连接。

图 2 是表示半导体存储装置 10 中的在存储单元阵列 36 上按行列状配置的存储单元的结构电路图。

参照图 2，存储单元 50，备有 N 沟道 MOS 晶体管 52、电容器 54、

电荷补偿电路 56。电荷补偿电路 56，包含反相器 58、60、结点 62、64，反相器 58，由 P 沟道 TFT582 及 N 沟道 MOS 晶体管 584 构成，反相器 60，由 P 沟道 TFT602 及 N 沟道 MOS 晶体管 604 构成。

5 N 沟道 MOS 晶体管 52，其栅极与字线 66 连接，漏极及源极分别与位线 68 及电容器 54 连接。N 沟道 MOS 晶体管 52，由仅当写入数据时及读出数据时被激活的字线 66 驱动，并仅当写入数据时及读出数据时导通，其他时间截止。

10 电容器 54，根据是否蓄存着电荷，存储二值信息“1”、“0”。电容器 54，一端与 N 沟道 MOS 晶体管 52 连接，另一端与单元板 70 连接。于是，从位线 68 通过 N 沟道 MOS 晶体管 52 对电容器 54 施加与二值信息“1”、“0”对应的电压，即可使电容器 54 进行充电或放电，从而进行数据的写入。

另外，N 沟道 MOS 晶体管 52 及电容器 54 的结构，与一般的 DRAM 的结构相同。

15 P 沟道 TFT582、602，是由多晶硅构成的具有开关功能的电阻元件，并且是具有 T（兆兆，「T」表示 10^{12} ） Ω 数量级的断开电阻和 G（千兆，「G」表示 10^9 ） Ω 数量级的接通电阻的高电阻元件。

另外，在本发明中，当提到电阻元件时，既表示具有开关功能的电阻元件，也表示具有恒定电阻的电阻元件。

20 P 沟道 TFT582，其栅极与结点 62 连接，源极与电源结点 72 连接，而漏极与结点 64 连接。此外，N 沟道 MOS 晶体管 584，其栅极与结点 62 连接，漏极与结点 64 连接，而源极与接地结点 74 连接。

25 P 沟道 TFT602，其栅极与结点 64 连接，源极与电源结点 72 连接，而漏极与结点 62 连接。此外，N 沟道 MOS 晶体管 604，其栅极与结点 64 连接，漏极与结点 62 连接，而源极与接地结点 74 连接。

在存储单元 50 中，借助于由该 P 沟道 TFT582 及 N 沟道 MOS 晶体管 584 构成的反相器 58 和由 P 沟道 TFT602 及 N 沟道 MOS 晶体管 604 构成的反相器 60 的锁存功能，补偿电容器 54 的漏泄电流，从而无需进行刷新动作即可保持存储数据。

30 以下，说明存储单元 50 的动作。

(1) 数据“0”的写入

在该存储单元 50 中，整体晶体管的导通电流，为 3×10^{-5} A（安培）

左右, TFT 的导通电流和截止电流, 分别为 $1 \times 10^{-11} \text{A}$ 和 $1 \times 10^{-13} \text{A}$ 左右。此外, 由电容器 54 及整体晶体管的截止电流引起的从结点 62、64 漏泄的电流, 为 $1 \times 10^{-15} \text{A}$ 左右。这里所给出的电流值, 并不是限定于这些数值, 只是表示出其大小的程度。

- 5 如果是上述的各电流值, 则因 TFT 的导通电流比从结点 62、64 漏泄的电流大 4 位, 所以可以从电源结点 72 将结点 62、64 充电到电源电压。

10 结点 62 的电容, 由电容器 54 的电容、晶体管的栅极电容、激活区域的结合电容等决定, 为能稳定地读出存储数据, 应将结点 62 的电容设计成至少为 5fF (5f (毫微微) 法拉, 「f」表示 10^{-15}) 以上。另一方面, 结点 64 的电容, 由晶体管的栅极电容、激活区域的结合电容等决定, 结点 64 的电容, 与一般的 SRAM 一样, 约为 1fF。如结点 62 的电容为上述的最小值 5fF、结点 64 的电容为 1fF, 则结点 62、64 的电容比为 5。

- 15 该电容比取多大为最好, 由可以将数据“0”写入该存储单元 50 的条件决定。以下, 对该条件进行说明。

在将数据“0”写入存储单元 50 时, 结点 62 的电压变为 0V, 但在作为通常的写入动作时间的 n (毫微, 「n」表示 10^{-9}) 秒数量级下, 不能从电源结点 72 将结点 64 充电到电源电压。这可以用下式表示。

- 20 现假定电源结点 72 的电源电压为 2V, 在这种情况下, 在结点 64 上, 下式成立。

$$\text{电荷 } Q = \text{电容 } C \times \text{电压 } V = 1\text{f} \times 2 = 2 \times 10^{-15}$$

$$\text{P 沟道 TFT582 的导通电流 } I = 1 \times 10^{-11} \text{ 安培}$$

$$\text{充电时间 } t = Q/I = 2 \times 10^{-4} \text{ 秒} \quad \dots \textcircled{1}$$

- 25 因此, 为了对结点 64 进行充电, 需要 μ (微, 「 μ 」表示 10^{-6}) 秒数量级的时间。这样一来, 即使结点 62 的电压变为 0V, 也不能立即将结点 64 充电到电源电压, 所以, 结点 62 开始通过 P 沟道 TFT602 进行充电。如结点 62 的充电速度比结点 64 快, 则对结点 64 充电后在 P 沟道 TFT 截止之前将对结点 62 再次进行充电, 因而已写入结点 62 的数据“0”最终将变为数据“1”, 从而发生写入错误。
- 30

但是, 如使上述的结点 62、64 的电容比增大, 则结点 64 的充电速度将超过结点 62 的充电速度, P 沟道 TFT602 在结点 62 被充电之前

截止，并使N沟道MOS晶体管604导通，所以，可以将结点62向下拉到0V，因而不会发生写入错误。

该结点62、64的电容比，考虑到N沟道MOS晶体管584和N沟道MOS晶体管604的阈值电压的变化，一般认为最低限度应为5左右。而为了实现更加稳定的数据写入，设置了一个与结点62连接的电容器54，如使电容器54的电容与一般的DRAM一样为20fF左右，则结点62、64的电容比将达到20左右，因而能使数据的写入进一步稳定。此外，考虑到P沟道TFT582与P沟道TFT602的导通电流比将改变10倍左右并考虑到N沟道MOS晶体管584和N沟道MOS晶体管604的阈值电压的变化，结点62、64的电容比最好为20以上。

如上所述，通过设定结点62、64的电容比，即使在结点64被充电到电源电压之前字线66为非激活状态，在数据“0”的写入中也不会发生写入错误。而且，当结点64的电压超过规定的电压时，使N沟道MOS晶体管604导通，因此，可以将结点62保持在0V，在这之后，无需进行刷新动作，即可保持所写入的数据“0”的状态。

另外，在本实施形态1中，为实现稳定的数据写入而设置着电容器54，但如果不设置电容器54而能以晶体管的栅极电容等充分地确保结点62、64的电容比，则也可以不需要设电容器54。

(2) 数据“1”的写入

在将数据“1”写入存储单元50时，结点62立即通过N沟道MOS晶体管52从位线68进行充电，与之相应地使N沟道MOS晶体管584立即导通，并使结点64立即变为0V。因此，结点62、64的电压迅速地稳定，因而当写入数据“1”时不受TFT性能的影响。

另外，如上所述，P沟道TFT602的导通电流，比从结点62漏泄的电流大4位，所以，结点62可以由P沟道TFT602保持在电源电压，在这之后，无需进行刷新动作，即可保持所写入的数据“1”的状态。

图3、4是表示上述写入动作中的结点62、64的电位变化的图。图3是表示将数据“0”写入存储单元50时的结点62、64的电位变化的图，图4是表示将数据“1”写入存储单元50时的结点62、64的电位变化的图。

首先，说明将数据“0”写入存储单元50时的结点62、64的电位变化。

参照图 3, 虚线表示结点 62 的电位变化, 实线表示结点 64 的电位变化。此外, 假定电源电压为 2V, 并假定反相器 60 的逻辑阈值电压(使输出电压急剧变化时的输入电压)为 0.3V。另外, 假定在时刻 T1 将字线 66 激活。

- 5 当在时刻 T1 将字线 66 激活时, 结点 62 的电荷, 通过 N 沟道 MOS 晶体管 52 而被吸引到位线 68, 因而使结点 62 的电位立即变为 0V。与之对应地, 结点 64, 开始通过 P 沟道 TFT582 从电源结点 72 进行充电, 但由于 TFT 的导通电流小于整体晶体管的导通电流, 所以不能立即对结点 64 充电, 因而使结点 62 也开始通过 P 沟道 TFT602 从电源结点 72 进行充电。但是, 在结点 62、64 的电容比的关系上, 使结点 62 的充电速度比结点 64 的充电速度慢。接着, 字线 66, 在时刻 T1 的几十 μ 秒后变为非激活状态。

- 15 当结点 64 的电位在时刻 T1 后的大约 30 μ 秒的时刻 T2 超过了反相器 60 的逻辑阈值电压 0.3V 时, 使 N 沟道 MOS 晶体管 604 导通, 因此相应地使结点 62 变为 0V, 从而使所写入的数据“0”稳定。另外, 结点 64 的电位超过反相器 60 的逻辑阈值电压 0.3V 之前所需的大约 30 μ 秒的时间, 可以根据下式确认。

$$\text{结点 64 的电荷 } Q = \text{电容 } C \times \text{电压 } V = 1f \times 0.3 = 3 \times 10^{-16}$$

$$\text{P 沟道 TFT582 的导通电流 } I = 1 \times 10^{-11} \text{ A}$$

- 20 达到逻辑阈值电压 0.3V 之前的时间 $t = Q/I = 3 \times 10^{-5}$ 秒 ... ②

另一方面, 结点 64, 通过 P 沟道 TFT582 持续地充电, 并如上述的式①所示, 在从开始结点 64 的充电的时刻起大约 200 μ 秒后的时刻 T3, 充电到 2V 电源电压。

- 25 以下, 说明将数据“1”写入存储单元 50 时的结点 62、64 的电位变化。

- 参照图 4, 虚线和实线, 分别表示结点 62、84 的电位变化, 假定在时刻 T1 将字线 66 激活。当在时刻 T1 将字线 66 激活时, 结点 62, 立即通过 N 沟道 MOS 晶体管 52 从位线 68 充电到 2V 电源电压。因此, 使 N 沟道 MOS 晶体管 584 立即导通, 并使结点 64 变为 0V。所以, 当 30 写入数据“1”时, 不受 TFT 性能的影响。

(3) 存储数据的读出

存储单元 50 内的存储数据的读出, 可以通过与一般的 DRAM 相同

的动作进行。即，预先将位线 68 充电到电压 $V_{cc}/2$ ，并在读出数据时对字线 66 施加升压后的电源电压，从而将字线 66 激活。因此，使 N 沟道 MOS 晶体管 52 导通，由图中未示出的读出放大器检测与电容器 54 的蓄电状态对应的位线 68 的微小电压变化，并将该位线 68 的电压放大到电压 V_{cc} 或接地电压 GND。该位线 68 的电压电平，与存储数据的状态相对应。

然后，在将位线 68 的电压放大到电压 V_{cc} 或接地电压 GND 的状态下，再次将字线 66 激活后通过 N 沟道 MOS 晶体管 52 对电容器 54 进行再充电，并通过与上述 (1) 或 (2) 相同的动作进行存储数据的重新写入。

这里，在该存储单元 50 中，读出存储数据时施加于字线 66 的电压，可以不采用将电源电压升压后的电压，而是采用低于电源电压的电压。

如果使施加于字线 66 的电压为将电源电压升压后的电压，则读出数据时存储在存储单元 50 内的数据将被破坏，因而必需进行上述的存储数据的重新写入。其原因如下。即，读出数据后的结点 62 的电位，由位线 68 的电容和电容器 54 的电容决定，由于位线 68 的电容为电容器 54 的电容的 10 倍以上，所以读出数据后的结点 62 的电位比读出数据前的电位更接近于位线 68 的电位。

但是，本发明的存储单元 50，与一般的 DRAM 不同，备有电荷补偿电路 56，电荷补偿电路 56，包含与结点 62 连接的 N 沟道 MOS 晶体管 604。于是，在该 N 沟道 MOS 晶体管 604 的作用下，可以使字线 66 的电压在电源电压以下而不进行升压。以下，对其原因进行说明。

当在存储单元 50 内存储着数据“0”时，N 沟道 MOS 晶体管 604 导通，N 沟道 MOS 晶体管 604，以 $30\mu\text{A}$ 的驱动能力从结点 62 吸引电荷。

另一方面，当在存储单元 50 内存储着数据“1”时，N 沟道 MOS 晶体管 604 截止，N 沟道 MOS 晶体管 604，不从结点 62 吸引电荷。

因此，当读出数据时，存储单元 50 中的电荷补偿电路 56，具有由 N 沟道 MOS 晶体管 604 吸引或不吸引结点 62 的电荷的功能。因此，借助于这种功能，即使没有将电容器 54 的电荷状态完全传送到位线 68，也可以进行数据的读出。

这里，当读出数据时，将位线 68 预充电到电源电压 V_{cc} 。然后，

当进行数据“0”的读出时，由N沟道MOS晶体管604吸引从位线68通过N沟道MOS晶体管52流入的电荷，所以，即使字线66的电压不升压，位线68的电压也可以从电源电压Vcc降低到能够检测数据“0”的程度。另一方面，由于N沟道MOS晶体管604吸引结点62上的电荷，所以将结点62的电压变化抑制在从0V起的小的范围内。

即，即使字线66的电压不升压，也可以进行数据“0”的读出，因而不会破坏数据“0”的状态，并可以将其读到位线68上。

关于数据“1”的读出，由于在读出数据“1”之前位线68和字线66都是电源电压Vcc，所以当读出数据“1”时位线68的电压不改变。因此，通过使位线68的电压不改变的状态与数据“1”相对应，即可进行数据“1”的读出。另外，也不会随着数据的读出而破坏数据。

按照如上所述的方式，即可对存储单元50进行存储数据的读写，并且，还可以不使字线66的电压升压而进行存储数据的非破坏性读出。

另外，关于对字线66的施加电压的下限，只需根据后文所述的单元比的关系将其决定为使作为存取晶体管的N沟道MOS晶体管52的电流驱动能力为作为驱动晶体管的N沟道MOS晶体管604的电流驱动能力的一半以上（单元比为2以下）即可。

在该存储单元50中，采用P沟道TFT582、602的原因是，P沟道TFT582、602可以在N沟道MOS晶体管584、604的上层形成，与现有的DRAM相比，虽然作为整体晶体管的N沟道MOS晶体管584、604的面积有所增加，但存储单元中的整体晶体管数为3个，因而与由6个整体晶体管构成的标准的SRAM相比可以减小单元的面积。

图5A和图5B，是为展示本实施形态1的存储单元50的面积减小效果而从面积的观点考虑分别示意地示出现有的存储单元及存储单元50的断面的断面图。

在图5B的存储单元50中，P沟道TFT582、602在N沟道MOS晶体管584、604的上层形成。存储单元50，与图5A所示的现有的存储单元相比，由于整体晶体管数少，所以可以减小整体晶体管的形成区域，从而可以减小单元面积。

另外，本实施形态1的存储单元50，其整体晶体管由一种导电型的晶体管(N沟道MOS晶体管)构成，所以从这一点也能减小单元面积。

图 6A 和图 6B, 是为进一步展示本实施形态 1 的存储单元 50 的面积减小效果而从面积的观点考虑分别示意地示出 6 晶体管 SRAM 的存储单元及存储单元 50 的整体晶体管的形成区域的平面图。

图 6A 所示的 6 晶体管 SRAM 的存储单元, 包含 N 沟道 MOS 晶体管及 P 沟道 MOS 晶体管两种导电型的晶体管, 所以在基板上必须使形成 N 沟道 MOS 晶体管的 P 阱区与形成 P 沟道 MOS 晶体管的 N 阱区分开生成, 与此不同, 在图 6B 的存储单元 50 中, 由于只由 N 沟道 MOS 晶体管构成, 所以没有必要设置两种阱区。因此, 可以使单元面积进一步减小。

进一步, 作为该存储单元 50 的特征之一, 可以使单元比为接近于 1 的值 (较小比值)。

所谓单元比, 是指存储单元中的驱动晶体管 (图 12、13 所示的 SRAM 的存储单元 700、750 中的 N 沟道 MOS 晶体管 702、704 及图 2 所示的存储单元 50 中的 N 沟道 MOS 晶体管 584、604) 与存取晶体管 (图 12、13 所示的 SRAM 的存储单元 700、750 中的 N 沟道 MOS 晶体管 706、708 及图 2 所示的存储单元 50 中的 N 沟道 MOS 晶体管 52) 的电流驱动能力比, 在 SRAM 中, 为使存储单元的动作稳定, 一般将单元比设定为 2~3 以上。这种情况意味着, 在 SRAM 中, 为确保一定的单元比, 必需使驱动晶体管的栅极宽度大于存取晶体管的栅极宽度。

另一方面, 在该存储单元 50 中, 如上所述, 通过设置电容器 54, 使存储单元的动作稳定, 所以无需象 SRAM 那样使单元比为 2~3 以上, 基本上可以设定为较小比值。另外, 所谓可以减小单元比, 就是可以使驱动晶体管的栅极宽度比现有的 SRAM 小, 因而从这一点也能进一步减小单元面积。

当考虑存储单元的动作稳定性时, 在存储单元 50 中, 也没有必要具有与 SRAM 相同的单元比, 但为了进一步提高动作的稳定性最好还是应设定一定的单元比。

到此为止, 对在电荷补偿电路 56 中使用 TFT 的结构进行了说明, 但即使用高电阻代替 TFT 也仍能实现具有同样效果的存储单元。

图 7 是表示备有包含高电阻 3582、3602 用以代替图 2 的存储单元 50 的 P 沟道 TFT582、602 的电荷补偿电路 56A 的存储单元 56A 的电路结构的电路图。存储单元 50A 中的除高电阻 3582、3602 以外的电路结构, 与存储单元 50 的电路结构相同, 所以其说明不再重复。

参照图 7, 在将数据“0”写入存储单元 50A 的状态下, 结点 62 的电压为 0V, 结点 64 的电压为电源电压。另外, 在该存储单元 50A 中, 由于总是有电流从电源结点 72 流过高电阻 3602 及 N 沟道 MOS 晶体管 604, 所以作为高电阻 3602 如不采用电阻值高的电阻, 则不进行数据写入的等待期间中的电流(以下, 称为等待电流)将会增加。另外, 当考虑将数据“1”写入存储单元 50A 的状态时, 对高电阻 3582 也存在着同样的问题。

另一方面, 在将数据“0”写入存储单元 50A 时, 如高电阻 3582 的电阻值过高, 则在结点 64 上从 N 沟道 MOS 晶体管 604 漏泄的漏泄电流将变得不可忽略, 并使结点 64 的电位降低。此外, 当考虑将数据“1”写入存储单元 50A 的情况时, 对高电阻 3602 及结点 62 也存在同样的问题。

因此, 为使结点 64 的状态稳定, 至少必需从高电阻供给等于漏泄电流的 10 倍左右的电流。如假定电源电压为 2V 并假定漏泄电流为 1×10^{-15} A, 则为了使等于漏泄电流的 10 倍的电流 1×10^{-14} A 流过高电阻 3582, 高电阻 3582 的电阻值应在 2×10^{14} Ω (欧姆) 以下。此外, 当考虑将数据“1”写入存储单元 50A 的情况时, 对高电阻 3602 的电阻值也是一样。

另一方面, 高电阻 3582、3602 的电阻值的上限, 由安装该存储单元 50A 的半导体存储装置的存储容量和等待电流的规格决定。例如, 当存储容量为 4M(兆, 「M」表示 10^6) 位时, 为将等待电流抑制到 $10 \mu\text{A}$, 流过每个存储单元的高电阻的电流 I, 应为 $I = (10 \times 10^{-6} \text{A}) / (4 \times 10^6 \text{位}) = 2.5 \times 10^{-12} \text{A}$ 。因此, 由于电源电压为 2V, 所以高电阻 3582、3602 的电阻值应为 $R = 2\text{V} / (2.5 \times 10^{-12} \text{A}) = 8 \times 10^{11} \Omega$ 。从上述可知, 在上述条件下, 高电阻 3582、3602 的电阻值, 应为 $8 \times 10^{11} \Omega \sim 2 \times 10^{14} \Omega$ 。

如上所述, 按照实施形态 1 的半导体存储装置, 以现有的 DRAM 的存储单元的结构为基础, 并用 P 沟道 TFT 或高电阻构成电荷补偿电路, 所以, 可以实现与现有的 DRAM 相比无需刷新动作、且与现有的 SRAM 相比能使单元面积减小的存储单元。

[实施形态 2]

实施形态 2 的半导体存储装置 110, 在存储单元的电荷补偿电路的

结构上与实施形态 1 的半导体存储装置 10 不同，另外，还将导电型与构成电荷补偿电路的整体晶体管相同的 P 沟道 MOS 晶体管用作存取晶体管。

5 实施形态 2 的半导体存储装置 110 的总体结构，与图 1 所示的实施形态 1 的半导体存储装置 10 相同，所以将其说明省略。

图 8 是表示半导体存储装置 110 中的在存储单元阵列 36 上按行列状配置的存储单元的结构电路图。

10 参照图 8，半导体存储装置 110 中的存储单元阵列 36 上的存储单元 150，备有 P 沟道 MOS 晶体管 152 及电荷补偿电路 156，用以分别代替实施形态 1 的半导体存储装置 10 的存储单元 50 中的 N 沟道 MOS 晶体管 52 及电荷补偿电路 56。电荷补偿电路 156，包含反相器 158、160、结点 62、64，反相器 158，由 P 沟道 MOS 晶体管 1582 及 N 沟道 TFT1584 构成，反相器 160，由 P 沟道 MOS 晶体管 1602 及 N 沟道 TFT1604 构成。

15 存储单元 150 中的电容器 54 的功能及结点 62、64 的连接结构，与实施形态 1 相同，所以其说明不再重复。

P 沟道 MOS 晶体管 152，其栅极与字线 66 连接，漏极及源极分别与位线 68 及电容器 54 连接。P 沟道 MOS 晶体管 152，由仅当写入数据时及读出数据时电压变为 0V 的字线 66 驱动，并仅当写入数据时及读出数据时导通，其他时间截止。

20 另外，在实施形态 2 中，使存取晶体管为 P 沟道 MOS 晶体管 152 的原因是，通过由一种类型的整体晶体管构成存储单元 150，如实施形态 1 中所述，没有必要设置两种阱区，因而可以减小单元面积。

25 N 沟道 TFT1584、1604，是由多晶硅构成的具有开关功能的电阻元件，并且是具有 T（兆兆） Ω 数量级的断开电阻和 G（千兆） Ω 数量级的接通电阻的高电阻元件。

N 沟道 TFT1584，其栅极与结点 62 连接，漏极与结点 64 连接，而源极与接地结点 74 连接。此外，P 沟道 MOS 晶体管 1582，其栅极与结点 62 连接，源极与电源结点 72 连接，而漏极与结点 64 连接。

30 N 沟道 TFT1604，其栅极与结点 64 连接，漏极与结点 62 连接，而源极与接地结点 74 连接。此外，P 沟道 MOS 晶体管 1602，其栅极与结点 64 连接，源极与电源结点 72 连接，而漏极与结点 62 连接。

在存储单元 150 中，借助于由该 P 沟道 MOS 晶体管 1582 及 N 沟道

TFT1584 构成的反相器 158 和由 P 沟道 MOS 晶体管 1602 及 N 沟道 TFT1604 构成的反相器 160 的锁存功能, 补偿电容器 54 的漏泄电流, 从而无需进行刷新动作即可保持存储数据。

以下, 说明存储单元 150 的动作。

5 (1) 数据“1”的写入

写入数据时的位线 68 及电容器 54 的动作或状态, 与实施形态 1 相同。此外, 当写入数据时, 对字线 66 施加 0V 的电压而将其激活, 而在不进行数据的写入时, 施加电源电压。

10 通过从位线 68 经由 P 沟道 MOS 晶体管 152 对结点 62 施加电源电压 V_{cc} , 使 P 沟道 MOS 晶体管 1582 截止, 并使 N 沟道 TFT1584 导通。因此, 结点 64, 由 N 沟道 TFT1584 向下拉到 L 电平。在这之后, 完成数据的写入并对字线 66 施加电源电压, 以使 P 沟道 MOS 晶体管 152 截止。

15 由于结点 64 变为 L 电平, 所以使 P 沟道 MOS 晶体管 1602 导通, 并使 N 沟道 TFT1604 截止。因此, 结点 62, 由 P 沟道 MOS 晶体管 1602 强力地向上拉, 因而立即变为 H 电平并将其锁存。

20 这里, N 沟道 TFT1584, 由于在 TFT 的特性上其驱动能力较差, 因而为将结点 64 拉低需花费时间, 因此, 在由 P 沟道 MOS 晶体管 1602 将结点 62 锁存在 H 电平之前将需要时间, 但在该过渡期间内由电容器 54 保持电荷。于是, 当由 N 沟道 TFT1584 对结点 64 的拉低结束时, 可以将结点 62 完全锁存。

另外, N 沟道 TFT1604 的截止电阻, 具有 T (兆兆) Ω 的数量级, 因而截止电流远小于电容器 54 的漏泄电流, 所以能够实现上述的锁存功能。

25 按照上述结构, 即使电容器 54 由于任何原因而存在漏泄, 也可以由 P 沟道 MOS 晶体管 1602 补偿电荷, 从而无需刷新动作即可保持数据“1”。

(2) 数据“0”的写入

30 写入数据时的位线 68 及电容器 54 的动作和状态, 与实施形态 1 相同。此外, 字线 66 及 P 沟道 MOS 晶体管 152 的动作和状态, 与写入数据“1”时相同。

通过使电容器 54 的电荷放电, 结点 62 变为 L 电平, 因而使 P 沟

道 MOS 晶体管 1582 导通, 并使 N 沟道 TFT1584 截止。因此, 结点 64, 由 P 沟道 MOS 晶体管 1582 强力地向上拉到 H 电平。在这之后, 完成数据的写入并对字线 66 施加电源电压, 以使 P 沟道 MOS 晶体管 152 截止。

5 由于结点 64 变为 H 电平, 所以使 P 沟道 MOS 晶体管 1602 截止, 并使 N 沟道 TFT1604 导通。这时, N 沟道 TFT1604, 由于在 TFT 的特性上其驱动能力较差, 因而完全变为导通状态需花费时间, 但在该过渡期间内电容器 54 保持放电后的状态。于是, 当 N 沟道 TFT1604 完全变为导通状态时, 可以将结点 62 完全锁存。

10 按照上述结构, 即使电容器 54 由于任何原因而存在漏泄, 也可以由 N 沟道 TFT1604 将结点 62 保持在 L 电平, 因而在其后无需刷新动作即可保持 L 电平的存储数据。

另外, 关于存储数据的读出动作, 因与实施形态 1 相同, 所以将其说明省略。按照如上所述的方式, 即可对存储单元 150 进行存储数据的读写。

15 在该存储单元 150 中, 采用 N 沟道 TFT1882、1604 的原因, 与实施形态 1 中采用 P 沟道 TFT582、602 的原因相同。即, N 沟道 TFT1882、1604, 可以在 P 沟道 MOS 晶体管 1582、1602 的上层形成, 因此, 与现有的 DRAM 相比, 虽然作为整体晶体管的 P 沟道 MOS 晶体管 1582、1602 的面积有所增加, 但存储单元中的整体晶体管数为 3 个, 因而与由 6
20 个整体晶体管构成的标准的 SRAM 相比可以减小单元的面积。

另外, 该存储单元 150, 以进一步减小单元面积为目的而在结构上采用 P 沟道 MOS 晶体管 152 作为存取晶体管, 但也可以与实施形态 1 一样将 N 沟道 MOS 晶体管用作存取晶体管。在这种情况下, 虽然不能取得由一种阱区构成存储单元时所产生的减小单元面积的效果, 但与 6
25 晶体管 SRAM 相比仍可以取得因整体晶体管数减少所产生的减小单元面积的效果。

如上所述, 按照实施形态 2 的半导体存储装置 110, 以现有的 DRAM 的存储单元的结构为基础, 并用 N 沟道 TFT 构成电荷补偿电路 156, 所以, 可以实现与现有的 DRAM 相比无需刷新动作、且与现有的 SRAM 相
30 比能使单元面积减小的存储单元。

[实施形态 3]

实施形态 3 的半导体存储装置 210, 在存储单元的电荷补偿电路的结构上与实施形态 1、2 的半导体存储装置 10、110 不同。

实施形态 3 的半导体存储装置 210 的总体结构, 与图 1 所示的实施形态 1 的半导体存储装置 10 相同, 所以将其说明省略。

5 图 9 是表示半导体存储装置 210 中的在存储单元阵列 36 上按行列状配置的存储单元的结构电路图。

参照图 9, 半导体存储装置 210 中的存储单元阵列 36 上的存储单元 250, 备有电荷补偿电路 256, 用以代替实施形态 1 的半导体存储装置 10 的存储单元 50 中的电荷补偿电路 56。电荷补偿电路 256, 包含
10 反相器 258、260、结点 62、64, 反相器 258, 由 P 沟道 TFT2582 及 N 沟道 TFT2584 构成, 反相器 260, 由 P 沟道 TFT2602 及 N 沟道 TFT2604 构成。

存储单元 150 中的电荷补偿电路 256 以外的部分即 N 沟道 MOS 晶体管 52 及电容器 54 的功能和结构以及结点 62、64 的连接结构, 与
15 实施形态 1 相同, 所以其说明不再重复。

P 沟道 TFT2582、2602 及 N 沟道 TFT2584、2604, 是由多晶硅构成的具有开关功能的电阻元件, 并且是具有 T (兆兆) Ω 数量级的断开电阻和 G (千兆) Ω 数量级的接通电阻的高电阻元件。

P 沟道 TFT2582, 其栅极与结点 62 连接, 源极与电源结点 72 连接,
20 而漏极与结点 64 连接。此外, N 沟道 MOSTFT2584, 其栅极与结点 62 连接, 漏极与结点 64 连接, 而源极与接地结点 74 连接。

P 沟道 TFT2602, 其栅极与结点 64 连接, 源极与电源结点 72 连接, 而漏极与结点 62 连接。此外, N 沟道 TFT2604, 其栅极与结点 64 连接, 漏极与结点 62 连接, 而源极与接地结点 74 连接。

25 在存储单元 250 中, 借助于由该 P 沟道 TFT2582 及 N 沟道 TFT2584 构成的反相器 258 和由 P 沟道 TFT2602 及 N 沟道 TFT2604 构成的反相器 260 的锁存功能, 补偿电容器 54 的漏泄电流, 从而无需进行刷新动作即可保持存储数据。

以下, 说明存储单元 250 的动作。

30 在实施形态 3 中, 电荷补偿电路 256, 全部由 TFT 构成, 所以, 从 N 沟道 MOS 晶体管 52 导通直到由反相器 258、260 使结点 62 完全锁存, 与实施形态 1、2 相比需要相当于其二倍的时间。但只要是使 TFT 导通

/截止所需数量级的时间，则电容器 54 可以充分地保持电荷。

另外，如实施形态 1 中所述，由于 TFT 的导通电流远大于电容器的漏泄电流、而截止电流远小于电容器的漏泄电流，所以即使电荷补偿电路全部由 TFT 构成也可以实现锁存功能。

5 另外，关于存储数据的读出动作，因与实施形态 1 相同，所以将其说明省略。

在该存储单元 250 中，整体晶体管数只有 N 沟道 MOS 晶体管 52 一个，因而与由 6 个整体晶体管构成的标准的 SRAM 相比可以大幅度地减小单元面积。

10 如上所述，按照实施形态 3 的半导体存储装置 210，以现有的 DRAM 的存储单元的结构为基础，并用 P 沟道 TFT 及 N 沟道 TFT 构成电荷补偿电路 256，所以，可以实现与现有的 DRAM 相比无需刷新动作、且与现有的 SRAM 相比能使单元面积大幅度减小的存储单元。

15 [实施形态 4]

实施形态 4 的半导体存储装置 310，备有在结构上将实施形态 1 的半导体存储装置 10 的存储单元 50 中的电荷补偿电路 56 的 N 沟道 MOS 晶体管 604 去掉的存储单元。

20 实施形态 4 的半导体存储装置 310 的总体结构，与图 1 所示的实施形态 1 的半导体存储装置 10 相同，所以将其说明省略。

图 10 是表示半导体存储装置 310 中的在存储单元阵列 36 上按行列状配置的存储单元的结构电路图。

25 参照图 10，半导体存储装置 310 中的存储单元阵列 36 上的存储单元 350，备有电荷补偿电路 356，用以代替实施形态 1 的半导体存储装置 10 的存储单元 50 中的电荷补偿电路 56。电荷补偿电路 356，具有将实施形态 1 的电荷补偿电路 56 的 N 沟道 MOS 晶体管 604 去掉的结构。电荷补偿电路 356 中的其他结构，与电荷补偿电路 56 相同，其说明不再重复。

30 存储单元 350 中的电荷补偿电路 356 以外的部分即 N 沟道 MOS 晶体管 52 及电容器 54 的功能和结构以及结点 62、64 的连接结构，与实施形态 1 相同，所以其说明不再重复。

在存储单元 350 中，借助于由该 P 沟道 TFT582 及 N 沟道 MOS 晶体

管 584 构成的反相器 58 和 P 沟道 TFT602 的锁存功能，补偿电容器 54 的漏泄电流，从而无需进行刷新动作即可保持存储数据。

以下，说明存储单元 350 的动作。

(1) 数据“1”的写入

5 写入数据时的位线 68、字线 66、N 沟道 MOS 晶体管 52 及电容器 54 的动作和状态，与实施形态 1 相同。

10 通过从位线 68 经由 P 沟道 MOS 晶体管 52 对结点 62 施加电源电压 V_{cc} ，使 P 沟道 TFT582 截止，并使 N 沟道 MOS 晶体管 584 导通。因此，结点 64，由 N 沟道 MOS 晶体管 584 强力地向下拉，因而立即变为 L 电平。在这之后，完成数据的写入并使字线 66 变为非激活状态，以使 P 沟道 MOS 晶体管 52 截止。

15 由于结点 64 变为 L 电平，所以使 P 沟道 TFT602 导通。这时，P 沟道 TFT602，由于在 TFT 的特性上其驱动能力较差，因而完全变为导通状态需花费时间，但在该过渡期间内由电容器 54 保持电荷。于是，当 P 沟道 TFT602 完全变为导通状态时，可以将结点 62 完全锁存。

按照上述结构，即使电容器 54 由于任何原因而存在漏泄，也可以由 P 沟道 TFT602 补偿电荷，从而在其后无需刷新动作即可保持数据“1”。

(2) 数据“0”的写入

20 写入数据时的位线 68、字线 66、N 沟道 MOS 晶体管 52 及电容器 54 的动作和状态，与实施形态 1 相同。

25 通过使电容器 54 的电荷放电，结点 62 变为 L 电平，因而使 P 沟道 TFT582 导通，并使 N 沟道 MOS 晶体管 584 截止。因此，结点 64，由 P 沟道 TFT582 向上拉到 H 电平。在这之后，完成数据的写入并使字线 66 变为非激活状态，以使 P 沟道 MOS 晶体管 52 截止。

由于结点 64 变为 H 电平，所以使 P 沟道 TFT602 截止。因此，结点 62 保持 L 电平。

30 这里，在电荷补偿电路 356 中，没有采用将结点 62 强力地锁存在 L 电平的 N 沟道 MOS 晶体管，所以，应考虑由 P 沟道 TFT602 的截止电流引起的对电容器 54 的电流漏泄，但 P 沟道 TFT602 的截止电阻具有 T (兆兆) Ω 的数量级，因而 P 沟道 TFT602 的截止电流远小于对电容器 54 的蓄电状态产生影响的漏泄电流，所以，即使不采用 N 沟道 MOS 晶

晶体管 604, 也能将结点 62 锁存在 L 电平。

另外, 关于存储数据的读出动作, 因其基本动作与实施形态 1 相同, 所以将其说明省略。实施形态 4 的电荷补偿电路 356, 由于去掉了实施形态 1 的电荷补偿电路 56 中的 N 沟道 MOS 晶体管 604, 所以失去了如实施形态 1 所述的由 N 沟道 MOS 晶体管 604 吸引电荷的效果, 因而在实施形态 4 中不能象实施形态 1 那样将字线 66 的电压降低。因此, 在该半导体存储装置 310 中, 与一般的 DRAM 一样, 对字线施加将电源电压升压后的电源电压。

按照如上所述的方式, 即可对存储单元 350 进行存储数据的读写。

10 在该存储单元 350 中, 整体晶体管数为 2 个, 因而与由 6 个整体晶体管构成的标准的 SRAM 相比可以大幅度地减小单元面积。

另外, 图中虽未示出, 但也可以用 N 沟道 TFT 代替 N 沟道 MOS 晶体管 584。在这种情况下, 可以将整体的晶体管又减少 1 个, 所以能进一步减小单元面积。

15 如上所述, 按照实施形态 4 的半导体存储装置 310, 以现有的 DRAM 的存储单元的结构为基础, 并用 P 沟道 TFT 构成电荷补偿电路 356, 所以, 可以实现与现有的 DRAM 相比无需刷新动作、且与现有的 SRAM 相比能使单元面积减小的存储单元。

20 另外, 在上述的实施 1~4 中, 电容元件, 与作为存取晶体管的 N 沟道 MOS 晶体管 52 连接, 但例如当图 2 所示的 N 沟道 MOS 晶体管 604 的电流驱动能力大时 (N 沟道 MOS 晶体管 604、52 的单元比大于 2 时), 也可以将电容元件设置在结点 64。

25 应该知道, 这里所公开的实施形态, 在所有方面都只是用于例示而无任何限制。本发明的范围, 由专利的权利要求给出而不是上述实施形态中的说明, 在意图上包含着在与专利权利要求范围同等的意义及范围内的所有变更。

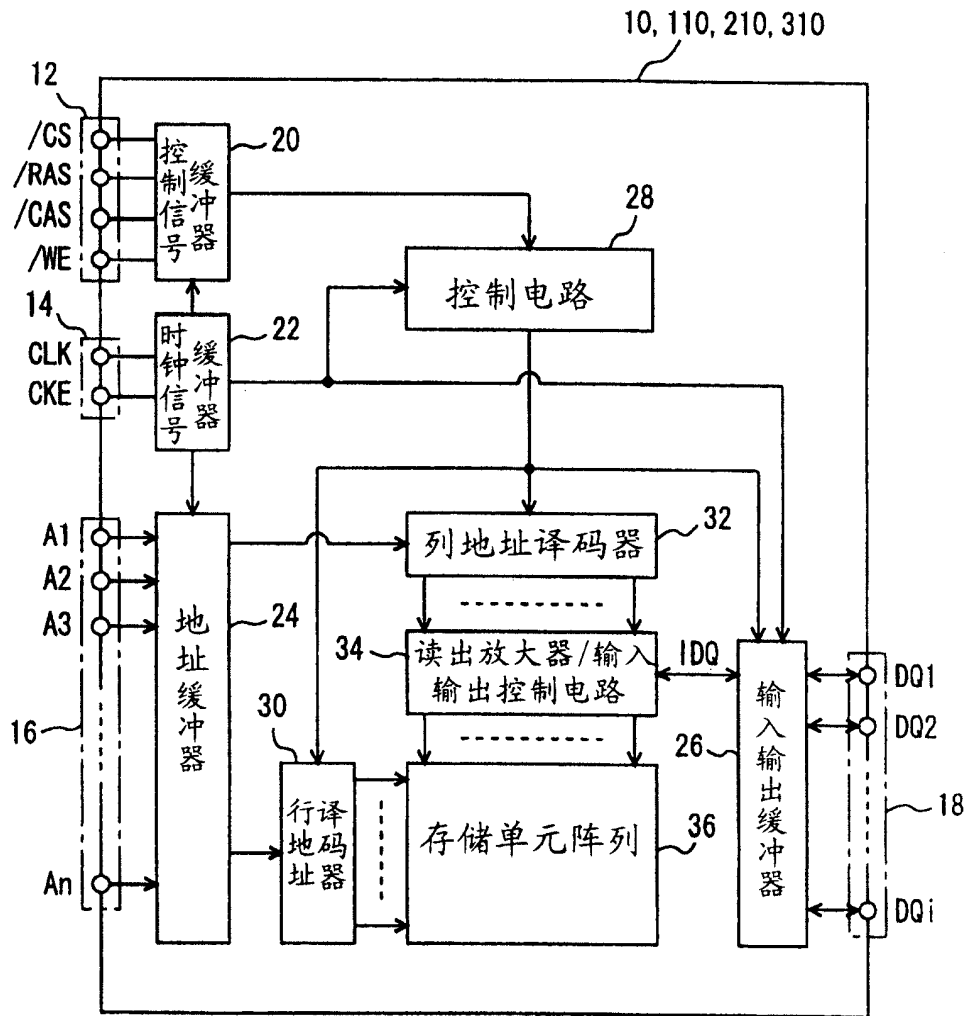


图 1

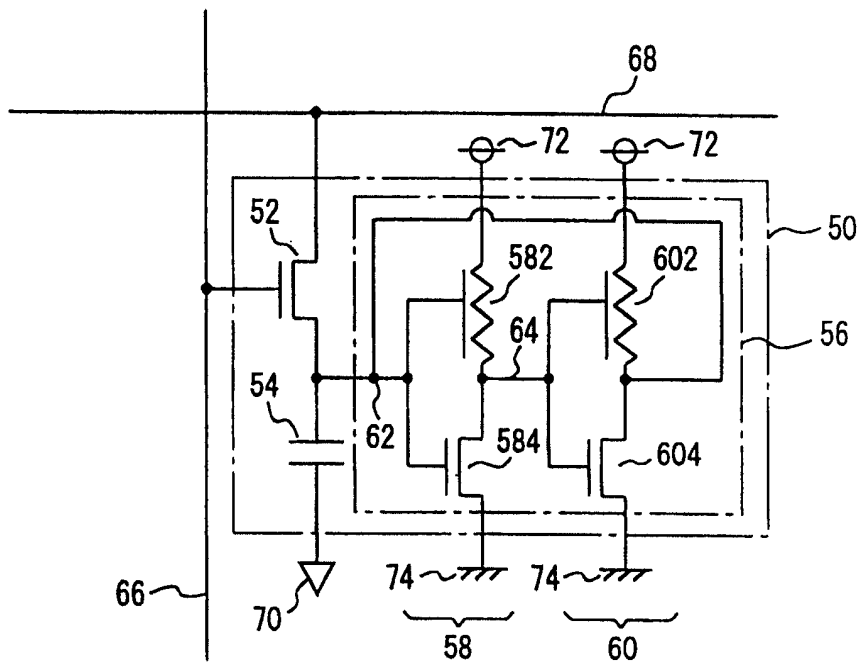


图 2

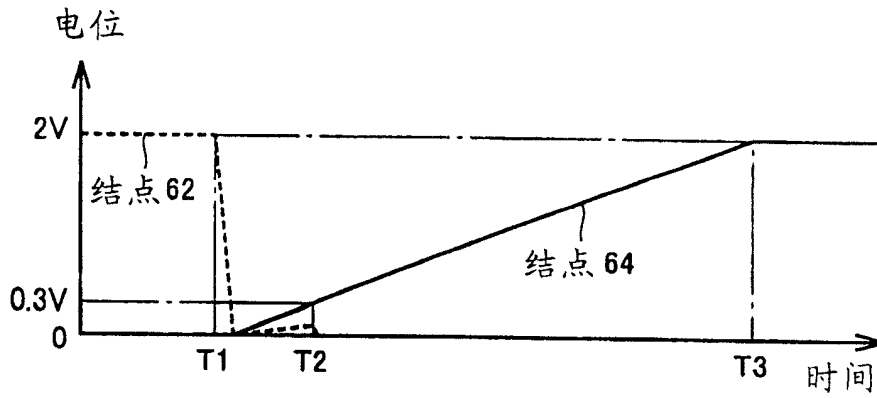


图 3

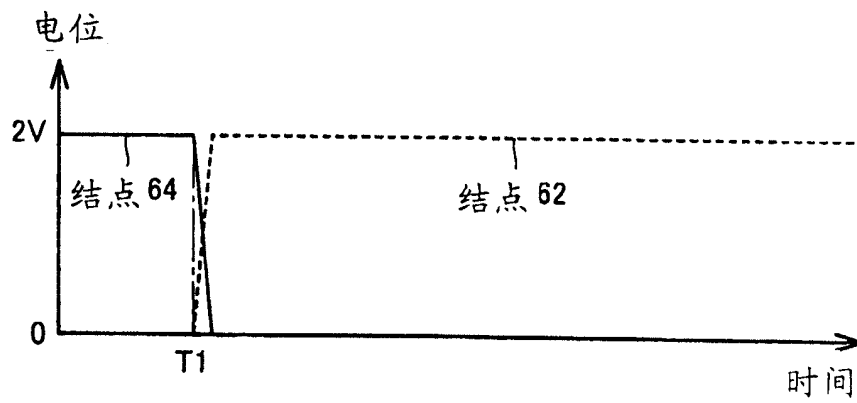


图 4

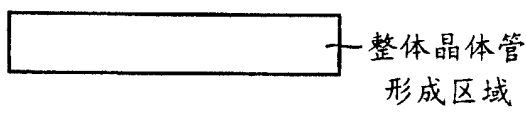


图 5A

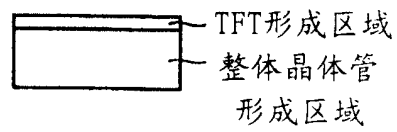


图 5B

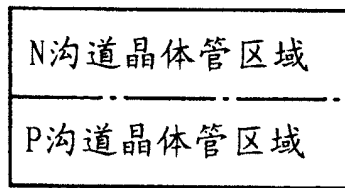


图 6A

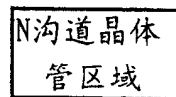


图 6B

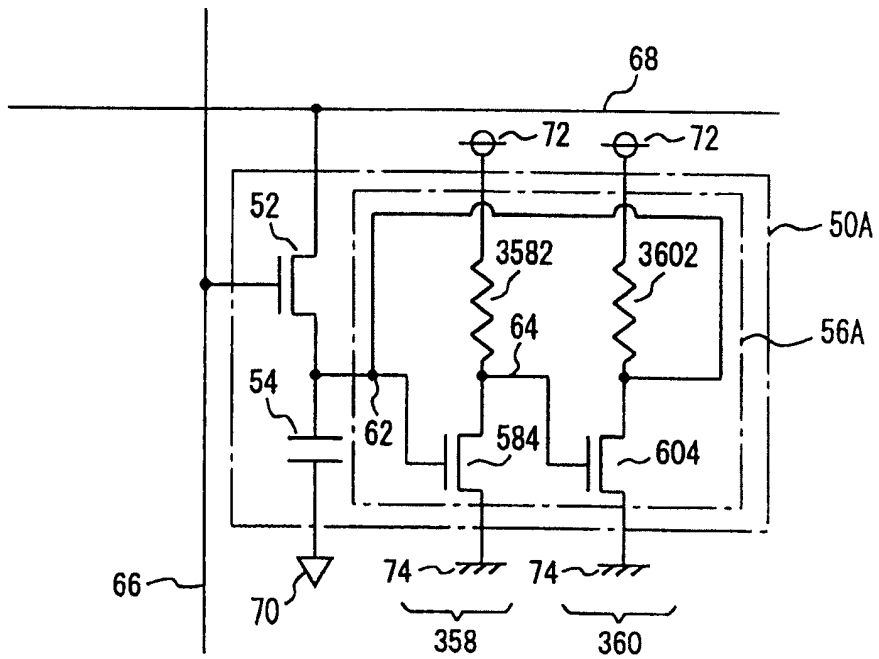


图 7

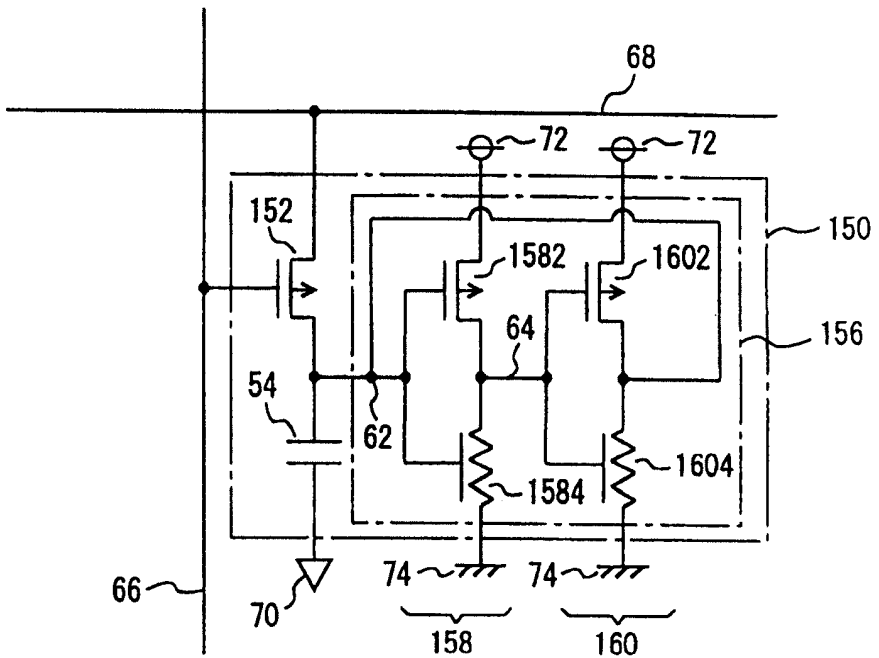


图 8

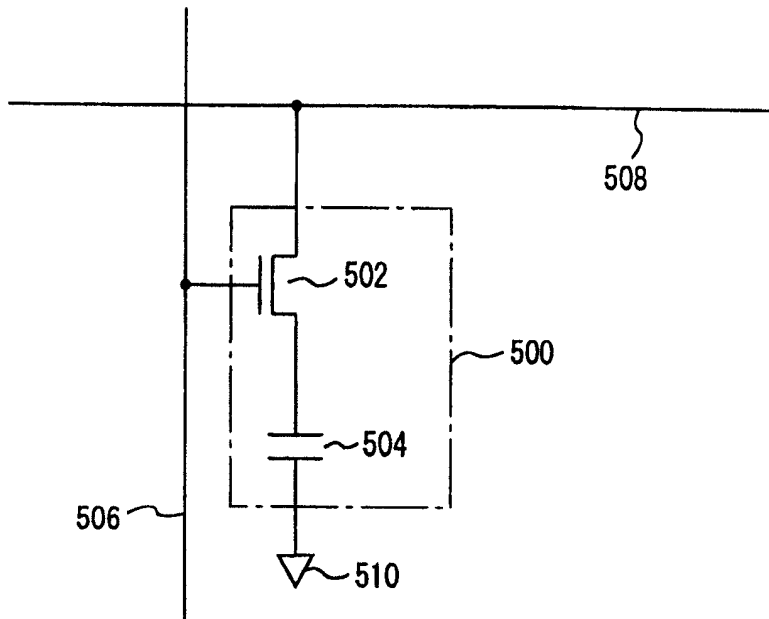


图 11

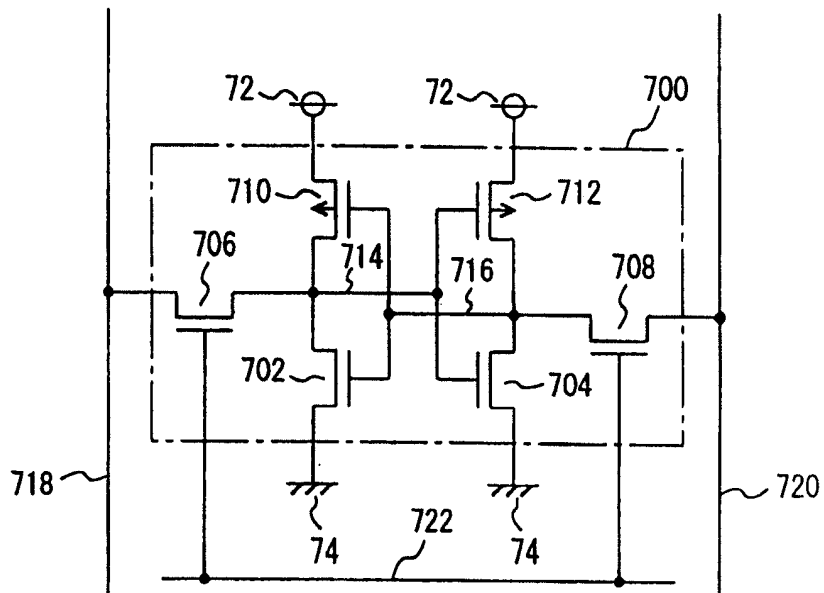


图 12

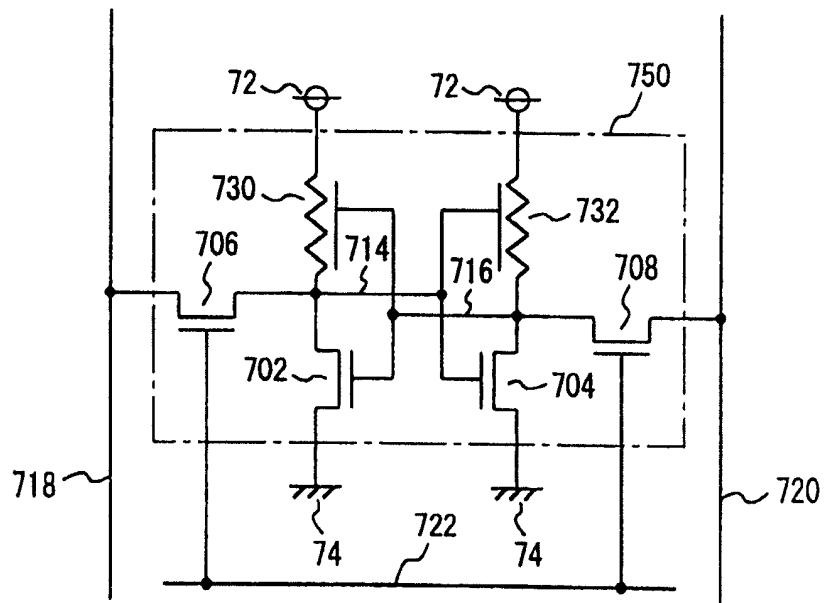


图 13.