

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-38884

(P2012-38884A)

(43) 公開日 平成24年2月23日(2012.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 7	4 M 1 1 9
HO 1 L 21/8246 (2006.01)	HO 1 L 43/08 Z	5 F 0 9 2
HO 1 L 43/08 (2006.01)	HO 1 L 29/82 Z	
HO 1 L 29/82 (2006.01)	HO 1 L 43/10	
HO 1 L 43/10 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願2010-177104 (P2010-177104)
 (22) 出願日 平成22年8月6日 (2010.8.6)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086841
 弁理士 脇 篤夫
 (74) 代理人 100114122
 弁理士 鈴木 伸夫
 (74) 代理人 100167704
 弁理士 中川 裕人
 (72) 発明者 大森 広之
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 細見 政功
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 磁気メモリ素子、磁気メモリ素子の製造方法

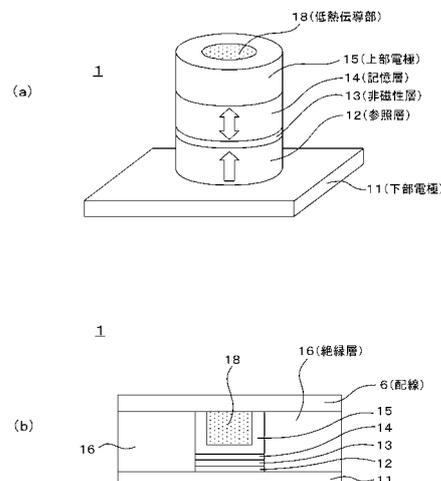
(57) 【要約】

【課題】 低電流で高速に動作可能な磁気メモリ素子の実現。

【解決手段】 垂直磁化膜であって情報に対応して磁化の向きが変化する記憶層と、記憶層に対して非磁性層を介して設けられる垂直磁化膜であって磁化方向が固定されて記憶された情報の基準となる参照層とを有する磁気メモリ素子であって、記憶層、非磁性層、参照層から成る層間に電流を流した際に発生するスピントルクで磁化反転を行って情報を記憶する。この場合に、記憶層の記憶時の温度(200)における保磁力が、室温(23)時の保磁力の0.7倍以下とする。また記憶層の一面側に形成される電極の、膜面方向の中央部に、例えば低熱伝導率の絶縁体を補填することで、その周辺部よりも熱伝導度が低くなるように形成する。これにより記憶層の中央部での温度上昇を促進し、記憶時の磁化反転電流を下げる。

【選択図】 図2

実施の形態のメモリ素子構造



【特許請求の範囲】

【請求項 1】

膜面に垂直な磁化を有し、情報に対応して磁化の向きが変化される記憶層と、
上記記憶層に対して非磁性層を介して設けられ、膜面に垂直な磁化を有すると共に情報の基準となる参照層とを備え、

上記記憶層、上記非磁性層、上記参照層から成る層間に電流を流した際に発生するスピントルクで上記記憶層の磁化反転を行って情報を記憶するとともに、

上記記憶層の記憶時の温度における保磁力が、室温時の保磁力の 0.7 倍以下とされ、
上記記憶層の一面側に形成される電極の、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるように形成されている磁気メモリ素子。

10

【請求項 2】

上記電極は、中央部の厚みが外周部の厚みより薄くされた断面略凹状に形成され、上記中央部に形成される窪み部分に低熱伝導率の絶縁体が補填されている請求項 1 に記載の磁気メモリ素子。

【請求項 3】

上記電極は、筒状に形成され、筒状内部に低熱伝導率の絶縁体が補填されている請求項 1 に記載の磁気メモリ素子。

【請求項 4】

膜面に垂直な磁化を有し、情報に対応して磁化の向きが変化される記憶層と、上記記憶層に対して非磁性層を介して設けられ、膜面に垂直な磁化を有すると共に情報の基準となる参照層とを備え、上記記憶層、上記非磁性層、上記参照層から成る層間に電流を流した際に発生するスピントルクで上記記憶層の磁化反転を行って情報を記憶する磁気メモリ素子の製造方法として、

20

上記参照層側となる一方の電極上に、少なくとも上記参照層と上記非磁性層と上記記憶層を有する層構造を形成するとともに、上記記憶層については、記憶時の温度における保磁力が、室温時の保磁力の 0.7 倍以下となる膜構造とし、

上記記憶層の一面側に、低熱伝導率の絶縁体が補填された状態とすることで、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるようされた他方の電極を形成する磁気メモリ素子の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、記憶層と参照層となる複数層の垂直磁化膜が非磁性体を介して積層され、その層間に電流を流した際に発生するスピントルクで磁化反転を行って情報を記憶する磁気メモリ素子と、その製造方法に関する。

【先行技術文献】

【特許文献】

【0002】

【特許文献 1】特開 2004 - 193595 号公報

【特許文献 2】特開 2009 - 81215 号公報

40

【背景技術】

【0003】

コンピュータなどの情報機器では R A M (ランダム・アクセス・メモリ) として、動作が高速で、高密度な D R A M (Dynamic Random Access Memory) が広く使われている。しかし、D R A M は電源を切ると情報が消えてしまう揮発性メモリであるため、情報が消えない不揮発のメモリが望まれている。

不揮発メモリの候補として、磁性体の磁化で情報を記憶する M R A M (磁気ランダム・アクセス・メモリ) が注目され、開発が進められている。

M R A M の記憶を行う方法としては、電流磁場によって磁化を反転させる方法や、例えば上記特許文献 1 のようにスピン分極した電子を直接記憶層に注入して磁化反転を起こさ

50

せる方法がある。特に、素子のサイズが小さくなるのに伴い記憶電流を小さくできるスピン注入磁化反転が注目されている。

さらに、素子を微細化するために、例えば特許文献2のように磁性体の磁化方向を垂直方向に向けた垂直磁化膜を用いた方法が検討されている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、さらに高密度の磁気メモリを実現するためには、より低い電流で高速に動作する磁気メモリ素子が求められている。

本発明は、このような認識に基づいてなされたもので、低い電流で高速に動作可能な磁気メモリ素子を実現することを目的とする。

【課題を解決するための手段】

【0005】

本発明の磁気メモリ素子は、膜面に垂直な磁化を有し、情報に対応して磁化の向きが変化される記憶層と、上記記憶層に対して非磁性層を介して設けられ、膜面に垂直な磁化を有すると共に情報の基準となる参照層とを備え、上記記憶層、上記非磁性層、上記参照層から成る層間に電流を流した際に発生するスピントルクで上記記憶層の磁化反転を行って情報を記憶する。そして、上記記憶層の記憶時の温度における保磁力が、室温時の保磁力の0.7倍以下とされ、また上記記憶層の一面側に形成される電極の、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるように形成されている。

例えば上記電極は、中央部の厚みが外周部の厚みより薄くされた断面略凹状に形成され、上記中央部に形成される窪み部分に低熱伝導率の絶縁体が補填されている。

或いは、上記電極は、筒状に形成され、筒状内部に低熱伝導率の絶縁体が補填されている。

【0006】

本発明の磁気メモリ素子の製造方法は、上記参照層側となる一方の電極上に、少なくとも上記参照層と上記非磁性層と上記記憶層を有する層構造を形成するとともに、上記記憶層については、記憶時の温度における保磁力が、室温時の保磁力の0.7倍以下となる膜構造とする。そして上記記憶層の一面側に、低熱伝導率の絶縁体が補填された状態とすることで、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるようされた他方の電極を形成する。

【0007】

磁気メモリ素子として、スピン注入磁化反転方式としてスピントルクを用いた記憶を行うことで、記憶時の電流を低減できるが、それだけでは電流低減に限界がある。そこで本発明では、記憶時の熱を有効利用して磁化反転電流を下げるようにする。

記憶層を構成する垂直磁化膜の反磁界は、その膜面方向の中央部において強い。また磁化反転は中央部から起こりやすい。

そこで記憶層側の電極において、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるようにする。例えば低熱伝導材を配して温度上昇を促進する。これにより記憶層の膜面中央部で効率的に温度が上がるようにでき、磁化反転電圧が低減でき、記憶電流及び記憶時間が低減される。

特に、この作用は、記憶層が、記憶時の温度(約200)における保磁力が、室温時(例えば23)の保磁力の0.7倍以下となる膜構造とした場合に顕著に得られる。

【発明の効果】

【0008】

本発明により、少ない電流で高速動作可能な不揮発メモリを実現できる。

【図面の簡単な説明】

【0009】

【図1】本発明の実施の形態の磁気メモリ素子を用いた磁気メモリの説明図である。

【図2】実施の形態の磁気メモリ素子の構造の説明図である。

10

20

30

40

50

【図 3】比較例としての一般的な磁気メモリ素子の構造の説明図である。

【図 4】実施の形態の磁気メモリ素子の第 1 の構造例及び製造手順の説明図である。

【図 5】実施の形態の磁気メモリ素子の第 2 の構造例及び製造手順の説明図である。

【図 6】実施の形態の磁気メモリ素子の第 3 の構造例及び製造手順の説明図である。

【図 7】実施の形態の磁気メモリ素子の第 4 の構造例及び製造手順の説明図である。

【図 8】実施の形態の磁気メモリ素子構造の具体例の説明図である。

【図 9】実施の形態と比較例の温度分布の計算結果、及び 200 と 23 の保磁力の比と反転電圧の関係の説明図である。

【発明を実施するための形態】

【0010】

10

以下、本発明の実施の形態を次の順序で説明する。

- < 1 . 磁気メモリ構造の概略 >
- < 2 . 実施の形態の磁気メモリ素子の構造例 >
- < 3 . 第 1 の構造例及び製造手順 >
- < 4 . 第 2 の構造例及び製造手順 >
- < 5 . 第 3 の構造例及び製造手順 >
- < 6 . 第 4 の構造例及び製造手順 >
- < 7 . 実施例 >

【0011】

20

- < 1 . 磁気メモリ構造の概略 >

まず、本発明の実施の形態の磁気メモリ素子が用いられる磁気メモリの構造を説明する。図 1 は磁気メモリの構造の概略を模式的に示したものである。

磁気メモリ 10 は、互いに交叉する 2 種類のアドレス様の配線、例えばワード線とビット線とを備え、その交点付近で、これら 2 種類の配線の間磁気メモリ素子 1 が配置されて成る。この磁気メモリ素子 1 が、後述する本実施の形態としての構造を備えるものとなる。

【0012】

30

磁気メモリ 10 においては、例えば Si 等の半導体基板の素子分離層 2 によって分離された領域に、各磁気メモリ素子 1 を選択するための選択用トランジスタを構成する、ドレイン領域 8、ソース領域 7、ゲート電極 3 がそれぞれ形成される。

ゲート電極 3 は、図中前後方向に伸びる一方のアドレス用の配線（例えばワード線）を兼ねている。

ドレイン領域 8 は、図中左右の選択用トランジスタに共通して形成されており、このドレイン領域 8 には、配線 9 が接続されている。

【0013】

そして、ソース領域 7 と、上方に配置された図中左右方向に延びる他方のアドレス用の配線（例えばビット線）6 との間に、磁気メモリ素子 1 が配置される。この磁気メモリ素子 1 は、垂直磁化を有しスピン注入により磁化の向きが反転する強磁性層から成る記憶層と、この記憶層に記憶された情報の基準となる磁化方向を有する参照層を備える。

40

【0014】

そしてこの磁気メモリ素子 1 は、2 種類のアドレス用の配線となるゲート電極 3 及び配線 6 の交点付近に配置され、上下のコンタクト層 4 を介して接続される。これにより、2 種類の配線、すなわちゲート電極 3 及び配線 6 を通じて、磁気メモリ素子 1 に上下方向の電流を流して、スピン注入により、記憶層の磁化の向きを情報に対応して反転させることができる。

なお、この図 1 の構造は磁気メモリの説明のための一例に過ぎない。例えば磁気メモリ素子 1 の上のコンタクト層 4 を設けずに配線 6 が形成される場合もある。

【0015】

- < 2 . 実施の形態の磁気メモリ素子の構造例 >

50

上述したように本発明では、垂直磁化膜を用いた磁気メモリ素子において、より低い電流で高速に動作できるようにすることを目的とする。

本願発明者らは、この目的を達成するために検討を重ねた結果、垂直磁化を有する参照層と記憶層とを、非磁性層を介して積層した磁気メモリ素子において、次のように構成することが好適なことを見いだした。

即ち記憶層の記憶時の温度（約200）の保磁力を、室温時（例えば23）の0.7倍以下になるようにするとともに、電極の材料および構造を、記憶層の膜面方向でみた周辺部の熱伝導率を高く、中心部の熱伝導率を低くなるように構成する。

このようにすると、記憶の際に発生する熱によって、素子中心部での温度が素子周辺部の温度よりも顕著に高くなり、素子中心部に磁化反転のきっかけとなる逆磁区が形成されやすくなり、より低い電流で高速に記憶できる磁気メモリ素子を実現できる。

【0016】

上記の温度分布を形成できる簡便な構造としては、磁気メモリ素子の下部電極と上部電極を分離する絶縁体に磁気メモリ素子との導通をとるために形成された穴に、穴の深さよりも薄い金属層を形成し、金属で満たされていない中央部に熱伝導率の低い絶縁体で穴を埋めるようにする。これにより記憶層の中央部の熱伝導が低く、周辺部の熱伝導率が高くなり、記憶の際に中央部の温度が上がりやすくなる。

また、より熱伝導に差を付けるために、上記の穴の底部に形成された金属層の少なくとも一部を除去し、膜厚を薄くするか、あるいは金属を穴の周辺部のみに残して円筒状の電極を形成することによって、より記憶層に温度差を生じさせることができる。

本発明の磁気メモリ素子の電極に用いる金属は、熱伝導率の高い銅、アルミニウムなどが適しているが、熱伝導率が少し低いタンゲステン、タンタルなどでも十分に機能する。熱伝導率の低い絶縁体としては多孔質酸化シリコンや有機物などが適しているが、一般的な酸化シリコンなども利用可能である。

【0017】

図2に、本発明の実施の形態の磁気メモリ素子1の構造例を示す。図2(a)は円柱形状の磁気メモリ素子を模式的に示しており、図2(b)は断面構造を示している。

また比較のため図3(a)(b)に、一般的な磁気メモリ素子100の構造例を図2(a)(b)と同様に示している。

【0018】

図2(a)(b)に示すように、垂直磁化を有する本実施の形態の磁気メモリ素子1は下部電極11と上部電極15の間に、少なくとも参照層(磁化固定層)12、非磁性層(トンネルバリア層)13、記憶層14が積層されている。

図2(b)では上部電極15の上方に配線6を形成した状態で示している。

図2(a)における記憶層14と参照層12内の矢印は磁化方向を示し、記憶層14はスピン注入により垂直磁化方向が反転することを表している。

【0019】

記憶層14は、磁化方向が層面垂直方向に自由に変化する磁気モーメントを有する強磁性体から構成されている。参照層12は、磁化が膜面垂直方向に固定された磁気モーメントを有する強磁性体から構成されている。

情報の記憶は一軸異方性を有する記憶層14の磁化の向きにより行う。書込みは、膜面垂直方向に電流を印加し、スピントルク磁化反転を起こすことにより行う。このように、スピン注入により磁化の向きが反転する記憶層14に対して、下層に磁化固定層としての参照層12が設けられ、記憶層14の記憶情報(磁化方向)の基準とされる。

【0020】

記憶層14は、垂直異方性を有する磁性材料から構成される。このような磁性材料としては、TbCoFe等の希土類-遷移金属合金、Co/Pd多層膜等の金属多層膜、FePt等の規則合金がある。

またスピン注入型磁気メモリ素子1において大きな読み出し信号を与える高磁気抵抗変

10

20

30

40

50

化率を実現するために、非磁性層（トンネルバリア層）13としてMgOが用いることが好ましい。

参照層12としては、反転電流の大きな磁性層を用いる。記憶層14よりも反転電流の大きな磁性層を用いることにより、高性能な記憶素子を構成することができる。

参照層12としては、例えば、Coを主成分とし、Cr、Ta、Nb、V、W、Hf、Ti、Zr、Pt、Pd、Fe及びNiのうち1つ以上の元素を含む合金を用いることができる。例えば、CoCr、CoPt、CoCrTa及びCoCrPt等を用いることができる。また、Tb、Dy、Gdと遷移金属とのアモルファス合金を用いることができる。例えば、TbFe、TbCo及びTbFeCo等を用いることができる。

また、参照層12は、強磁性層のみにより形成されていてもよく、或いは複数層の強磁性層がトンネルバリア層を介して積層した積層フェリ構造としてもよい。

【0021】

以上の基本的な層構造は、図3を参照してわかるように、一般的な磁気メモリ素子100と同様である。

本実施の形態の磁気メモリ素子1の場合、上部電極15内に低熱伝導部18が形成されている点が、図3の一般的な磁気メモリ素子100と異なる。

例えばこの図2(b)の例では、上部電極15は、膜面方向の中央部の厚みが外周部の厚みより薄くされた断面略凹状に形成され、中央部に形成される窪み部分に低熱伝導率の絶縁体が補填されることで、低熱伝導部18が形成されている

【0022】

この低熱伝導部18により、膜面円形の記憶層14の膜面方向でみた周辺部の熱伝導率を高く、中央部の熱伝導率を低くなるようにする。すると、記憶の際に発生する熱によって、素子中央部での温度が素子周辺部の温度よりも顕著に高くなり、素子中央部に磁化反転のきっかけとなる逆磁区が形成されやすくなる。

【0023】

なお、図2では、参照層12が下に、記憶層14が上に配置された場合を示すが、記憶層14が下、参照層12が上でもかまわない。

また垂直磁化の記憶層14を有する磁気メモリ素子1の記憶層14の形状は円柱状あるいは若干上幅が狭まった円錐台状が好ましく、楕円柱状や楕円錐台状としてもアスペクト比の小さなものが好ましい。

参照層12の形状は記憶層14と同じ形状に形成されていてもよいが、参照層12が下の場合、記憶層14よりも大きければ形状は任意でかまわない。

また、通常は図2(b)に示すように、磁気メモリ素子1の周囲は絶縁層16で埋め込まれている。

【0024】

ここで図3(a)(b)のような一般的な磁気メモリ素子100を作製する方法としては、磁気メモリ素子100の構成要素である参照層12、非磁性層13、記憶層14、および電極材料を重ねて成膜する。そしてフォトレジストを塗布後、素子形状にレジストを残し、イオンミリングやリアクティブイオンエッチングによって、レジスト下に素子形状を形成する。そして絶縁層16を形成して上部電極15が現れるまで研磨した上、配線17を形成する。

一般的な磁気メモリ素子100では図3(b)に示すように記憶層14上には上部電極15が一樣に形成されているため、記憶層に生じた熱は上部電極を通じて速やかに拡散するため、記憶層内の温度分布はほぼ一樣である。

図2に示す本実施の形態の磁気メモリ素子1では、上述のように上部電極15が断面凹状とされ、その窪み部分に低熱伝導部18が形成されることにより、記憶層14の膜面方向にみた中央部において、温度上昇が促進される。

【0025】

< 3 . 第1の構造例及び製造手順 >

10

20

30

40

50

図 2 (a) (b) に示した実施の形態の磁気メモリ素子 1 の構造例を第 1 の構造例とし、その場合の磁気メモリ素子 1 の作製方法の一例を図 4 に示す。

【 0 0 2 6 】

まず図 4 (a) は、図 3 (b) の一般的な磁気メモリ素子 1 0 0 と同様の工程で、下部電極 1 1、参照層 1 2、非磁性層 1 3、記憶層 1 4、上部電極 1 5、絶縁層 1 6 までが形成された状態を示している。

即ち、まず下部電極 1 1 上に、参照層 1 2、非磁性層 1 3、記憶層 1 4、および電極材料を重ねて成膜する。その後、素子形成部分に応じてフォトリソを塗布した後、イオンミリングやリアクティブイオンエッチングによって、レジスト下に素子形状を形成する。そして絶縁材料を配した後、上部電極 1 5 が現れるまで研磨することで、図 4 (a) のように、周囲が絶縁層 1 6 とされ、上部電極 1 5 が埋め込まれた層形成状態を得る。

10

【 0 0 2 7 】

次に、この図 4 (a) の状態から、上部電極 1 5 の材料に対する選択的エッチングを行って、図 4 (b) のように上部電極 1 5 を除去した状態とする。

その後、図 4 (c) のように、上面側に新たに上部電極 1 5 となる電極材料 1 5 A の層を形成し、また低熱伝導率材料 1 8 A の層を形成する。

これらの形成方法は、図 4 (b) のように上部電極 1 5 を除去した後の穴の壁面にも良好に材料が付着するように、化学的気相成長法 (C V D) やバイアスパッタリング法などが適している。

【 0 0 2 8 】

20

次に、穴の外側 (上面部) に形成された層部分を除去する。すると図 4 (d) のようになり、即ち断面凹状の上部電極 1 5 と、その凹部内の窪み部分に低熱伝導率材料 1 8 A が充填された低熱伝導部 1 8 を有する磁気メモリ素子 1 が形成された状態となる。

この後、配線 6 を形成することで、図 2 (b) に示した状態となる。

【 0 0 2 9 】

< 4 . 第 2 の構造例及び製造手順 >

実施の形態としての第 2 の構造例及び製造手順を図 5 で説明する。

上記の図 4 の磁気メモリ素子 1 では、素子形状として、柱状の幅が高さに対して一樣な場合であるが、素子形状としては円錐台のように高さに対して幅が狭くなる形状の方が作製しやすい場合がある。図 5 では円錐台形状の素子構造例を示している。

30

【 0 0 3 0 】

図 5 (a) は円錐台の形状に形成された磁気メモリ素子の断面である。下部電極 1 1 上に、参照層 1 2、非磁性層 1 3、記憶層 1 4、上部電極 1 5 が円錐台状に形成され、周辺に絶縁層 1 6 が形成されている。この段階で、円錐台形状の一般的な磁気メモリ素子が形成されているといえる。

本例では、この図 5 (a) の磁気メモリ素子に対し、上方から直進性および選択エッチング性の高いイオンビームで電極の材料をエッチングする。これにより図 5 (b) のように、上部電極 1 5 を、その一部を残して柱状に除去する。即ち円柱状の穴が開いた状態となる。

40

次に、図 5 (c) のように低熱伝導率材料 1 8 A を充填する。

そして、最初の図 5 (a) の状態よりも薄くなるまで研磨すると、図 5 (d) のように上面に上部電極 1 5 の一部が露出する。

この図 5 (d) に示した磁気メモリ素子 1 は、上部電極 1 5 が筒状に形成され、筒状内部に低熱伝導率の絶縁体が補填された低熱伝導部 1 8 が形成されているものとなる。

このように磁気メモリ素子 1 を形成し、図 5 (e) のように、その上面に配線 6 を設けると、記憶層 1 4 の膜面方向の周辺部で熱伝導がよく、中央部で熱伝導が悪い状態とすることができる。

【 0 0 3 1 】

< 5 . 第 3 の構造例及び製造手順 >

50

より簡便に磁気メモリ素子 1 の作成ができる第 3 の構造例及び製造手順を図 6 に示す。

図 6 (a) は、図 4 (a) と同様の状態を示している。但し、上部電極 1 5 の電極材料は周囲の絶縁体よりエッチング率の高いものとする。

この図 6 (a) の素子に対し、斜め上方向からイオンミリングなどの方法でエッチングすると、構成元素のスputteringや再付着などで、図 6 (b) のように中央部がくぼんだ形状ができる。

【 0 0 3 2 】

この窪みに、図 6 (c) のように低熱伝導率材料 1 8 A を充填する。

そして、最初の図 6 (a) の状態よりも絶縁層 1 6 が薄くなるまで研磨すると、図 6 (d) のように上面に上部電極 1 5 の一部が露出する。

この図 6 (d) に示した磁気メモリ素子 1 は、上部電極 1 5 が断面略凹状に形成され、その凹状の窪み部分に低熱伝導率の絶縁体が補填された低熱伝導部 1 8 が形成されているものとなる。

このように磁気メモリ素子 1 を形成し、図 6 (e) のように、その上面に配線 6 を設ける。

この場合も、記憶層 1 4 の膜面方向の周辺部で熱伝導がよく、中央部で熱伝導が悪い状態とすることができる。

【 0 0 3 3 】

< 6 . 第 4 の構造例及び製造手順 >

次に第 4 の構造例及び製造手順を図 7 で説明する。

これは上部電極 1 5 の形成過程で低熱伝導部 1 8 を形成していく例である。

図 7 (a) は、下部電極 1 1 上に、参照層 1 2、非磁性層 1 3、記憶層 1 4、および低熱伝導率材料 1 8 A を順次重ねて成膜した状態を示している。そして、低熱伝導率材料 1 8 A を柱状に形成するため、エッチング用のマスク 2 0 を形成する。

【 0 0 3 4 】

次に低熱伝導率材料 1 8 A を選択的にエッチングできる条件でエッチングし、図 7 (b) のように柱状の低熱伝導率材料 1 8 A を形成する。

次に図 7 (c) のように、上部電極 1 5 となる電極材料 (金属膜) 1 5 A を一様に形成する。ここで形成する金属膜は適当に熱伝導性がよく、特定条件でエッチングされにくいものが好ましく、W、Mo、Ru、Rh、Ir などが利用可能である。

【 0 0 3 5 】

次に図 7 (d) のように、素子上部から柱状の低熱伝導率材料 1 8 A の周囲の電極材料 1 5 A を残し、少なくとも記憶層 1 4 の必要な部分が残るようにエッチングを行う。

その後、素子周囲に絶縁材料を埋め込み、絶縁層 1 6 を形成した後、上面を平坦化すると、図 7 (e) の状態となる。

この図 7 (e) に示した磁気メモリ素子 1 は、上部電極 1 5 が筒状に形成され、筒状内部に低熱伝導率の絶縁体が補填された低熱伝導部 1 8 が形成されているものとなる。

このように磁気メモリ素子 1 を形成し、図 7 (f) のように、その上面に配線 6 を設ける。このような工程で、記憶層 1 4 の膜面方向の周辺部で熱伝導がよく、中央部で熱伝導が悪い状態となった磁気メモリ素子 1 を形成することができる。

【 0 0 3 6 】

< 7 . 実施例 >

例えば以上の各例のように、記憶層 1 4 に対し、膜面方向の中央部で熱伝導が高い上部電極構造を得ることができ、記憶層 1 4 の中央部で記憶時の温度上昇を促進させることができる。

例えば図 6 の工程を採用した場合の本発明の実施例を以下に示す。

図 8 (a) に実施例の層構造を模式的に示している。

まずW（タングステン）の下部電極11上に、下部電極11の一部となり保護層を兼ねる厚さ5nmのTa層21を設ける。その上に下地層となる厚さ5nmのRu層22を設ける。

そして、参照層12として、厚さ2nmのCoPt層、1nmのCoFeB層を設ける。

また非磁性層13として、厚さ0.8nmのMgOを設ける。

記憶層14は、厚さ1nmのCoFeB、Co/Pdの交互積層膜とする。例えば図8(b)に示すように、記憶層14は、CoFeB層の上面側に、Co層、Pd層を交互に積層する。後に図9(b)で述べる各サンプルは、Co/Pdの交互積層膜の各層の厚さおよび総厚を変えることで、記憶層14としての保磁力の調整を行った。

10

【0037】

記憶層14の上面は、保護層を兼ねる上部電極の一部として5nmのTa層23を設け、上部電極15としてW層を形成する。

ここで、W層による上部電極15は、図6で述べたように周囲からイオンミリングで電極膜をエッチングして断面略凹状とされ、窪み部分は低熱伝導部18とされている。

磁気メモリ素子1の大きさは直径150nmとし、上部電極15としては、周辺部の厚さが80nm、中央部の厚さが10nmになるような窪みを形成した。

そして窪み部分に充填する低熱伝導率材料としてSiO₂を用いている。

絶縁層16はAl₂O₃を用いている。

【0038】

20

なお、図示しないが、このような実施例に対し、上部電極15以外は同様の層構造の比較例を用意した。

比較例は、上部電極15内に低熱伝導部18が形成されず、W層としての上部電極15の厚みが全膜面方向に100nmの均一な厚さとした。

実施例、比較例とも、素子抵抗は磁化平行状態で2~3kΩである。

【0039】

図9(a)に、記憶層14が一様に発熱をしている場合の、比較例と実施例の素子の相対的な温度上昇を計算した結果を示す。

横軸に素子膜面の中心からの距離(nm)を示す。縦軸は、近辺の温度と素子端部の温度差(Ts)と、中心からの距離(0~±75μm)毎の記憶層14と周辺温度との温度差(Te)の比を示す。

30

なお、ここでいう「近辺の温度」とは、環境温度で磁気メモリ素子1から十分離れた場所の温度のことで、例えば室温である。また「素子端部」とは、本例の場合、記憶層14は膜面円形としているので、その円の周囲のことである。

記録層14は膜面円形であるため、温度分布は中心に対して対称となり、距離0が円形の記録層14の中心で、±75μmが円の端部となる。

【0040】

この図9(a)に示すように、Te/Ts比は、膜面方向の中央部で、比較例では1.2倍程度であるが、実施例では1.6倍程度の温度差が見込まれる。つまり実施例では記録層14の膜面中央部近辺で、周辺部(素子端部側)に対して顕著な温度上昇が得られている。

40

【0041】

図9(b)に、上述の実施例と比較例の構造で、記憶層14の保磁力の温度特性を変化させた場合の記憶電圧(磁化反転に要する電圧)を示す。縦軸は記憶電圧Vcで、横軸は一般的な記憶時の温度である200Kでの保磁力(Hc200)と、室温23Kでの保磁力(Hc23)の比を示す。

は実施例、は比較例のサンプルで、それぞれ上記の構造において、記憶層14のCo/Pd交互積層膜の各層の厚さおよび総厚を調整し、保磁力比(Hc200/Hc23)が異なるようにしたものを示している。23Kでの保磁力は400~600Oeになるように記憶層14を調整した。

50

記憶電圧 V_c はパルス幅 10 ns で、正負両極性の平均を示す。

なお、素子の記憶層 14 の保磁力は、参照層 12 からの漏洩磁場によって、外部磁場が無い状態では、平行から反平行への保磁力に違いが生じるので、参照層 12 からの漏洩磁場を打ち消すように一定の外部磁場を印加しながら測定を行った。

【0042】

比較例では、200 と 23 の保磁力の比が低くなると少しずつ反転電圧が低下するが、低下は僅かである。

それに対して実施例では 200 と 23 の保磁力の比 ($H_c 200 / H_c 23$) が 0.7 以下になると反転電圧が急激に低下している。

このことから、実施の形態で説明した構造において、記憶層 14 の保磁力の比 ($H_c 200 / H_c 23$) を 0.7 以下とすることで、少ない電流で高速動作可能な不揮発メモリを実現できることがわかる。

なお、200 の保磁力は 0 となっても成り立つため、保磁力の比を「0」とすることもあり得るが、200 であまり保磁力の低下が大きいものは、室温付近での温度に対する変化が大きい。このため室温付近で安定な保磁力が得られるようにすることが好ましく、上記の保磁力の比でいえば、0.3 以上が好ましい。

従って、保磁力の比 ($H_c 200 / H_c 23$) については、0.7 以下とすることが適切であるが、さらには 0.7 以下で 0.3 以上としての範囲内とすることがより好適である。

【0043】

以上説明してきたように、実施の形態の磁気メモリ素子 1 は膜面に垂直な磁化を有し、情報に対応して磁化の向きが変化する記憶層 14 と、記憶層 14 に対して非磁性層 13 を介して設けられ、膜面に垂直な磁化を有すると共に磁化方向が固定されている参照層 12 を備える。そして記憶層 14、非磁性層 13、参照層 12 から成る層間に電流を流した際に発生するスピントルクで記憶層 14 の磁化反転を行って情報を記憶する。

この構成において、記憶層 14 の記憶時の温度における保磁力が、室温時の保磁力の 0.7 倍以下とされるようにする。さらに記憶層 14 の一面側に形成される上部電極 15 の、膜面方向の中央部がその周辺部よりも熱伝導度が低くなるように形成する。

この構成により、記憶層 14 の中央部の温度上昇によって、効率的な磁化反転が実現し、記憶電流および記憶時間が低減できることとなる。

【0044】

特に図 4、図 6 のように、上部電極 15 を、中央部の厚みが外周部の厚みより薄くされた断面略凹状に形成され、中央部に形成される窪み部分に低熱伝導率の絶縁体が補填する構造とする。或いは図 5、図 7 のように上部電極 15 が筒状に形成され、筒状内部に低熱伝導率の絶縁体が補填されている構造とする。これにより比較的容易に実施の形態の磁気メモリ素子 1 を実現できると共に、記憶電流及び記憶時間の低減に有効である。

【0045】

以上、実施の形態について説明してきたが、本発明の磁気メモリ素子 1 の構造や製造方法は、上記例に限られない。記憶層 14、非磁性層 13、参照層 12、上部電極 15、低熱伝導部 18 等の材料、低熱伝導部 18 を設けるための上部電極 15 の形状などは多様に考えられる。

【符号の説明】

【0046】

1 磁気メモリ素子、11 下部電極、12 参照層、13 非磁性層、14 記憶層、15 上部電極、16 絶縁層、18 低熱伝導部

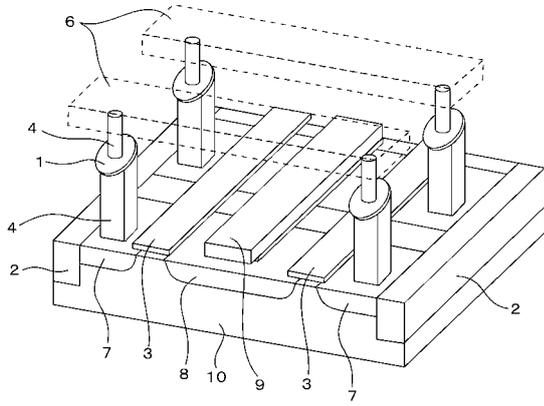
10

20

30

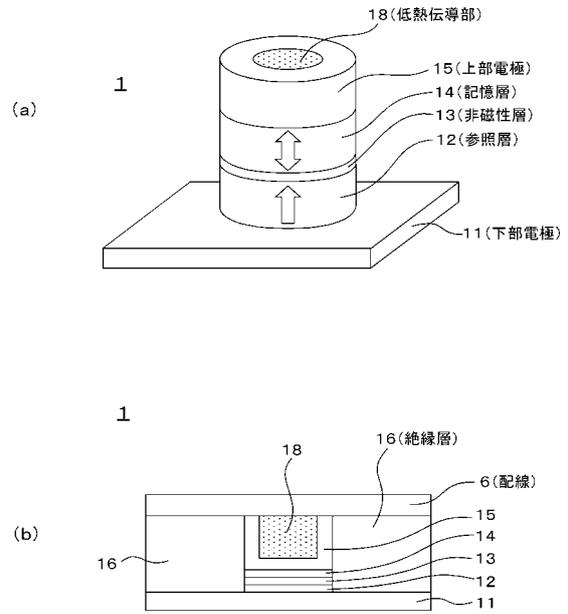
40

【 図 1 】



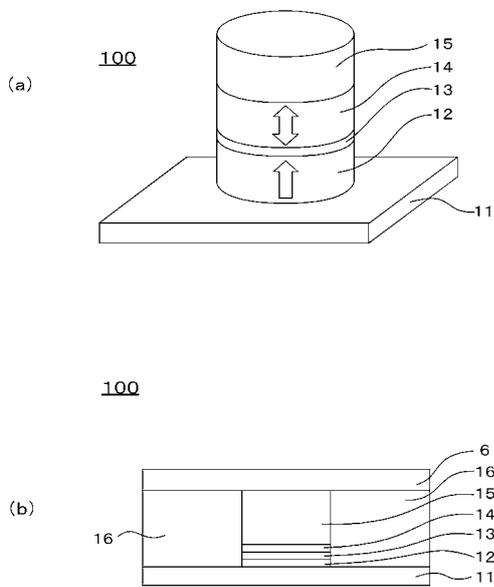
【 図 2 】

実施の形態のメモリ素子構造

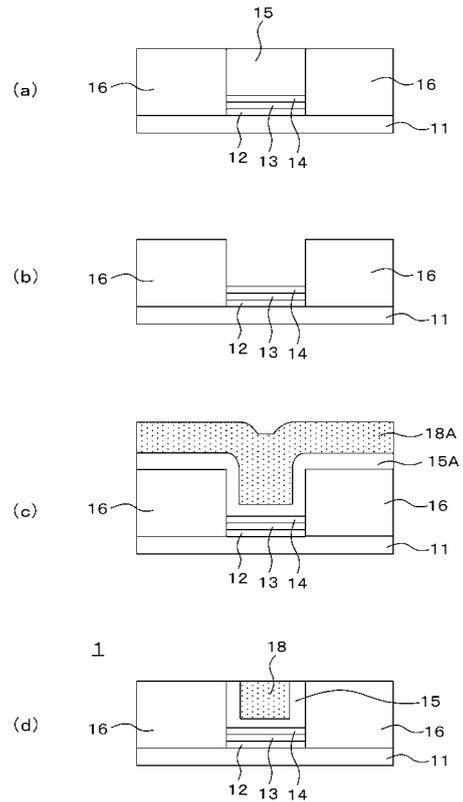


【 図 3 】

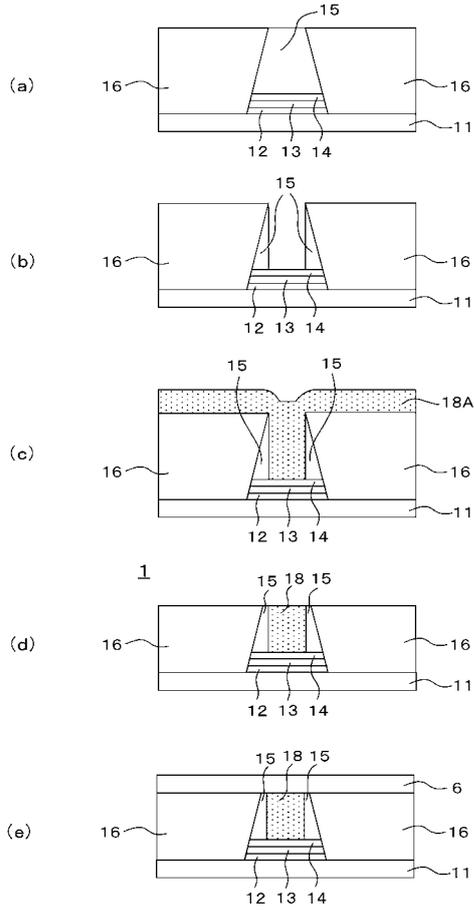
一般的なメモリ素子構造



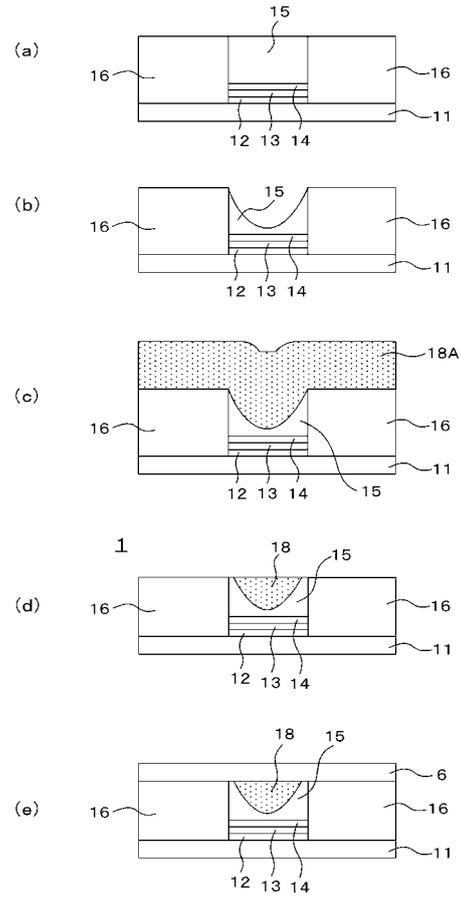
【 図 4 】



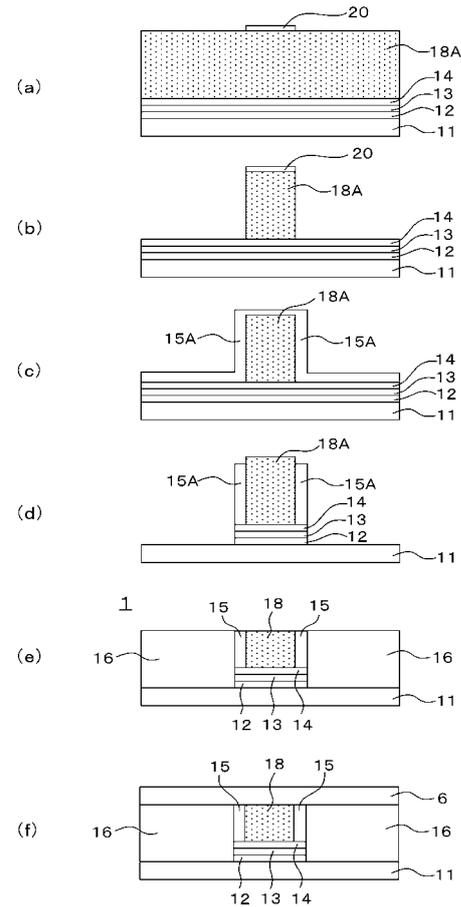
【 図 5 】



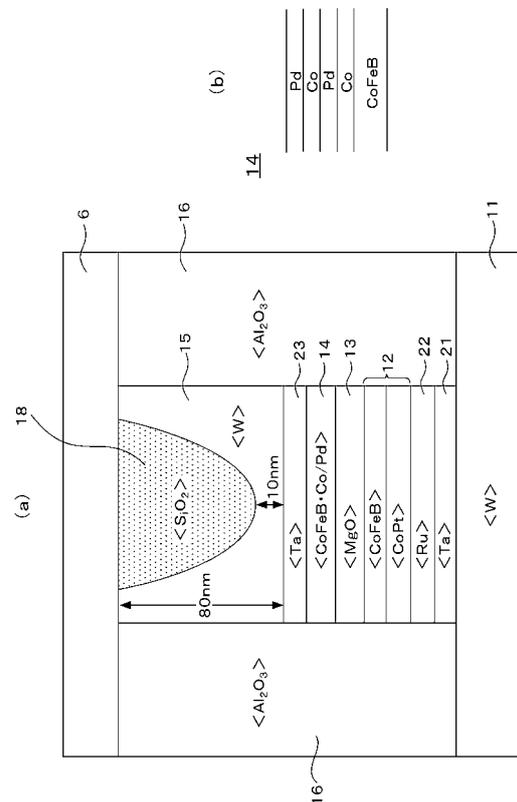
【 図 6 】



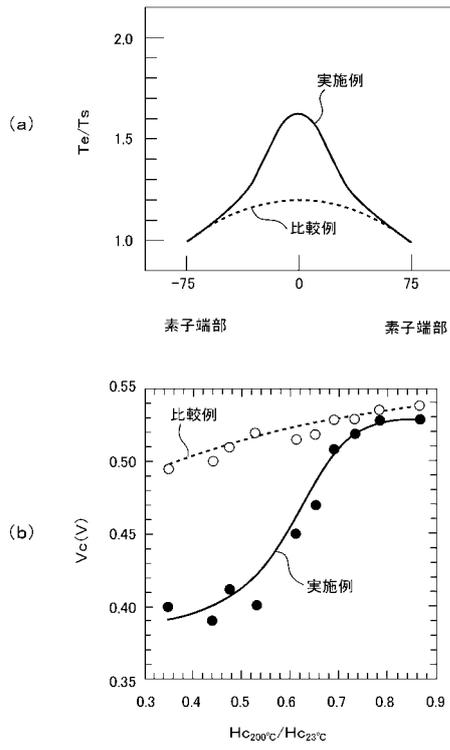
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(72)発明者 別所 和宏
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 肥後 豊
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 山根 一陽
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 内田 裕行
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 4M119 AA03 AA11 AA19 BB01 CC05 CC06 DD05 DD08 DD17 DD24
DD33 DD45 DD55 EE22 EE27 FF05 FF13 FF16
5F092 AB08 AC12 AD23 AD25 BB04 BB10 BB23 BB36 BB43 BB53
BB55 BC03 BC04 BC07 BC12 BC13 BC18 BC42 BC43 BE06