



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월16일
(11) 등록번호 10-1057140
(24) 등록일자 2011년08월09일

(51) Int. Cl.
H01L 21/20 (2006.01)
(21) 출원번호 10-2008-0098313
(22) 출원일자 2008년10월07일
심사청구일자 2008년10월07일
(65) 공개번호 10-2009-0042712
(43) 공개일자 2009년04월30일
(30) 우선권주장
0707535 2007년10월26일 프랑스(FR)
(56) 선행기술조사문헌
KR1020060056239 A*
US20050079712 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스.오.아이. 테크 실리콘 온 인슐레이터 테크놀로지스
프랑스공화국 베르낭 38190 슈맹 데 프랑크 파크 테크놀로지크 데 퐁텐느
(72) 발명자
디디에 랑드뤼
프랑스 38190 샹 프레 프로주 튀 데 아르마리니에르
세바스티앵 케르딜르
프랑스 38330 생 이즈미에 앙파스 드 파조니에르 281
(74) 대리인
리앤목록특허법인

전체 청구항 수 : 총 22 항

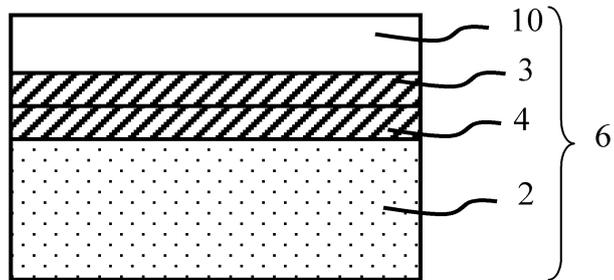
심사관 : 정성중

(54) 미세 매립 절연층을 가지는 실리콘-온-절연물 기판들

(57) 요약

2 nm 내지 25 nm 범위의 두께를 나타내는 미세 매립 절연층을 포함하는 반도체 구조(6, 6', 6'')의 제조 방법은, 제1 기판의 표면(3') 상에 및/또는 제2 기판(2)의 표면(4') 상에 적어도 하나의 절연층(3, 4)을 형성하는 단계; 상기 제1 및 제2 기판들(1, 2)을 어셈블링하는 단계; 및 상기 반도체 구조를 얻기 위하여 상기 제1 기판(1)을 박형화하는 단계를 포함하고, 상기 표면들(3', 4')은 절연물을 포함하지 않거나 또는 기판들이 대기에 노출되어 자발적으로 형성되는 산화층을 가지고, 상기 절연층을 형성하는 단계는 산화성 가스 및/또는 질화성 가스를 기초로 하는 플라즈마 활성화하는 단계를 포함한다.

대표도 - 도3f



특허청구의 범위

청구항 1

2 nm 내지 25 nm 범위의 두께를 나타내는 매립 절연층을 포함하는 반도체 구조의 제조 방법에 있어서,

상기 제조 방법은:

미리 존재하는 절연물을 제거하기 위하여, 제1 기판의 제1 표면 및 제2 기판의 제2 표면을 처리하는 단계;

상기 제1 기판의 상기 제1 표면 상에 제1 절연층을 형성하는 단계;

상기 제2 기판의 상기 제2 표면 상에 제2 절연층을 형성하는 단계;

상기 제1 절연층과 상기 제2 절연층이 만나도록, 상기 제1 기판 및 상기 제2 기판을 함께 어셈블링하는 단계;
및

상기 반도체 구조를 얻기 위하여, 상기 제1 기판을 박형화하는 단계;

를 포함하고,

상기 제1 절연층과 상기 제2 절연층을 각각 수용하는 상기 제1 표면 및 상기 제2 표면은 절연물을 포함하지 않거나 또는 상기 제1 기판 및 상기 제2 기판들이 대기(ambient)에 노출되어 자발적으로(native) 형성되는 산화층을 가지고,

상기 제1 절연층 및 상기 제2 절연층 각각은 산화성 가스 또는 질화성 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되고,

상기 제1 기판의 상기 제1 표면 및 상기 제2 기판의 상기 제2 표면을 처리하는 단계는 상기 제1 절연층을 형성하는 단계 및 상기 제2 절연층을 형성하는 단계에 비하여 먼저 수행되는 반도체 구조의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 플라즈마 활성화는 산소, 물, 및 질소 제1 산화물(nitrogen protoxide) 중 적어도 어느 하나를 포함하는 상기 산화성 가스를 기초로 하는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 플라즈마 활성화는 질소, 이산화질소, 일산화질소, 암모니아, 및 질산 중 적어도 어느 하나를 포함하는 상기 질화성 가스를 기초로 하는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제1 기판 및 상기 제2 기판 각각은 실리콘으로 구성되고, 상기 제1 절연층 및 상기 제2 절연층 각각은 실리콘 산화물(SiO₂), 실리콘 질화물(Si₃N₄), 및 실리콘 산질화물(Si_xO_yN_z) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 반도체 구조의 상기 제1 절연층 및 상기 제2 절연층은 교번(alternation)된 산화층과 질화층인 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 플라즈마 활성화는 10 W 내지 4000 W 범위의 전력에서 상기 산화성 가스, 상기 질화성 가스, 또는 이들 모두에 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 산화성 가스, 상기 질화성 가스, 또는 이들 모두는 5 mT 내지 200 mT 범위의 압력으로 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 플라즈마 활성화는 10 sccm 내지 1000 sccm 범위의 상기 산화성 가스, 상기 질화성 가스, 또는 이들 모두의 출력(output)을 제공하는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 플라즈마 활성화는 1 초 내지 300 초 범위의 노출 시간에서 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 10

제 1 항에 있어서,

적어도 두 개의 플라즈마 활성화들이 상기 제1 기판 및 제2 기판 중 어느 하나 또는 이들 모두에 연속적으로 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 플라즈마 활성화는 200℃ 이하의 온도에서 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 12

제 1 항에 있어서,

상기 플라즈마 활성화는 상온(ambient temperature)에서 적용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 13

제 1 항에 있어서,

상기 제1 기판, 상기 제2 기판, 또는 이들 모두는, (1,0,0) 결정 방위된 실리콘, (1,1,0) 결정 방위된 실리콘, 및 (1,1,1) 결정 방위된 실리콘 중 적어도 어느 하나인 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 14

제 1 항에 있어서,

상기 제1 기판 및 상기 제2 기판을 어셈블링하는 단계를 수행하기 전에, 상기 제1 기판의 일부에 활성층을 한정하도록 상기 제1 기판 내에 약한 영역을 제공하는 단계를 더 포함하고,

상기 제1 기판을 박형화하는 단계는, 상기 약한 영역을 따라서 상기 활성층을 분리하여 구현하는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 15

제 1 항에 있어서,

상기 제1 기관 및 상기 제2 기관을 어셈블링하는 단계를 수행하기 전에, 상기 제1 절연층 및 제2 절연층을 각각 포함하는 상기 제1 기관 및 제2 기관 중 적어도 어느 하나는, 상기 제1 절연층 및 상기 제2 절연층 중 적어도 어느 하나의 전기적 특성들, 물리적 특성들, 또는 이들 모두를 개선하기 위한 열처리되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 활성층을 분리한 후의 상기 제1 기관의 잔존하는 부분은, 적어도 두 번의 활성층들의 분리를 위한 제1 기관으로서 사용되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 약한 영역은, 상기 제1 기관 내로 원자 종들 또는 이온 종들을 주입하거나 또는 동시 주입하여 형성되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 18

제 1 항에 있어서,

상기 제1 절연층과 상기 제2 절연층은 서로 다른 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 19

제 1 항에 있어서,

상기 제1 절연층은 상기 산화성 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되고,
 상기 제2 절연층은 상기 질화성 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되는 것을 특징으로 하는 반도체 구조의 제조 방법.

청구항 20

매립 절연층을 포함하는 반도체 구조의 제조 방법에 있어서,

상기 제조 방법은:

미리 존재하는 절연물을 제거하기 위하여, 제1 기관의 제1 표면 및 제2 기관의 제2 표면을 처리하는 단계;

상기 제1 기관의 상기 제1 표면 상에 제1 절연층을 형성하는 단계;

상기 제2 기관의 상기 제2 표면 상에 제2 절연층을 형성하는 단계;

상기 제1 절연층과 상기 제2 절연층이 만나도록, 상기 제1 기관 및 상기 제2 기관을 함께 어셈블링하는 단계; 및

상기 반도체 구조를 얻기 위하여, 상기 제1 기관을 박형화하는 단계;

를 포함하고,

상기 제1 절연층과 상기 제2 절연층을 각각 수용하는 상기 제1 표면 및 상기 제2 표면은 절연물을 포함하지 않거나 또는 상기 제1 기관 및 상기 제2 기관들이 대기(ambient)에 노출되어 자발적으로(native) 형성되는 산화층을 가지고,

상기 제1 절연층 및 상기 제2 절연층 각각은 산화성 가스 또는 질화성 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되고,

상기 제1 절연층과 상기 제2 절연층은 서로 다른 가스를 기초로 하는 플라즈마 활성화에 의하여 형성되고,

상기 제1 기관의 상기 제1 표면 및 상기 제2 기관의 상기 제2 표면을 처리하는 단계는 상기 제1 절연층을 형성하는 단계 및 상기 제2 절연층을 형성하는 단계에 비하여 먼저 수행되는 반도체 구조의 제조 방법.

청구항 21

2 nm 내지 25 nm 범위의 두께를 나타내는 매립 절연층을 포함하는 반도체 구조의 제조 방법에 있어서,

상기 제조 방법은:

미리 존재하는 절연물을 제거하기 위하여, 제1 기관의 제1 표면 및 제2 기관의 제2 표면을 처리하는 단계;

상기 제1 기관의 상기 제1 표면 상에 또는 상기 제2 기관의 상기 제2 표면 상에 절연층을 형성하는 단계;

상기 제1 기관 및 상기 제2 기관을 함께 어셈블링하는 단계; 및

상기 반도체 구조를 얻기 위하여, 상기 제1 기관을 박형화하는 단계;

를 포함하고,

상기 절연층을 수용하는 상기 제1 표면 또는 상기 제2 표면은 절연물을 포함하지 않거나 또는 상기 제1 기관 및 상기 제2 기관들이 대기(ambient)에 노출되어 자발적으로(native) 형성되는 산화층을 가지고,

상기 절연층은 상기 제1 기관 및 상기 제2 기관 사이에 위치하고,

상기 절연층은 질화성 가스를 기조로 하는 플라즈마 활성화에 의하여 형성되고,

상기 제1 기관의 상기 제1 표면 및 상기 제2 기관의 상기 제2 표면을 처리하는 단계는 상기 절연층을 형성하는 단계에 비하여 먼저 수행되는 반도체 구조의 제조 방법.

청구항 22

제 1 항, 제 20 항, 및 제 21 항 중 어느 한 항에 있어서,

상기 제1 기관의 상기 제1 표면 및 상기 제2 기관의 상기 제2 표면을 처리하는 단계는:

상기 제1 기관의 상기 제1 표면 및 상기 제2 기관의 상기 제2 표면을 암모니아 수산화물(NH₄OH), 과산화수소(hydrogen peroxide, H₂O₂) 및 탈이온수(deionized water)의 혼합물을 포함하는 제1 용액을 이용하여 처리하는 단계; 및

상기 제1 기관의 상기 제1 표면 및 상기 제2 기관의 상기 제2 표면을 염산(hydrochloric acid, HCl), 과산화수소(H₂O₂), 및 탈이온수의 혼합물을 포함하는 제2 용액을 이용하여 처리하는 단계;

를 포함하는 것을 특징으로 하는 반도체 구조의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 물질들로부터 선택된 물질들로 형성된 두 개의 기관들을 직접 웨이퍼 본딩하여 기관들을 형성하는 방법에 관한 것이고, 이에 따라 구현된 최종 구조는, 특히, 전자적, 광학적, 광전지적(photovoltaics) 또는 광전자적 분야들에 응용될 수 있다.

[0002] 보다 상세하게는, 이러한 최종 구조는 반도체-온-절연물(semiconductor on insulator, SeOI), 특히 실리콘-온-절연물(Silicon On Insulator, SOI) 기관이며, 극히 얇은(50 nm 이하) 매립 절연물에 의하여 특정된다. 얇은 절연물이 산화물인 경우에, 상기 기관은 매우 얇은 매립 산화물(ultra-thin buried oxide, UTBOX) 형으로 지칭된다. 이러한 최종 구조는 소위 "도우너(donor)" 기관을 소위 "수용(receiver)" 기관에 직접 웨이퍼 본딩하여 달성되며, 이어서 상기 도우너 기관에서 상기 수용 기관으로 물질의 일반적으로 얇은 층을 전이하기 위하여, 상기 도우너 기관을 박형화한다.

배경 기술

- [0003] 직접 웨이퍼 본딩은, 접착제(페이스트, 글루, 등)를 사용하지 않고 완전히 평평한 표면들을 가지는 두 개의 기관들을 서로 직접적으로 접착시킬 수 있는 기술이다. 이러한 유형의 본딩은 실리콘-온-절연물(SOI) 구조들 및 반도체-온-절연물(SeOI) 구조들의 제조에 일반적으로 사용되는 기술적 단계이다.
- [0004] 직접 본딩에 의하여 반도체-온-절연물(SeOI) 구조들 또는 실리콘-온-절연물(SOI) 구조들을 제조하는 세 가지 기본적인 기술이 있다. 이는 스마트 컷(SMART CUT™), BSOI (및 BESOI), 및 엘트란(ELTRAN®)이다. 이러한 방법들 각각에 포함되는 공정들의 설명은 S.S. Lyer 및 A.J. Auberton-Herve의 "Silicon wafer bonding technology for VLSI and MEMS applications", IEE (2002)의 참고 문헌에서 찾을 수 있다.
- [0005] 이와 같이 다른 방법들에 따라 직접 웨이퍼 본딩에 의하여 얻은 실리콘-온-절연물(SOI) 기관들은 매립 절연층을 포함한다. 결과적으로, 원래의 실리콘 기관 또는 기관들 상에 실리콘 산화물(SiO₂)의 절연층을 형성하기 위하여, 기관 표면 내에 실리콘의 습식 열산화 또는 건식 열산화를 달성하기 위하여 열처리가 적용될 수 있다. 또는, 화학 기상 증착법(chemical vapour deposition, CVD), 저압 화학 기상 증착법(low pressure chemical vapour deposition, LPCVD) 및 플라즈마 화학 기상 증착법(plasma chemical vapour deposition, PCVD)과 같은 일반적인 증착 기술이 또한 사용될 수 있다.
- [0006] 열산화층들 또는 증착된 산화층들의 두께는 요구되는 최종 구조에 의존하여 변화할 수 있고, 다시 말하면 원하는 매립 절연층의 두께에 의존하여 변화할 수 있다. UTBOX 기관들을 제공하기 위하여, 매립 절연층은 50 nm 이하의 두께를 가지고, 바람직하게는 5 nm 내지 25 nm의 두께를 가진다.
- [0007] 상기 UTBOX 기관들의 절연층의 얇은 두께는 분자 본딩을 어렵게하고, 최종 기관의 품질에 간접적으로 영향을 끼친다. 균일한 제조 방법을 기초로 하는, 소위 두꺼운 매립 절연물(일반적으로 100 nm 이상의 두께)로 특징되는 실리콘-온-절연물(SOI) 기관은, 후속되는 낮은 수준의 열처리에 의하여 나타나는 바와 같이, 매우 얇은 매립 절연물을 가지는 기관에 비하여 통계적으로 매우 낮은 본딩 결함들을 나타낸다.
- [0008] 실질적으로, UTBOX 구조들을 가지고, 주입 단계로부터 물, 수소, 탄화수소들 또는 중들과 같은, 본딩 계면 수준에서 나타나는 중들은, 얇은 산화층 내에서 충분한 트랩 위치들을 더 이상 찾을 수 없으며 그들이 결합되는 본딩 계면을 따라서 확산되지 않으며, 이에 따라 다양한 구조적인 결함들을 야기한다.
- [0009] 스마트 컷(Smart Cut™) 기술을 이용하여 얇은 층을 전이하는 경우에 있어서, 상기 매립 절연물을 극히 박형화하여 최종 구조들을 약화시키는 주 결함들은 "블리스터들(blisters)" 및 "비전이 영역들(non-transferred zones)"로 지칭된다. 도 1에 도시된 바와 같이, 이들은 상기 활성층(10) 내에 다른 크기의 홀들을 형성하지만, 이들은 이러한 기관들로부터 형성되는 소자에 대하여 "킬러(killer)" 결함들이다.
- [0010] 약어로 "NTZ"로 알려지거나 또는 "보이드들(voids)"로 지칭되는 비전이 영역들(200, non-transferred zone)은 상기 활성층(10) 및 상기 매립 절연물(3) 내의 일반적으로 0.1 μm 내지 3 mm의 크기의 홀들이다. 상기 NTZ(200)는 상기 제1 기관으로 지칭되는 도우너 기관(1)의 활성층(10) 내의 영역과 상응하고, 상기 제2 기관으로 지칭되는 수용 기관(2)에 전이되지 않는 영역이다. 이러한 NTZ는 상기 최종 구조의 주위 상에 위치하고, 보다 상세하게는 상기 기관의 에지로부터 일반적으로 1 mm 내지 5 mm 범위의 거리에 위치하는 경우에 있어서, 이들은 에지 보이드(300)로 지칭된다.
- [0011] 에지 보이드(300)는 상기 얇은 전이층(10) 내의 일반적으로 50 μm 내지 3 mm 범위의 직경을 가지는 홀이다.
- [0012] 블리스터(400)는 상기 본딩 계면에서 충전된 가스 거품으로 기인되는 압력 하에서 수용 기관(2)으로부터 제거된 이전 막의 영역과 상응한다. 국지적으로 리프트된 상기 막이 매우 약하므로, 블리스터(400)는 상기 최종 구조 내의 일반적으로 0.5 mm 내지 3 mm 범위의 직경을 가지는 홀을 변화없이 형성한다.
- [0013] 그 크기가 미시적이거나 또는 거시적인 것에 관계없이, 웨이퍼의 중심 내에서 또는 에지 상에 모든 홀들은 킬러 결함들이며, 이는 전기적 구성요소들의 형성을 위한 활성층이 존재하지 않고, 이러한 위치 상에 어떠한 구성요소도 형성되지 않기 때문이다. 따라서, NTZ(200)의 에지 보이드들(300) 및 블리스터들(400)은 품질을 감소시키고 수율을 저하시킨다.
- [0014] 상기 본딩 단계와 관련된 결함들의 수를 감소시키고 상기 본딩 계면을 강화하기 위하여, 상기 기관들은 접촉되기 전에 플라즈마 활성화될 수 있다. 본딩 표면의 "플라즈마 활성화"는 이러한 표면을 플라즈마에 노출하도록

정의된다 (대표적으로 진공 또는 대기 압력 하에서 수행될 수 있음).

- [0015] 보다 상세하게는, 알려진 활성화 기술들에 있어서, 노출 파라미터들은 제어되는 노출 단계에서 활성화될 섹션(section)의 표면은 플라즈마에 노출되고, 이에 따라 이들 각각은 주어진 값으로 설정되고 플라즈마 활성화 동안에 고정 값으로 유지된다.
- [0016] "노출 파라미터들"의 원리는 하기와 같다:
- [0017] - 전력 밀도: 이는 플라즈마에 제공되는 전력 밀도이다. 전력 밀도는 단위 면적 당 전력(W/cm^2)으로 표현된다. 본 명세서에서는 "전력(power)"으로 간단하게 표현된다;
- [0018] - 압력 (플라즈마를 유지하기 위한 용기 내 압력);
- [0019] - 용기 내에 제공되는 가스의 성질(nature)과 출력(output);
- [0020] - 활성화 지속 시간.
- [0021] 이러한 유형의 활성화는, 높은 온도들에서 필요한 경우 반드시 수행되어야 하는 열처리를 수행하지 않고, 중요한 본딩 에너지를 달성함으로써 직접 웨이퍼 본딩을 수행하는 것을 가능하게 한다.
- [0022] 효과적으로는, 플라즈마 활성화는, 이들 중의 적어도 하나는 본딩되기 전에 활성화되는 두 개의 기판들 사이의 높은 본딩 에너지를 얻을 수 있으며, 이어서 상대적으로 짧은 지속 시간 동안에(예를 들어, 약 2 시간) 상대적으로 낮은 온도들(예를 들어, 약 600°C 또는 그 이하)에서 열처리가 수행된다.
- [0023] 따라서, 상기 구조를 매우 높은 온도들에 적용하는 것을 방지하는 경우에 있어서, 이러한 유형의 활성화는 두 개의 본딩된 기판들을 포함하는 구조(특히, 매우 다른 열팽창 계수들을 가지는 물질들의 층들로 형성된 구조들로 정의되는 이종구조들)를 안정화하는 것이 바람직하다.
- [0024] 또한, 이러한 유형의 활성화는 주어진 온도에서의 높은 본딩 강도들을 달성하는 것이 바람직할 수 있다.
- [0025] 따라서, 이러한 유형의 활성화는, 예를 들어 두 개의 기판들의 본딩을 포함하는 다중층 구조들을 달성하는 것이 바람직하다.
- [0026] 전이 공정들은 본딩을 지지하기 위하여 플라즈마 활성화로부터 잇점을 얻을 수 있는 적용 예들이며, 이들은 "silicon-ON-insulator TECHNOLOGY: materials to VLSI", 2nd Edition (Jean-Pierre COLINGE)에 일반적으로 개시된 스마트 컷(Smart Cut™)이거나, 또는 두 개의 기판들을 본딩하고 이어서 식각 또는 엘트란(ELTRAN™)을 이용하여 상기 두 개의 기판들 중에 하나로부터 과잉 물질을 제거하는 BESOI (Bond Etch silicon-ON-insulator)일 수 있다.
- [0027] 각각의 본딩을 위한 플라즈마 처리의 효과로부터 충분한 이득을 얻기 위하여, 참고 문헌(대표적으로, T. Suni 및 I. J. Electroch에 의한 "Effects of plasma activation on hydrophilic bonding of Si and SiO₂", T. Suni and I. J. Electroch. Soc. Vol. 149, no 6, p. 348 (2002) 과 Farrens 등에 의한 미국특허번호 제US 6180496호)에서 나타나는 표준 공정은 본딩 기판들의 한 측 또는 양측의 플라즈마 활성화를 포함한다.
- [0028] 접촉하기 전에 웨이퍼 표면들을 활성화하기 위하여, 예를 들어, 산소, 질소 및 아르곤과 같은 다른 가스들을 현재의 플라즈마 처리들에서 사용한다.
- [0029] 그러나, 현재 사용되는 다양한 기술들이 계면들에서 높은 본딩 에너지를 선호한다고 하여도, 매우 높은 품질의 반도체 구조들이 얇거나 또는 극히 얇은 절연층들을 가지도록 제조되는 것을 허용할 수 없다.

발명의 내용

해결 하고자하는 과제

- [0030] 본 발명의 목적은, 고품질의 얇은 매립 절연층을 가지는 반도체-온-절연물(SeOI) 반도체 구조를 제조하는 것이며, 이러한 구조는 2 nm 내지 25 nm 범위의 두께 및 매우 낮은 가능한 결함을 나타내며, 특히 강화된 본딩 계면을 가진다.
- [0031] 본 발명의 다른 목적은, 얇은 매립 절연층을 가지는 반도체-온-절연물(SeOI) 구조들을 제조하는 방법을 간단하고 덜 복잡하도록 개발하는 것이다. 매립을 위한 절연물은 통상적으로 열산화 또는 증착에 의하여 형성되고,

이어서 습식 세정이 수행된다. 본 발명은 플라즈마 처리에 의하여 절연물을 형성함으로써 이러한 단계들을 생략할 수 있으며, 이에 따라 공정 단계들을 단순화하고, 세정 및 절연물의 형성과 관련된 비용을 제거하고, 열예산을 감소한다

[0032] 세정 단계의 제거는 상기 단계와 관련된 거칠기의 증가를 방지할 수 있고, 이에 따라 후속의 본딩의 품질이 개선된다.

[0033] 절연물을 형성하는 절연물 증착 단계 또는 열처리 단계(예를 들어, 실리콘의 열산화)의 제거와 관련된 열예산의 급격한 감소는, 600°C 이상의 온도에서 형성되는 결함들의 수를 제한할 수 있으며, 이는 열처리와 관련된 전위들 또는 다른 결함들이거나, 처리되는 기판들 내에 나타나는 슬립 선들 또는 산화물 침전들과 같은 결함들이다.

과제 해결수단

[0034] 본 발명에 따라, 상기 목적은 제1 기판의 표면(3') 상에 및/또는 제2 기판(2)의 표면(4') 상에 적어도 하나의 절연층(3, 4)을 형성하는 단계; 상기 제1 기판(1) 및 제2 기판(2)을 어셈블링하는 단계; 및 상기 제1 기판(1)을 박형화하는 단계를 포함하고, 상기 표면들(3', 4')은 절연물을 포함하지 않거나 기판들이 대기에 노출되어 자발적으로(native) 형성되는 산화층을 가지고, 상기 절연층을 형성하는 단계는 산화성 가스 및/또는 질화성 가스로 하는 플라즈마 활성화하는 단계에 의하여 달성된다.

[0035] 보다 상세하게는, 본 발명의 바람직한 응용은, 얇은 매립 절연물, 특히, 예를 들어 25 나노미터 또는 수십 나노미터의 두께를 가지는 매우 얇은 매립 산화물(ultra-thin buried oxide, UTBOX) 실리콘-온-절연물(SOI) 기판들에 의하여 특징되는 반도체-온-절연물(SeOI) 기판들의 제조를 포함한다.

[0036] 반도체-온-절연물(SeOI) 구조들을 제조하는 방법은, 기판을 얇게 분리하는 직접 웨이퍼 본딩을 이용하여 전이하는 것에 응용할 수 있다(예를 들어, 스마트 컷(SMART CUT™), 또는 다른 방법을 이용함).

효과

[0037] 본 발명에 따라, 상기 절연층들(3, 4)을 각각 가지는 두 개의 상기 기판들(1, 2)은 분자 본딩에 의하여 어셈블링하여 밀접한 접촉을 형성하며, 이에 따라 반도체-온-절연물(SeOI) 구조(6)를 달성한다. 또한, 제2 기판(2), 절연층들(3, 4) 및 얇은 활성층(10)의 적층을 가지고 6'로 지칭되는 복합 반도체-온-절연물(SeOI) 구조를 얻을 수 있다.

[0038] 상기 제1 기판(1) 및/또는 상기 제2 기판(2)에 적용되는 플라즈마 처리들에 의하여, 절연층 및 활성화된 표면이 단일 단계로 형성되고, 이에 따라 고품질의 본딩을 제공할 수 있으며, 이와 동시에 처리되는 기판들의 품질을 예상하고 적용되는 열예산을 제한한다.

[0039] 상기 절연물을 형성하는 절연물의 증착 단계 또는 열처리 단계(예를 들어, 실리콘의 열산화)의 억제와 관련된 열예산의 급격한 감소는 600°C 이상의 온도들에서 형성되는 결함들의 갯수를 제한할 수 있고, 이에 따라 전위 슬립선들 또는 산화물 침전들이 처리된 기판들 내에 형성될 수 있다.

[0040] 또한, 기판들이 재사용될 수 있다. 실질적으로, 새로운 제2 기판(2) 상에 전이되는 적어도 제2 활성층(10)을 위하여, 제1 기판(1)의 섹션(100)이 재사용될 수 있다.

발명의 실시를 위한 구체적인 내용

[0041] 본 발명의 다른 형상들과 잇점들은 가능한 여러 실시예들을 나타내는 첨부된 도면들을 참조하여, 하기의 상세한 설명에 의하여 도출될 수 있으며, 하기의 설명들은 예시적이며 이에 본 발명이 한정되는 것이 아니다.

[0042] 이하에서는 제1 실시예의 다른 연속적인 단계들을 계약적으로 설명한다.

[0043] 도 2a는 앞면(front face, 3')을 가지는 제1 반도체 기판(1)을 도시하며, 도 2b는 앞면(4')을 가지는 제2 기판(2)을 도시한다. 도 2c 및 도 2d에 도시된 바와 같이, 상기 기판들(1, 2)의 앞면들 각각은 플라즈마 처리된다. 본 발명에 따른 플라즈마 처리를 수행하기 전에, 절연층이 기판들(1, 2)의 표면 상에 형성되지 않도록 한다. 또한, 상기 기판들의 대기(ambient air)에 노출되어 자발적으로(native) 산화층이 이러한 기판들의 표면 상에 형성된다.

[0044] 따라서, 기판(1)의 표면 상에 절연층(3)을 형성하기 위하여, 상기 제1 기판(1)의 앞면(3')은 산소, 물 또는 질

소 제1 산화물(nitrogen protoxide)과 같은 산화성 가스를 기초로 하는 처리된다. 2 nm 내지 15 nm 범위에서 변화하는 두께를 가지는 절연층(3)을 형성하기 위하여, 상기 플라즈마 산화 처리는 산소와 함께 수행되고, 압력 범위는 약 5 mT 내지 200 mT 이며, 전력 범위는 약 10 W 내지 4000 W 이며, 출력(output)은 약 10 sccm 내지 1000 sccm 이며, 및 1 초 내지 300 초 범위로 지속된다.

- [0045] 일 실시예에 있어서, 8 nm의 두께를 가지는 SiO₂ 절연층(3)을 형성하기 위하여, 상기 제1 기관(1)은 30 초의 지속 시간 동안에 15 mT의 압력, 1000 W의 전력, 및 100 sccm의 출력에서 산소 플라즈마 처리된다.
- [0046] 선택적으로(optionally), 상기 제2 기관(2)의 앞면(4')은 플라즈마 질화 처리될 수 있다. 상기 질화성 가스는 질소(nitrogen), 이산화질소(nitrogen dioxide), 일산화질소(nitrogen monoxide), 암모니아(ammonium), 및 질산(nitric acid)으로부터 선택될 수 있다. 2 nm 내지 15 nm 범위에서 변화하는 두께를 가지는 절연층(4)을 형성하기 위하여, 일반적인 플라즈마 질화 조건은 5 mT 내지 200 mT의 압력 범위, 10 W 내지 4000 W의 전력 범위, 및 10 sccm 내지 1000 sccm의 출력 범위일 수 있고, 1 초 내지 300 초 범위로 지속된다.
- [0047] 그러나, 상기 제2 플라즈마 처리는 선택적이고, 상기 제2 기관(2)은 상기 제1 기관(1)과 직접적으로 접촉할 수 있다.
- [0048] 본 실시예에 있어서, 5 nm의 두께를 가지는 질화된 층을 형성하기 위하여, 상기 제2 기관(2)의 상기 앞면(4')은 45 초의 지속 시간 동안에 50 mT의 압력, 1000 W의 전력 및 200 sccm의 출력으로 질소 플라즈마 처리된다.
- [0049] 약 500 mJ/cm² 또는 그 이상의 에너지를 이용하여 우수한 품질의 본딩을 달성하기 위하여, 상기 두 개의 기관들(1, 2) 중에 어느 한측 또는 양측에는, 미세 절연층을 형성시키고, 상기 기관 표면들을 활성화 처리하도록 플라즈마 처리가 수행된다.
- [0050] 중요한 것은 플라즈마 산화 또는 플라즈마 질화가 적용되어도, 가스 또는 가스들의 비율이 상기 처리 동안에 균일하거나 변화할 수 있는 것이다. 따라서, 질화성 가스의 비율이 증가됨에 따라 산화성 가스의 비율이 감소하거나, 반면 산화성 가스의 비율이 증가됨에 따라 질화성 가스의 비율이 감소될 수 있다.
- [0051] 일반적으로, 기관들의 하나 및/또는 다른 하나 상에 플라즈마에 의하여 형성한 절연층(3, 4)의 두께를 제어하기 위하여, 상기 플라즈마 처리 파라미터들이 조절되고, 이에 따라 최종 구조 내에 매립된 절연물의 총 두께이다.
- [0052] 모든 경우에 있어서, 사용된 플라즈마에 의존하여, 플라즈마 처리는 실리콘 산화물(SiO₂), 실리콘 질화물(Si₃N₄) 또는 실리콘 산질화물(Si_xO_yN_z)로 형성될 수 있거나 또는 다른 성질을 가질 수 있는 단일 절연층 또는 다중 절연층을 형성할 수 있다.
- [0053] 이러한 기술을 이용하여, 본 명세서에 개시되지 않은 물질들을 이용하거나 사용된 증착 기술과 유사할 수 있는 기술들을 사용하여 기관 표면들 내에 미세 절연층을 형성할 수 있다. 실질적으로, 이러한 기관의 표면을 산화하거나 질화하거나 또는 산질화하기 위하여, 본 발명에서 개시된 플라즈마 처리는 처리되는 기관 표면의 변형 및/또는 소모를 포함한다.
- [0054] 플라즈마 처리를 수행하기 전에, 상기 기관들의 앞면들(3', 4')의 준비는 예를 들어, 세정 처리, 브러싱(brushing) 처리 또는 건조 처리와 같은 처리들이 수행될 수 있다. 따라서, 표준 세정 처리들은 상기 두 개의 표면들 중에 적어도 하나에 적용될 수 있다. 상기 세정 처리는, 예를 들어 상기 기관들을 암모니아 수산화물(NH₄OH), 과산화수소(hydrogen peroxide, H₂O₂) 및 탈이온수(deionized water)의 혼합물로 포함하는 제1 용액으로 처리하고, 이어서 염산(hydrochloric acid, HCl), 과산화수소(H₂O₂), 및 탈이온수의 혼합물을 포함하는 제2 용액으로 처리하는 RCA 처리일 수 있다.
- [0055] 상기 기관들(1, 2)의 앞면들(3', 4')은 산화되지 않거나 질화되지 않을 수 있고, 다시 말하면, 일반적으로 절연물(산화물 또는 질화물 또는 산질화물)을 포함하지 않거나, 또는 기관들이 대기에 노출되어 자발적으로(native) 형성되는 산화층, 예를 들어, 약 수 nm의 자발적으로 형성되는 산화층, 특히 3 nm 이하의 두께를 가지는 산화층이 표면에 형성된다.
- [0056] 이어서, 도 2e에 도시된 바와 같이, 상기 절연층들(3, 4)을 각각 포함하는 두 개의 상기 기관들(1, 2)은 분자 본딩에 의하여 어셈블링하여 밀접한 접촉을 형성하며, 이에 따라 반도체-온-절연물(SeOI) 구조(6)를 달성한다. 상기 구조(6)는 상기 기관(2), 상기 절연층들(3, 4), 및 상기 기관(1)에 순차적으로 형성된다.

- [0057] 상술한 실시예에 있어서, 8 nm로 측정되는 SiO₂의 제1 절연층(3)은 5 nm 두께의 제2 질화된 절연층(4)과 밀접하게 접촉되며, 이에 따라 상기 최종 구조(6)는 13 nm의 최종 두께를 가지는 절연층을 포함한다.
- [0058] 도 3a 내지 도 3f 및 도 4a 내지 도 4f를 참조하여 두 개의 다른 실시예들을 설명하기로 한다.
- [0059] 동일한 요소는 동일한 부재번호를 가지며, 이에 대한 설명은 생략하기로 한다.
- [0060] 도 3a 내지 도 3f는 본 발명의 실시예를 도시하며, 스마트 컷(Smart Cut™) 공정을 사용한다. 주입(implantation) 공정의 본 유형의 상세한 설명은 "Silicon on insulator technology: material to VLSI", 2nd edition, Jean-Pierre COLINGE 을 참조한다.
- [0061] 도 3a는 앞면(3')을 가지는 제1 기판(1)을 도시하고, 도 3b는 원자 종들 및/또는 이온 종들을 주입하는 단계가 수행되는 동일한 제1 기판(1)을 도시한다.
- [0062] 이러한 주입의 목적은 상기 제1 기판(1) 내에 약한 영역(5)을 형성하는 것이며, 제1 기판(1)의 섹션(section, 100) 내에 얇은 활성층(10)으로 정의된다.
- [0063] 이와 유사하게, 예를 들어, 수소 종들 및 헬륨 종들의 주입을 포함하는 원자 종들 및/또는 이온 종들의 동시 주입을 수행할 수 있다.
- [0064] 도 3c에 도시된 바와 같이, 상기 제1 기판(1)은 플라즈마 질화 처리된다. 예를 들어, 4 nm 두께의 질화된 절연층(3)을 형성하기 위하여. 암모니아 플라즈마는, 45 초의 지속 시간 동안에 50 mT의 압력, 500 W의 전력, 및 200 sccm의 출력에서 수행된다.
- [0065] 상기 제2 기판(2)과의 관계에 있어서, 하기에 개시되는 방법들에 따라서 플라즈마 산화 처리된다. 따라서, 예를 들어, 6 nm의 두께를 가지는 SiO₂의 절연층(4)을 형성하기 위하여, 산소 플라즈마는 45 초의 지속 시간 동안에 50 mT의 압력, 500 W의 전력 및 200 sccm의 출력에 적용된다.
- [0066] 일반적으로, 플라즈마 처리들은 낮은 온도들에서 수행되며, 다시 말하면, 200°C 이하의 온도, 보다 상세하게는, 100°C 이하의 온도, 또는 상온(ambient temperature)에서 수행된다. 바람직하게는, 상기 플라즈마 처리는 50°C 이하의 온도에서 플라즈마 장치의 반응 이온 식각(reactive ion etching, RIE)을 수행한다.
- [0067] 선택적으로(optionally), 본 발명에 따른 처리를 후속하는 본딩을 수행하기 전에, 기판들(1, 2)의 표면에 형성된 절연층들(3, 4)에 열처리가 적용될 수 있다. 기판들(1, 2) 중의 한측 또는 다른 측 상에 형성된 절연층(3, 4)의 전기적 특성들 및/또는 물리적 특성들을 개선하기 위하여, 이러한 열처리는 30 분 내지 5 시간의 지속 시간 동안에 50°C 내지 350°C 범위의 온도에서 상기 기판들에 적용될 수 있다.
- [0068] 이어서, 상기 제2 기판(2) 및 상기 제1 기판(1)의 직접 웨이퍼 본딩이 후속되어 수행되며, 이에 따라 상기 제1 기판(1)의 상기 절연층(3)을 상기 제2 기판(2)의 상기 절연층(4)과 밀접하게 접촉시킨다. 이러한 단계는 도 3e에 도시되어 있다.
- [0069] 도 3c 및 도 3d에 도시된 기판들(1, 2)의 플라즈마 처리 단계들을 수행되기 전에, 상술한 바와 같이 처리된 기판 표면들을 세정하는 단계를 선택적으로 수행할 수 있다.
- [0070] 마지막으로 도 3f에 도시된 바와 같이, 상기 제1 기판(1)은 상기 제1 기판(1)의 섹션(100, section)을 분리하여 박형화할 수 있고, 이에 따라 후속하여 제2 기판(2), 절연층들(3, 4) 및 얇은 활성층(10)의 적층을 포함하고, 부재번호 6'로 지칭되는 복합 반도체-온-절연물(SeOI) 구조를 얻을 수 있다.
- [0071] 상기 섹션(100)은 기계적 힘, 화학적 힘, 및/또는 열적 힘들의 적용에 의하여, 예를 들어 200°C 내지 500°C 범위의 열처리에 의하여 상기 약한 영역(5)을 따라서 분리된다.
- [0072] 따라서, 상기 최종 구조(6')는 교번(alternation)된 산화층들과 질화층들을 포함하지만, 정확한 적층에 한정되지는 않는다. 실질적으로, 현존하는 절연층들의 성질과 갭수에 의존하여 모든 교번이 가능할 수 있다. 다른 적용에 있어서, 기판들 중의 한측 또는 양측 상에 연속적으로 적어도 두 번의 플라즈마 처리들을 적용할 수 있다.
- [0073] 일반적으로, 다른 플라즈마 처리들에 의하여 얻은 절연층들의 적층에 의하여 형성된 상기 구조(6')의 최종 절연층은 2 nm 내지 25 nm 범위의 두께를 가진다.

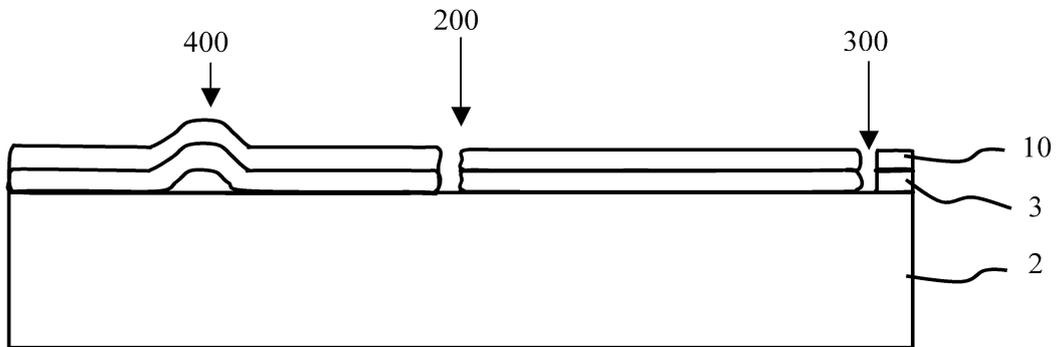
- [0074] 상술한 실시예에 따라, 4 nm로 측정되는 상기 제1 질화된 절연층(3)은 6 nm 두께의 SiO₂의 제2 절연층(4)과 접촉되고, 이에 따라 상기 최종 구조(6)는 10 nm의 최종 두께의 절연층을 가진다. 도 5는 본 발명의 제2 실시예에 따라 얻은 이러한 유형의 최종 구조의 투과전자현미경의 단면 사진을 도시하며, 이는 나노미터 두께의 매립 절연물(10)을 가지는 UTBOX 실리콘-온-절연물(SOI) 기판을 도시한다.
- [0075] 선택적으로(optionally), 상기 구조(6')는 최종 처리되며, 이는 건식 식각 또는 습식 식각, 산화/탈산화, 연마 및 열처리(중성 환경 또는 감소 환경에서의 급속 열어닐링(rapid thermal anneal, RTA) 또는 장시간 어닐링)에서 선택된 적어도 하나의 박형화 단계 및/또는 평탄화 단계를 포함한다.
- [0076] 도 4a 내지 도 4f에 도시된 제3 실시예에 있어서, 상기 약한 영역(5')은, 예를 들어 엘트란(ELTRAN™)과 같이 본 기술분야의 당업자에게 잘 알려진 기술에 의하여 얻어진 다공층으로 형성된다.
- [0077] 따라서, 도 3b는 상기 제1 기판(1)의 섹션(100)의 얇은 활성층(10)을 정의하는 이러한 다공층(5')을 포함하는 상기 제1 기판(1)을 도시한다. 도 3c에 도시된 바와 같이, 상기 제1 기판(1)의 앞면(3') 상에 절연층(3)을 형성하기 위하여, 상기 제1 기판(1)은 산화 분위기에서 플라즈마 처리된다.
- [0078] 도 4e에 도시된 바와 같이, 상기 제1 기판(1)의 플라즈마 처리 단계를 수행하기 전에 또한 상기 제2 기판(2)과의 어셈블링 하는 단계를 수행하기 전에, 상기 표면들(3', 4')의 세정 단계가 선택적으로 수행될 수 있다.
- [0079] 상기 절연층(3)을 상기 기판(2)의 앞면(4')과 밀접하게 접촉하여, 상기 제1 기판(1)과 상기 제2 기판(2)의 본딩을 수행한다.
- [0080] 본딩 계면을 강화하기 위하여 열처리가 적용될 수 있다. 따라서, 30 분 내지 20 시간 범위에 대하여 200℃ 내지 1100℃ 범위의 열예산(thermal budget)이 적용될 수 있다.
- [0081] 도 4f에 도시된 바와 같이, 상기 제1 기판(1)의 상기 섹션(100)의 제거는 기계적 힘들을 적용함에 의하여, 또는 기계화학적 연마에 의하여, 또는 열 에너지를 제공하기 위하여, 및/또는 화학적 공격에 의하여, 상기 약한 영역(5')의 수준에 가압한 물체와 같은 액체의 적용을 통하거나, 그라인딩 또는 식각에 의하여, 수행될 수 있다.
- [0082] 제3 실시예의 결과에 의하여 얻은 최종 구조는 6''로 지칭되고, 본딩 계면은 단일 절연층:절연층(3)을 포함하는 상술한 기판(6')과는 다르다.
- [0083] 최종적으로, 도면들에 도시되지는 않았으나, 다른 실시예들이 이용될 수 있음을 유의하여야 하며, 명백하게는 상기 제1 기판(1)에 단일 산화 플라즈마 및/또는 단일 질화 플라즈마를 적용하지 않고, 상기 제1 기판(1)과 본딩하기 전에 상기 제2 기판(2)에 단일 산화 플라즈마 및/또는 단일 질화 플라즈마를 적용하거나, 또는 어셈블링 될 기판들의 한측 또는 양측 상에 다른 플라즈마 처리들을 조합하여 적용한다. 따라서, 적어도 두 번의 플라즈마 처리들이 상기 기판들의 한측 또는 양측에 연속적으로 적용될 수 있다.
- [0084] 상기 기판들(1, 2)은 반도체 물질들이고, 결정방위된 실리콘 (100), 또는 결정방위된 실리콘 (110), 또는 결정방위된 실리콘 (111), 다결정 실리콘, 실리콘 탄화물, 게르마늄 및 갈륨-비소에서 선택될 수 있다. 이와 유사하게 상기 제2 기판(2)은 사파이어, 석영, 반투명 융합된 석영(translucent fused quartz), 또는 유리일 수 있다.
- [0085] 상기 제1 기판(1) 및/또는 상기 제2 기판(2)에 적용되는 플라즈마 처리들에 의하여, 절연층 및 활성화된 표면이 단일 단계로 형성되고, 이에 따라 고품질의 본딩을 제공할 수 있으며, 이와 동시에 처리되는 기판들의 품질을 예상하고 적용되는 열예산을 제한한다.
- [0086] 상기 절연물을 형성하는 절연물의 증착 단계 또는 열처리 단계(예를 들어, 실리콘의 열산화)의 억제와 관련된 열예산의 급격한 감소는 600℃ 이상의 온도들에서 형성되는 결함들의 갯수를 제한할 수 있고, 이에 따라 전위 슬립선들 또는 산화물 침전들이 처리된 기판들 내에 형성될 수 있다.
- [0087] 또한, 기판들이 재사용될 수 있다. 실질적으로, 새로운 제2 기판(2) 상에 전이되는 적어도 제2 활성층(10)을 위하여, 제1 기판(1)의 섹션(100)이 재사용될 수 있다.
- [0088] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

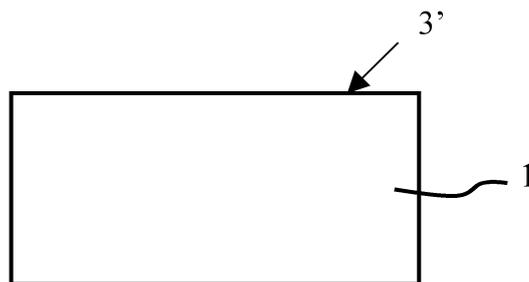
- [0089] 도 1은 반도체-온-절연물(SeOI) 기판에 존재할 수 있는 다른 결합들을 나타내는 도면이다.
- [0090] 도 2a 내지 도 2e는 본 발명의 제1 실시예에 따른 연속적인 단계를 도시하는 도면이다.
- [0091] 도 3a 내지 도 3f 및 도 4a 내지 4f는 본 발명의 제2 및 제3 실시예에 따른 연속적인 단계를 도시하는 도면이다.
- [0092] 도 5는 본 발명의 제2 실시예에 따라 구현되는, 10 nm 두께의 매립 절연층(10)을 가지는 UTBOX 실리콘-온-절연물(SOI) 기판의 투과전자현미경(transmission electron microscopy)의 단면 사진이다.
- [0093] 다양한 도면들에 개시된 동일하거나, 유사하거나 또는 동등한 섹션들은 동일한 부재 번호를 가지며, 하나의 도면으로부터 다른 도면으로 이동할 수 있다.

도면

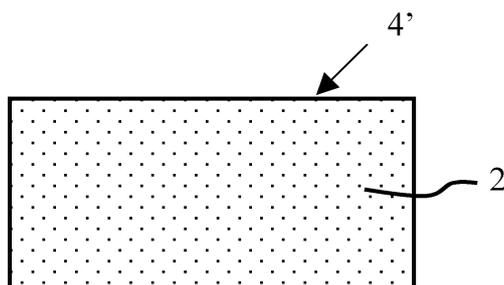
도면1



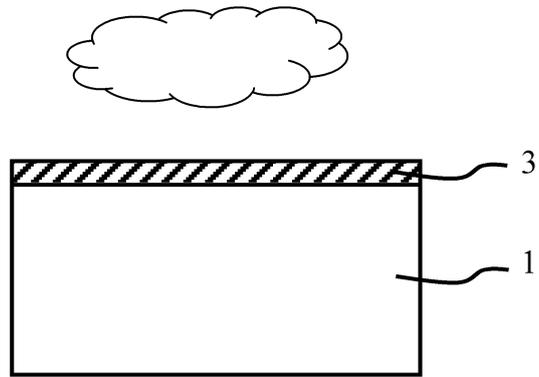
도면2a



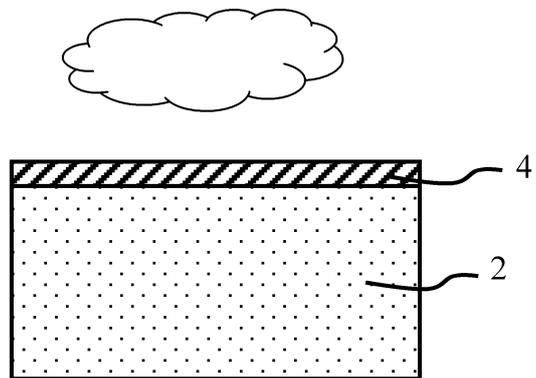
도면2b



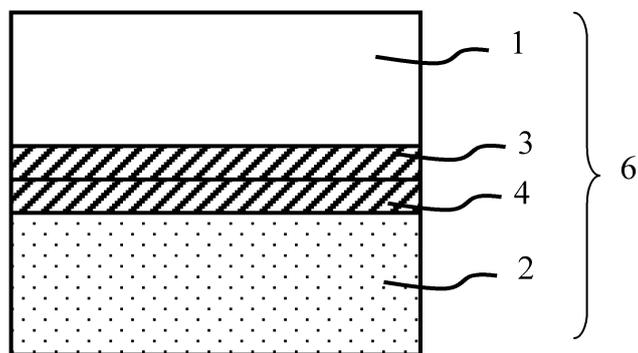
도면2c



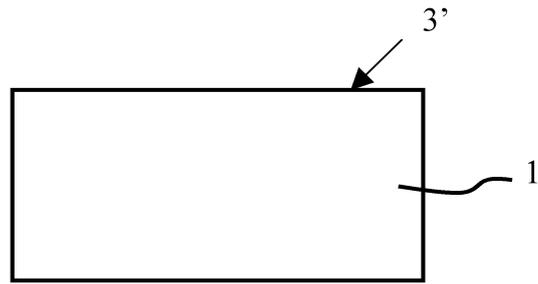
도면2d



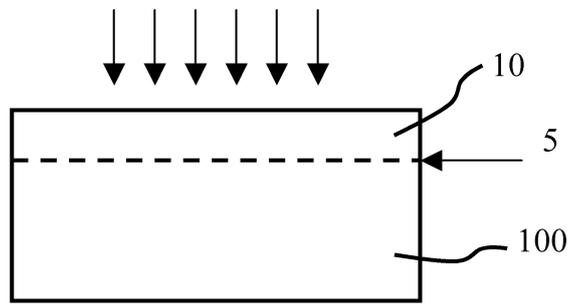
도면2e



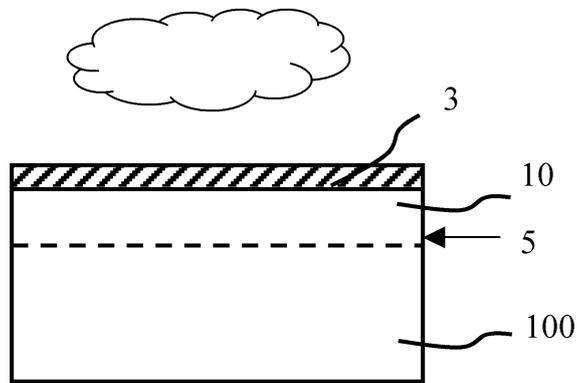
도면3a



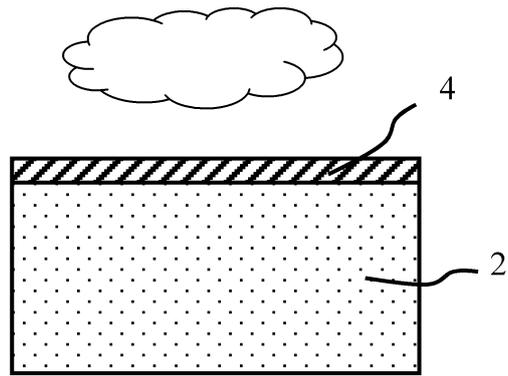
도면3b



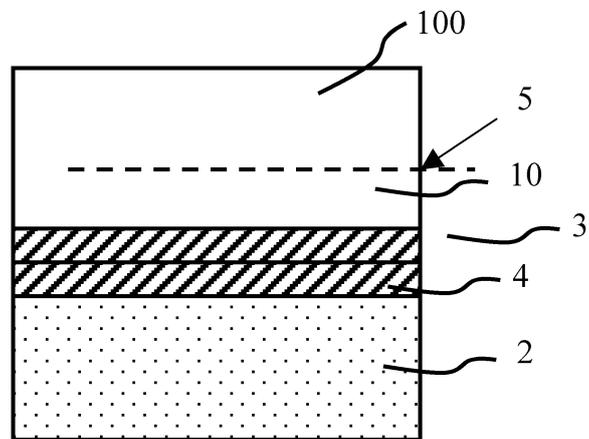
도면3c



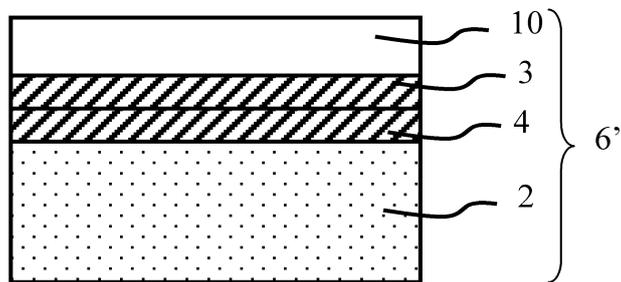
도면3d



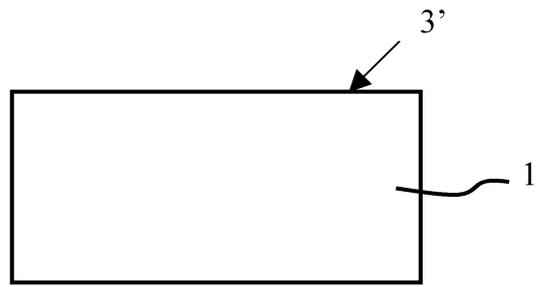
도면3e



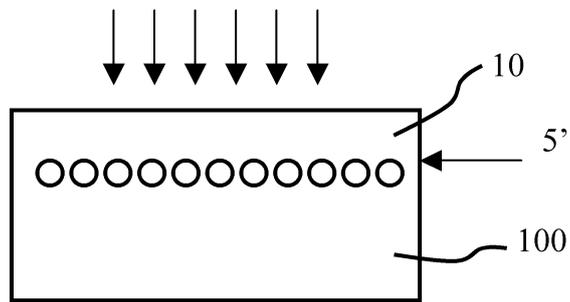
도면3f



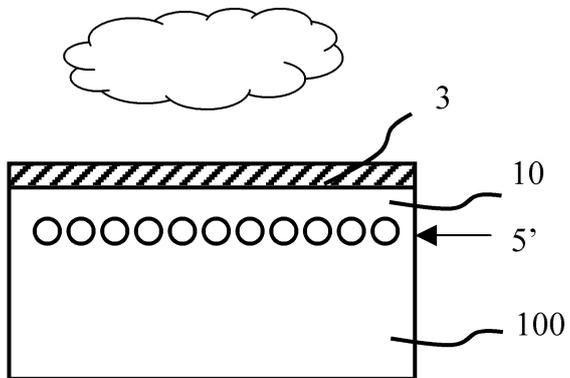
도면4a



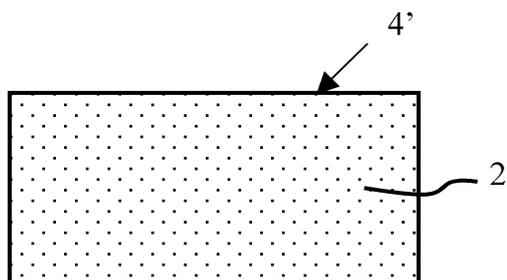
도면4b



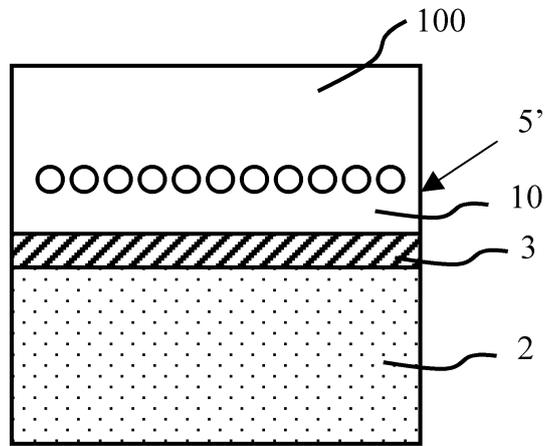
도면4c



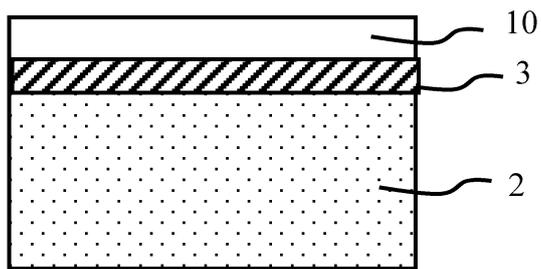
도면4d



도면4e



도면4f



도면5

