

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7300968号  
(P7300968)

(45)発行日 令和5年6月30日(2023.6.30)

(24)登録日 令和5年6月22日(2023.6.22)

(51)国際特許分類	F I			
H 0 1 L 21/336(2006.01)	H 0 1 L	29/78	3 0 1 D	
H 0 1 L 29/78(2006.01)	H 0 1 L	29/06	3 0 1 F	
H 0 1 L 29/06(2006.01)	H 0 1 L	29/78	3 0 1 K	
H 0 1 L 21/8234(2006.01)	H 0 1 L	29/78	3 0 1 W	
H 0 1 L 27/088(2006.01)	H 0 1 L	27/088	A	
請求項の数 10 (全27頁) 最終頁に続く				

(21)出願番号	特願2019-206408(P2019-206408)	(73)特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22)出願日	令和1年11月14日(2019.11.14)	(74)代理人	110001195 弁理士法人深見特許事務所
(65)公開番号	特開2021-82630(P2021-82630A)	(72)発明者	清水 和宏 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(43)公開日	令和3年5月27日(2021.5.27)	(72)発明者	川崎 裕二 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	令和4年1月12日(2022.1.12)	(72)発明者	今坂 俊博 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
		(72)発明者	吉野 学 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

充電対象素子に充電電流を供給する半導体装置であって、  
 第1導電型の半導体層と、  
 前記充電対象素子の第1電極に電気的に接続され、前記半導体層の主表面に形成される  
 第2導電型の第1半導体領域と、  
 前記半導体層の主表面において前記第1半導体領域と隣接した位置に形成された第1導  
 電型の第2半導体領域と、  
 電源電圧が供給され、前記第2半導体領域の表面に形成された前記第2導電型の第3半  
 導体領域と、  
 前記第3半導体領域に接続されるとともに前記電源電圧が供給されるソース電極と、  
 前記第1半導体領域に接続されるとともに前記第1電極に電気的に接続されるドレイン  
 電極と、  
 前記第2半導体領域において前記第3半導体領域と離間した領域に接続されるとともに  
 、接地されたバックゲート電極と、  
 前記第2半導体領域において前記第3半導体領域と前記第1半導体領域との間に位置す  
 るチャンネル領域に、ゲート絶縁膜を介して対向するように配置されたゲート電極と、を備  
 え、  
 前記ソース電極と前記バックゲート電極との間の耐圧が前記電源電圧より大きく、  
 前記第2半導体領域において、前記第3半導体領域の周囲を囲むとともに前記第2半導体

領域から前記第3半導体領域を隔離する前記第2導電型の第4半導体領域を備え、  
前記第4半導体領域は、前記第3半導体領域の周囲から、前記第2半導体領域において前記第1半導体領域と対向するとともに前記第1半導体領域から離間した領域にまで延在し、  
前記チャネル領域は、前記第2半導体領域において前記第4半導体領域と前記第1半導体領域との間に位置する領域である、半導体装置。

【請求項2】

前記電源電圧の供給源である電源から前記チャネル領域までの電流経路上に配置された制限抵抗をさらに備える、請求項1に記載の半導体装置。

【請求項3】

前記制限抵抗は、前記第3半導体領域と前記チャネル領域との間に位置する前記第4半導体領域の部分である、請求項2に記載の半導体装置。

10

【請求項4】

充電対象素子に充電電流を供給する半導体装置であって、

第1導電型の半導体層と、

前記充電対象素子の第1電極に電氣的に接続され、前記半導体層の主表面に形成される第2導電型の第1半導体領域と、

前記半導体層の主表面において前記第1半導体領域と隣接した位置に形成された第1導電型の第2半導体領域と、

電源電圧が供給され、前記第2半導体領域の表面に形成された前記第2導電型の第3半導体領域と、

20

前記第3半導体領域に接続されるとともに前記電源電圧が供給されるソース電極と、

前記第1半導体領域に接続されるとともに前記第1電極に電氣的に接続されるドレイン電極と、

前記第2半導体領域において前記第3半導体領域と離間した領域に接続されるとともに、接地されたバックゲート電極と、

前記第2半導体領域において前記第3半導体領域と前記第1半導体領域との間に位置するチャネル領域に、ゲート絶縁膜を介して対向するように配置されたゲート電極と、を備え、前記ソース電極と前記バックゲート電極との間の耐圧が前記電源電圧より大きく、

前記半導体層の前記主表面には溝が形成され、

前記溝の一部は、前記チャネル領域と前記第1半導体領域とを区画し、

30

前記溝の前記一部において、前記チャネル領域に面する内壁面上に前記ゲート絶縁膜が形成され、

前記ゲート電極は前記溝の内部に形成され、

前記溝は、前記半導体層の前記主表面から前記第2半導体領域の底部より下にまで到達し、

前記溝の他の一部は、前記バックゲート電極と前記ソース電極との間の領域に形成され、前記第2半導体領域は、前記溝の前記他の一部より前記バックゲート電極側に位置する第1領域と、前記溝の前記他の一部より前記ソース電極側に位置し前記チャネル領域を含む第2領域とを含み、

前記第1半導体領域は、前記溝の前記一部の下側に位置する領域を介して前記チャネル領域に接するように延在し、さらに、

40

前記半導体層において、前記第1領域と前記第2領域とに接触するように形成された、前記第1導電型の延在領域を備え、

前記延在領域は、前記溝の前記他の一部の下側に位置する領域を介して、前記第1領域下から前記第2領域下にまで延在している、半導体装置。

【請求項5】

前記溝は、前記半導体層の前記主表面において、前記第3半導体領域を囲むように形成されている、請求項4に記載の半導体装置。

【請求項6】

前記第2半導体領域は、前記溝の前記一部から見て前記第2領域側と反対側に位置する

50

第 3 領域と、前記溝の外側であって、前記第 1 領域と前記第 3 領域とを接続する第 4 領域とを含む。請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 電極と前記第 1 半導体領域との間の電流経路上の第 1 ノードにおける電圧が前記電源電圧より大きいか否かを判定する判定回路を備え、

前記判定回路は、

第 1 充電回路と、第 2 充電回路と、第 1 スイッチ素子と、第 2 スイッチ素子と、第 3 スイッチ素子とを含み、

前記第 1 充電回路は、第 1 容量と第 1 充電回路ノードとを含み、

前記第 1 容量は 2 つの電極を有し、

前記第 1 容量の一方の電極は接地され、前記第 1 容量の他方の電極は前記第 1 充電回路ノードと電氣的に接続され、

前記第 2 充電回路は、第 2 容量と第 2 充電回路ノードとを含み、

前記第 2 容量は 2 つの電極を有し、

前記第 2 容量の一方の電極は接地され、前記第 2 容量の他方の電極は前記第 2 充電回路ノードと電氣的に接続され、

前記第 1 充電回路ノードには前記第 1 スイッチ素子を介して前記電源電圧が供給され、

前記第 2 充電回路ノードには前記第 2 スイッチ素子を介して前記電源電圧が供給され、

前記第 1 容量と前記第 2 容量とは同じ容量を有し、

前記第 2 充電回路ノードは前記第 3 スイッチ素子を介して前記第 1 ノードと接続され、

前記判定回路は、前記第 1 充電回路ノードの電圧よりも前記第 2 充電回路ノードの電圧が高くなった場合に、前記第 1 ノードの電圧が前記電源電圧より高くなったと判定する、請求項 1 から請求項 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 2 半導体領域において、前記第 3 半導体領域から離れた領域に形成された前記第 2 導電型の第 5 半導体領域と、

前記第 2 半導体領域において、前記第 5 半導体領域から間隔を隔てて形成された前記第 2 導電型の第 6 半導体領域と、

前記第 2 半導体領域において、前記第 5 半導体領域から離れた領域に形成された前記第 2 導電型の第 7 半導体領域と、

前記第 2 半導体領域において、前記第 7 半導体領域から間隔を隔てて形成された前記第 2 導電型の第 8 半導体領域と、を備え、

前記第 6 半導体領域は、前記第 5 半導体領域から見て前記第 1 半導体領域側に位置するとともに、前記第 1 半導体領域から離れた位置に形成された第 1 部分を含み、さらに、

前記第 5 半導体領域と前記第 1 部分との間の領域上から前記第 1 部分上を介して前記第 1 半導体領域上にまで、第 1 絶縁膜を介して配置された第 1 電極層と、

前記第 7 半導体領域と前記第 8 半導体領域との間の領域上から前記第 8 半導体領域上にまで、第 2 絶縁膜を介して配置された第 2 電極層とを備え、

前記第 2 電極層は前記第 1 半導体領域と前記第 2 半導体領域との境界部から離れた位置に配置されており、

平面視において、前記第 6 半導体領域は、前記第 1 電極層を前記第 5 半導体領域側の第 1 電極部分と、前記第 1 半導体領域側の第 2 電極部分とに区分するように形成され、

前記第 5 半導体領域は前記第 2 スイッチ素子のソース領域であり、

前記第 1 部分は前記第 2 スイッチ素子のドレイン領域であるとともに前記第 3 スイッチ素子のソース領域であり、

前記第 1 半導体領域は前記第 3 スイッチ素子のドレイン領域であり、

前記第 1 電極層の前記第 1 電極部分が前記第 2 スイッチ素子のゲート電極であり、

前記第 1 電極層の前記第 2 電極部分は前記第 3 スイッチ素子のゲート電極であり、

前記第 7 半導体領域は前記第 1 スイッチ素子のソース領域であり、

前記第 8 半導体領域は前記第 1 スイッチ素子のドレイン領域であり、

10

20

30

40

50

前記第 2 電極層は前記第 1 スイッチ素子のゲート電極である、請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 容量に並列に接続された第 4 スイッチ素子と、

前記第 2 容量に並列に接続された第 5 スイッチ素子と、を備え、

前記第 1 スイッチ素子および前記第 2 スイッチ素子がオフ状態の時に、前記第 4 スイッチ素子および前記第 5 スイッチ素子がオン状態となり前記第 1 容量および前記第 2 容量が放電される、請求項 7 または請求項 8 に記載の半導体装置。

【請求項 10】

耐圧が 300V 以上である、請求項 1 から請求項 9 のいずれか 1 項に記載の半導体装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

【背景技術】

【0002】

従来、ブートストラップ容量を備えた半導体装置が知られている（たとえば、欧州特許出願公開第 743752 号明細書参照）。ブートストラップ容量は、高電位にバイアスされる駆動回路へ正しいパワーの供給を確保するために用いられるブートストラップ回路に含まれている。上記のような半導体装置においては、充電対象素子としてのブートストラップ容量が非常に短い時間で充電されることが基本的である。そのため、上記欧州特許出願公開第 743752 号明細書に開示されているように、ブートストラップ容量の充電は高耐圧ダイオードの動作を代替的に模擬可能な LDMOS (Laterally Diffused Metal Oxide Semiconductor) トランジスタを介して行なわれる。 20

【先行技術文献】

【特許文献】

【0003】

【文献】欧州特許出願公開第 743752 号明細書

【発明の概要】

【発明が解決しようとする課題】 30

【0004】

上述した半導体装置においては、LDMOS トランジスタを含む構造での寄生トランジスタの動作による半導体装置の損傷を防止する観点から、ソース電位制御回路およびバックゲート電位制御回路が接続されている。これらの制御回路は、寄生トランジスタが動作することを防止するため上述した LDMOS トランジスタのソース電極およびバックゲート電極の電位を制御する。このようなソース電位制御回路およびバックゲート電位制御回路といった複雑な制御回路は、半導体装置の製造コストが増大する要因となっていた。

【0005】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、コストの増大を抑制することが可能な半導体装置を提供することである。 40

【課題を解決するための手段】

【0006】

本開示に従った半導体装置は、充電対象素子に充電電流を供給する半導体装置であって、第 1 導電型の半導体層と、第 2 導電型の第 1 半導体領域と、第 1 導電型の第 2 半導体領域と、第 2 導電型の第 3 半導体領域と、ソース電極と、ドレイン電極と、バックゲート電極と、ゲート電極とを備える。第 1 半導体領域は、充電対象素子の第 1 電極に電氣的に接続される。第 1 半導体領域は、半導体層 1 の主表面に形成される。第 2 半導体領域は、半導体層の主表面において第 1 半導体領域と隣接した位置に形成される。第 3 半導体領域は、電源電圧が供給され、第 2 半導体領域の表面に形成される。ソース電極は、第 3 半導体領域に接続されるとともに電源電圧が供給される。ドレイン電極は、第 1 半導体領域に接 50

続されるとともに第1電極に電氣的に接続される。バックゲート電極は、第2半導体領域において第3半導体領域と離間した領域に接続されるとともに、接地されている。ゲート電極は、第2半導体領域において第3半導体領域と第1半導体領域との間に位置するチャネル領域に、ゲート絶縁膜を介して対向するように配置される。ソース電極とバックゲート電極との間の耐圧が電源電圧より大きい。

【発明の効果】

【0007】

上記によれば、従来のようなソース電極およびバックゲート電極の電位を制御するための回路が不要となるので、半導体装置の構造を簡略化できるため当該半導体装置のコストの増大を抑制できる。

10

【図面の簡単な説明】

【0008】

【図1】実施の形態1に係る半導体装置におけるブートストラップ充電システムの回路図である。

【図2】図1に示した半導体装置の部分断面模式図である。

【図3】参考例の半導体装置におけるブートストラップ充電システムの回路図である。

【図4】図3に示した参考例の半導体装置の部分断面模式図である。

【図5】実施の形態2に係る半導体装置におけるブートストラップ充電システムの回路図である。

【図6】図5に示した半導体装置の部分断面模式図である。

20

【図7】実施の形態3に係る半導体装置の部分平面模式図である。

【図8】図7の線分V I I I - V I I Iにおける断面模式図である。

【図9】図7の線分I X - I Xにおける断面模式図である。

【図10】実施の形態4に係る半導体装置の部分平面模式図である。

【図11】図10の線分X I - X Iにおける断面模式図である。

【図12】図10の線分X I I - X I Iにおける断面模式図である。

【図13】実施の形態5に係る半導体装置における電位検出回路の回路図である。

【図14】図13に示した回路を実装した半導体装置の部分平面模式図である。

【図15】図14の線分X V - X Vにおける断面模式図である。

【図16】図14の線分X V I - X V Iにおける断面模式図である。

30

【図17】図14の線分X V I I - X V I Iにおける断面模式図である。

【図18】図14の線分X V I I I - X V I I Iにおける断面模式図である。

【図19】実施の形態6に係る半導体装置の部分平面模式図である。

【図20】図19の線分X X - X Xにおける断面模式図である。

【図21】図19の線分X X I - X X Iにおける断面模式図である。

【図22】図19の線分X X I I - X X I Iにおける断面模式図である。

【図23】実施の形態7に係る半導体装置における電位検出回路の回路図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態を説明する。なお、同一の構成には同一の参照番号を付し、その説明は繰り返さない。

40

【0010】

実施の形態1 .

<半導体装置の構成>

図1は、実施の形態1に係る半導体装置におけるブートストラップ充電システムの回路図である。図2は、図1に示した半導体装置の部分断面模式図である。図2では、半導体装置において高耐圧のNチャンネルMOSトランジスタ30(NchMOSとも記載する)が形成された領域と高電位側回路領域との断面構造が示されている。

【0011】

図1および図2に示した半導体装置は、高耐圧制御IC25とブートストラップ容量3

50

9とを主に含む半導体装置であって、トランジスタ36およびトランジスタ35を制御する。高耐圧制御IC25は、高耐圧NchMOSトランジスタであるトランジスタ30と、高電位側回路26と低電位側回路27とを主に含む。高電位側回路26はPチャネルMOSトランジスタであるトランジスタ31とNチャネルMOSトランジスタであるトランジスタ32とを含む。低電位側回路27はPチャネルMOSトランジスタであるトランジスタ33とNチャネルMOSトランジスタであるトランジスタ34とを含む。

【0012】

高耐圧制御IC25は第1ノード71～第7ノード77を有する。第1ノード71(ノードVB)にはブートストラップ容量39の第1電極が接続されている。第1ノード71にはトランジスタ31のソースが接続されている。トランジスタ31のドレインはトランジスタ32のドレインおよび第2ノード72に接続されている。トランジスタ32のソースは第3ノード73(ノードVS)に接続されている。ブートストラップ容量39の第2電極は第8ノード78を介して第3ノード73に接続されている。高圧側のパワー半導体素子であるトランジスタ36のゲート電極は第2ノード72に接続されている。トランジスタ36のドレインが高電圧電源ノード70に接続される。トランジスタ36のソースは第8ノード78に接続される。

10

【0013】

低電位側回路27のトランジスタ33のソースは第7ノード77(ノードVCC)に接続される。トランジスタ33のドレインはトランジスタ34のドレインおよび第4ノード74に接続される。トランジスタ34のソースは第5ノード75(ノードCOM)および第6ノード76(ノードCOM)に接続される。低圧側のパワー半導体素子であるトランジスタ35のゲート電極は第4ノード74に接続される。トランジスタ35のドレインは第8ノード78に接続される。トランジスタ35のソースは第9ノード79を介して第5ノード75に接続される。第9ノード79は接地される。

20

【0014】

電源38の正極は第7ノード77に接続される。電源38の負極は第6ノード76に接続される。トランジスタ30のゲート電極にゲート駆動回路37が接続されている。ゲート駆動回路37は第6ノード76および第7ノード77に接続されている。トランジスタ30のソースは第7ノード77に接続されている。トランジスタ30のドレインはトランジスタ31のソースおよび第1ノード71に接続されている。トランジスタ30のバックゲート電極は第5ノード75を介して接地されている。

30

【0015】

図2には、図1に示した半導体装置のトランジスタ30および高電位側回路26の断面模式図を示している。図2に示すように、半導体装置はたとえば第1導電型としてのP型の半導体基板である半導体層1に形成されている。半導体層1の主表面には導電型がN型であるN型拡散領域2および導電型がP型であるP型拡散領域3aが隣接して形成されている。N型拡散領域2はトランジスタ30のドリフト層として電気伝導と耐圧保持とに寄与する。P型拡散領域3aの主面にはP+型拡散領域4aとN型拡散層21とが形成されている。P+型拡散領域4aとN型拡散層21とは互いに間隔を隔てて形成されている。N型拡散層21の表面の一部にはN+型拡散領域5aが形成されている。N型拡散層21およびN+型拡散領域5aがトランジスタ30のソース領域として機能する。P+型拡散領域4aを挟むように、半導体層1の主表面にはLOCOS酸化膜などからなる分離絶縁膜14f、14aが形成されている。分離絶縁膜14aはP+型拡散領域4aとN型拡散領域5aとの間に配置されている。N+型拡散領域5aを挟むように、分離絶縁膜14aと分離絶縁膜14bとが形成されている。分離絶縁膜14bはN型拡散層21におけるN型拡散領域2側の端部から離れた位置に配置されている。

40

【0016】

分離絶縁膜14bから見てN+拡散領域5aと反対側の領域では、N型拡散層21とP型拡散領域3aとN型拡散領域2との表面にトランジスタ30のゲート絶縁膜としての絶縁膜15が形成されている。絶縁膜15から見て分離絶縁膜14bと反対側であってN型

50

拡散領域 2 の表面に分離絶縁膜 1 4 c が形成されている。この絶縁膜 1 5 上にトランジスタ 3 0 のゲート電極 9 a が形成されている。ゲート電極 9 a は絶縁膜 1 5 上から分離絶縁膜 1 4 b および分離絶縁膜 1 4 c の表面上にまで延在している。P + 型拡散領域 4 a にトランジスタ 3 0 のバックゲート電極 1 0 a が接続されている。N + 型拡散領域 5 a にトランジスタ 3 0 のソース電極 1 0 b が接続されている。ソース電極 1 0 b は電源 3 8 の正極と接続されている。バックゲート電極 1 0 a は接地されている。

【 0 0 1 7 】

N 型拡散領域 2 の表面において、分離絶縁膜 1 4 c から見てゲート電極 9 a と反対側に N + 型拡散領域 5 b が形成されている。N + 型拡散領域 5 b は分離絶縁膜 1 4 c から間隔を隔てて形成されている。N + 型拡散領域 5 b の端部上から分離絶縁膜 1 4 c まで、N 型拡散領域 2 の表面上に絶縁膜 1 5 が形成されている。絶縁膜 1 5 上から分離絶縁膜 1 4 c 上にまで延在するようにポリシリコン電極 9 b が形成されている。ポリシリコン電極 9 b はフィールドプレートとして機能する。

10

【 0 0 1 8 】

N + 型拡散領域 5 b にはトランジスタ 3 0 のドレイン電極 1 0 c が接続されている。ドレイン電極 1 0 c は第 1 ノード 7 1 およびブートストラップ容量 3 9 の第 1 電極に接続されている。

【 0 0 1 9 】

高電位側回路 2 6 では、N 型拡散領域 2 の表面に P 型拡散領域 3 b が形成されている。トランジスタ 3 1 が N 型拡散領域 2 の表面に形成されている。トランジスタ 3 2 が P 型拡散領域 3 b の表面に形成されている。具体的には、N 型拡散領域 2 の表面において P + 型拡散領域 4 b、4 c が形成されている。P + 型拡散領域 4 b は N + 型拡散領域 5 b と分離絶縁膜 1 4 d を挟んで対向する位置に配置されている。P + 型拡散領域 4 b はトランジスタ 3 1 のソース領域である。P + 型拡散領域 4 c は、P + 型拡散領域 4 b と間隔を隔てて配置されている。P + 型拡散領域 4 c はトランジスタ 3 1 のドレイン領域である。P + 型拡散領域 4 b と P + 型拡散領域 4 c との間の領域はトランジスタ 3 1 のチャンネル領域となる部分である。P + 型拡散領域 4 b 上から P + 型拡散領域 4 c 上にまで延在するように、N 型拡散領域 2 の表面上に絶縁膜 1 5 が形成されている。P + 型拡散領域 4 b と P + 型拡散領域 4 c との間に位置する絶縁膜 1 5 はトランジスタ 3 1 のゲート絶縁膜として機能する。絶縁膜 1 5 上にトランジスタ 3 1 のゲート電極 9 c が形成されている。

20

30

【 0 0 2 0 】

P 型拡散領域 3 b の表面において N + 型拡散領域 5 c、5 d が形成されている。N + 型拡散領域 5 c は P + 型拡散領域 4 c と分離絶縁膜 1 4 e を挟んで対向する位置に配置されている。N + 型拡散領域 5 c はトランジスタ 3 2 のドレイン領域である。N + 型拡散領域 5 d は、N + 型拡散領域 5 c と間隔を隔てて配置されている。N + 型拡散領域 5 d はトランジスタ 3 2 のソース領域である。N + 型拡散領域 5 c と N + 型拡散領域 5 d との間の領域はトランジスタ 3 2 のチャンネル領域となる部分である。N + 型拡散領域 5 c 上から N + 型拡散領域 5 d 上にまで延在するように、P 型拡散領域 3 b の表面上に絶縁膜 1 5 が形成されている。N + 型拡散領域 5 c と N + 型拡散領域 5 d との間に位置する絶縁膜 1 5 はトランジスタ 3 2 のゲート絶縁膜として機能する。絶縁膜 1 5 上にトランジスタ 3 2 のゲート電極 9 d が形成されている。P 型拡散領域 3 b の表面において、N + 型拡散領域 5 d に隣接するように P + 型拡散領域 4 d が形成されている。

40

【 0 0 2 1 】

トランジスタ 3 0 のドレイン電極 1 0 c はトランジスタ 3 1 の P + 型拡散領域 4 b と電氣的に接続されている。トランジスタ 3 1 のドレイン領域である P + 型拡散領域 4 c は電極 1 0 d によりトランジスタ 3 1 の N + 型拡散領域 5 c と接続されている。N + 型拡散領域 5 d および P + 型拡散領域 4 d の両方に接続されるように、電極 1 0 e が形成されている。電極 1 0 e は第 3 ノード 7 3 およびブートストラップ容量 3 9 の第 2 電極と電氣的に接続されている。

【 0 0 2 2 】

50

ゲート電極 9 a、9 c、9 d 上を覆うように層間絶縁膜 11 が形成されている。バックゲート電極 10 a、ソース電極 10 b、ドレイン電極 10 c、電極 10 d、10 e の一部は層間絶縁膜 11 の上部表面上に伸びている。層間絶縁膜 11 上にパッシベーション膜 12 が形成されている。

#### 【0023】

上述した半導体装置では、N型拡散層 21 がトランジスタ 30 のソース領域の一部を構成するとともに、バックゲート層である P+型拡散領域 4 a に対する電源電圧以上の耐圧を維持する。なお、当該耐圧は N型拡散層 21 における不純物濃度や N型拡散層 21 のサイズなどを変更することにより任意に調整できる。

#### 【0024】

上述したバックゲート電極 10 a、ソース電極 10 b、ドレイン電極 10 c、電極 10 d、10 e を構成する材料はたとえばアルミニウム (Al) である。これらの電極を構成する材料として他の任意の金属などの導電体を用いることができる。また、ゲート電極 9 a、9 c、9 d を構成する材料としてたとえばシリコンが用いられる。

#### 【0025】

なお、N型拡散領域 2 は高電位側回路 26 を半導体層 1 から電気的に分離するウエルとしても機能しているが、高電位側回路 26 を半導体層 1 から電気的に分離するための構成は他の構成を用いてもよい。たとえば、高電位側回路 26 の直下に埋込拡散層を導入することにより、高電位側回路 26 を半導体層 1 から電気的に分離してもよい。また P型拡散領域 3 a、3 b はトランジスタ 30、32 のバックゲートとして用いることも可能である。トランジスタ 30 のドレイン領域は、図 2 に示すように高電位側回路 26 を形成する N型拡散領域 2 と連続して形成されることが好ましい。この場合、半導体装置のチップ面積を縮小できる。半導体装置の耐圧に影響がなければ、埋込拡散層を導入し、当該埋込拡散層を介して高電位側回路 26 が形成される領域の N型拡散領域 2 とトランジスタ 30 のドレイン領域とを電気的に接続してもよい。

#### 【0026】

##### <半導体装置の作用効果>

本開示に従った半導体装置は、充電対象素子としてのブートストラップ容量 39 に充電電流を供給する半導体装置であって、たとえば P型基板である第 1 導電型 (P型) の半導体層 1 と、第 2 導電型 (N型) の第 1 半導体領域としての N+型拡散領域 5 b および N型拡散領域 2 と、第 1 導電型の第 2 半導体領域としての P+型拡散領域 4 a および P型拡散領域 3 a と、第 2 導電型の第 3 半導体領域としての N+型拡散領域 5 a と、ソース電極 10 b と、ドレイン電極 10 c と、バックゲート電極 10 a と、ゲート電極 9 a とを備える。第 1 半導体領域 (N+型拡散領域 5 b および N型拡散領域 2) は、ブートストラップ容量 39 の第 1 電極に電気的に接続される。第 1 半導体領域 (N+型拡散領域 5 b および N型拡散領域 2) は、半導体層 1 の主表面に形成される。第 2 半導体領域 (P+型拡散領域 4 a および P型拡散領域 3 a) は、半導体層 1 の主表面において第 1 半導体領域 (N型拡散領域 2) と隣接した位置に形成される。第 3 半導体領域としての N+型拡散領域 5 a には、電源電圧 (Vcc) が供給される。N+型拡散領域 5 a は第 2 半導体領域 (P+型拡散領域 4 a および P型拡散領域 3 a) の表面に形成される。ソース電極 10 b は、第 3 半導体領域 (N+型拡散領域 5 a) に接続されるとともに電源電圧が供給される。ドレイン電極 10 c は、第 1 半導体領域 (N+型拡散領域 5 b および N型拡散領域 2) に接続されるとともにブートストラップ容量 39 の第 1 電極に電気的に接続される。バックゲート電極 10 a は、第 2 半導体領域 (P+型拡散領域 4 a および P型拡散領域 3 a) において第 3 半導体領域としての N+型拡散領域 5 a と離間した領域に接続されるとともに、接地されている。ゲート電極 9 a は、第 2 半導体領域 (P+型拡散領域 4 a および P型拡散領域 3 a) において第 3 半導体領域としての N+型拡散領域 5 a と第 1 半導体領域 (N+型拡散領域 5 b および N型拡散領域 2) との間に位置するチャンネル領域に、ゲート絶縁膜としての絶縁膜 15 を介して対向するように配置される。ソース電極 10 b とバックゲート電極 10 a との間の耐圧が電源電圧より大きい。

10

20

30

40

50

## 【 0 0 2 7 】

このようにすれば、ソース電極 1 0 b に、電源電圧 ( V c c ) より高い電圧を印加できるとともに、バックゲート電極 1 0 a を接地電位に固定しているため、従来のようなソース電極およびバックゲート電極の電位を制御するための追加の回路を配置することなく、ブートストラップ容量 3 9 への充電動作を行うことができる。つまり、ソース電極 1 0 b およびバックゲート電極 1 0 a の電位をそれぞれ固定し、ゲート電極 9 a の電圧のみを制御することでブートストラップ容量 3 9 への充電動作を実施できる。この結果、ブートストラップ容量 3 9 の充電に必要な回路の構成を簡略化できるので、半導体装置の製造コストを低減できる。

## 【 0 0 2 8 】

上記半導体装置は、第 2 導電型の第 4 半導体領域としての N 型拡散層 2 1 を備える。第 4 半導体領域 ( N 型拡散層 2 1 ) は、第 2 半導体領域 ( P + 型拡散領域 4 a および P 型拡散領域 3 a ) において、第 3 半導体領域 ( N + 型拡散領域 5 a ) の周囲を囲むとともに第 2 半導体領域 ( P + 型拡散領域 4 a および P 型拡散領域 3 a ) から第 3 半導体領域 ( N + 型拡散領域 5 a ) を隔離する。N 型拡散層 2 1 は、N + 型拡散領域 5 a の周囲から、第 2 半導体領域 ( P + 型拡散領域 4 a および P 型拡散領域 3 a ) において第 1 半導体領域 ( N + 型拡散領域 5 b および N 型拡散領域 2 ) と対向するとともに第 1 半導体領域 ( N + 型拡散領域 5 b および N 型拡散領域 2 ) から離間した領域にまで延在する。チャンネル領域は、第 2 半導体領域 ( P + 型拡散領域 4 a および P 型拡散領域 3 a ) において N 型拡散層 2 1 と第 1 半導体領域 ( N + 型拡散領域 5 b および N 型拡散領域 2 ) との間に位置する領域である。

## 【 0 0 2 9 】

この場合、N 型拡散層 2 1 が形成されることで、ソース電極 1 0 b とバックゲート電極 1 0 a との間の耐圧が電源電圧より大きくされている。このような構成により、上述のようなブートストラップ容量 3 9 への充電動作が可能な半導体装置を実現できる。

## 【 0 0 3 0 】

上記半導体装置は、耐圧が 3 0 0 V 以上であってもよい。なお、ここで耐圧とはドレイン電極 1 0 c とソース電極 1 0 b との間に印加可能な最大電圧を意味する。

## 【 0 0 3 1 】

この場合、電動機などの電源といった高電圧電源を制御するパワー半導体のゲート駆動を行う高耐圧半導体として本開示に係る半導体装置を利用できる。

## 【 0 0 3 2 】

上述した本実施の形態に係る半導体装置の作用効果を、参考例としての半導体装置と比較しながらより詳しく説明する。図 3 は、参考例の半導体装置におけるブートストラップ充電システムの回路図である。図 4 は、図 3 に示した参考例の半導体装置の部分断面模式図である。

## 【 0 0 3 3 】

図 3 に示した参考例の半導体装置は、基本的には図 1 に示した本実施形態に係る半導体装置と同様の回路構成を備えるが、高耐圧 MOS トランジスタであるトランジスタ 3 0 のソース電極にソース電位制御回路 1 4 0 が接続されている。また、トランジスタ 3 0 のバックゲート電極にバックゲート電位制御回路 1 3 9 が接続されている。また、図 3 に示した半導体装置のトランジスタ 3 0 および高電位側回路 2 6 の断面模式図を図 4 に示す。図 4 に示した参考例の半導体装置は、基本的には図 2 に示した本実施形態に係る半導体装置と同様の構成を備えるが、トランジスタ 3 0 の構成が図 2 に示した半導体装置とは異なっている。具体的には、図 4 に示した半導体装置では、P 型拡散領域 6 が N 型拡散領域 2 に内包されている。P 型拡散領域 6 の表面には間隔を隔てて P + 型拡散領域 4 a と N + 型拡散領域 5 a とが形成されている。また、半導体層 1 の主表面には、P 型拡散領域 6 と分離絶縁膜 1 4 a を介して離れた位置に P + 型拡散領域 4 e が形成されている。P + 型拡散領域 4 a にはバックゲート電極 1 0 a が接続されている。N + 型拡散領域 5 a にはソース電極 1 0 b が接続されている。P + 型拡散領域 4 e には電極 1 0 f が接続されている。バツ

10

20

30

40

50

クゲート電極 10 a には上述のようにバックゲート電位制御回路 139 が接続されている。ソース電極 10 b にはソース電位制御回路 140 が接続されている。電極 10 f は接地されている。

#### 【0034】

上述した参考例の半導体装置では、トランジスタ 30 の偶発的な動作を防止して寄生バイポーラ素子の動作を抑制するため、上記のようなバックゲート電位制御回路 139 およびソース電位制御回路 140 が設けられている。このため、参考例の半導体装置はその回路構成が複雑であり、製造コストの増大を招いていた。

#### 【0035】

一方、本実施の形態に係る半導体装置では、ソース領域である N + 型拡散領域 5 a に、電源電圧 (Vcc) に対して十分高い電圧を印加できるように N 型拡散層 21 を形成している。さらに、バックゲート電極 10 a を接地電位に固定している。そのため、参考例のようなバックゲート電位制御回路 139 およびソース電位制御回路 140 を設けることなく、簡略な回路構成により、寄生バイポーラ素子が動作するといった問題の発生を抑制できる。

#### 【0036】

また、トランジスタ 30 がブートストラップ容量 39 へ充電する場合、高電位側回路 26 の出力が LOW、スイッチ素子であるトランジスタ 36 がオフ状態、且つ低電位側回路 27 の出力が HIGH、スイッチ素子であるトランジスタ 35 がオン状態、であるときに高電位側回路 26 が低電位に遷移している。この状態で高耐圧 NchMOS トランジスタであるトランジスタ 30 によるブートストラップ容量 39 の充電動作が可能になる。この充電可能期間は、充電システム上の高電位側回路 26 および低電位側回路 27 のそれぞれへの出力コマンドで決定される。したがって、システム上で充電可能期間を論理的に判別することができる。トランジスタ 30 のゲート駆動回路 37 に上述した論理情報を送ることにより、最適なタイミングでトランジスタ 30 のゲート制御を行い、ブートストラップ容量 39 の充電動作を行うことができる。

#### 【0037】

また、本実施形態に係る半導体装置によれば、トランジスタ 30 のバックゲート電極 10 a が接地電位に固定されることから、図 2 に示すようにバックゲートを構成する P 型拡散領域 3 a は、トランジスタ 30 のドレイン層を構成する N 型拡散領域 2 に内包せず、半導体層 1 と接するように形成できる。これは参考例に係る半導体装置で問題となるバックゲート・ドレイン・半導体層 1 から成る寄生 PNP トランジスタを排除することを意味する。

#### 【0038】

加えて、ソース・バックゲート・ドレインからなる寄生 NPN トランジスタに関しては、本実施の形態に係る半導体装置ではソース バックゲート間が常に電源電圧 (Vcc) で逆バイアスされている。そのため、トランジスタ 30 のソースを NPN トランジスタのエミッタとした状態 (即ちトランジスタ 30 のドレイン側が高電位状態となりコレクタとしてふるまう状態) での寄生動作を十分に抑制できる。この結果、当該寄生動作により半導体装置が破壊するといったリスクを低減できる。なお、逆方向の動作、即ちトランジスタ 30 のドレインが NPN トランジスタのエミッタとなる状態での寄生動作は、ブートストラップ容量 39 への充電動作に該当することから問題ない。またトランジスタ 30 のドレイン電極の電位が少なくとも電源電圧 (Vcc) 以上になると、当該充電動作は自動的に終了する。

#### 【0039】

このように、本実施の形態に係る半導体装置では、システムの構成を簡略にすると同時に、寄生バイポーラトランジスタ構造の排除と寄生動作の抑制を実現できる。この結果、半導体装置の低コスト化とおよび信頼性の向上 (堅牢性の向上) を図ることができる。

#### 【0040】

実施の形態 2 .

10

20

30

40

50

< 半導体装置の構成 >

図 5 は、実施の形態 2 に係る半導体装置におけるブートストラップ充電システムの回路図である。図 6 は、図 5 に示した半導体装置の部分断面模式図である。図 6 は半導体装置のトランジスタ 30 の部分断面模式図を示している。

【 0 0 4 1 】

図 5 および図 6 に示した半導体装置は、基本的には図 1 および図 2 に示した半導体装置と同様の構成を備えるが、トランジスタ 30 のソースに制限抵抗 41 が接続されている点が図 1 および図 2 に示した半導体装置と異なっている。

【 0 0 4 2 】

図 5 から分かるように、トランジスタ 30 のソースは制限抵抗 41 を介して第 7 ノード 77 と接続されている。制限抵抗 41 の構成としては、任意の構成を採用できる。たとえば、図 6 に示すように、N+型拡散領域 5a とゲート電極 9a 下のチャンネル領域との間の距離 L1 が相対的に長くなるように、N型拡散層 21 の平面形状を変更する。この結果、ソース電極 10b が接続された N+型拡散領域 5a とゲート電極 9a 下のチャンネル領域との間に位置する N型拡散層 21 が制限抵抗としての機能する。なお、制限抵抗の抵抗値は N型拡散層 21 の不純物濃度および N型拡散層 21 の形状を変更することで調整できる。このような制限抵抗は、半導体装置において寄生 NPN トランジスタが動作した場合にトランジスタ 30 のソースからドレインに突電流が流れるときに、ブートストラップ容量 39 または半導体装置を構成する素子の破損を抑制する効果を奏する。

【 0 0 4 3 】

< 半導体装置の作用効果 >

本実施形態に係る半導体装置は、制限抵抗 41 をさらに備えてもよい。制限抵抗 41 は、電源電圧 (Vcc) の供給源である電源 38 からチャンネル領域までの電流経路上に配置される。

【 0 0 4 4 】

この場合、制限抵抗 41 を備えることにより、半導体装置において寄生 NPN トランジスタが動作したときにソース電極 10b 側からドレイン電極 10c 側へ突電流が発生しても、当該突電流によりブートストラップ容量 39 などが破損する可能性を低減できる。

【 0 0 4 5 】

上記半導体装置において、制限抵抗 41 は、第 3 半導体領域としての N+型拡散領域 5a とチャンネル領域との間に位置する第 4 半導体領域としての N型拡散層 21 の部分であってもよい。この場合、N型拡散層 21 の形状や不純物濃度などを調整することで、制限抵抗 41 を容易に実現できる。

【 0 0 4 6 】

ここで、本実施形態に係る半導体装置が適用されるパワー段の駆動回路では、電動機など大きなインダクタンスを有する負荷に大電流を供給する。そのため、スイッチ素子の中間接続点である第 3 ノード 73 (VS) の電位はインダクタンスのサージによる影響で負電位になることがある。この場合、第 3 ノード 73 の電圧値が(第 1 ノード 71 の電位 (VB) - 第 3 ノードの電位 (VS)) 以下のマイナス電圧値になると、第 1 ノード 71 の電位も負電圧にバイアスされる。この結果、トランジスタ 30 のドレインが負電位となり、寄生 NPN トランジスタの動作が誘発され得る。

【 0 0 4 7 】

具体的にはトランジスタ 30 のドレインがエミッタとなり、半導体層 1 およびトランジスタ 30 のバックゲートがドレインに対し順バイアスされドレイン(エミッタ)にホールを注入することからベースとして作用する。そしてソースが寄生 NPN トランジスタのコレクタとしてエミッタ(ドレイン)へ電子を注入する。基本的にバイポーラトランジスタの動作は低インピーダンスとなることから、トランジスタ 30 のソースからドレインに突電流が発生し、ブートストラップ容量 39 などの半導体装置を構成する素子を破壊する可能性がある。しかし、図 5 および図 6 に示すように N型拡散層 21 を構成することで、トランジスタ 30 のソースに適度な電気抵抗を付与することができる。この結果、寄生 NPN ト

10

20

30

40

50

ランジスタが動作した時の制限抵抗の役割をN型拡散層21に発揮させることができる。

【0048】

実施の形態3.

<半導体装置の構成>

図7は、実施の形態3に係る半導体装置の部分平面模式図である。図8は、図7の線分V I I I - V I I Iにおける断面模式図である。図9は、図7の線分I X - I Xにおける断面模式図である。図7～図9に示した半導体装置は、基本的には図1および図2に示した半導体装置と同様の構成を備えるが、トランジスタ30のゲートの構成およびバックゲートに対するソースの耐圧を維持する構造が異なっている。

【0049】

すなわち、図7～図9に示した半導体装置では、トランジスタ30がトレンチゲート構造を備えている。具体的には、トランジスタ30のソース領域となるN+型拡散領域5aを囲むように溝51が形成されている。P型拡散領域3aは、溝51の外部に位置する第1領域3aaと、溝51の内部に位置する第2領域3abとを含む。溝51の内部において、N+型拡散領域5aの下に接するように第2領域3abは配置されている。第1領域3aaは、P+型拡散領域4aの下に接するように配置されている。P型拡散領域6は、第1領域3aa下から溝51の内部の第2領域3abの一部の下にまで伸びている。また、N型拡散領域2は溝51の一部51aの下側を介して溝51の内部にまで延在している。溝51の他の一部51b下側を介して溝51の内部にまで伸びるP型拡散領域6は、溝51の内部でN型拡散領域2と接している。P型拡散領域6は、P型拡散領域3aの第2領域3abを接地電位に固定するため、溝51の内側で第2領域3abと接している。N型拡散領域2は溝51の内部でP型拡散領域3aの第2領域3abと接している。溝51の内壁上にはゲート絶縁膜となるべき絶縁膜15が形成されている。絶縁膜15上には、ゲート電極9aが形成されている。第2領域3abにおいて溝51の一部51aに面する領域がトランジスタ30のチャンネル領域となる。ゲート電極9aは溝51の内部を充填するように形成されている。溝51は、半導体層1の主表面からP型拡散領域6またはN型拡散領域2中であって第2領域3abの下面より下側まで伸びている。

【0050】

また、分離絶縁膜14cにおいて溝51側の領域上および当該溝51側と反対側の領域には導電体膜からなるフィールドプレート20が配置されている。

【0051】

<半導体装置の作用効果>

本実施形態に係る半導体装置において、半導体層1の主表面には溝51が形成される。溝51の一部51aは、チャンネル領域と第1半導体領域(N+型拡散領域5bおよびN型拡散領域2)とを区画する。溝の一部51aにおいて、チャンネル領域に面する内壁面上にゲート絶縁膜となるべき絶縁膜15が形成されている。ゲート電極9aは溝51の内部に形成される。溝51は、半導体層1の主表面から第2半導体領域(P+型拡散領域4aおよびP型拡散領域3a)の底部より下にまで到達する。溝51の他の一部51bは、バックゲート電極10aとソース電極10bとの間の領域に形成される。第2半導体領域(P型拡散領域3a)は、第1領域3aaと第2領域3abとを含む。第1領域3aaは、溝51の他の一部51bよりバックゲート電極10a側に位置する。第2領域3abは、溝51の他の一部51bよりソース電極10b側に位置しチャンネル領域を含む。第1半導体領域(N型拡散領域2)は、溝51の一部51aの下側に位置する領域を介してチャンネル領域に接するように延在する。半導体装置は、第1導電型(P型)の延在領域(P型拡散領域6)をさらに備える。延在領域としてのP型拡散領域6は、半導体層1において、第1領域3aaと第2領域3abとに接触するように形成される。P型拡散領域6は、溝51の他の一部51bの下側に位置する領域を介して、第1領域3aa下から第2領域3ab下にまで延在している。

【0052】

この場合、溝51を利用したいわゆるトレンチゲート構造とすることで、ソース電極1

10

20

30

40

50

0 bとバックゲート電極10 aとの間の耐圧を向上させ、ソース電極10 bとバックゲート電極10 aとの間の耐圧を電源電圧(Vcc)より大きくできる。

【0053】

上記半導体装置において、溝51は、半導体層1の主表面において、第3半導体領域(N+型拡散領域5a)を囲むように形成されていてもよい。この場合、ソース電極10bが接続されるN+型拡散領域5aを周囲の領域から分離できるので、高耐圧NchMOSトランジスタ30が形成された領域に、ブートストラップ回路とは別の機能を有する素子を配置することができる。

【0054】

ここで、実施の形態1に示した半導体装置の構造では、ソース領域のバックゲートに対する耐圧を向上させるためにN型拡散層21を形成していた。この場合、N型拡散層21の端部における湾曲部での電界集中による耐圧低下を防止するため、一般に深い拡散層を導入したり、バックゲートと電氣的に接続されたP型拡散領域3aを低濃度にするなどの対策が必要である。これらの対応は、適切に構造設計がなされないと寄生PNPトランジスタの電流利得を増加させ、結果的に半導体装置の信頼性を低下させる可能性がある。

【0055】

そこで、本実施形態では、ソースとバックゲートとの間の耐圧を向上させるために、ソース領域となるN+型拡散領域5aをトレンチゲート構造の溝51の内側に形成した。この結果、図2に示したN型拡散層21の端部の存在を無くし、電界集中による耐圧低下の可能性を低下させることができる。また、図8に示すように、ソースとバックゲートとの間の接合は、溝51の内側におけるN+型拡散領域5aの下部とP型拡散領域の第2領域3abの上部との1次元接合が主たる接合部となる。さらに、溝51の内部のゲート電極9aがフィールドプレートとして空乏層を伸ばし、電界を緩和する効果がある。したがって、溝51に接する領域では耐圧が向上する。このためソースとバックゲートとの間の耐圧は図2に示したN型拡散層21の端部等の境界部で決定されることがなくなる。この結果、半導体装置において耐圧を向上させるとともに、安定した耐圧を得ることができる。

【0056】

実施の形態4 .

<半導体装置の構成>

図10は、実施の形態4に係る半導体装置の部分平面模式図である。図11は、図10の線分X I - X Iにおける断面模式図である。図12は、図10の線分X I I - X I Iにおける断面模式図である。図10～図12に示した半導体装置は、基本的には図7～図9に示した半導体装置と同様の構成を備えるが、P型拡散領域3aの構造が図7～図9に示した半導体装置と異なっている。すなわち、図10～図12に示した半導体装置では、溝51から見て分離絶縁膜14c側にまでP型拡散領域3aが部分的に伸びている。P型拡散領域3aは、P+型拡散領域4a下に位置する第1領域3aa、N+型拡散領域5a下であって溝51の内側に位置する第2領域3ab、溝51より分離絶縁膜14c側に位置する第3領域3ac、および第1領域3aaと第3領域3acとを繋ぐように、溝51の外周を回り込む第4領域3adを含む。図10に示すように、溝51はP型拡散領域3aとN型拡散領域2との境界部に沿って間隔を隔てて複数形成されている。複数の溝51の間に第4領域3adが配置されている。第3領域3acはN型拡散領域2と接している。第3領域3acは、溝51の表面から分離絶縁膜14cにまで伸びている。

【0057】

<半導体装置の作用効果>

本実施形態に係る半導体装置において、第2半導体領域(P+型拡散領域4aおよびP型拡散領域3a)は、第3領域3acと第4領域3adとをさらに含む。第3領域3acは、溝51の一部51aから見て第2領域3ab側と反対側に位置する。第4領域3adは、溝51の外側であって、第1領域3aaと第3領域3acとを接続する。

【0058】

この場合、第4領域3adによって第1領域3aaと第3領域3acとが接続されてい

10

20

30

40

50

るので、結果的に第3領域3acは接地電位となっている。このため、第3領域3acと隣接するN型拡散領域2の空乏化が促進される。この結果、半導体装置の耐圧の向上および安定性の向上を図ることができる。

【0059】

実施の形態5 .

<半導体装置の構成>

図13は、実施の形態5に係る半導体装置における電位検出回路の回路図である。図14は、図13に示した回路を実装した半導体装置の部分平面模式図である。図15は、図14の線分XV - XVにおける断面模式図である。図16は、図14の線分XVI - XVIにおける断面模式図である。図17は、図14の線分XVII - XVIIにおける断面模式図である。図18は、図14の線分XVIII - XVIIIにおける断面模式図である。

10

【0060】

図13～図18に示した半導体装置は、基本的には図1および図2に示した半導体装置と同様の構成を備えるが、ブートストラップ容量39の第1電極に接続される第1ノード71の電位を判定するための判定回路80を備える。判定回路80は、第1充電回路81と、第2充電回路82と、第1スイッチ素子83と、第2スイッチ素子84と、第3スイッチ素子85と、比較器62と、ゲート制御回路61とを主に含む。第1充電回路81は、第1容量81aと、第1充電回路ノード81bと、第1抵抗81cと、第1ダイオード81dと、を含む。第1容量81aは2つの電極を有する。第1容量81aの一方の電極は接地される。第1容量81aの他方の電極は第1充電回路ノード81bと電氣的に接続される。第1ダイオード81dは、第1容量81aと並列に接続される。

20

【0061】

第2充電回路82は、第2容量82aと、第2充電回路ノード82bと、第2抵抗82cと、第2ダイオード82dと、を含む。第2容量82aは2つの電極を有する。第2容量82aの一方の電極は接地される。第2容量82aの他方の電極は第2充電回路ノード82bと電氣的に接続される。第2ダイオード82dは、第2容量82aと並列に接続される。

【0062】

第1スイッチ素子83のソースは電源電圧(Vcc)の供給源である第7ノード77に接続される。第1スイッチ素子83のドレインは第1充電回路ノード81bと接続される。第1充電回路ノード81bは比較器62と接続される。

30

【0063】

第2スイッチ素子84のソースは電源電圧(Vcc)の供給源である第7ノード77に接続される。第2スイッチ素子84のドレインは第2充電回路ノード82bと接続される。第2充電回路ノード82bは比較器62と接続される。また、第2充電回路ノード82bは第3スイッチ素子85のソースと接続される。第3スイッチ素子85のドレインは第1ノード71に接続される。トランジスタ30のドレインが第1ノード71に接続される。トランジスタ30のソースが第7ノード77に接続される。トランジスタ30、第1スイッチ素子83、第2スイッチ素子84、および第3スイッチ素子85のそれぞれのゲート電極は、ゲート制御回路61に接続されている。比較器62の出力はゲート制御回路61に入力される。

40

【0064】

第1充電回路ノード81bには第1スイッチ素子83を介して電源電圧(Vcc)が供給される。第2充電回路ノード82bには第2スイッチ素子84を介して電源電圧(Vcc)が供給される。第1容量81aと第2容量82aとは同じ容量を有する。第2充電回路ノード82bは第3スイッチ素子85を介して第1ノード71と接続される。判定回路80は、第1充電回路ノード81bの電圧よりも第2充電回路ノード82bの電圧が高くなった場合に、第1ノード71の電圧が電源電圧(Vcc)より高くなったと判定する。

【0065】

50

図14は、図13に示した回路を実装した半導体装置の平面レイアウトを示している。図14では、トランジスタ30、第1スイッチ素子83、第2スイッチ素子84、および第3スイッチ素子85のゲート電極となる電極層と、ソース領域またはドレイン領域となるN+型拡散領域5a、5f、5gの平面形状を示している。上述したトランジスタ30などは、N型拡散領域2とP型拡散領域3aとの境界部に沿って配置されている。具体的には、当該境界部に沿って伸びるようにN+型拡散領域5aがP型拡散領域3aの表面に形成されている。N+型拡散領域5aと上記境界部に沿って間隔を隔てた位置において、N+型拡散領域5fがP型拡散領域3aの表面に形成されている。N+型拡散領域5fは、上記境界部から離れる方向に伸びている。N+型拡散領域5fと上記境界部に沿って間隔を隔てた位置において、N+型拡散領域5gがP型拡散領域3aの表面に形成されている。N+型拡散領域5gは、上記境界部から離れる方向に伸びている。つまり、N+型拡散領域5fとN+型拡散領域5gとはほぼ並行に伸びるように形成されている。N+型拡散領域5gと上記境界部に沿って間隔を隔てた位置において、N+型拡散領域5aがP型拡散領域3aの表面に形成されている。N+型拡散領域5aは、上記境界部に沿って伸びている。

10

#### 【0066】

N+型拡散領域5aに隣接する位置からP型拡散領域3aの表面上を通過してN型拡散領域2上まで、ゲート電極9gが形成されている。ゲート電極9gの下にはゲート絶縁膜となる絶縁膜15が配置されている。ゲート電極9gと上記境界部に沿って間隔を隔てて、第1電極層9eが形成されている。第1電極層9eの下にはゲート絶縁膜となるべき絶縁膜15が形成されている。第1電極層9eは、N+型拡散領域5aに隣接するとともに、N+型拡散領域5fの一部を覆うように配置されている。第1電極層9eは、P型拡散領域3a上から上記境界部を超えてN型拡散領域2上にまで延在している。

20

#### 【0067】

第1電極層9eと上記境界部に沿って間隔を隔てて、第2電極層9fが形成されている。第2電極層9fの下にはゲート絶縁膜となるべき絶縁膜15が形成されている。第2電極層9fは、他のN+型拡散領域5aに隣接するとともに、N+型拡散領域5gの一部を覆うように配置されている。第2電極層9fは、P型拡散領域3a上のみ形成されている。第2電極層9fは、上記境界部から距離を隔てた位置に配置されている。他のN+型拡散領域5aに隣接する位置からP型拡散領域3aの表面上を通過してN型拡散領域2上まで、ゲート電極9hが形成されている。ゲート電極9hの下にはゲート絶縁膜となる絶縁膜15が配置されている。

30

#### 【0068】

図14に示すように、N+型拡散領域5aとN型拡散領域2との間にトランジスタ30のゲート電極9gが配置される。また、N+型拡散領域5aとN型拡散領域2との間に位置する第1電極層9eの部分がトランジスタ30のゲート電極となる。また、N+型拡散領域5aとN+型拡散領域5fとの間に位置する第1電極層9eの部分が第2スイッチ素子84のゲート電極となる。N+型拡散領域5fとN型拡散領域2との間に位置する第1電極層9eの部分が第3スイッチ素子85のゲート電極となる。他のN+型拡散領域5aとN+型拡散領域5gとの間に位置する第2電極層9fの部分が第1スイッチ素子83のゲート電極となる。他のN+型拡散領域5aとN型拡散領域2との間にトランジスタ30のゲート電極9gが配置される。

40

#### 【0069】

<半導体装置の作用効果>

本実施形態に係る半導体装置は、判定回路80を備える。判定回路80は、ブートストラップ容量39の第1電極と第1半導体領域(N+型拡散領域5bおよびN型拡散領域2)との間の電流経路上の第1ノード71における電圧が電源電圧(Vcc)より大きい場合を判定する。判定回路80は、第1充電回路81と、第2充電回路82と、第1スイッチ素子83と、第2スイッチ素子84と、第3スイッチ素子85とを含む。第1充電回路81は、第1容量81aと第1充電回路ノード81bとを含む。第1容量81aは2つ

50

の電極を有する。第1容量81aの一方の電極は接地される。第1容量81aの他方の電極は第1充電回路ノード81bと電氣的に接続される。

【0070】

第2充電回路82は、第2容量82aと第2充電回路ノード82bとを含む。第2容量82aは2つの電極を有する。第2容量82aの一方の電極は接地される。第2容量82aの他方の電極は第2充電回路ノード82bと電氣的に接続される。第1充電回路ノード81bには第1スイッチ素子83を介して電源電圧(Vcc)が供給される。第2充電回路ノード82bには第2スイッチ素子84を介して電源電圧(Vcc)が供給される。第1容量81aと第2容量82aとは同じ容量を有する。第2充電回路ノード82bは第3スイッチ素子85を介して第1ノード71と接続される。第1充電回路81と第2充電回路82とは、それぞれ同じ電氣的特性を有することが好ましい。また、第1スイッチ素子83と第2スイッチ素子84とは、それぞれ同じ電氣的特性を有することが好ましい。判定回路80は、第1充電回路ノード81bの電圧よりも第2充電回路ノード82bの電圧が高くなった場合に、第1ノード71の電圧が電源電圧(Vcc)より高くなったと判定する。

10

【0071】

この場合、上述した判定回路80により第1ノード71の電圧が電源電圧より高くなったか否かを判定できるので、当該判定結果に基づきブートストラップ容量39への充電動作の実施/停止を切り替えることが可能になる。

【0072】

ここで、上述した各実施形態に係る半導体装置に含まれるブートストラップ充電システムにおいては、第1ノード71の電位(VB)が第3ノード73の電位(VS)あるいは電源電圧(Vcc)より大きくなっている期間は、ブートストラップ容量39の充電動作を確実に停止することが望ましい。このためには、第1ノード71の電位(VB)を低電位側で間接的にモニタ出来ることが望ましい。

20

【0073】

ここで、図13に示した判定回路80において、第1スイッチ素子83および第2スイッチ素子84として同一特性のスイッチ素子を用る。また第1抵抗81cおよび第2抵抗82cとして同じ抵抗値の抵抗を用る。第1容量81aおよび第2容量82aとして同じ容量値の素子を用いる。第1ダイオード81dおよび第2ダイオード82dとして同じ特性のダイオードを用いる。このようにして2つの充電回路を構成する。そして、それぞれの第1充電回路ノード81bおよび第2充電回路ノード82bの電圧がモニタできるように、これらのノードを比較器62に接続している。第2充電回路ノード82bには、図13に示すように、トランジスタ30と同様に高耐圧MOSトランジスタである第3スイッチ素子85のソースが接続される。第3スイッチ素子85のドレインは第1ノード71に接続される。一方、第1充電回路ノード81bでは、図17の断面図に示すように、高耐圧NchMOSトランジスタのゲート電極となる第2電極層9f下のP拡散領域3aの表面層がチャンネルを形成しないように、第2電極層9fと第1電極層9eとの間が間隙を有すように構成されている。第1スイッチ素子83および第2スイッチ素子84のソースには電源電圧(Vcc)が印加されており、これらの素子はゲート制御回路61によって駆動されている。

30

【0074】

第1スイッチ素子83および第2スイッチ素子84のゲートがON状態の場合、第1スイッチ素子83および第2スイッチ素子84を流れる電流は第1抵抗81cおよび第2抵抗82cを介して第1容量81aおよび第2容量82aへ充電される。この時、第2スイッチ素子84側は第3スイッチ素子85もON状態である。そのため、第1ノード71の電位(VB)が電源電圧(Vcc)より小さい場合、第2スイッチ素子84の電流の一部が第3スイッチ素子85を介して第1ノード71側へ流れる。この結果、第2抵抗82cに流れる電流は第1抵抗81cに流れる電流よりも少なくなり、第1充電回路ノード81bの電位(V1)が第2充電回路ノード82bの電位(V2)より大きくなる、という関

40

50

係が成立する。

【 0 0 7 5 】

第 1 ノード 7 1 の電位 ( V B ) が電源電圧 ( V c c ) より大きく、かつ第 2 充電回路ノード 8 2 b の電位 ( V 2 ) が電源電圧 ( V c c ) より小さい場合、第 2 スイッチ素子 8 4 および第 3 スイッチ素子 8 5 の両方からの電流が第 2 抵抗 8 2 c に流れる。この場合、第 1 充電回路ノード 8 1 b の電位 ( V 1 ) は第 2 充電回路ノード 8 2 b の電位 ( V 2 ) より小さい、と言う関係が成立する。第 1 充電回路ノード 8 1 b の電位 ( V 1 ) は電源電圧 ( V c c ) 以下であることから、第 2 充電回路ノード 8 2 b の電位 ( V 2 ) が上昇して電源電圧 ( V c c ) より大きくなったとしても、第 1 充電回路ノード 8 1 b の電位 ( V 1 ) が第 2 充電回路ノード 8 2 b の電位 ( V 2 ) より小さい、という関係は成立する。

10

【 0 0 7 6 】

第 1 充電回路ノード 8 1 b の電位 ( V 1 ) と第 2 充電回路ノード 8 2 b の電位 ( V 2 ) とを比較器 6 2 により比較することにより、第 1 ノード 7 1 の電位 ( V B ) が電源電圧 ( V c c ) 以上になったことを検出できる。この結果をゲート制御回路 6 1 へフィードバックすることにより、第 1 スイッチ素子 8 3、第 2 スイッチ素子 8 4 および第 3 スイッチ素子 8 5 のゲートを OFF とすることで、第 1 ノード 7 1 を介したブートストラップ容量 3 9 の充電動作を停止させることができる。この判定回路 8 0 において、更に検出精度を向上させるために、電源電圧 ( V c c ) を第 1 充電回路ノード 8 1 b の電位 ( V 1 ) および第 2 充電回路ノード 8 2 b の電位 ( V 2 ) のリファレンスとして比較器 6 2 に入力することも可能である。

20

【 0 0 7 7 】

実施の形態 6 .

< 半導体装置の構成 >

図 1 9 は、実施の形態 6 に係る半導体装置の部分平面模式図である。図 2 0 は、図 1 9 の線分 X X - X X における断面模式図である。図 2 1 は、図 1 9 の線分 X X I - X X I における断面模式図である。図 2 2 は、図 1 9 の線分 X X I I - X X I I における断面模式図である。

【 0 0 7 8 】

図 1 9 ~ 図 2 2 に示した半導体装置は、基本的には図 1 3 ~ 図 1 8 に示した半導体層と同様の構成を備えているが、各スイッチ素子などを構成する N + 型拡散領域 5 h , 5 i , 5 j、第 1 電極層 9 e および第 2 電極層 9 f の平面形状が図 1 3 ~ 図 1 8 に示した半導体装置と異なっている。

30

【 0 0 7 9 】

図 1 9 では、図 1 4 と同様に、トランジスタ 3 0、第 1 スイッチ素子 8 3、第 2 スイッチ素子 8 4、および第 3 スイッチ素子 8 5 のゲート電極となる電極層と、ソース領域またはドレイン領域となる N + 型拡散領域 5 a、5 h、5 i、5 j、5 k の平面形状を示している。具体的には、N 型拡散領域 2 と P 型拡散領域 3 a との境界部に沿って伸びるように N + 型拡散領域 5 a が P 型拡散領域 3 a の表面に形成されている。N + 型拡散領域 5 a と上記境界部に沿って間隔を隔てた位置において、N + 型拡散領域 5 h が P 型拡散領域 3 a の表面に形成されている。N + 型拡散領域 5 h は、上記境界部に沿って伸びる第 1 部分 5 h a と、第 1 部分 5 h a に連なり境界部から離れる方向に伸びる第 2 部分 5 h b とを含む。第 1 部分 5 h a から見て境界部と反対側の領域に、N + 型拡散領域 5 j が形成されている。

40

【 0 0 8 0 】

N + 型拡散領域 5 h と上記境界部に沿って間隔を隔てた位置において、N + 型拡散領域 5 i が P 型拡散領域 3 a の表面に形成されている。N + 型拡散領域 5 i は、上記境界部に沿って伸びる第 1 部分 5 i a と、第 1 部分 5 i a に連なり境界部から離れる方向に伸びる第 2 部分 5 i b とを含む。第 1 部分 5 i a から見て境界部と反対側の領域に、N + 型拡散領域 5 k が形成されている。N + 型拡散領域 5 h、5 j の平面形状と N + 型拡散領域 5 i、5 k の平面形状とは、第 2 部分 5 h b と第 2 部分 5 i b との間に位置し第 2 部分 5 h b

50

と平行に伸びる中心線を中心とした線対称となっている。N + 型拡散領域 5 i と上記境界部に沿って間隔を隔てた位置において、N + 型拡散領域 5 a が P 型拡散領域 3 a の表面に形成されている。N + 型拡散領域 5 a は、上記境界部に沿って伸びている。

【 0 0 8 1 】

N + 型拡散領域 5 a に隣接する位置から P 型拡散領域 3 a の表面上を通過して N 型拡散領域 2 上まで、ゲート電極 9 g が形成されている。ゲート電極 9 g の下にはゲート絶縁膜となる絶縁膜 1 5 が配置されている。ゲート電極 9 g と上記境界部に沿って間隔を隔てて、第 1 電極層 9 e が形成されている。第 1 電極層 9 e の下にはゲート絶縁膜となるべき絶縁膜 1 5 が形成されている。第 1 電極層 9 e は、N + 型拡散領域 5 j に隣接するとともに、N + 型拡散領域 5 h の第 1 部分 5 h a を覆うように配置されている。第 1 電極層 9 e は、P 型拡散領域 3 a 上から上記境界部を超え N 型拡散領域 2 上にまで延在している。平面視において、N + 型拡散領域 5 h は、第 1 電極層 9 e を N + 型拡散領域 5 j 側の第 1 電極部分 9 e a と、N 型拡散領域 2 側の第 2 電極部分 9 e b とに区分するように形成される。

10

【 0 0 8 2 】

第 1 電極層 9 e と上記境界部に沿って間隔を隔てて、第 2 電極層 9 f が形成されている。第 2 電極層 9 f の下にはゲート絶縁膜となるべき絶縁膜 1 5 が形成されている。第 2 電極層 9 f は、他の N + 型拡散領域 5 a に隣接するとともに、N + 型拡散領域 5 g の一部を覆うように配置されている。第 2 電極層 9 f は、P 型拡散領域 3 a 上のみ形成されている。第 2 電極層 9 f は、上記境界部から距離を隔てた位置に配置されている。他の N + 型拡散領域 5 a に隣接する位置から P 型拡散領域 3 a の表面上を通過して N 型拡散領域 2 上まで、ゲート電極 9 g が形成されている。ゲート電極 9 g の下にはゲート絶縁膜となる絶縁膜 1 5 が配置されている。

20

【 0 0 8 3 】

図 1 9 に示すように、N + 型拡散領域 5 a と N 型拡散領域 2 との間にトランジスタ 3 0 のゲート電極 9 g が配置される。また、N + 型拡散領域 5 j と N + 型拡散領域 5 h の第 1 部分 5 h a との間に位置する第 1 電極層 9 e の部分が第 2 スイッチ素子 8 4 のゲート電極となる。また、N + 型拡散領域 5 h の第 1 部分 5 h a と N 型拡散領域 2 との間に位置する第 1 電極層 9 e の部分が第 3 スイッチ素子 8 5 のゲート電極となる。N + 型拡散領域 5 k と N + 型拡散領域 5 i の第 1 部分 5 i a との間に位置する第 2 電極層 9 f の部分が第 1 スイッチ素子 8 3 のゲート電極となる。他の N + 型拡散領域 5 a と N 型拡散領域 2 との間にトランジスタ 3 0 のゲート電極 9 g が配置される。

30

【 0 0 8 4 】

< 半導体装置の作用効果 >

本実施形態に係る半導体装置は、第 2 導電型の第 5 半導体領域 ( N + 型拡散領域 5 j ) と、第 2 導電型の第 6 半導体領域 ( N + 型拡散領域 5 h ) と、第 2 導電型の第 7 半導体領域 ( N + 型拡散領域 5 k ) と、第 2 導電型の第 8 半導体領域 ( N + 型拡散領域 5 i ) と、を備える。第 5 半導体領域 ( N + 型拡散領域 5 j ) は、第 2 半導体領域 ( P 型拡散領域 3 a ) において、第 3 半導体領域 ( N + 型拡散領域 5 a ) から離れた領域に形成されている。第 6 半導体領域 ( N + 型拡散領域 5 h ) は、第 2 半導体領域 ( P 型拡散領域 3 a ) において、第 5 半導体領域 ( N + 型拡散領域 5 j ) から間隔を隔てて形成されている。第 7 半導体領域 ( N + 型拡散領域 5 k ) は、第 2 半導体領域 ( P 型拡散領域 3 a ) において、第 5 半導体領域 ( N + 型拡散領域 5 j ) から離れた領域に形成されている。第 8 半導体領域 ( N + 型拡散領域 5 i ) は、第 2 半導体領域 ( P 型拡散領域 3 a ) において、第 7 半導体領域 ( N + 型拡散領域 5 k ) から間隔を隔てて形成されている。第 6 半導体領域 ( N + 型拡散領域 5 h ) は、第 5 半導体領域 ( N + 型拡散領域 5 j ) から見て第 1 半導体領域 ( N 型拡散領域 2 ) 側に位置するとともに、第 1 半導体領域 ( N 型拡散領域 2 ) から離れた位置に形成された第 1 部分 5 h a を含む。半導体装置はさらに、第 1 電極層 9 e と、第 2 電極層 9 f とを備える。第 1 電極層 9 e は、第 5 半導体領域 ( N + 型拡散領域 5 j ) と第 1 部分 5 h a との間の領域上から第 1 部分 5 h a 上を介して第 1 半導体領域 ( N 型拡散領域 2 ) 上にまで、第 1 絶縁膜 ( 絶縁膜 1 5 ) を介して配置される。第 2 電極層 9 f は、第 7

40

50

半導体領域（N+型拡散領域5k）と第8半導体領域（N+型拡散領域5i）との間の領域上から第8半導体領域（N+型拡散領域5i）上にまで、第2絶縁膜（絶縁膜15）を介して配置される。第2電極層9fは第1半導体領域（N型拡散領域2）と第2半導体領域（P型拡散領域3a）との境界部から離れた位置に配置されている。平面視において、第6半導体領域（N+型拡散領域5h）は、第1電極層9eを第5半導体領域（N+型拡散領域5j）側の第1電極部分9eaと、前記第1半導体領域（N型拡散領域2）側の第2電極部分9ebとに区分するように形成される。第5半導体領域（N+型拡散領域5j）は第2スイッチ素子84のソース領域である。第1部分5haは第2スイッチ素子84のドレイン領域であるとともに第3スイッチ素子85のソース領域である。第1半導体領域（N型拡散領域2）は第3スイッチ素子85のドレイン領域である。第1電極層9eの第1電極部分9eaが第2スイッチ素子のゲート電極である。第1電極層9eの第2電極部分9ebは第3スイッチ素子85のゲート電極である。第7半導体領域（N+型拡散領域5k）は第1スイッチ素子83のソース領域である。第8半導体領域（N+型拡散領域5i）は第1スイッチ素子83のドレイン領域である。第2電極層9fは第1スイッチ素子83のゲート電極である。

10

#### 【0085】

この場合、N+型拡散領域5hが、第1電極層9eを第5半導体領域（N+型拡散領域5j）側の第1電極部分9eaと、前記第1半導体領域（N型拡散領域2）側の第2電極部分9ebとに区分するように形成されているので、第5半導体領域（N+型拡散領域5j）が第3スイッチ素子85のソース領域として作用することを抑制できる。

20

#### 【0086】

異なる観点から言えば、N+型拡散領域5hは、N+型拡散領域5jを囲う様にレイアウトされている。このレイアウトを取ることににより、第2スイッチ素子84のソースであるN+型拡散領域5jが第3スイッチ素子85のソースとして極力機能しないようにすることができる。なお、第2電極層9fについては、図14に示した半導体装置と同様に、第1電極層9eとの間に間隔が形成されており、N+型拡散領域5iの第1部分5iaとN型拡散領域2との間で高耐圧Nc h M O Sトランジスタが動作しないようになっている。このようなレイアウトを取ることににより、回路図にはない寄生M O S構造による電流を抑制できる。この結果、判定回路80における第1ノード71の電位（VB）を検出する出信号電圧の発生を安定させ、当該判定回路80の誤動作を抑制できる。

30

#### 【0087】

実施の形態7.

<半導体装置の構成>

図23は、実施の形態7に係る半導体装置における電位検出回路の回路図である。図23に示した半導体装置は、基本的には図13に示した半導体装置と同様の構成を備えるが、判定回路80の第1充電回路81および第2充電回路82の構成が図13に示した半導体装置と異なっている。すなわち、図23に示した半導体装置では、第1充電回路81が第4スイッチ素子81eを含み、第2充電回路82が第5スイッチ素子82eを含む。第4スイッチ素子81eは、第1容量81aに並列に接続されている。第5スイッチ素子82eは、第2容量82aに並列に接続されている。

40

#### 【0088】

<半導体装置の作用効果>

本実施形態に係る半導体装置は、第4スイッチ素子81eと第5スイッチ素子82eとを備える。第4スイッチ素子81eは、第1容量81aに並列に接続されている。第5スイッチ素子82eは、第2容量82aに並列に接続されている。第1スイッチ素子83および第2スイッチ素子84がオフ状態の時に、第4スイッチ素子81eおよび第5スイッチ素子82eがオン状態となり第1容量81aおよび第2容量82aが放電される。

#### 【0089】

この場合、第4スイッチ素子81eおよび第5スイッチ素子82eを制御することにより、第1充電回路81の第1容量81aおよび第2充電回路82の第2容量82aを確実に

50

に放電させて初期状態にリセットできる。

【0090】

ここで、図13に示した半導体装置の判定回路80では、第1容量81aおよび第2容量82aの状態は前回の充電期間完了直後やその後の放電の影響を受ける。そのため、毎回の充電動作時における第1容量81aおよび第2容量82aの初期状態が異なる可能性がある。したがって、図13に示した半導体装置において想定した回路動作とは異なり、例えば第2充電回路ノード82bの電位(V2)が初期状態で第1充電回路ノード81bの電位(V1)より大きいと、直ちに第1ノード71の電位(VB)が電源電圧(Vcc)より大きいと判定され、充電動作が停止する恐れがある。

【0091】

そこで、図23に示す半導体装置のように、第1充電回路81が第4スイッチ素子81eを含み、第2充電回路82が第5スイッチ素子82eを含むようにすれば、判定回路80において第1容量81aおよび第2容量82aの電圧(Vc1およびVc2)を安定させることができる。この結果、判定回路80の動作が安定する。たとえば、充電動作を行う第1スイッチ素子83および第2スイッチ素子84のゲートオフ期間に、第4スイッチ素子81eおよび第5スイッチ素子82eのゲートをオンさせる。このようにすれば、第1容量81aおよび第2容量82aの残留電荷を放出させ、これらの容量を初期状態にリセットできる。この結果、判定回路80での誤動作を防止できる。

【0092】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

【符号の説明】

【0093】

1 半導体層、2 N型拡散領域、4a, 4b, 4c, 4d, 4e P+型拡散領域、5a, 5b, 5c, 5d, 5f, 5g, 5h, 5i, 5j, 5k N+型拡散領域、3a, 3b, 6 P型拡散領域、3aa 第1領域、3ab 第2領域、3ad 第4領域、5ha, 5ia 第1部分、5hb, 5ib 第2部分、9a, 9c, 9d, 9g, 9h ゲート電極、9b ポリシリコン電極、9e 第1電極層、9ea 第1電極部分、9eb 第2電極部分、9f 第2電極層、10a バックゲート電極、10b ソース電極、10c ドレイン電極、10d, 10e, 10f 電極、11 層間絶縁膜、12 パッシベーション膜、14a, 14b, 14c, 14d, 14e, 14f 分離絶縁膜、15 絶縁膜、20 フィールドプレート、21 N型拡散層、26 高電位側回路、27 低電位側回路、30, 31, 32, 33, 34, 35, 36 トランジスタ、37 ゲート駆動回路、38 電源、39 ブートストラップ容量、41 制限抵抗、51 溝、51a, 51b 一部、61 ゲート制御回路、62 比較器、70 高電圧電源ノード、71 第1ノード、72 第2ノード、73 第3ノード、74 第4ノード、75 第5ノード、76 第6ノード、77 第7ノード、78 第8ノード、79 第9ノード、80 判定回路、81 第1充電回路、81a 第1容量、81b 第1充電回路ノード、81c 第1抵抗、81d 第1ダイオード、81e 第4スイッチ素子、82 第2充電回路、82a 第2容量、82b 第2充電回路ノード、82c 第2抵抗、82d 第2ダイオード、82e 第5スイッチ素子、83 第1スイッチ素子、84 第2スイッチ素子、85 第3スイッチ素子、139 バックゲート電位制御回路、140 ソース電位制御回路。

10

20

30

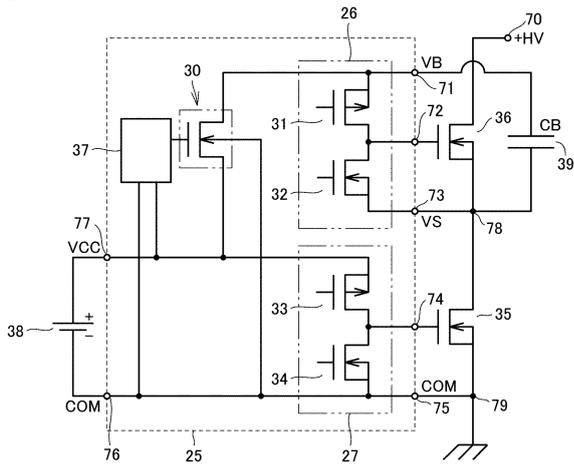
40

50

【 図面 】

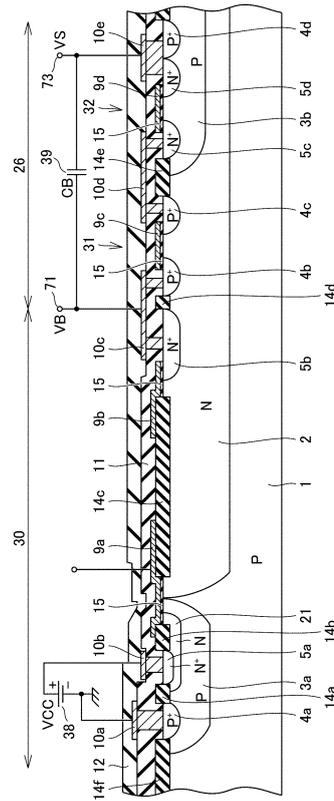
【 図 1 】

図1



【 図 2 】

図2

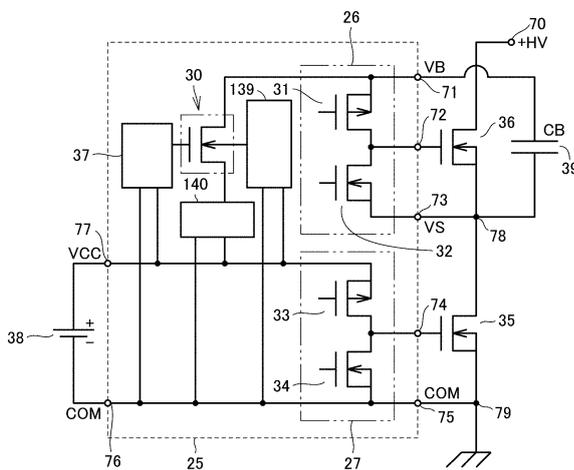


10

20

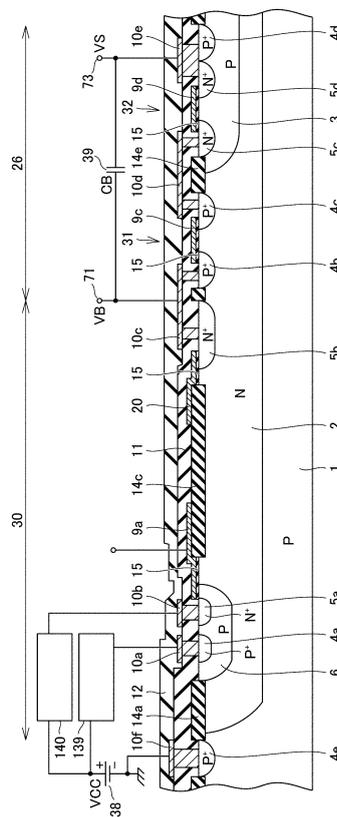
【 図 3 】

図3



【 図 4 】

図4



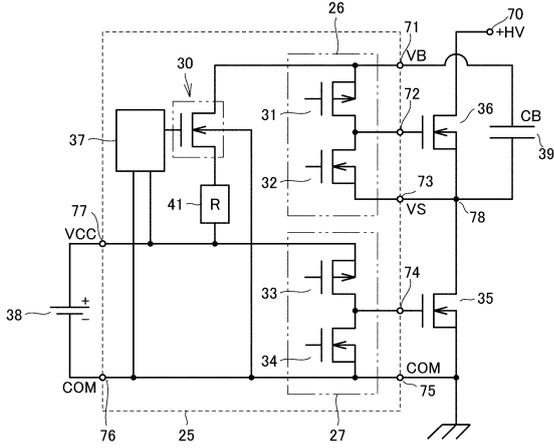
30

40

50

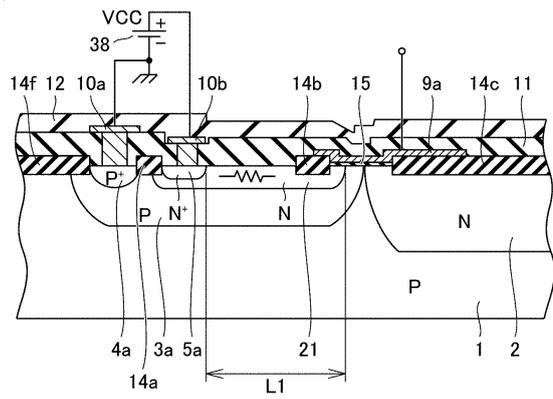
【 図 5 】

図5



【 図 6 】

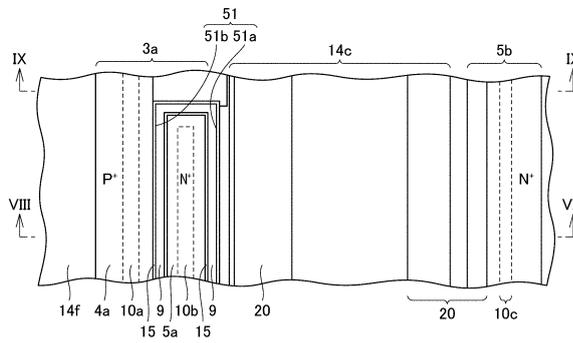
図6



10

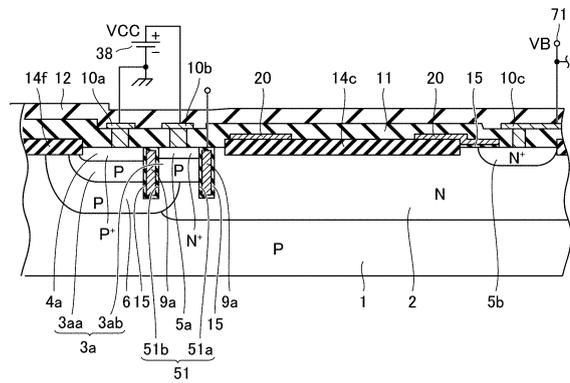
【 図 7 】

図7



【 図 8 】

図8



20

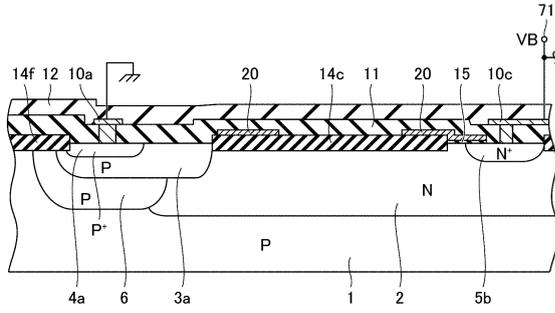
30

40

50

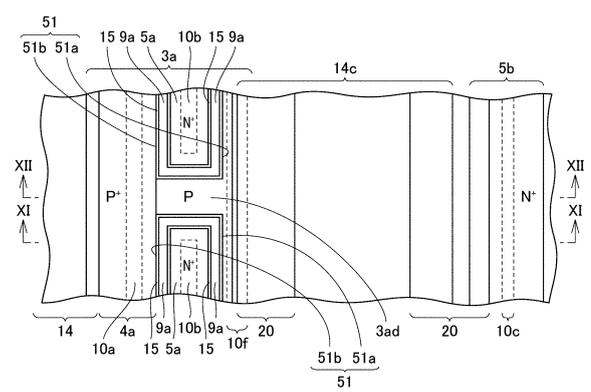
【図 9】

図9



【図 10】

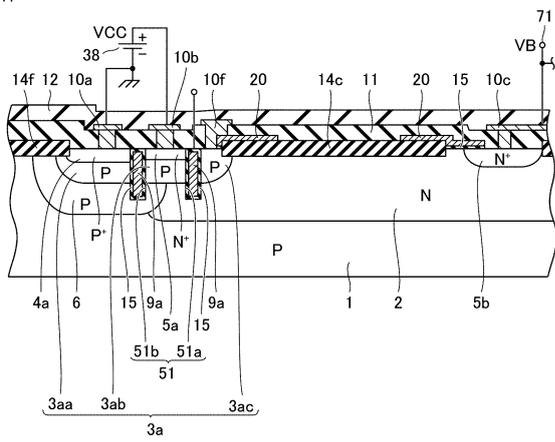
図10



10

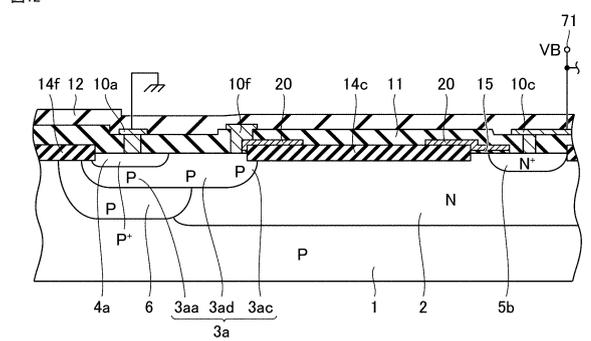
【図 11】

図11



【図 12】

図12



20

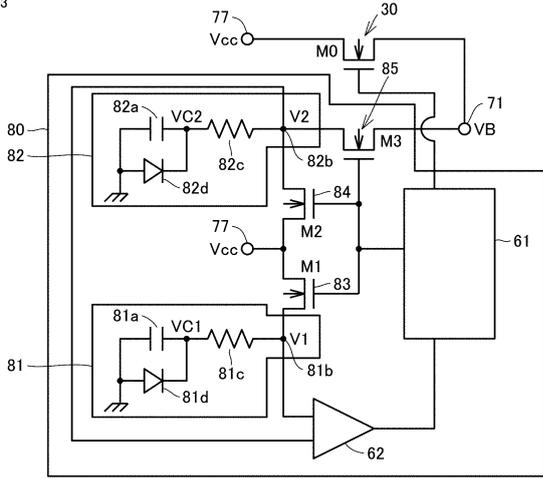
30

40

50

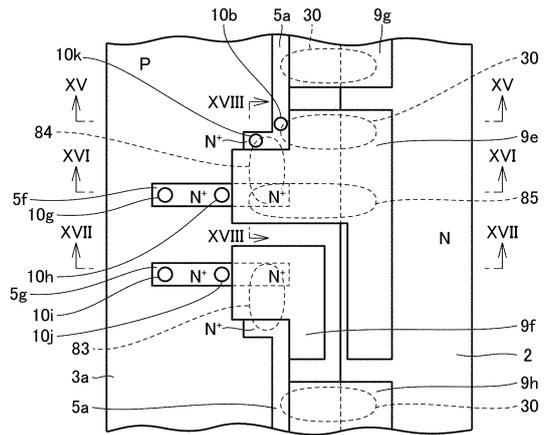
【 図 1 3 】

図13



【 図 1 4 】

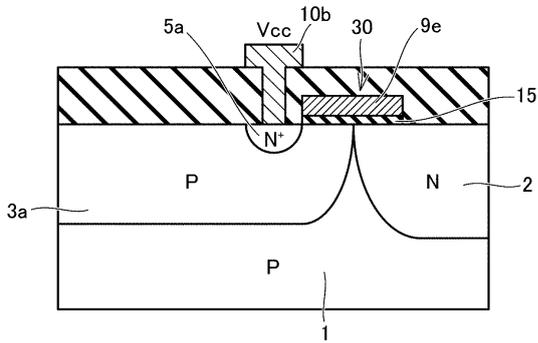
図14



10

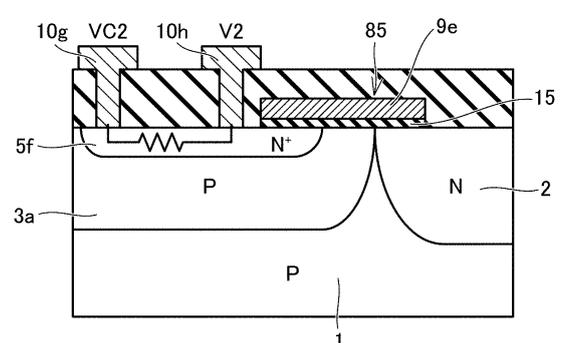
【 図 1 5 】

図15



【 図 1 6 】

図16



20

30

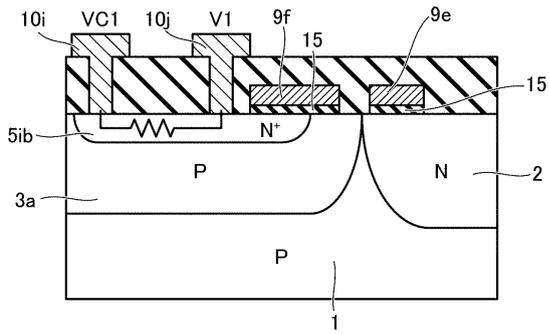
40

50



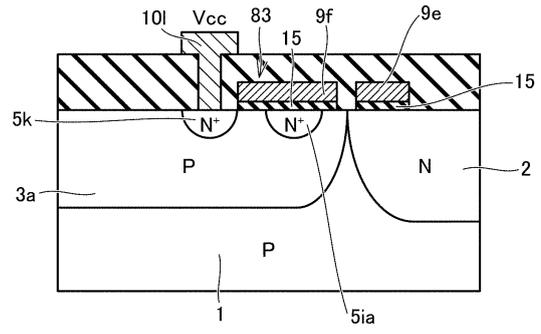
【 図 2 1 】

図21



【 図 2 2 】

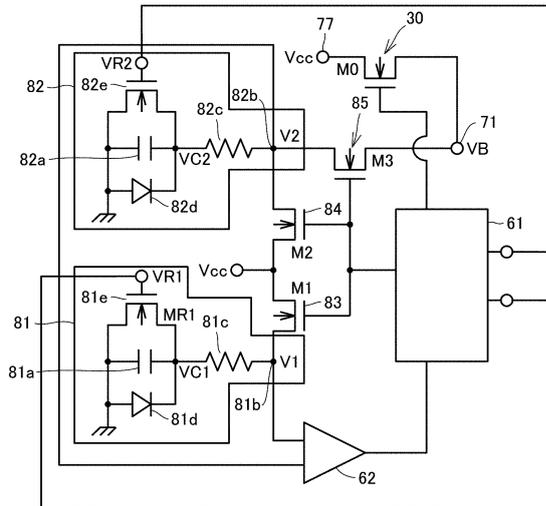
図22



10

【 図 2 3 】

図23



20

30

40

50

---

フロントページの続き

(51)国際特許分類 F I  
H 0 1 L 21/8238(2006.01) H 0 1 L 27/092 A  
H 0 1 L 27/092(2006.01)

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 岩本 勉

(56)参考文献 特開2015-088597(JP,A)  
特開2015-023208(JP,A)  
特開2014-011453(JP,A)  
米国特許出願公開第2015/0115342(US,A1)  
米国特許出願公開第2003/0096481(US,A1)

(58)調査した分野 (Int.Cl., DB名)  
H 0 1 L 29/78  
H 0 1 L 21/336  
H 0 1 L 29/06  
H 0 1 L 21/8234  
H 0 1 L 21/8238