



(12) 发明专利申请

(10) 申请公布号 CN 103377888 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201210109072. 0

(22) 申请日 2012. 04. 13

(71) 申请人 南亚科技股份有限公司  
地址 中国台湾桃园县

(72) 发明人 陈逸男 徐文吉 叶绍文 刘献文

(74) 专利代理机构 深圳新创友知识产权代理有限公司 44223

代理人 江耀纯

(51) Int. Cl.

H01L 21/225(2006. 01)

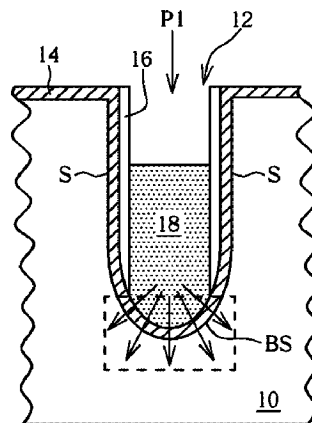
权利要求书1页 说明书3页 附图2页

(54) 发明名称

掺杂区的制作方法

(57) 摘要

本发明公开了一种掺杂区的制作方法,其步骤包括:提供半导体基底,且半导体基底包括至少一沟槽。接着,形成介电层完全覆盖沟槽以及形成保护层部分覆盖沟槽,且介电层位于保护层以及沟槽之间。然后,在沟槽中形成含掺杂剂的导电层以及进行退火工艺。



1. 一种掺杂区的制作方法,其特征在于,包括:  
提供半导体基底,且所述半导体基体包括至少一沟槽;  
形成介电层于所述半导体基底上,且所述介电层完全覆盖所述沟槽;  
形成保护层部分覆盖所述沟槽,且所述介电层位于所述保护层以及所述沟槽之间;  
在所述沟槽中形成含掺杂剂的导电层;以及  
进行退火工艺。
2. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述介电层未填满所述沟槽。
3. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述介电层的材料与所述保护层的材料不同。
4. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述介电层为硅氧层,所述保护层为氮化硅层。
5. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述沟槽包含一弧状底面。
6. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述保护层仅仅覆盖住所述沟槽的侧壁,而不覆盖所述沟槽的底面。
7. 根据权利要求6所述的掺杂区的制作方法,其特征在于,所述导电层重叠所述保护层未覆盖的所述沟槽的底面。
8. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述保护层未重叠位于所述沟槽两侧的半导体基底的表面。
9. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述导电层未完全填满所述沟槽。
10. 根据权利要求1所述的掺杂区的制作方法,其特征在于,在形成所述保护层之后,形成所述导电层的方法包括:  
形成导电物质层填入所述沟槽;以及  
对所述导电物质层进行离子注入工艺。
11. 根据权利要求10所述的掺杂区的制作方法,其特征在于,形成所述导电层的方法,还包括:  
移除部份导电物质层,使导电物质层未重叠位于所述沟槽两侧的半导体基底的表面。
12. 根据权利要求1所述的掺杂区的制作方法,其特征在于,所述导电层包括一P型掺杂剂。
13. 根据权利要求1所述的掺杂区的制作方法,其特征在于,在进行退火工艺之后,形成掺杂区环绕所述沟槽的底面。

## 掺杂区的制备方法

### 技术领域

[0001] 本发明有关一种掺杂区的制备方法,特别是一种环绕沟槽底面的掺杂区的制备方法。

### 背景技术

[0002] 为增进集成电路的运作速度且同时符合消费者对于微型化电子装置的需求,运用于半导体装置的晶体管的尺寸持续缩减。由于晶体管的尺寸缩小,晶体管的电子信道区的长度亦随之减少,因此将可能造成晶体管发生严重的短信道效应,以及晶体管的开启电流(ON current)的降低。

[0003] 为解决上述问题,公知技术中包括增加电子信道区的掺杂浓度的作法,然而,此作法将引起漏电流的增加,而不利于半导体装置的可靠度。另一种作法是设置垂直晶体管,例如:形成垂直晶体管在半导体基底中,此作法可改善集成电路的运作速度以及积集度(integration),且减缓短信道效应。垂直晶体管的掺杂区的形成需对凹入式沟槽进行离子注入工艺,随着凹入式沟槽的尺寸缩小,掺杂剂在接触凹入式沟槽的底面时容易发生散射,而无法直接穿过沟槽形成预期的掺杂剂浓度分布轮廓,因此,常见多个垂直晶体管的掺杂区具有不同的掺杂剂浓度分布轮廓,也就是说,多个垂直晶体管的电性表现有所差异。

[0004] 因此,如何改善各垂直晶体管之间的掺杂区的掺杂剂浓度分布轮廓的一致性实为相关技术者所欲改进的课题。

### 发明内容

[0005] 有鉴于此,本发明公开一种掺杂区的制备方法,可以解决上述的各垂直晶体管之间的掺杂剂浓度分布轮廓不同的问题。

[0006] 根据本发明的一优选实施例,本发明提供一种半导体装置的制备方法,包括:首先,提供半导体基底,且半导体基体包括至少一沟槽。接着,形成介电层完全覆盖沟槽以及形成保护层部分覆盖沟槽,且介电层位于保护层以及沟槽之间。然后,在沟槽中形成含掺杂剂的导电层以及进行退火工艺。

[0007] 本发明在沟槽中形成含掺杂剂的导电层后,进行退火工艺,使导电层的掺杂剂扩散至半导体基底中,且在未被保护层覆盖的沟槽的周围形成掺杂区,以避免掺杂剂直接碰撞沟槽底面发生散射,影响掺杂剂浓度分布轮廓,有助于在多个沟槽底部形成相同的掺杂区,降低沟槽结构引起的工艺变异性(process variation),进一步改善多个半导体装置的电性表现的一致性。

### 附图说明

[0008] 图1至图6为根据本发明的第一优选实施例所绘示的掺杂区的制备方法的示意图。

[0009] 其中,附图标记说明如下:

[0010]	10	半导体基底	12	沟槽
[0011]	14	介电层	16	保护层
[0012]	18	导电层	20	掺杂区
[0013]	S	侧壁	BS	底面

### 具体实施方式

[0014] 图 1 至图 6 为根据本发明的第一优选实施例所绘示的掺杂区的制作方法的示意图。如图 1 所示,首先,提供一半导体基底 10,且半导体基底 10 包括有至少一沟槽 12。半导体基底 10 可包含例如一由硅、砷化镓、硅覆绝缘 (SOI) 层、外延层、硅锗层或其它半导体基底材料所构成的基底。形成沟槽 12 的方法包括下列步骤:例如,进行光刻工艺以形成图案化硬掩模(图未示)于半导体基底 10 上,然后将图案化硬掩模作为掩模对半导体基底 10 进行蚀刻工艺以形成沟槽 12。根据本发明的优选实施例,沟槽 12 可以是凹入式信道(recessed channel),且具有侧壁 S 以及弧状底面 BS。

[0015] 如图 2 所示,形成介电层 14 于半导体基底 10 上,且介电层 14 完全覆盖沟槽 12,更详细地说,介电层 14 覆盖半导体基底 10,接触沟槽 12 的侧壁 S 以及底面 BS,但未填满沟槽 12。此外,介电层 14 可由利用热氧化或沉积等工艺所形成的硅氧化物等绝缘材料所构成。根据本发明的优选实施例,介电层 14 可以是利用热氧化方式形成的硅氧层。

[0016] 接下来,如图 3 所示,形成保护层 16 部分覆盖沟槽 12,且介电层 14 是位于保护层 16 以及沟槽 12 之间,更详细地说,保护层 16 仅仅覆盖住沟槽 12 的侧壁 S,而不覆盖沟槽的底面 BS,且未填满沟槽 12。形成保护层 16 的方法包括下列步骤。首先,进行沉积工艺形成绝缘物质层,例如:进行化学气相沉积(chemical vapor deposition, CVD)工艺形成氮化硅层,接着进行蚀刻工艺,例如:进行非等向性反应性离子蚀刻(reactive-ion-etching, RIE)工艺或湿蚀刻工艺,去除部分绝缘物质层以形成保护层 16。根据本发明的优选实施例,为避免蚀刻工艺对半导体基底 10 以及沟槽 12 的表面造成损伤,介电层 14 的材料优选是与保护层 16 的材料不同,使介电层 14 与保护层 16 在进行蚀刻工艺时具有不同的移除速率,也就是说,当介电层 14 是硅氧层时,保护层 16 可以是利用化学气相沉积工艺形成的氮化硅层,且保护层 16 未重叠位于沟槽 12 两侧的半导体基底 10 的表面,仅部分覆盖沟槽 12。

[0017] 如图 4 所示,在沟槽 12 中形成含掺杂剂的导电层 18,导电层 18 重叠保护层 16 未覆盖的沟槽 12 的底面 BS,且导电层 18 未完全填满沟槽 12。形成含掺杂剂的导电层 18 的方法包括下列步骤。首先,形成导电物质层(图未示)填入沟槽 12,包括进行一原位掺杂(in-situ doped)化学气相沉积(chemical vapor deposition, CVD)法或一原位掺杂选择性外延成长工艺(selective epitaxial growth, SEG),以形成含掺杂剂的导电物质层,或是利用低压化学气相沉积(low pressure chemical vapor deposition, LPCVD)法,形成未含掺杂剂的导电物质层后,再对导电物质层进行离子注入工艺,以形成含掺杂剂的导电物质层。接着,以蚀刻工艺移除部份导电物质层,使导电物质层未重叠位于沟槽 12 两侧的半导体基底 10 的表面,且部分暴露覆盖沟槽 12 侧壁 S 的保护层 16。例如:先进行低压化学气相沉积,以硅甲烷( $\text{SiH}_4$ )气体作为硅源,形成未含掺杂剂的多晶硅层填满沟槽后,再对多晶硅层进行离子注入工艺,以形成含 P 型掺杂剂例如硼(B)的多晶硅层,接着,使用氢氧化四甲基铵(tetra methyl ammonium hydroxide, TMAH)溶液作为蚀刻液,进行湿蚀刻工艺移除

多余的多晶硅层,使剩余的含掺杂剂的多晶硅层未完全填满沟槽 12,部分暴露覆盖沟槽 12 侧壁 S 的保护层 16,且重叠保护层 16 未覆盖的沟槽 12 的底面 BS。根据本发明的优选实施例,在沟槽 12 中形成的含掺杂剂的导电层可以是含 P 型掺杂剂的多晶硅层,但不以此为限,含掺杂剂的导电层也可以是含 N 型掺杂剂例如砷 (As) 或磷 (P) 的多晶硅层。

[0018] 如图 5 所示,为将沟槽 12 中的导电层 18 的掺杂剂趋入 (drive-in) 并活化,进一步进行退火工艺 P1,包括快速热处理 (rapid thermal process, RTP) 工艺例如尖峰式快速热工艺 (spike rapid thermal process) 或浸入式快速热工艺 (soak rapid thermal process)、雷射尖峰退火 (laser spike annealing) 工艺、闪光退火 (flash annealing)、动态表面退火 (dynamic surface annealing) 工艺,使导电层 18 的掺杂剂从导电层 18 通过沟槽 12 未被保护层 16 覆盖的区域例如:沟槽 12 的底面 BS,且可以不受沟槽 12 底面 BS 的结构形状影响,均匀扩散至半导体基底 10 中,然后,如图 6 所示,形成具有预期的掺杂剂浓度分布轮廓的掺杂区 20。更详细地说,为了在沟槽 12 底部周围形成掺杂区 20,进行离子注入工艺时,本发明可有效避免掺杂剂直接碰撞沟槽 12 底面 BS 而发生散射现象,造成掺杂剂浓度分布轮廓的偏移,也就是说,本发明的掺杂区 20 的形成可以不受沟槽 12 底面结构的形状影响。根据本发明的优选实施例,在进行退火工艺后,导电层 18 的掺杂剂例如:多晶硅层的 P 型掺杂剂会通过沟槽 12 的弧状底面 BS,形成 P 型掺杂区 20 环绕沟槽 12 的底面 BS。

[0019] 综上所述,本发明在沟槽中形成含掺杂剂的导电层后,进行退火工艺,使导电层的掺杂剂扩散至半导体基底中,且在未被保护层覆盖的沟槽的周围形成掺杂区,以避免掺杂剂直接碰撞沟槽底面发生散射,影响掺杂剂浓度分布轮廓,有助于在多个沟槽底部形成相同的掺杂区,降低沟槽结构引起的工艺变异性 (process variation),进一步改善多个半导体装置的电性表现的一致性。

[0020] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

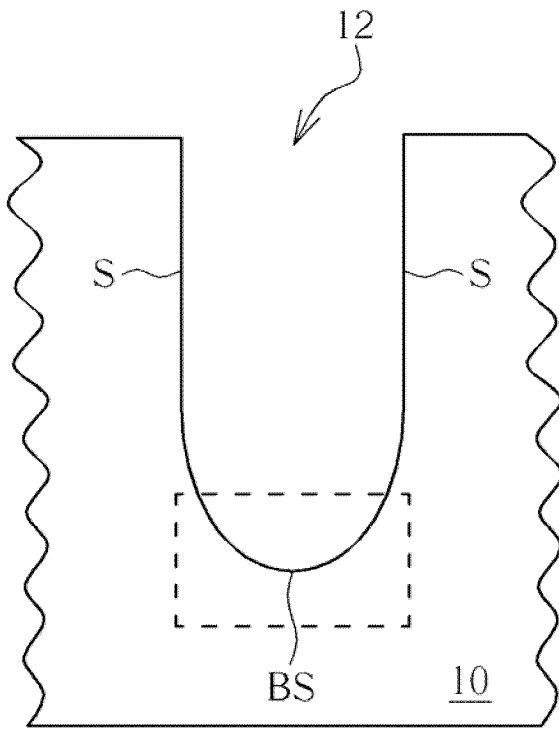


图 1

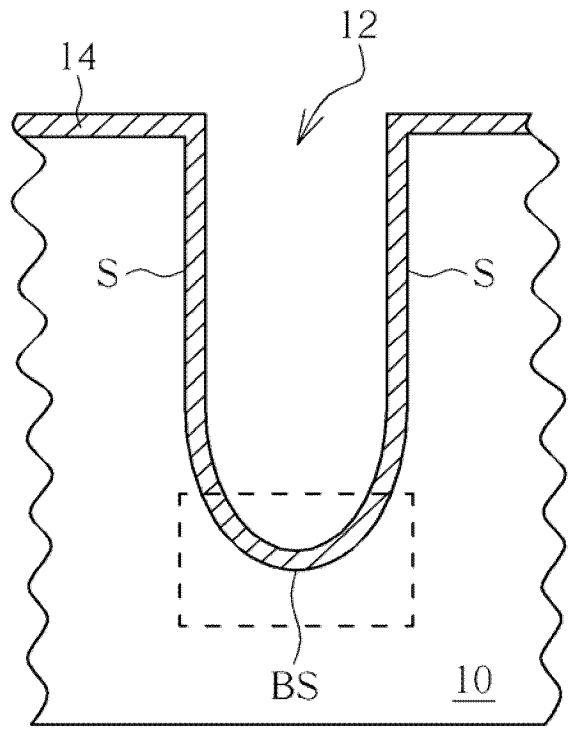


图 2

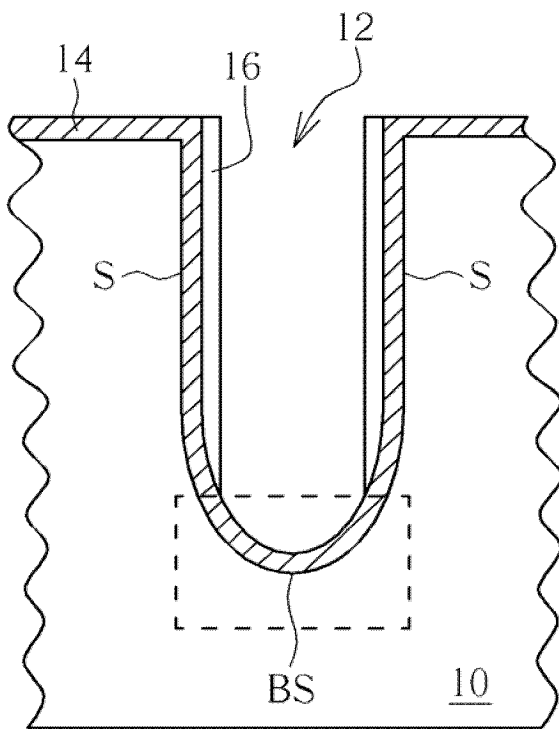


图 3

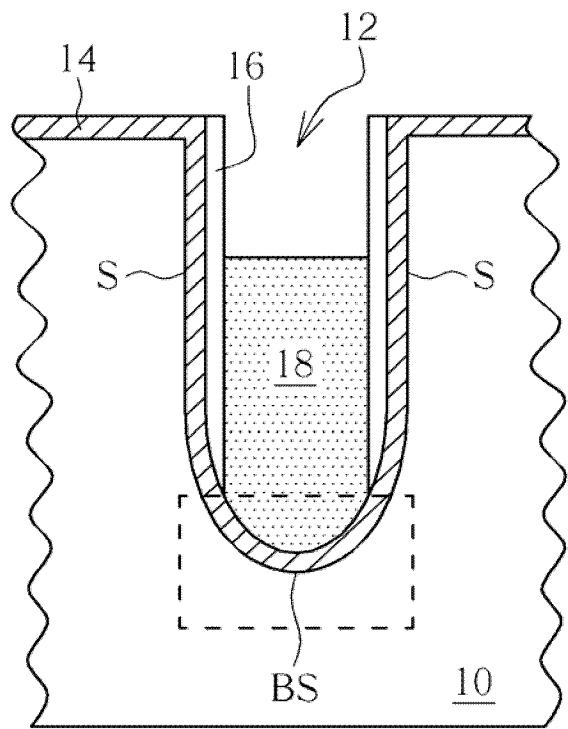


图 4

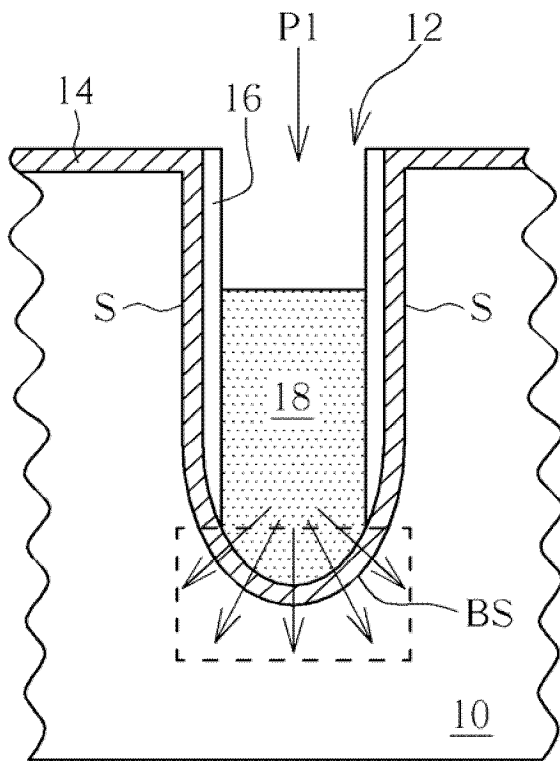


图 5

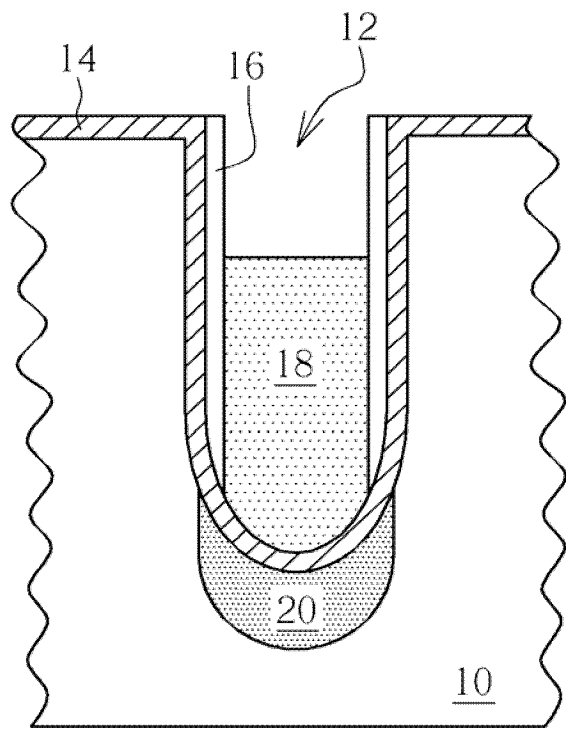


图 6