



(12) 发明专利

(10) 授权公告号 CN 103079314 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 201210586629. X

(22) 申请日 2012. 12. 28

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)西源大道 2006 号

专利权人 四川新力光源股份有限公司

(72) 发明人 宁宁 贾永明 陈文斌 冯纯益  
李东明 杨冕 封正勇 龙文涛

(74) 专利代理机构 北京海虹嘉诚知识产权代理有限公司 11129

代理人 张涛

(51) Int. Cl.

H05B 37/02(2006. 01)

(56) 对比文件

CN 102045923 A, 2011. 05. 04,

CN 201986218 U, 2011. 09. 21,

CN 102665354 A, 2012. 09. 12,

CN 102355012 A, 2012. 02. 15,

CN 101741233 A, 2010. 06. 16,

CN 202203727 U, 2012. 04. 25,

CN 102316624 A, 2012. 01. 11,

冯纯益. 一种数字控制的电流源切换电路. 《四川省电子学会半导体与集成技术专委会 2012 年度学术年会论文集》. 2012,

审查员 莫世英

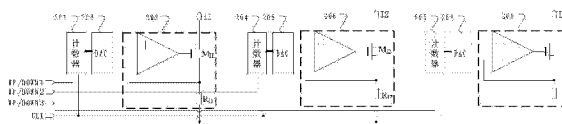
权利要求书2页 说明书10页 附图3页

(54) 发明名称

多路电流源切换装置

(57) 摘要

本发明公开了一种多路电流源切换装置,包括切换控制单元、每一路由恒流源电路和切换电路组成的N路电流通路、N个负载。第一负载的一端连接到负载电源,另一端与第一电流通路的恒流源电路的输出端和第二负载的一端连接;第i负载的一端与第i-1负载的另一端和第i电流通路的恒流源电路的输出端连接;切换控制单元经切换电路控制相应的恒流源电路的输出电流。电路切换时,要关闭的电路通路的切换电路输出电压按照预定电压变化量降低直至为零,同时要开启的电路通路的切换电路输出电压按照预定电压变化量上升直至最高工作电压,使得在切换期间一负载上的电流不超过预定电流也不为零;其中,N为不小于2的整数,i=2,3,4,...,N。



1. 一种多路电流源切换装置,其特征在于,包括切换控制单元、每一路由恒流源电路和切换电路组成的 N 路电流通路、与上述电路通路数目相同的多个负载,

多个负载中的第一负载的一端连接到负载电源,另一端与第一电流通路的恒流源电路的输出端以及第二负载的一端连接;第 i 负载的一端与第 i-1 负载的另一端以及第 i 电流通路的恒流源电路的输出端连接;

每一个恒流源电路经一个切换电路连接到所述切换控制单元并根据所述切换电路提供的电压输出电流;

在所述切换控制单元的控制下,在发生电路切换时,要关闭的电路通路的切换电路输出的工作电压按照预定电压变化量降低直至为零,同时要开启的电路通路的切换电路输出的工作电压按照预定电压变化量上升直至最高工作电压,使得在切换期间任一负载上的电流不超过预定电流;

在不发生电路切换时,所述切换控制单元使得只有一个电路通路的切换电路向相应的恒流源电路提供使其输出恒定电流的工作电压;

所述切换控制单元对提供给多个切换电路中的每一个计数器的电平控制信号进行控制以使每一个计数器的电平控制信号同步变化;

在 N 路电源切换的情形中,所述切换装置具有 N 个负载、N 个切换电路、N 个恒流源电路;电平控制信号 DOWN/UP1、DOWN/UP2 和 DOWN/UP3...DOWN/UPn 由所述切换控制单元提供;当要实现通路切换时,需要关闭的通路电平控制信号由低变高的同时,需要开启的通路电平控制信号由高变低,并且其余控制信号中为高电平的控制信号保持高电平;

所述电平控制信号由所述切换控制单元产生,在多切换通路时,同一时刻只有一路开启,一路关闭;

当某一通路的控制信号有效的同时,前一个通路中的有效的控制信号变为无效,并且同一时刻只能有一通路的控制信号有效;所述控制信号是同步变化的,相应的计数器在时钟的控制下同步变化;

其中, N 为不小于 2 的整数,  $i = 2, 3, 4, \dots, N$ ,

当 N 为 3 时, N 路电流通路为第一至第三电流通路,多个负载为第一至第三负载;

第一切换通路包括由第一计数器、第一数模转换器组成的第一切换电路以及第一恒流模块;第二切换通路包括由第二计数器、第二数模转换器的第二切换电路以及第二恒流模块;第三切换通路包括由第三计数器、第三数模转换器组成的第三切换电路以及第三恒流模块;

第一至三计数器的输入控制信号分别接收由所述切换控制单元提供的第一至第三电平控制信号 DOWN/UP1、DOWN/UP2 和 DOWN/UP3;所述第一至第三计数器的输入时钟信号端接收切换控制单元提供的时钟 CLK;第一至第三计数器的输出分别连接到第一至第三数模转换器的数字信号输入端,所述第一至第三数模转换器的输出端分别连接到所述第一至第三恒流模块的第一至第三运算放大器的同相输入端;

当由第三通路切换至第二通路时,所述第一电平控制信号 DOWN/UP1 保持高电平、所述第二电平控制信号 DOWN/UP2 由高电平变为低电平、所述第三电平控制信号 DOWN/UP3 由低电平变为高电平,并且所述第一至第三电平控制信号同步变化;所述第三电平控制信号 DOWN/UP3 使所述第三计数器实现减计数功能,所述第三计数器输出使所述第三数模转换

器输出电压逐渐降低,从而使所述第三恒流模块输出电流逐渐降低直到输出电流为 0;所述第二电平控制信号 DOWN/UP2 使所述第二计数器实现加计数功能,所述第二计数器输出使第二数模转换器输出电压逐渐升高,从而使所述第二恒流模块输出电流逐渐升高至最大值。

## 多路电流源切换装置

### 技术领域

[0001] 本发明涉及数模混合集成电路技术领域,特别涉及一种数字控制的多路电流源切换电路。

### 背景技术

[0002] 随着集成电路技术的发展,电流源应用越来越普遍。特别在大功率白光 LED 照明、大型 LED 显示屏的广泛应用背景下,要求驱动更多数量的 LED,往往采用多 LED 串组形式实现,为满足发光的均匀性,白平衡的要求,须保证每一路驱动电流恒定,设计一个能为多个 LED 通路提供基本一致的恒定电流,并且保证通路切换时不出现过电流和零电流现象的驱动电路显得尤为关键。

[0003] 传统的多路电流源切换电路如图 1 所示(以 3 通路为例),该电路包括:运算放大器 101、102 和 103、MOS 开关管 M1、M2 和 M3、采样电阻 R1、R2 和 R3、及开关 S1...S6、负载 104、105 和 106。

[0004] 当由第三通路切换至第二通路时,开关 S2、S3 和 S6 闭合,开关 S1、S4 和 S5 断开,运算放大器 101、102 和 103 的同相输入端接分别连接参考电平地、Vref 和地,此时第二通路开启第一、三通路关闭,流过 MOS 管 M2 的电流即为输出电流且可以由等式 1 表示。因为运算放大器 102、MOS 管 M2 和采样电阻 R2 构成负反馈回路,所以 MOS 管 M2 所在支路电流保持恒定。当由第二通路切换至第一通路时,开关 S1、S4 和 S6 闭合,开关 S2、S3 和 S5 断开,运算放大器 101、102 和 103 的同相输入端接分别连接参考电平 Vref、地和地,此时第一通路开启第二、三通路关闭,第一通路控制输出电流。

[0005] 由此可以推导传统的多组电流切换电路工作原理,在实现多组电流切换时,其中一组的误差放大器同相输入端接 Vref,其余通路的误差放大器同相输入端接地。由于同一时刻只有一个通路开启,电流切换是在开启下一通路的同时关闭前一个通路。

$$[0006] \quad I_2 = \frac{V_{\text{ref}}}{R_2} \quad (\text{式 1})$$

[0007] 传统多路电流源切换电路在多路电流切换时,需要同时打开一个通路和关闭一个通路,由于控制信号的不同步可能会出现以下情况:在由第二通路切换到第一通路时,运算放大器 101 和运算放大器 102 的同相输入端接都被开关连接到 Vref 时,负载 104 上的电流由式 2 表示,负载 105 上的电流由式 3 表示;当运算放大器 101 和运算放大器 102 的同相输入端接都被开关连接到地时,负载 104 和负载 105 上的电流均为零。

$$[0008] \quad I_{103} = \frac{V_{\text{REF}}}{R_1} + \frac{V_{\text{REF}}}{R_2} \quad (\text{式 2})$$

$$[0009] \quad I_{104} = \frac{V_{\text{REF}}}{R_2} \quad (\text{式 3})$$

[0010] 所以,传统的多路电流源切换电路在通路切换时,由于电路中开关控制信号延迟等原因,会出现两通路同时打开或同时关闭的情况,从而使得负载上电流过大或没有电流,

导致电路失效。

## 发明内容

[0011] 根据本发明,提供了一种多路电流源切换装置,包括切换控制单元、每一路由恒流源电路和切换电路组成的 N 路电流通路、与所述电路通路数目相同的多个负载,

[0012] 多个负载中的第一负载的一端连接到负载电源,另一端与第一电流通路的恒流源电路的输出端以及第二负载的一端连接;第 i 负载的一端与第 i-1 负载的另一端以及第 i 电流通路的恒流源电路的输出端连接;

[0013] 每一个恒流源电路经一个切换电路连接到所述切换控制单元并根据所述切换电路提供的电压输出电流;

[0014] 在所述切换控制单元的控制下,在发生电路切换时,要关闭的电路通路的切换电路输出的工作电压按照预定电压变化量降低直至为零,同时要开启的电路通路的切换电路输出的工作电压按照预定电压变化量上升直至最高工作电压,使得在切换期间任一负载上的电流不超过预定电流;

[0015] 其中, N 为不小于 2 的整数,  $i=2, 3, 4, \dots, N$ 。

[0016] 进一步地,在不发生电路切换时,所述切换控制单元使得只有一个电路通路的切换电路向相应的恒流源电路提供使其输出恒定电流的工作电压。

[0017] 较佳地, N 路电流通路为第一至第三电流通路,多个负载为第一至第三负载。

[0018] 其中,每一个切换电路包括:计数器,用于在接收到所述切换控制单元的高电平控制信号时根据来自所述切换控制单元的时钟信号进行减计数,在接收到所述切换控制单元的低电平控制信号根据来自所述切换控制单元的时钟信号进行加计数,并输出计数信号;数模转换器,用于根据来自所述计数器的计数信号产生输出电压以控制相应的恒流源电路的输出电流。

[0019] 较佳地,所述计数器包括 2P 个 D 触发器,第一至第三反相器、第一和第二三输入与门、数据选择器, P 为大于 2 的整数;

[0020] 来自所述切换控制单元的电平控制信号连接至 D 触发器 1, 2,  $\dots, P$  的清零端、第三反相器、第一三输入与门和数据选择器的输入端;第三反相器的输出连接至第一三输入与门的输入端以及 D 触发器 P+1, P+2,  $\dots, 2P$  的清零端;

[0021] 由切换控制单元提供的时钟信号连接第一和第二三输入与门的输入端,第二三输入与门输出连接 D 触发器 1, 2,  $\dots, P$  的时钟输入端,第一三输入与门输出连接 D 触发器 P+1, P+2,  $\dots, 2P$  的时钟输入端;

[0022] D 触发器 1 和 P+1 的输入接至高电压电平, Q 非输出分别连接 D 触发器 2 和 P+2 的 D 输入端, D 触发器 2, 3,  $\dots, P$  和 P+2, P+3,  $\dots, 2P$  中,前一个触发器的 Q 输出端连接到下一个触发器的 D 输入端, D 触发器 P 和 2P 的输出端分别连接至第一和第二反相器的输入端,第一和第二反相器的输出分别连接到第一和第二三输入与门的输入端, D 触发器 1, 2,  $\dots, P$  的输出由高至低位依次连接至数据选择器的第一输入端, D 触发器 P+1, P+2,  $\dots, 2P$  的输出由低至高位依次连接至数据选择器的第二输入端。

[0023] 优选地,所述 D 触发器均为在时钟信号均的上升沿触发。

[0024] 较佳地,所述数模转换器包括 P-1 个分压电阻、P 个开关管、开关管 M41 和开关管

M42 以及第一反相器 Con41 和第二反相器 Con42；

[0025] 其中,分压电阻 R1, R2, …, RP-1 依次串联连接；

[0026] 开关管 M41 的漏极连接到分压电阻 R1 的、未与分压电阻 R2 连接的一端,源极接地,栅极连接到第一反相器 Con41 的输出端；

[0027] 开关管 M42 的漏极连接到参考电压 Vref,源极连接到第 P 个开关管的漏极以及分压电阻 RP-1 的、未与分压电阻 RP-2 串联连接的一端,栅极连接到第二反相器 Con42 的输出端；

[0028] 第 2 至第 P-1 开关管的漏极分别依次连接到分压电阻 R1 和 RP-1 串联的连接端,第 1 开关管的漏极连接到分压电阻 R1 和开关管 M41 的连接端,第 P 开关管的漏极连接到分压电阻 RP-1 和开关管 M42 的源极的连接端；

[0029] 第三数据线 DATA<P-1:0> 分别连接到第 1 至第 P 开关管的栅极和第一和第二反相器的输入端；第 1 至第 P 开关管的源极连接到所述数模转换器的输出端；

[0030] 其中,第 1,第 2, …,第 P 开关管的导通与关断依次由计数器输出的 DATA<0>, DATA<1>…DATA<P-1> 控制,开关管 M42 的导通与关断由 DATA<0> 控制,开关管 M41 的导通与关断由 DATA<P-1> 控制。

[0031] 优选地,所述 P 为 10。

[0032] 其中,当需要切换电路通路时,根据所述切换控制单元的电平控制信号以及来自所述切换控制单元的时钟信号,要开启的电路通路的切换电路的计数器进行减计数并将计数信号输出至该切换电路的相应数模转换器以产生按照电压变化量  $1/(P-1)V_{ref}$  降低的输出电压；同时,要关闭的电路的切换电路的计数器进行加计数并将计数信号输出至该切换电路的数模转换器以产生按照电压变化量  $1/(P-1)V_{ref}$  升高的输出电压,使得要关闭的电路通路的恒流源电路的输出电流在关闭过程中按照预定电流变化量降低的同时,要开启的电路通路的恒流源电路的输出电流在开启过程中按照预定电流变化量增加。

[0033] 其中,每一个恒流源电路包括:运算放大器,开关管和采样电阻；

[0034] 开关管的漏极连接到相应的负载,源极经所述采样电阻接地,栅极连接到所述运算放大器的输出端；

[0035] 所述运算放大器的同相输入端连接到所述切换电路的输出端,反相输入端经所述采样电阻接地。

[0036] 其中,每一个恒流电路的输出电流大小为：

$$[0037] \quad I = \frac{V_{INP}}{R}$$

[0038] 其中,  $V_{INP}$  为运算放大器同相端的输入电压。

[0039] 发明中,在没有发生切换时,开启的通路的电流保持恒定。当需要进行通路切换时,可以保证要关断的通路,电流逐次降低,与此同时要打开的通路,电流逐次增大。因此,本发明可以实现总体电路切换电流的平滑变化,有效避免了过电流和零电流的现象。而且,本发明中电路未采用电容器可以有效减小版图面积,降低制作成本；计数器和 DAC 在切换完成后的静态功耗为 0,可以有效降低功耗。

## 附图说明

[0040] 为了更清楚地说明本发明实施例或现有技术中的技术方案,以下将对实施例或现有技术描述中所需要使用的附图作简单地介绍。显而易见地,以下描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员而言,还可以根据这些附图所示实施例得到其它的实施例及其附图。

[0041] 图 1 为传统的两通路 LED 驱动电路示意图;

[0042] 图 2 为根据本发明的实施例的多路电流源切换装置的原理框图;

[0043] 图 3 为本发明的示例实施例的数字控制的电流源切换电路示意图;

[0044] 图 4 为根据本发明的切换电路的计数器部分电路示意图;

[0045] 图 5 为根据本发明的切换电路中的数模转换器 DAC 部分电路示意图;

[0046] 图 6 为根据本发明的图 3-5 示例实施例的数字控制的电流源切换的仿真结果。

### 具体实施方式

[0047] 为使本发明的目的、技术方案及优点更加清楚明白,以下参照附图并举实施例,对本发明进一步详细说明。

[0048] 图 2 示出了根据本发明的实施例的多路电流源切换装置的原理框图。如果 2 所示,多路电流源切换装置包括切换控制单元 200、第一至第三恒流源电路、第一至第三切换电路和第一至第三负载。第一负载的一端连接到负载电源,另一端与第一恒流源电路的输出端以及第二负载的一端连接;第二负载的一端与第一负载的另一端以及第二恒流源电路的输出端连接;第三负载的一端与第二负载的另一端以及第三恒流源电路的输出端连接。在切换控制单元 200 的控制下,在不发生电路切换时,第一至第三切换电路中只有一个向相应的恒流源电路提供使该恒流源电路输出恒定电流的工作电压;在发生电路切换时,要关闭的切换电路输出的工作电压按照第一预定电压变化量降低直至为零,同时要开启的切换电路输出的工作电压按照预定电压变化量上升直至最高工作电压,使得在切换期间第一至第三负载任意之一上的电流不超过预定电流。

[0049] 图 2 仅以 3 路电流源切换为例进行说明。本领域技术人员理解,本发明可以应用于只有两路电流源切换以及 3 路以上的电流源切换。在具有 N 路电流源的情形下,多个负载中的第一负载的一端连接到负载电源,另一端与第一恒流源电路的输出端以及第二负载的一端连接。第 i 负载的一端与第 i-1 负载的另一端以及第 i 电流通路的恒流源电路的输出端连接。每一个电流通路中的恒流源电路经一个切换电路连接到切换控制单元并根据切换电路提供的电压输出电流。在切换控制单元的控制下,在不发生电路切换时,只有一个电流通路的切换电路向相应的恒流源电路提供使其输出恒定电流的工作电压;在发生电路切换时,要关闭的电流通路的切换电路输出的工作电压按照第一预定电压变化量降低直至为零,同时要开启的电流通路的切换电路输出的工作电压按照预定电压变化量上升直至最高工作电压,使得在预定的切换时间内任一负载上的电流不超过预定电流。其中,N 为不小于 2 的整数,  $i=2, 3, 4, \dots, N$ 。

[0050] 较佳地,每一切换电路具有相同的电路,包括计数器和数模转换器(DAC)。计数器在切换控制电路的控制下进行减计数和加计数之一,DAC 根据计数器的计数信号输出工作电压到恒流源电路的输入端以使输出电流降低或增加。切换控制单元对提供给多个切换电路中的每一个计数器的电平控制信号进行控制以使每一个计数器的电平控制信号同步变

化。

[0051] 本发明中,由于在发生电路切换时,并不是简单的关闭一通路和开启另一通路,而是逐渐以预定电压变化量降低一通路的输出电流并同时以预定电压变化量增加另一通路的输出电流,从而确保了在任一负载上的最大电流不超过预定电流,从而避免了由于控制信号的不同步导致的过流以及零电流的发生。进一步地,采用计数器和数模转换器组成的数字切换电路,通过数字控制,使得电路切换时,不仅各通路电流能实现平滑过渡,避免出现过电流和零电流的现象,还能够更为精确地对电路切换进行精确控制。

[0052] 图 3 示出了本发明的一个实施例的 3 路电流源切换装置的具体结构图。第一切换通路包括由第一计数器 201、第一数模转换器(DAC)202 组成的第一切换电路以及第一恒流模块 203。第二切换通路包括由第二计数器 204、第二数模转换器 205 的第二切换电路以及第二恒流模块 206。第三切换通路包括由第三计数器 207、第三数模转换器(DAC)208 组成的第三切换电路以及第三恒流模块 209。

[0053] 如图 3 所示,第一恒流模块由第一运算放大器,第一开关管  $M_{11}$  和第一采样电阻  $R_{11}$  构成。第二恒流模块由第二运算放大器,第二开关管  $M_{12}$  和第二采样电阻  $R_{12}$  构成。第三恒流模块由第三运算放大器,第三开关管  $M_{13}$  和第三采样电阻  $R_{13}$  构成。第一至第三恒流模块的电路结构以及工作原理相同。以第一恒流模块为例,开关管  $M_{11}$  的输出端即漏极连接到第一负载,源极经采样电阻  $R_{11}$  接地。第一恒流模块中的运算放大器的同相输入端连接到所述数模转换器 202 的输出端,反相输入端经采样电阻  $R_{11}$  接地。当第一运算放大器同相输入端接电压恒定时,第一输出电流保持恒定,当电压变化时,输出电流也发生相应的变化。第一恒流模块的输出电流大小可由下面等式表示:

$$[0054] \quad I = \frac{V_{INP1}}{R_1}。$$

[0055] 类似地,第二和第三恒流模块的输出电流大小为:

$$[0056] \quad I_2 = \frac{VINP2}{R_2}, \text{ 和 } I_3 = \frac{VINP3}{R_3}。$$

[0057] 第三计数器 201、204 和 207 的输入控制信号分别接收由切换控制单元提供的第一至第三电平控制信号 DOWN/UP1、DOWN/UP2 和 DOWN/UP3;第一至第三计数器的输入时钟信号端接收切换控制单元 200 提供的时钟 CLK;第一至第三计数器的输出分别连接到第一至第三 DAC202、205 和 208 的数字信号输入端,第一至第三 DAC202、205 和 208 的输出分别连接到第一至第三恒流模块 203、206 和 209 的第一至第三运算放大器的同相输入端,第一至第三恒流模块 203、206 和 209 分别输出第一至第三电流  $I_1$ 、 $I_2$  和  $I_3$ 。本实施例中,第一至第三计数器分别依据第一至第三电平控制信号 DOWN/UP1、DOWN/UP2 和 DOWN/UP3 和时钟信号 CLK 进行计数,计数信号分别输出到第一至第三 DAC,第一至第三 DAC 分别依据第一至第三计数器输出的计数信号产生相应的电压信号  $VINP1$ 、 $VINP2$  和  $VINP3$ 。第一至第三恒流模块分别依据第一至第三 DAC 输出的电压信号输出第一至第三电流。如图 3 所示,第一至第三电流分别如下:

$$[0058] \quad I_1 = \frac{VINP1}{R_1}, I_2 = \frac{VINP2}{R_2}, \text{ 和 } I_3 = \frac{VINP3}{R_3},$$

[0059] 式中, $VINP1$  至  $VINP3$  分别为由第一至第三数模转换器产生的、输入到第一至第三



运算放大器的同相输入端的电压信号。

[0060] 当由第三通路切换至第二通路时,第一电平控制信号 DOWN/UP1 保持高电平、第二电平控制信号 DOWN/UP2 由高电平变为低电平、第三电平控制信号 DOWN/UP3 由低电平变为高电平,第一至第三电平控制信号同步变化。第三电平控制信号 DOWN/UP3 使第三计数器 207 实现减计数功能,第三计数器输出使第三 DAC208 输出电压逐渐降低,从而使第三恒流模块 209 输出电流逐渐降低直到输出电流为 0,第二电平控制信号 DOWN/UP2 使第二计数器 204 实现加计数功能,第二计数器输出使第二 DAC205 输出电压逐渐升高,从而使第二恒流模块 206 输出电流逐渐升高至最大值。当由第二通路切换至第一通路时,第一电平控制信号 DOWN/UP1 由高电平变为低电平、第二电平控制信号 DOWN/UP2 由低电平变为高电平、第三电平控制信号 DOWN/UP3 保持高电平,各个控制信号同步变化。第二电平控制信号 DOWN/UP2 使第二计数器 204 实现减计数功能,第二计数器输出使第二 DAC205 输出电压逐渐降低,从而使第二恒流模块 206 输出电流逐渐降低直到输出电流为 0,第一电平控制信号 DOWN/UP1 使第一计数器 201 实现加计数功能,第一计数器输出使第一 DAC202 输出电压逐渐升高,从而使第一恒流模块 203 输出电流逐渐升高至最大值。

[0061] 在图 3 所示的实施例中,为简明起见,仅以 3 路电流源切换为例进行说明。本领域技术人员可以将其扩展到 N 路电流源切换的情形,N 为大于等于 2 的整数。在 N 路电源切换的情形中,具有 N 个负载、N 个切换电路、N 个恒流源电路。电平控制信号 DOWN/UP1、DOWN/UP2 和 DOWN/UP3...DOWN/UPn 由切换控制单元提供。由于同一时刻只有一个通路开启,所以同一时刻只有一个控制信号为低电平。当要实现通路切换时,需要关闭的通路电平控制信号由低变高的同时,需要开启的通路电平控制信号由高变低,并且其余控制信号中为高电平的信号保持高电平。

[0062] 图 4 示出了本发明的实施例的计数器的结构图。如图 4 所示,第一至第三计数器 201、204 和 207 中的每一个的电路结构以及工作原理相同。以第一计数器 201 为例,第一计数器 201 由 D 触发器 301 ~ 320、反相器 321 ~ 323、第一和第二三输入与门 324, 325、数据选择器 326 组成。DOWN/UP1 信号连接 D 触发器 301...310 的清零端、反相器 323、第一三输入与门 324 和数据选择器的输入端。反相器 323 的输出连接至第一三输入与门 324 的输入端以及 D 触发器 311, 312, ..., 320 的清零端。由切换控制单元提供的 CLK 信号连接第一和第二三输入与门 324 和 325 的输入端,第二三输入与门 325 输出连接 D 触发器 301...310 的时钟输入端,第一三输入与门 324 输出连接 D 触发器 311...320 的时钟输入端,D 触发器 301 和 311 输入接 VCC 高电平,Q 非输出分别连接 302 和 312 的 D 输入端,D 触发器 302...310 和 312...320 中,前一个触发器的 Q 输出端连接到下一个触发器的 D 输入端,D 触发器 310 和 320 的输出端分别连接反相器 321 和 322 的输入端,反相器 321 和 322 的输出分别连接到三输入与门 324 和 325 的输入端,D 触发器 301...310 输出对应由高至低位连接数据选择器的第一输入端,D 触发器 311...320 输出对应由低至高位连接数据选择器的第二输入端。D 触发器均为在时钟信号均的上升沿触发,并带有异步清零(低电平有效)。该计数器有加计数和减计数两个功能。当 DOWN/UP1 为高电平时,实现减计数功能,CLR2 信号有效,CLR1 信号无效,DATA\_A<9:0> 为 1000000000, DATA\_B<0:9> 为 1000000000,数据选择器 326 选通第一数据线 DATA\_A<9:0>。随着时钟信号的跳变,数据依次右移,计数从 1000000000、0100000000...至 0000000001,当输出为 0000000001 时,D 触发器 310 输出 1,反相器 321 输出 0,三输入

与门 325 输出 0, 计数停止, 计数输出送给 DAC, 实现通路电流的递减。当 DOWN/UP1 为低电平时, 实现加计数功能, CLR1 信号有效, CLR2 信号无效, DATA\_A<9:0> 为 1000000000, DATA\_B<0:9> 为 1000000000, 数据选择器 326 选通第二数据线 DATA\_B<0:9>。随着时钟的跳变, 依次左移, 计数从 0000000001、0000000010... 至 1000000000, 计数停止, 计数输出送给 DAC, 实现通路电流的递增。

[0063] 图 5 示出了本发明的与第一至第三计数器配合使用的第一至第三数模转换器的结构示意图。第一至第三 DAC 的结构以及工作原理完全相同。如图 5 所示, 以第一数模转换器为例, 第一数模转换器包括串联连接的分压电阻 R1...R9, 开关管 400...409, M42, M41, 反相器 Con42 和 Con41。分压电阻 R1, R2, ..., R9 串联连接。开关管 M41 的漏极连接到分压电阻 R1 的、未与分压电阻 R2 连接的一端, 源极接地, 栅极连接到反相器 Con41 的输出端。开关管 M42 的漏极连接到参考电压 VREF, 源极连接到开关管 409 的漏极以及分压电阻 R9 的、未与分压电阻 R8 串联连接的一端, 栅极连接到反相器 Con42 的输出端。开关管 402 至 408 的漏极分别依次连接到分压电阻 R1 和 R9 串联的连接端, 开关管 M400 的漏极连接到分压电阻 R1 和开关管 M41 的连接端, 开关管 M409 的漏极连接到分压电阻 R9 和开关管 M42 的源极的连接端; 第三数据线 DATA<9:0> 连接到开关管 400 至 409 的栅极和反相器 Con42 和 Con41 的输入端; 开关管 400 至 409 的源极连接到数模转换器的输出端。其中, 开关管 400, 401, ..., 409 的导通与关断依次由第一计数器输出的 DATA<0>, DATA<1>...DATA<9> 控制, 开关管 M42 由 DATA<0> 控制, 开关管 M41 由 DATA<9> 控制, 当第一计数器实现加计数功能时, 第一 DAC 输出电压 VOUT 递增, 当第一计数器增加到最大值即 DATA<9:0> 为 1000000000 时, 控制信号 DATA<9> 经过反相器 Con41 控制开关管 M41 关闭, 串联连接的电阻支路断开。当第一计数器实现减计数功能时, DAC 输出电压 VOUT 递减, 当第一计数器减小到最小值即 DATA<9:0> 为 0000000001 时, 控制信号 DATA<0> 经过反相器 Con42 控制开关管 M42 关闭, 串联连接的电阻支路断开。

[0064] 下面以第一计数器为例详细描述计数器的具体工作过程。当电平控制信号 DOWN/UP1 为高电平时, 第一计数器实现减计数功能。此时, 数据选择器 326 选通 DATA\_A<9:0>, CLR2 信号有效, DATA\_B<0:9> 为 1000000000, DATA\_A<9:0> 为 1000000000, D 触发器 301~310 输出为 1000000000。随着时钟信号的跳变, 数据依次右移, 计数输出从 1000000000、0100000000... 变化, 直至 D 触发器 310 输出高电平经反相器 321 变为低电平, 该低电平经与门 325 与时钟信号相与, 减计数停止。同理, 当电平控制信号 DOWN/UP1 为低电平时, 第一计数器实现加计数功能。此时, 数据选择器 326 选通 DATA\_B<0:9>, CLR1 信号有效, DATA\_A<9:0> 为 1000000000, DATA\_B<0:9> 为 1000000000, D 触发器 311~320 输出为 1000000000, 由于 DATA\_B<0:9> 对应数据选择器 326 输出的 DATA<9:0>, 所以随着时钟信号的跳变, 数据依次右移, 计数输出从 0000000001、0000000001... 变化, 直至 D 触发器 320 输出高电平经反相器 322 变为低电平, 该低电平经与门 324 与时钟信号相与, 加计数停止。

[0065] 如图 5 所示, 本发明的多路电流源切换电路中的 DAC 部分工作过程为: 计数器输出 DATA<9:0> 作为该 DAC 的输入信号, DATA<9> ~ DATA<0> 依次分别控制 MOS 开关管 409 ~ 400 的导通与关断, M42 由 DATA<0> 控制, M41 由 DATA<9> 控制。当计数器处于加计数工作状态时, MOS 开关管从 400、401... 至 409 逐次导通, 并由分压电阻分压, 输出按照  $1/9V_{ref}$  的预定电压变化量从 0V,  $1/9V_{ref}$ ,  $2/9V_{ref}$ ... 变化至等于  $V_{ref}$ , 当计数器增加到最大值即

DATA<9:0> 为 1000000000 输出电压等于  $V_{ref}$  时,控制信号 DATA<9> 经过反相器 Con41 控制开关管 M41 关闭,电阻串支路断开且该支路电流为 0。当计数器处于减计数工作状态时,MOS 开关管从 409、408...至 400 逐次导通,并由分压电阻分压,输出按照  $1/9V_{ref}$  的预定电压变化量从  $V_{ref}$ ,  $8/9V_{ref}$ ...最终变为 0V,当计数器减小到最小值即 DATA<9:0> 为 0000000001 输出电压等于 0V 时,控制信号 DATA<0> 经过反相器 Con42 控制开关管 M42 关闭,电阻串支路断开且该支路电流为 0。

[0066] 在本实施实例中,当要求通路切换时,需要关闭的通路以及需要开启的通路中的相应的计数器依据电平控制信号和时钟信号开始计数,计数输出发送到相应的 DAC, DAC 依据计数输出信号,产生相应的电压变化信号,控制相应的运算放大器的同相输入端的电压大小,实现对输出电流的控制,进而实现对通路电流切换的控制。当不需要切换时,需要开启的通路在切换控制单元的控制下一直保持接通,相应的恒流源电路即恒流模块输出恒定的电流。

[0067] 下面结合图 3-5 描述的多路电流源切换电路的切换过程。当某一时刻,收到切换控制单元的控制输出信号,需要关闭第一通路,打开第二通路,此时输送给第一计数器的电平控制信号 DOWN/UP1 端由低电平变为高电平,同时输入给第二计数器的电平控制信号 DOWN/UP2 端由高电平变为低电平,第一和第二计数器开始计数。第一计数器 201 实现减计数功能,计数从 1000000000、0100000000...至 0000000001,第一 DAC202 输出电压由  $V_{ref}$  逐渐降低至 0,通路 1 电流逐渐降低至 0。与此同时,第二计数器 204 实现加计数功能,计数从 0000000001、0000000010...至 1000000000。第二 DAC205 输出电压由 0 逐渐升高至  $V_{ref}$ ,通路 2 电流逐渐升高。从而实现了 2 路电流的切换。类似地,按照相同的方式完成其他通路之间的切换。这样,在通路切换期间,在任一负载上,例如第一负载上的电流不会出现零电流,并且最大电流为不超过预定电流,预定电流为  $I_1$  和  $I_2$  中的最大值。在各个恒流源电路及恒流模块完全相同的情形下,在通路切换期间,任一负载例如第一负载上的电流不会超过预定电流  $I_1$ 。本发明中,电平控制信号由切换控制单元产生。对于多切换通路,同一时刻只有一路开启,一路关闭。当某一通路的控制信号有效的同时,前一个通路中的有效的控制信号需要变为无效,且同一时刻只能有一通路的控制信号有效。只要控制信号是同步变化的,相应的计数器在时钟的控制下就会同步变化。

[0068] 图 4 和图 5 的多通路电流源切换的仿真结果如图 6 所示。图中曲线为两路切换时,第一恒流模块 203 中运算放大器的相端电压 VINP1 的曲线,及第二恒流模块 206 中运算放大器同相输入端接电压 VINP2 的曲线。此时,  $V_{ref}$  为 1V,可以看出:要关断的通路,电压台阶状逐次降低至 0V;同时要打开的通路,电压台阶状逐次升高至 1V。又由  $I_1 = \frac{VINP1}{R_1}$  及

$I_2 = \frac{VINP2}{R_2}$ ,即电路中要关断通路电流的逐次降低,要打开通路电流的逐次升高,进而实现电路中各通路的电流切换。

[0069] 在图 4 和图 5 的实施例中,以数据线为 10 路、串联连接的分压电阻为 9 个、相应的与分压电阻连接的开关管为 10 个、DAC 为 10 位为例进行了描述。本领域技术人员能够理解,根据所需要的控制精度,第三数据线可以为 P 位, DATA<P-1:0>。相应地,串联连接的分压电阻为 P-1,相应的与分压电阻连接的开关管为 P 个, DAC 为 P 位,其中 P 为大于 2 的整

数。并且,第一数据线为 DATA\_A<P-1:0>,第二数据线为 DATA\_B<P-1:0>;与第一数据线连接的 D 触发器为 P 个,与第二数据线连接的 D 触发器为 M 个。

[0070] 在 P 位的情形下,与图 3 所示的 10 路情形相似,以第一计数器 201 为例,第一计数器 201 由 D 触发器 1~P, P+1~2P、反相器 321~323、第一和第二三输入与门 324, 325、数据选择器 326 组成。DOWN/UP1 信号连接 D 触发器 1, 2, ..., P 的清零端、反相器 323、第一三输入与门 324 和数据选择器的输入端。反相器 323 的输出连接至第一三输入与门 324 的输入端以及 D 触发器 P+1, P+2, ..., 2P 的清零端。由切换控制单元提供的 CLK 信号连接第一和第二三输入与门 324 和 325 的输入端,第二三输入与门 325 输出连接 D 触发器 1, 2, ..., P 的时钟输入端,第一三输入与门 324 输出连接 D 触发器 P+1, P+2, ..., 2P 的时钟输入端, D 触发器 1 和 P+1 输入接 VCC 高电平, Q 非输出分别连接 D 触发器 2 和 P+2 的 D 输入端,在 D 触发器 2, 3, ..., P 中和在 D 触发器 P+2, P+3, ..., 2P 中,前一个触发器的 Q 输出端连接到下一个触发器的 D 输入端, D 触发器 P 和 2P 的输出端分别连接反相器 321 和 322 的输入端,反相器 321 和 322 的输出分别连接到三输入与门 324 和 325 的输入端, D 触发器 1, 2, ..., P 输出对应由高至低位连接数据选择器的第一输入端, D 触发器 P+1, P+2, ..., 2P 输出对应由低至高位连接数据选择器的第二输入端。D 触发器均为在时钟信号均的上升沿触发,并带有异步清零(低电平有效)。同样,该计数器有加计数和减计数两个功能。当 DOWN/UP1 为高电平时,实现减计数功能, CLR2 信号有效, CLR1 信号无效, DATA\_A<P-1:0> 为 1000000000, DATA\_B<0:P-1> 为 1000000000, 数据选择器 326 选通第一数据线 DATA\_A<P-1:0>。随着时钟信号的跳变,数据依次右移,计数从  $2^{P-1}$ 、 $2^{P-2}$ ... 至  $2^1$ 、 $2^0$ , 当输出为  $2^0$  时, D 触发器 P 输出 1, 反相器 321 输出 0, 三输入与门 325 输出 0, 计数停止, 计数输出送给 DAC, 实现通路电流的递减。当 DOWN/UP1 为低电平时,实现加计数功能, CLR1 信号有效, CLR2 信号无效, DATA\_A<P-1:0> 为  $2^{P-1}$ , DATA\_B<0:P-1> 为  $2^{P-1}$ , 数据选择器 326 选通第二数据线 DATA\_B<0:P-1>。随着时钟的跳变,依次左移,计数从  $2^0$ 、 $2^1$ ... 至  $2^{P-2}$ ,  $2^{P-1}$ , 计数停止, 计数输出送给 DAC, 实现通路电流的递增。

[0071] 在 P 位的情形下,数模转换器的结构与图 5 所示的结构相似。例如,以第一数模转换器为例,第一数模转换器包括串联连接的分压电阻 R1...RP-1, 开关管 1, 2, ..., P, 开关管 M42, M41, 反相器 Con42 和 Con41。分压电阻 R1, R2, ..., RP-1 串联连接。开关管 M41 的漏极连接到分压电阻 R1 的、未与分压电阻 R2 连接的一端,源极接地,栅极连接到反相器 Con41 的输出端。开关管 M42 的漏极连接到参考电压 VREF, 源极连接到开关管 P 的漏极以及分压电阻 RP-1 的、未与分压电阻 RP-2 串联连接的一端,栅极连接到反相器 Con42 的输出端。开关管 2 至 P-1 的漏极分别依次连接到分压电阻 R1 和 RP-1 串联的连接端,开关管 1 的漏极连接到分压电阻 R1 和开关管 M41 的连接端,开关管 P 的漏极连接到分压电阻 RP-1 和开关管 M42 的源极的连接端;第三数据线 DATA<P-1:0> 连接到开关管 1 至 P 的栅极和反相器 Con42 和 Con41 的输入端;开关管 1 至 P 的源极连接到数模转换器的输出端。其中,开关管 1, 2, ..., P 的导通与关断依次由第一计数器输出的 DATA<0>, DATA<1>...DATA<P-1> 控制,开关管 M42 由 DATA<0> 控制,开关管 M41 由 DATA<P-1> 控制。当第一计数器实现加计数功能时,第一 DAC 输出电压 VOUT 递增,当第一计数器增加到最大值即 DATA<P-1:0> 为 1000000000 时,控制信号 DATA<P-1> 经过反相器 Con41 控制开关管 M41 关闭,串联连接的电阻支路断开。当第一计数器实现减计数功能时, DAC 输出电压 VOUT 递减,当第一计数器减小到最小值即 DATA<P-1:0>

为 1 时,控制信号 DATA<0> 经过反相器 Con42 控制开关管 M42 关闭,串联连接的电阻支路断开。

[0072] 在 P 位的情形下,计数器以及数模转换器的工作原理与 10 位的情形相似。所不同的是,在通路切换过程中,数模转换器输出的电压按照预定电压变化量即  $1/(P-1)V_{ref}$  上升或下降直到最大值或者为零。

[0073] 由以上电路分析可知,本发明中,在没有发生切换时,开启的通路的电流保持恒定。当需要进行通路切换时,可以保证要关断的通路,电流逐次降低,与此同时要打开的通路,电流逐次增大。因此,本发明可以实现总体电路切换电流的平滑变化,有效避免了过电流和零电流的现象。而且,本发明中电路未采用电容器可以有效减小版图面积,降低制作成本;计数器和 DAC 在切换完成后的静态功耗为 0,可以有效降低功耗。

[0074] 以上所述仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。凡在本发明的精神和原则之内,所作的任何修改、等同替换以及改进等,均应包含在本发明的保护范围之内。

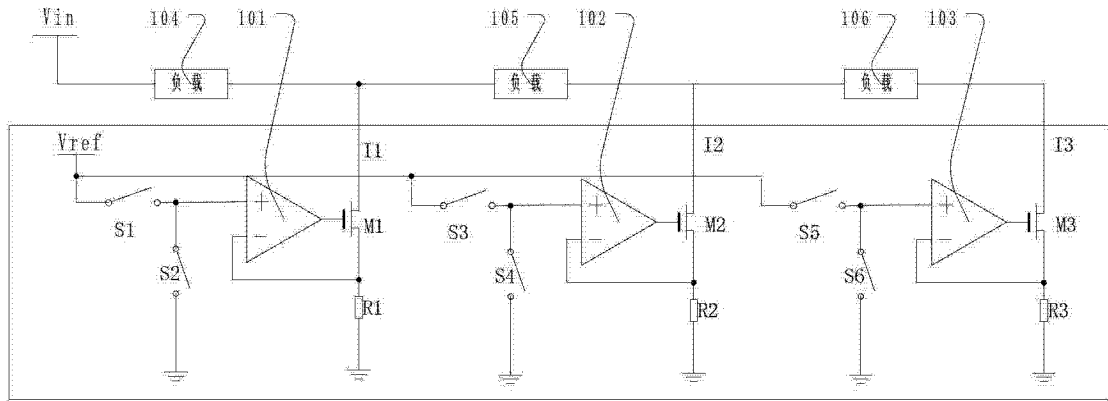


图 1

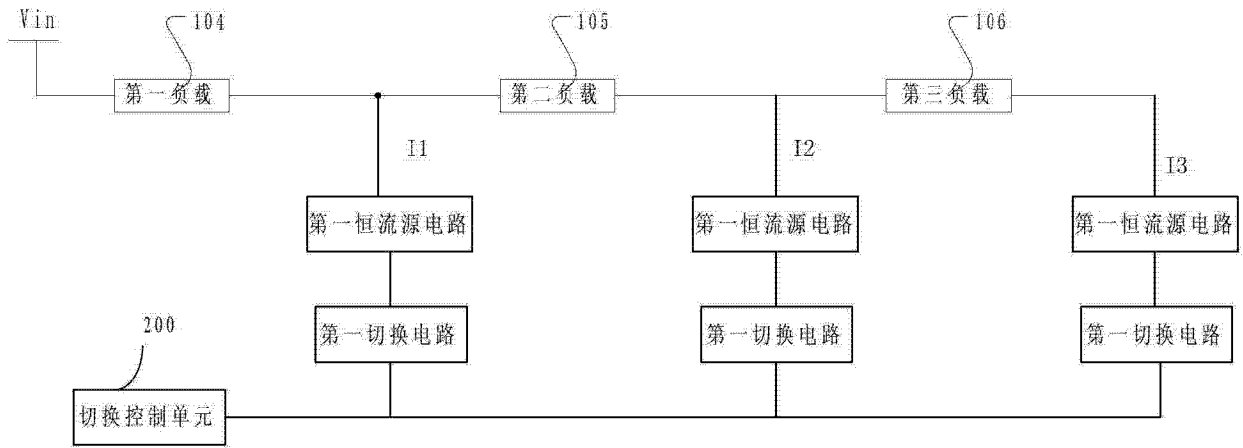


图 2

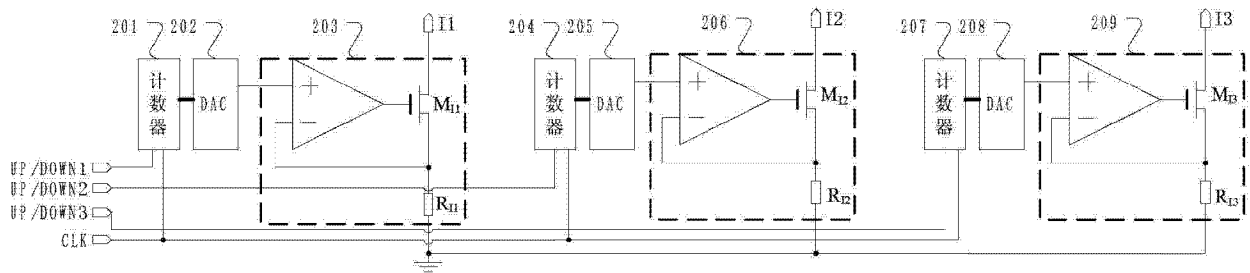


图 3

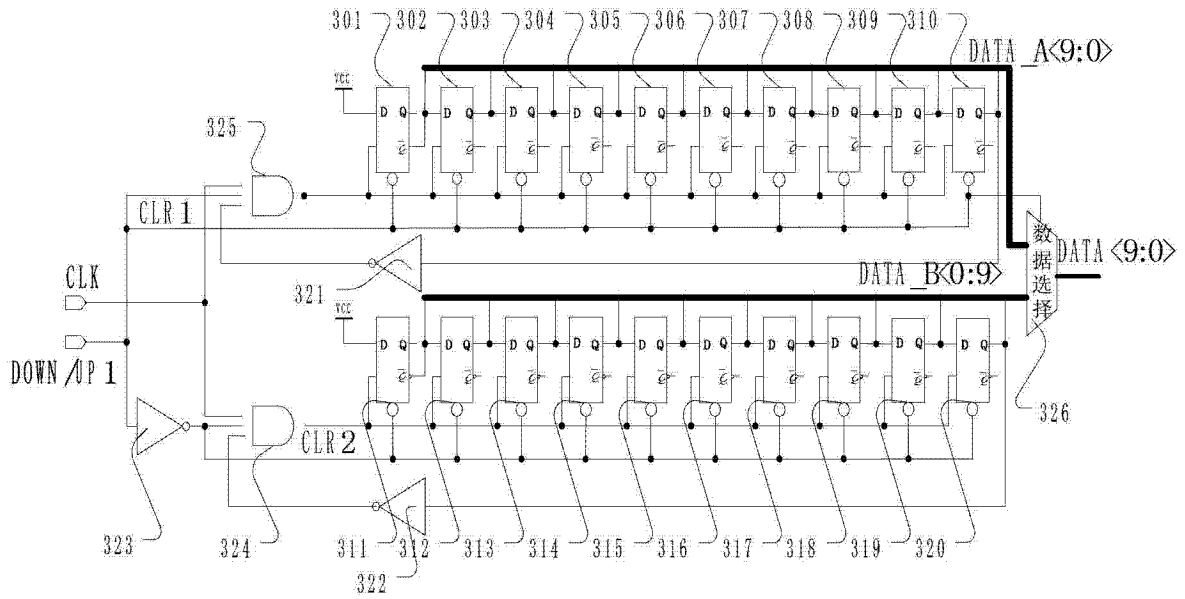


图 4

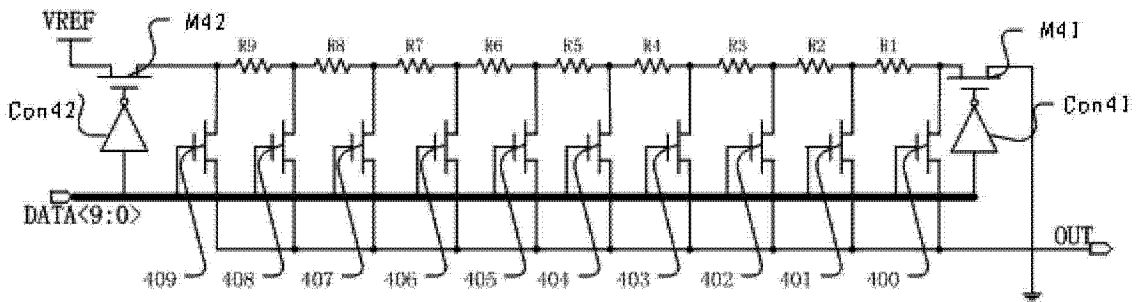


图 5

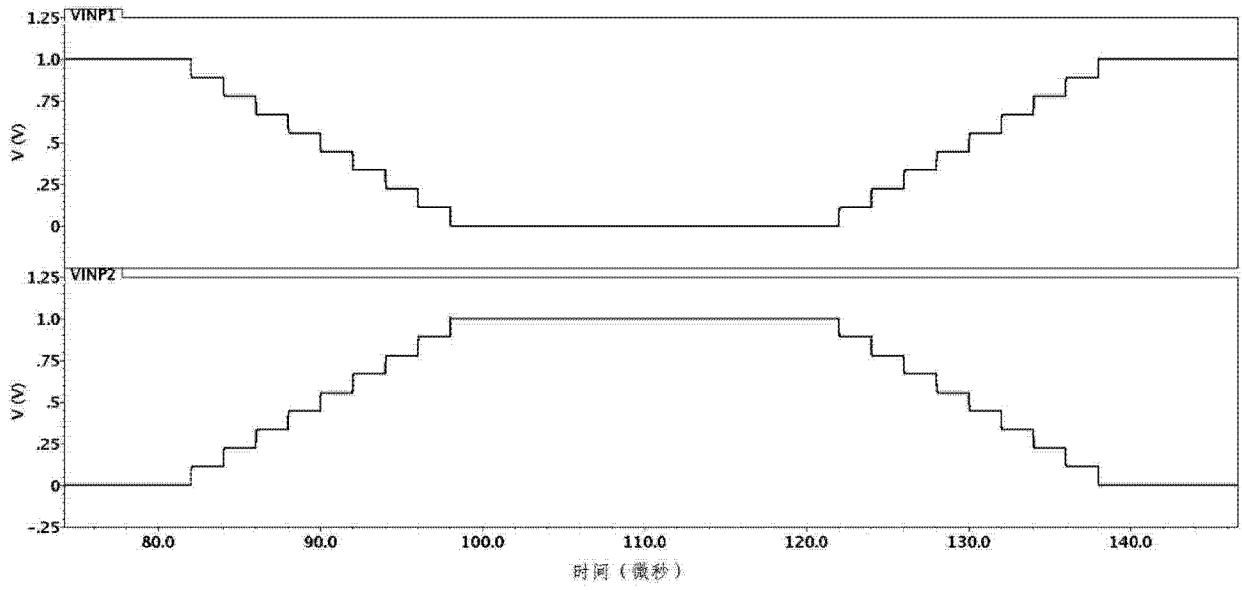


图 6