

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3813489号

(P3813489)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月9日(2006.6.9)

(51) Int. Cl. F I
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/065 (2006.01)

請求項の数 7 (全 9 頁)

(21) 出願番号	特願2001-331187 (P2001-331187)	(73) 特許権者	000005049
(22) 出願日	平成13年10月29日(2001.10.29)		シャープ株式会社
(65) 公開番号	特開2003-133510 (P2003-133510A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成15年5月9日(2003.5.9)	(74) 代理人	110000338
審査請求日	平成16年6月18日(2004.6.18)		特許業務法人原謙三国際特許事務所
		(74) 代理人	100080034
			弁理士 原 謙三
		(72) 発明者	十楚 博行
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	曾田 義樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 積層型半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体チップを保持する基板を有する B G A タイプの半導体装置が、複数、上記基板の厚さ方向に互いに積層されて設けられ、

互いに隣り合う各 B G A タイプの半導体装置間の電氣的導通を確保するための接続部が上記各 B G A タイプの半導体装置間の間隔を維持するように設けられ、

上記各基板の内の少なくとも一つの基板は、その表面の面積が他の基板における表面の面積より大きく設定されて、上記他の基板より外方に突出した突出部を有していることを特徴とする積層型半導体装置。

【請求項2】

半導体チップを保持する基板を有する B G A タイプの半導体装置が、複数、上記基板の厚さ方向に互いに積層されて設けられ、

互いに隣り合う各 B G A タイプの半導体装置間の電氣的導通を確保するための接続部が上記各 B G A タイプの半導体装置間の間隔を維持するように設けられ、

上記各基板は、その表面の面積が他の基板における表面の面積より、基板の厚さ方向に沿って順次大きくなるように設定されており、

最も小さい基板以外の各基板は、それと隣り合う、小さい基板より外方に突出した突出部を有していることを特徴とする積層型半導体装置。

【請求項3】

互いに積層された各 B G A タイプの半導体装置を保持する実装基板が設けられ、

10

20

より大きい基板を有する B G A タイプの半導体装置は、実装基板に対して他の B G A タイプの半導体装置より離間した位置に配置されていることを特徴とする請求項 1 または 2 記載の積層型半導体装置。

【請求項 4】

上記突出部は、実装基板に対面するように設けられていることを特徴とする請求項 3 記載の積層型半導体装置。

【請求項 5】

上記実装基板に対面する突出部上に、電子部品が取り付けられていることを特徴とする請求項 4 に記載の積層型半導体装置。

【請求項 6】

上記突出部に対面する実装基板上に、電子部品が取り付けられていることを特徴とする請求項 4 または 5 記載の積層型半導体装置。

【請求項 7】

上記接続部側の基板上に、半導体チップが保持されていることを特徴とする請求項 1 ないし 6 の何れか 1 項に記載の積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップを有する半導体基板を複数互いに積層した、高機能化及び小型化（薄型化）に有用な積層型半導体装置に関するものである。

【0002】

【従来の技術】

近年、電子機器の小型化の要求に対応するものとして、また、組立工程の自動化に適合するものとして、C S P (Chip Size Package) 式の半導体装置が広く用いられている。

【0003】

上記半導体装置においては、実装効率を高めるために、B G A (Ball Grid Array) タイプの半導体装置を複数積み重ね、電氣的に接続した積層半導体装置が知られている。このような積層半導体装置としては、例えば特開平 1 1 - 2 6 0 9 9 9 号公報や、特開平 1 1 - 3 1 7 4 9 4 号公報に開示されたものが挙げられる。

【0004】

上記特開平 1 1 - 2 6 0 9 9 9 号公報に記載の積層半導体装置は、上面又は内部に半導体素子を搭載し、下面に球状金属接続部材を備えた 1 又は 2 以上の回路基板と、上面に複数の受動部品を搭載し、下面に球状金属接続部材を備えた少なくとも 1 つの回路基板とを、該球状金属接続部材で基板間を接続して積層してなるものである。

【0005】

上記受動部品としては、半導体装置の高速化に伴う、スイッチングノイズの低減のためのバイパスコンデンサや、信号ラインの終端における信号の反射を抑制するために、信号ラインの終端に挿入された終端抵抗が挙げられる。これら受動部品は、表面実装できるようにチップ部品化されている。

【0006】

前記特開平 1 1 - 3 1 7 4 9 4 号公報に記載の積層半導体装置は、図 6 に示すように、キャリア 2 1 にチップセレクトチップ 2 3 とメモリチップ 2 4 とを搭載し、スタックパンブ 2 7 によるスタック用のスタックパッドを設け、上記キャリア 2 1 を所望の段数スタックした、チップセクタ入り三次元メモリモジュールである。このような三次元メモリモジュールは、スタックパンブ 2 7 を介して実装基板 2 9 上に実装されて使用される。

【0007】

上記各公報に記載の積層半導体装置は、実装基板上に電氣的に、機械的に接続されて用いられる。また、実装基板上には、搭載した半導体素子や、メモリチップ 2 4 や、チップセレクトチップ 2 3 の搭載位置と異なる位置上に、外部接続端子や、配線パターン、さらに必要に応じて受動部品が設けられている。

10

20

30

40

50

【 0 0 0 8 】

【 発明が解決しようとする課題 】

ところが、上記各従来では、大型化を招来するという問題を生じている。つまり、特開平 1 1 - 2 6 0 9 9 号公報に記載の積層半導体装置は、受動部品のための基板を別に設けたため、高さが高くなり大型化するという問題を有している。一方、特開平 1 1 - 3 1 7 4 9 4 号公報に記載の積層半導体装置は、キャリア 2 1 上にチップセレクトチップ 2 3 とメモリチップ 2 4 との双方を搭載しているため、チップセレクトチップ 2 3 の搭載部分、キャリア 2 1 の面積が大きくなり、やはり大型化するという問題を有している。

【 0 0 0 9 】

【 課題を解決するための手段 】

本発明の積層型半導体装置は、以上の課題を解決するために、半導体チップを保持する基板を有する半導体装置が、複数、上記基板の厚さ方向に互いに積層されて設けられ、互いに隣り合う各半導体装置間の電氣的導通を確保するための接続部が上記各半導体装置間の間隔を維持するように設けられ、上記各基板の内の少なくとも一つの基板は、その表面の面積が他の基板における表面の面積より大きく設定されて、上記他の基板より外方に突出した突出部を有していることを特徴としている。

10

【 0 0 1 0 】

ところで、上記構成は、実装基板上に実装、つまり電氣的、機械的に取り付けられて使用される。このような実装基板では、上記構成を搭載する面積以外に、外部との接続や、受動素子を搭載したり、それらの間を接続するための実装基板用配線パターンを形成したりする部分が必要なため、上記構成よりも表面の面積が大きく設定されていることが多い。

20

【 0 0 1 1 】

このことにより、単に、互いに大きさのそろった各半導体装置のみを積層した従来の積層型半導体装置を実装基板上に実装した場合、実装基板上に従来の積層型半導体装置がない、何ら電子部品が存在しない空間を有することになる。

【 0 0 1 2 】

一方、本発明の構成によれば、半導体装置の基板における表面の面積より表面の面積が大きく設定されて、上記半導体装置より外方に突出した突出部を有している半導体装置を、少なくとも一つ用いることで、上記突出部に受動素子などの電子部品を配置して、上記空間も利用できるようになり、上記構成の実装効率を向上でき、大型化を回避できる。

30

【 0 0 1 3 】

本発明の他の積層型半導体装置は、以上の課題を解決するために、半導体チップを保持する基板を有する半導体装置が、複数、上記基板の厚さ方向に互いに積層されて設けられ、互いに隣り合う各半導体装置間の電氣的導通を確保するための接続部が上記各半導体装置間の間隔を維持するように設けられ、上記各基板は、その表面の面積が他の基板における表面の面積より、基板の厚さ方向に沿って順次大きくなるように設定されており、最も小さい基板以外の各基板は、それと隣り合う、小さい基板より外方に突出した突出部を有していることを特徴としている。

【 0 0 1 4 】

上記構成では、突出部をより多く設けることができ、実装効率をより向上でき、大型化の回避をより確実化できる。

40

【 0 0 1 5 】

上記積層型半導体装置においては、互いに積層された各半導体装置を保持する実装基板が設けられ、より大きい基板を有する半導体装置は、実装基板に対して他の半導体装置より離間した位置に配置されていることが好ましい。

【 0 0 1 6 】

上記構成は、より大きい基板を有する半導体装置を、実装基板に対して他の半導体装置より離間した位置に配置したことにより、より大きい基板を有する半導体装置と、実装基板との間の空間を、より広く確保することを確実化できて、実装効率をより向上でき、大型化の回避をより確実化できる。

50

【 0 0 1 7 】

上記積層型半導体装置では、上記突出部は、実装基板に対面するように設けられていることが望ましい。

【 0 0 1 8 】

上記積層型半導体装置においては、上記実装基板に対面する突出部上に、電子部品が取り付けられていることが好ましい。

【 0 0 1 9 】

上記積層型半導体装置では、上記突出部に対面する実装基板上に、電子部品が取り付けられていることが望ましい。

【 0 0 2 0 】

上記積層型半導体装置においては、上記接続部側の基板上に、半導体チップが保持されていることが好ましい。

【 0 0 2 1 】

【 発明の実施の形態 】

本発明の実施の形態について図 1 ないし図 5 に基づいて説明すれば、以下の通りである。

【 0 0 2 2 】

本発明の積層型半導体装置は、図 1 に示すように、略長方形板状の半導体装置 1 を 2 つ以上、各半導体装置 1 の厚さ方向に互いに積層して有している。上記半導体装置 1 は、略長方形板状の基板 2 と、基板 2 の中央部にワイヤボンディング方式にて搭載された半導体チップ 3 とを備えている。

【 0 0 2 3 】

基板 2 の素材としては、シリコン樹脂等の耐薬品性及び耐熱性に優れ、弾性を有するものであればよく、また、グラスファイバーを含ませた強化樹脂であってもよい。半導体チップ 3 としては、略長方形板状の樹脂製やセラミック製のパッケージに収納された CPU (Central Processing Unit) やメモリが挙げられる。以下では、同一の機能・サイズを有する半導体チップ 3 を複数それぞれ用いた例を挙げるが、上記各半導体チップ 3 は相互に異なる機能やサイズをそれぞれ有していてもよい。

【 0 0 2 4 】

まず、積層する前の上記半導体装置 1 について説明する。半導体装置 1 では、図 2 に示すように、半導体チップ 3 は、Cu 箔により配線パターンが形成された基板 2 の中央部に設けられた貫通開口部 2 a 内に半導体チップ 3 を仮固定し、半導体チップ 3 と基板 2 の配線パターンとを Au ワイヤ 7 により接続し、貫通開口部 2 a 内に半導体チップ 3 をトランスファーマールド法による樹脂封止部 8 により封止して設けられている。

【 0 0 2 5 】

よって、半導体チップ 3 における、Au ワイヤ 7 により接続される各端子を有する前面の反対面となる背面は、後述する第二表面 2 c と面一となっている。樹脂封止部 8 も、第二表面 2 c 側にて、第二表面 2 c と面一となっている。また、半導体チップ 3 の前面及び Au ワイヤ 7 を覆う側の樹脂封止部 8 の表面は、それが後述する第一表面 2 b から基板 2 の厚さ方向に突出する高さを後述する外部端子部 5 による接続部 6 の高さより低くなるように設定されている。

【 0 0 2 6 】

このように、半導体チップ 3 の各端子を接続部 6 側に設定すると共に、樹脂封止部 8 を、その背面を第二表面 2 c と面一とし、その前面を接続部 6 より低く設定したことにより、半導体装置 1 を積層したときに得られる積層型半導体装置の厚さを小さくできて、薄型化が可能となる。

【 0 0 2 7 】

半導体装置 1 の基板 2 には、半導体チップ 3 の搭載部分と相違する位置、例えば上記基板 2 の周辺部である各端部のそれぞれの表面上に、互いに隣り合う上記各半導体装置 1 を電氣的に接続し、かつ機械的に結合するためのランド部 4 と、外部端子部 5 とが互いに対応するもの同士を電氣的に接続して設けられている。なお、図では、ランド部 4 と外部端子

10

20

30

40

50

部5とを、基板2の長手方向または短手方向両端部に設けたように図示しているが、四周边部にそれぞれ設けることが好ましい。

【0028】

外部端子部5は、半導体チップ3における、Auワイヤ7により結線した前面側となる基板2の第一表面2bに、かつ互いに隣り合う他の半導体装置1のランド部4に対面する位置に設けられている。よって、ランド部4は、第一表面2bの反対面である第二表面2cにそれぞれ設けられている。なお、後述する最上段となる半導体装置11では、ランド部4の形成を省いてもよい。

【0029】

外部端子部5は、略球状のはんだボールをリフロー処理により形成されており、よって、基板2上にて、基板2の厚さ方向の外方に向かって立設されていて、各半導体装置1を互いに積層したとき、互いに隣り合う各半導体装置1を電氣的に接続すると共に互いに離間した状態で機械的に結合できるものとなっている。

10

【0030】

ランド部4と、外部端子部5と、半導体チップ3との相互間の電氣的な接続は、第一表面2b上の配線パターン、第二表面2c上の配線パターン、及び基板2を厚さ方向に貫通したスルーホール2dに充填された導電体を介して行われている。

【0031】

上記スルーホール2dは、互いに対応するランド部4と外部端子部5とを電氣的に接続するために、基板2をその厚さ方向に貫通するように設けられている。上記スルーホール2dには、アルミニウムや銅のような導電体が充填されている。上記導電体における外部端子部5の形成面とは反対側の、基板2上の露出端面は、ランド部4となっている。

20

【0032】

本発明の積層型半導体装置では、これらのような各半導体装置1をそれらの厚さ方向に互いに重ね合わせ、加熱して積層したときに、互いに対面した位置のランド部4と、外部端子部5とによって、図1に示すように、略円柱状の接続部6がマトリックス状(碁盤の目状)にそれぞれ形成されている。

【0033】

上記各接続部6の相互間での間隔は、特に限定されないが、互いの絶縁状態を維持しながら、全体の小型化を図るために、基板2の表面方向における外部端子部5の直径程度が好ましい。上記間隔が上記直径のとき、上記各接続部6のピッチは、上記直径の2倍程度となる。上記接続部6によって、積層により隣り合う各半導体装置1は、互いに間隔を有しながら(離間しながら)、電氣的に接続され、かつ機械的に結合されることになる。

30

【0034】

そして、上記積層型半導体装置においては、互いに隣り合う各半導体装置1内における最上段(半導体装置1の厚さ方向端部で、ランド部4側)の半導体装置11が、他の半導体装置1より表面の面積を大きくして、他の半導体装置1よりそれらの表面方向に沿って外方に突出する、片持ち構造(ひさし構造)の突出部11aを有している。

【0035】

また、このような突出部11aの接続部6側の表面上には、図3にも示すように、スイッチングノイズを除去するコンデンサや、信号の反射を除去する終端抵抗といった受動素子9が電子部品として設けられ、その受動素子9を半導体装置11の配線パターンや、信号ラインや、バスラインに接続するための突出部配線パターンが設けられている。

40

【0036】

上記受動素子9としては、他に、スイッチやコイルを用いることができる。さらに、受動素子9に代えて、能動素子、例えばトランジスタ、ダイオード、フォトダイオードといった、電子部品や、CSP、ICチップ(フリップチップ接続)といった電子部品も用いることもできる。上記受動素子9や能動素子は、実装が容易なことからチップ型が好ましい。

【0037】

50

このような積層型半導体装置は、図4に示すように、実装基板10上に実装、つまり電氣的、機械的に取り付けられて使用される。このような実装基板10では、積層型半導体装置を搭載する面積以外に、外部との接続や、受動素子を搭載したり、それらの間を接続するための実装基板用配線パターンを形成したりする部分が必要なため、半導体装置1よりも表面の面積が大きく設定されていることが多い。

【0038】

このことにより、単に、半導体装置1のみを積層した従来の積層型半導体装置を実装基板10上に実装した場合、実装基板10上に従来の積層型半導体装置がない空間を有することになる。

【0039】

ところが、本発明では、半導体装置1の表面の面積より表面の面積が大きく設定されて、上記半導体装置1より外方に突出した突出部11aを有している半導体装置11を、少なくとも一つ用いることで、上記突出部11aに受動素子9などを配置して、上記空間も利用できるようになり、実装効率を向上できる。

【0040】

また、本発明においては、特開平11-260999号公報に記載のように、別層に受動部品のための回路基板を設けた場合と比べて、高速化などのための受動素子9を半導体装置1や半導体装置11に対してより近くに配置できて、より高速化できる。

【0041】

本発明の一変形例としては、図5に示すように、最上段の半導体装置11の下段に、半導体装置11より小さいが、半導体装置1より表面の面積が大きい半導体装置12を設け、その半導体装置12の下段に半導体装置1というように、下段から上段に向かって、半導体装置の外形サイズ(表面の面積)が順次大きくなるように積層してもよい。

【0042】

これにより、半導体装置11と実装基板10との間の空間に、より多くの突出部を設けることができ、上記各突出部にそれぞれ受動素子9などを設けることによって、より一層実装効率及び高速化の改善が可能となる。

【0043】

さらに、図4に示すように、半導体装置11の突出部11aに対面する、実装基板10上にも受動素子9などを設けてもよい。これによって、より一層実装効率及び高速化の改善が可能となる。

【0044】

なお、上記では、半導体チップ3を基板2に対してワイヤボンディング方式にて搭載した例を挙げたが、それ以外の、例えばフリップチップ方式にて搭載した半導体装置を用いることも可能である。

【0045】

【発明の効果】

本発明の積層型半導体装置は、以上のように、半導体チップを保持する基板を有する半導体装置が、複数、上記基板の厚さ方向に互いに積層されて設けられ、上記各基板の内の少なくとも一つの基板は、その表面の面積が他の基板における表面の面積より大きく設定されて、上記他の基板より外方に突出した突出部を有している構成である。

【0046】

それゆえ、上記構成は、半導体装置の基板における表面の面積より表面の面積が大きく設定されて、上記半導体装置より外方に突出した突出部を有している半導体装置を、少なくとも一つ用いることで、上記突出部に受動素子などの電子部品を配置して、上記構成の実装効率を向上でき、大型化を回避できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の積層型半導体装置の正面構成図である。

【図2】上記積層型半導体装置に用いる半導体装置の構成図であって、(a)は平面図、(b)は正面図、(c)裏面図である。

10

20

30

40

50

【図3】上記積層型半導体装置の裏面側から見た斜視図である。

【図4】上記積層型半導体装置を実装基板に実装したときの正面構成図である。

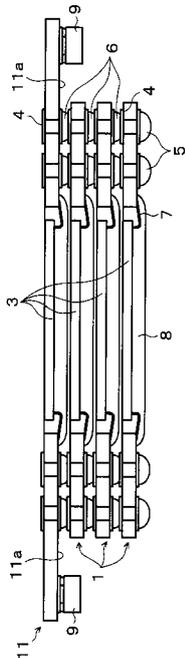
【図5】上記積層型半導体装置の一変形例を示す正面構成図である。

【図6】従来の積層型半導体装置を示す正面構成図である。

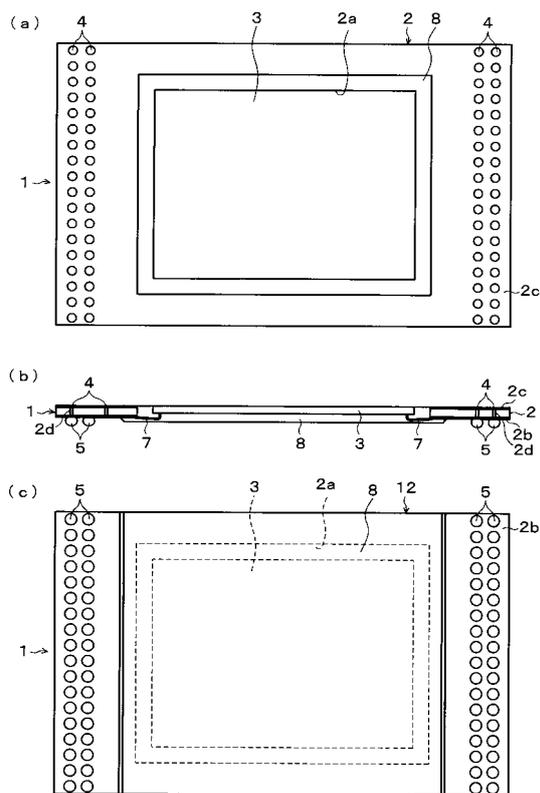
【符号の説明】

- 1、11、12 半導体装置
- 2 基板
- 3 半導体チップ
- 6 接続部
- 9 受動素子(電子部品)
- 11a 突出部

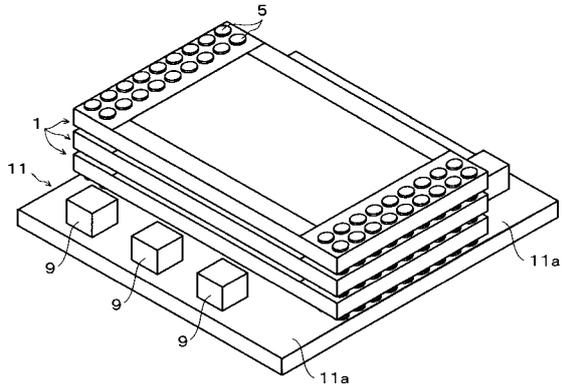
【図1】



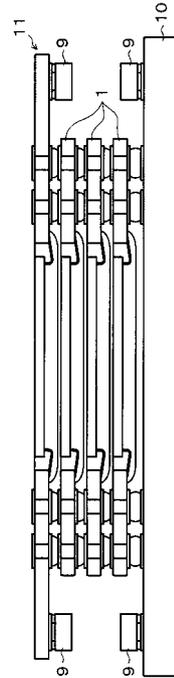
【図2】



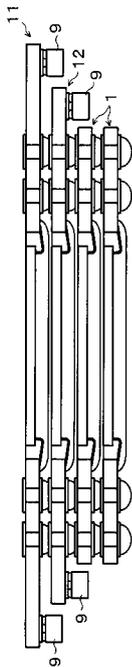
【 図 3 】



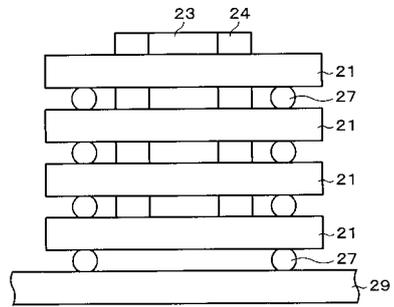
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 佐藤 雄一
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 今井 淳一

(56)参考文献 特開平06-350025(JP,A)
特開平04-276649(JP,A)
特開2001-274317(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

H01L 25/07

H01L 25/18