

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4120890号
(P4120890)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月9日(2008.5.9)

(51) Int.Cl. F 1
HO 4 N 1/028 (2006.01) HO 4 N 1/028 Z

請求項の数 2 (全 13 頁)

(21) 出願番号 特願2005-193165 (P2005-193165)
 (22) 出願日 平成17年6月30日(2005.6.30)
 (65) 公開番号 特開2007-13741 (P2007-13741A)
 (43) 公開日 平成19年1月18日(2007.1.18)
 審査請求日 平成18年1月13日(2006.1.13)

(73) 特許権者 000005267
 ブラザー工業株式会社
 愛知県名古屋市瑞穂区苗代町15番1号
 (74) 代理人 100095751
 弁理士 菅原 正倫
 (72) 発明者 池野 孝宏
 愛知県名古屋市瑞穂区苗代町15番1号
 ブラザー工業株式会社内
 審査官 堀井 啓明

最終頁に続く

(54) 【発明の名称】 画像読取装置

(57) 【特許請求の範囲】

【請求項1】

複数のイメージセンサICチップを一直線状に並べて形成され、かつ連続する3個ずつのイメージセンサICチップ毎のブロックに分けられ、各イメージセンサICチップの画像信号をそれぞれ3個ずつ出力する密着型イメージセンサと、

ブロック毎に画像信号のサンプリング可能期間を重ならないようにずらし、かつブロック毎の画像信号のサンプリング可能期間が1画素読取期間内に収まるように位相のずれたクロック信号を前記密着型イメージセンサの各ブロックに供給するクロックタイミング調整回路と、

前記密着型イメージセンサの各ブロックのイメージセンサICチップから読み出される画像信号をブロック毎に時分割して切り替えながら出力する切替スイッチ回路とを有し、

前記クロック信号は1画素読取期間内に1つのタイミングからなる信号で構成され、前記信号タイミング調整回路は同じブロックの3個の画像信号を同じタイミングにて出力することを特徴とする画像読取装置。

【請求項2】

複数のイメージセンサICチップを一直線状に並べて形成され、かつ連続する3個ずつのイメージセンサICチップ毎のブロックに分けられ、各イメージセンサICチップの画像信号をそれぞれ3個ずつ出力する密着型イメージセンサと、

ブロック毎に画像信号のサンプリング可能期間を重ならないようにずらし、かつブロック毎の画像信号のサンプリング可能期間が1画素読取期間内に収まるように位相のずれた

10

20

トリガ信号を前記密着型イメージセンサの各ブロックに供給するトリガタイミング調整回路と、

前記密着型イメージセンサの各ブロックのイメージセンサICチップから読み出される画像信号をブロック毎に時分割して切り替えながら出力する切替スイッチ回路とを有し、

前記トリガ信号は1画素読取期間内に1つのタイミングから成る信号で構成され、前記信号タイミング調整回路は同じブロックの3個の画像信号を同じタイミングにて出力することを特徴とする画像読取装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像読取装置に関し、詳しくは複数のイメージセンサIC(Integrated Circuit)チップが一直線状に並べられた密着型イメージセンサ(CIS: Contact Image Sensor)を使用する画像読取装置に関する。

【背景技術】

【0002】

従来技術では、複数のイメージセンサICチップを一直線状に並べて形成された密着型イメージセンサを備える画像読取装置において、密着型イメージセンサを連続するイメージセンサICチップからなる3の自然数倍のブロックに分け、ブロック毎に画像信号を3チャンネルタイプのアナログフロントエンド(AFE: Analog Front End)に出力することにより、画像信号の読取処理を高速化する提案がなされている(例えば、特許文献1参照)。なお、3チャンネルタイプのAFEは、1チャンネルタイプのAFEとともに、他のチャンネル数のAFEと比べてポピュラーであり、これらは量産がなされて安価であるために、画像読取装置において多く使用されている。

【0003】

また、従来技術では、マルチプレクサを複数持つことで、出力データを高速化する技術が提案されている(例えば、特許文献2参照)。

【特許文献1】特開2003-298813号公報

【特許文献2】特開平7-236026号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献1記載の従来技術では、密着型イメージセンサの連続するイメージセンサICチップへの分割ブロック数を3の自然数倍にすると、画像読取領域が大きくなったときに、イメージセンサICチップの分割ブロック数の増加が想定され、密着型イメージセンサを用いた回路構成を考えると、複数の3チャンネルタイプのAFEが必要になるという問題点があった。例えば、A3サイズの密着型イメージセンサの場合には、6ブロックで2個の3チャンネルタイプのAFEが必要になることが想定されていた。

【0005】

また、特許文献2記載の従来技術では、マルチプレクサを複数持つことで出力データを高速化するが、出力ラインが1本のため、1画素読取期間内にイメージセンサICチップの動作時間等の余分な時間がかかるという問題点があった。

【0006】

本発明の課題は、密着型イメージセンサの各ブロックに位相のずれた信号を供給して画像信号を読み出し、各ブロックから読み出された画像信号を時分割して切り替えながら出力することにより、少ないAFEで画像の読取を高速に行えるようにした画像読取装置を提供することにある。

【0007】

本発明の課題は、密着型イメージセンサの各ブロックに位相のずれたクロック信号を供給して画像信号を読み出し、各ブロックから読み出された画像信号を時分割して切り替えながら出力することにより、少ないAFEで画像の読取を高速に行えるようにした画像読取

10

20

30

40

50

装置を提供することにある。

【 0 0 0 8 】

本発明の課題は、密着型イメージセンサの各ブロックに位相のずれたトリガ信号を供給して画像信号を読み出し、各ブロックから読み出された画像信号を時分割して切り替えながら出力することにより、少ないA F Eで画像の読取を高速に行えるようにした画像読取装置を提供することにある。

【課題を解決するための手段および発明の効果】

【 0 0 1 0 】

請求項1記載の画像読取装置は複数のイメージセンサICチップを一直線状に並べて形成され、かつ連続する3個ずつのイメージセンサICチップ毎のブロックに分けられ、各イメージセンサICチップの画像信号をそれぞれ3個ずつ出力する密着型イメージセンサと、ブロック毎に画像信号のサンプリング可能期間を重ならないようにずらし、かつブロック毎の画像信号のサンプリング可能期間が1画素読取期間内に収まるように位相のずれたクロック信号を前記密着型イメージセンサの各ブロックに供給するクロックタイミング調整回路と、前記密着型イメージセンサの各ブロックのイメージセンサICチップから読み出される画像信号をブロック毎に時分割して切り替えながら出力する切替スイッチ回路とを有し、前記クロック信号は1画素読取期間内に1つのタイミングからなる信号で構成され、前記信号タイミング調整回路は同じブロックの3個の画像信号を同じタイミングにて出力することを特徴とする。請求項1記載の画像読取装置によれば、密着型イメージセンサの各ブロックからサンプリング可能期間が1画素読取期間内に収まるように位相をずらして読み出された画像信号を、ブロック毎に時分割して切り替えながら出力することにより、ブロック数×1ブロックの画像信号数の値だけ画像読取処理を高速化できるという効果がある。また、例えば、A3サイズの密着型イメージセンサのように、画像読取領域が大きくなったときに、イメージセンサICチップの分割ブロック数の増加が想定され、密着型イメージセンサを用いた回路構成を考えると、6ブロックで2個の3チャンネルタイプのA F Eが必要であったが、これを1個の3チャンネルタイプのA F Eで構成でき、画像読取装置を容易かつ安価に製造することが可能になるという効果がある。

【 0 0 1 1 】

請求項2記載の画像読取装置は、複数のイメージセンサICチップを一直線状に並べて形成され、かつ連続する3個ずつのイメージセンサICチップ毎のブロックに分けられ、各イメージセンサICチップの画像信号をそれぞれ3個ずつ出力する密着型イメージセンサと、ブロック毎に画像信号のサンプリング可能期間を重ならないようにずらし、かつブロック毎の画像信号のサンプリング可能期間が1画素読取期間内に収まるように位相のずれたトリガ信号を前記密着型イメージセンサの各ブロックに供給するトリガタイミング調整回路と、前記密着型イメージセンサの各ブロックのイメージセンサICチップから読み出される画像信号をブロック毎に時分割して切り替えながら出力する切替スイッチ回路とを有し、前記トリガ信号は1画素読取期間内に1つのタイミングから成る信号で構成され、前記信号タイミング調整回路は同じブロックの3個の画像信号を同じタイミングにて出力することを特徴とする。請求項2記載の画像読取装置によれば、密着型イメージセンサの各ブロックからサンプリング可能期間が1画素読取期間内に収まるように位相をずらして読み出された画像信号を、ブロック毎に時分割して切り替えながら出力することにより、ブロック数×1ブロックの画像信号数の値だけ画像読取処理を高速化できるという効果がある。また、例えば、A3サイズの密着型イメージセンサのように、画像読取領域が大きくなったときに、イメージセンサICチップの分割ブロック数の増加が想定され、密着型イメージセンサを用いた回路構成を考えると、6ブロックで2個の3チャンネルタイプのA F Eが必要であったが、これを1個の3チャンネルタイプのA F Eで構成でき、画像読取装置を容易かつ安価に製造することが可能になるという効果がある。

【 0 0 1 2 】

なお、画像読取装置における前記切替スイッチ回路は、3個のクインティプル入力切替スイッチからなり、15個のイメージセンサICチップで形成された前記密着型イメージ

10

20

30

40

50

センサの、3個ずつのイメージセンサICチップに分けられてなる5つのブロックから読み出された3つの画像信号を、ブロック毎に時分割して切り替えながら出力するように構成できる。このようにすれば、密着型イメージセンサの5つのブロックからサンプリング可能期間が1画素読取期間内に収まるように位相をずらして読み出された3つの画像信号を、ブロック毎に時分割して切り替えながら出力することにより、 $5 \times 3 = 15$ 倍だけ画像読取処理を高速化できるという効果がある。また、例えば、A3サイズの密着型イメージセンサのように、画像読取領域が大きくなったときに、イメージセンサICチップの分割ブロック数の増加が想定され、密着型イメージセンサを用いた回路構成を考えると、6ブロックで2個の3チャンネルタイプのAFEが必要であったが、これを1個の3チャンネルタイプのAFEで構成でき、画像読取装置を容易かつ安価に製造することが可能になるという効果がある。

10

【発明を実施するための最良の形態】

【0013】

少ないAFEで画像読取処理を高速化するという課題を、密着型イメージセンサの各ブロックからサンプリング可能期間が1画素読取期間内に収まるように位相をずらして読み出された画像信号を、ブロック毎に時分割して切り替えながら出力することにより達成した。

【0014】

以下、本発明の実施例について図面を参照しながら詳細に説明する。

【実施例1】

20

【0015】

図1は、本発明の実施例1に係る画像読取装置10が組み込まれた複合機1の外観図である。この複合機1は、下側本体1aに対して上側本体1bを開閉可能に取り付けてなるクラムシェル構造のものであり、上側本体1bに画像読取装置10を備えている。また、上側本体1bの正面側には操作パネル2が設けられている。なお、複合機1は、画像読取装置10の他に画像形成装置(レーザプリンタ)も備えているが、本発明とは直接関係しないために説明を省略する。

【0016】

図2は、画像読取装置10の断面図である。画像読取装置10は、フラットベッド機構(FB: Flat Bed)および自動給紙機構(ADF: Automatic Document Feeder)の双方を備えたタイプのものであり、画像読取装置10自体も、フラットベッド部10aに対してカバー部10bを開閉可能に取り付けてなるクラムシェル構造となっている。

30

【0017】

画像読取装置10において、フラットベッド部10aには、密着型イメージセンサ(読取ヘッド)12, 第1プラテンガラス14等が設けられており、カバー部10bには、原稿供給トレイ16, 原稿搬送装置18, 原稿搬出トレイ20等が設けられている。

【0018】

密着型イメージセンサ12は、受光部(光電変換素子)22, セルフォックレンズ24および光源26を備えており、読取対象位置に存在する原稿に対して光源26から光を照射し、原稿からの反射光をセルフォックレンズ24によって受光部22に結像することで画像を読み取るように構成されている。また、密着型イメージセンサ12は、図示しない駆動機構により図2における左右方向に駆動されるようになっており、実際に原稿を読み取る際には、受光部22が読取位置の真下となる位置へ移動する。

40

【0019】

図3および図4に示すように、密着型イメージセンサ12は、15個のイメージセンサICチップch1~ch15が、その受光素子が一直線状に並ぶようにして基板30の表面に実装されている。ただし、「一直線状」に並ぶという状態には、「千鳥状」に並ぶ状態も含むものとする。各イメージセンサICチップch1~ch15は、複数の受光素子が等間隔で1列に並ぶようにして造り込まれた矩形状のチップである。密着型イメージセンサ12は、A3幅の原稿に対応可能なものとして構成されており、各イメージセンサIC

50

チップch1～ch15は、その解像度が1,200dpi(47.2ドット/mm)であり、計1,728個の受光素子を備えている。したがって、密着型イメージセンサ12においては、計25,920個の受光素子が等間隔で1列に並んだ構成となっている。

【0020】

図5に示すように、イメージセンサICチップch1～ch15は、所定個数(1,728個)の受光素子を構成するフォトトランジスタPT1～PTnを備えている。これらのフォトトランジスタPT1～PTnは、光を受けると、その受光量に対応した電荷を蓄える。イメージセンサICチップch1～ch15自体の基本的な回路構成は、従来のものと同様であり、後述するクロック制御回路41から出力されるトリガ信号TGが入力されると、シフトレジスタ29は、入力されるクロック信号CLKに基づいて複数のFET1～FETnを一定の方向に順次オンにしていく。すると、複数のフォトトランジスタPT1～PTnに蓄えられていた電荷は一定の順序で放出されていき、増幅器OPによって増幅されてから画像信号AOとしてシリアルで出力される。画像信号AOは、アナログ信号である。その他、イメージセンサICチップch1～ch15は、イメージセンサICチップch1～ch15内の各部を動作させるのに必要な駆動電力を供給するための電圧印加用端子VDDや、グランド接続用端子GNDも備えている。

10

【0021】

図3および図4に示すように、15個のイメージセンサICチップch1～ch15は、その列の一端から他端に向かう一定の順序で3個のイメージセンサICチップを1ブロック単位とする、計5つのブロックB1,B2,B3,B4,B5に分けられている。

20

【0022】

図4に示すブロックB1,B2,B3,B4,B5のいずれのイメージセンサICチップch1～ch15も同様な構成になっており、すべてのイメージセンサICチップch1～ch15が同時に駆動を開始するようになっている。後述するクロック制御回路41からコネクタ31に送出されるトリガ信号TGは、イメージセンサICチップch1～ch15に同時に入力されるようになっている。

【0023】

図4に示すように、密着型イメージセンサ12が設けられた基板30の表面には、コネクタ31と、クロックタイミング調整回路32と、切替スイッチ回路33とが設けられ、これらが図示のような配線パターンで接続されている。配線パターンの一端は、基板30の側縁部に設けられたコネクタ31に繋がれており、基板30の外部から複数のイメージセンサICチップch1～ch15への電力供給や各種の信号の送出入などは、コネクタ31に接続されたケーブル(図示略)を介して行われるようになっている。

30

【0024】

クロックタイミング調整回路32は、後述するクロック制御回路41からクロック信号CLKをコネクタ31を通じて入力し、図6(a),(b),(c),(d),(e)に示すように、ブロックB1の第1イメージセンサICチップch1の画像信号A1のサンプリング可能期間と、ブロックB2の第1イメージセンサICチップch4の画像信号A4のサンプリング可能期間と、ブロックB3の第1イメージセンサICチップch7の画像信号A7のサンプリング可能期間と、ブロックB4の第1イメージセンサICチップch10の画像信号A10のサンプリング可能期間と、ブロックB5の第1イメージセンサICチップch13の画像信号A13のサンプリング可能期間とが重ならないように、かつ全体として1画素読取期間内に収まるように、互いに位相をずらした第1クロック信号CLK1,第2クロック信号CLK2,第3クロック信号CLK3,第4クロック信号CLK4,第5クロック信号CLK5をブロックB1,B2,B3,B4,B5にそれぞれクロック信号として出力する。なお、本実施例1では、クロック信号調整回路32によりクロック信号CLKのタイミングを調整することにより、サンプリング可能期間を重ならないようにずらしたが、トリガ信号TGのタイミングを調整することによっても同様の効果が得られる。

40

【0025】

50

切替スイッチ回路 33 は、図 7 に示すように、3 個のクインティプル (5) 入力切替スイッチからなり、15 個のイメージセンサ IC チップ $ch1 \sim ch15$ で形成された密着型イメージセンサ 12 の各ブロック $B1, B2, B3, B4, B5$ から読み出された 3 つの画像信号 $A1 \sim A3, A4 \sim A6, A7 \sim A9, A10 \sim A12, A13 \sim A15$ を時分割して切り替えながら、後述する 1 個の 3 チャンネルタイプの AFE40 に出力するものである。

【0026】

図 4 に示すように、画像読取装置 10 は、基板 30 のコネクタ 31 に接続される機器として、クロック制御回路 41、A/D (Analog/Digital) 変換器 42、メモリ 43、タイミング制御回路 44 などを含む 3 チャンネルタイプの AFE40 を具備している。

10

【0027】

クロック制御回路 41 は、コネクタ 31 にトリガ信号 TG およびクロック信号 CLK を送出するように構成されている。トリガ信号 TG は、各イメージセンサ IC チップ $ch1 \sim ch15$ にそれぞれ入力されるようになっている。

【0028】

A/D 変換器 42 は、3 つのアナログ信号のそれぞれをデジタル信号に変換する処理を並行して行うことが可能ないわゆる 3 チャンネルタイプのものである。A/D 変換器 42 には、切替スイッチ回路 33 から出力される 3 つの画像信号 $AO1, AO2, AO3$ がコネクタ 31 を介して入力されるようになっている。

【0029】

メモリ 43 は、たとえば RAM (Random Access Memory) を用いて構成されており、A/D 変換器 42 によってデジタル化された信号のデータをアドレス付けして記憶する役割を果たす。クロック制御回路 41 は、メモリ 43 からデータを読み出させる制御を行うように構成されており、このことによりメモリ 43 からはデジタル化された 1 ライン分の画像信号が所定の整列された順序で出力されるようになっている。画像信号の順序は、たとえば 15 個のイメージセンサ IC チップ $ch1 \sim ch15$ を 1 つずつ順番に駆動させた場合に得られる画像信号の順序と同様な順序である。

20

【0030】

タイミング制御回路 44 は、クロックタイミング調整回路 32 にクロックタイミング制御信号を出力し、切替スイッチ回路 33 に切替スイッチ制御信号を出力する。

30

【0031】

図 7 は、密着型イメージセンサ 12 と切替スイッチ回路 33 との接続態様を例示する図である。密着型イメージセンサ 12 は、15 個のイメージセンサ IC チップ $ch1 \sim ch15$ から形成され、各イメージセンサ IC チップ $ch1 \sim ch15$ の出力端子は切替スイッチ回路 33 に接続されている。詳しくは、イメージセンサ IC チップ $ch1$ は切替スイッチ回路 33 の第 1 クインティプル入力切替スイッチの第 5 入力端子に、イメージセンサ IC チップ $ch2$ は切替スイッチ回路 33 の第 2 クインティプル入力切替スイッチの第 5 入力端子に、イメージセンサ IC チップ $ch3$ は切替スイッチ回路 33 の第 3 クインティプル入力切替スイッチの第 5 入力端子に、イメージセンサ IC チップ $ch4$ は切替スイッチ回路 33 の第 1 クインティプル入力切替スイッチの第 4 入力端子に、イメージセンサ IC チップ $ch5$ は切替スイッチ回路 33 の第 2 クインティプル入力切替スイッチの第 4 入力端子に、イメージセンサ IC チップ $ch6$ は切替スイッチ回路 33 の第 3 クインティプル入力切替スイッチの第 4 入力端子に、イメージセンサ IC チップ $ch7$ は切替スイッチ回路 33 の第 1 クインティプル入力切替スイッチの第 3 入力端子に、イメージセンサ IC チップ $ch8$ は切替スイッチ回路 33 の第 2 クインティプル入力切替スイッチの第 3 入力端子に、イメージセンサ IC チップ $ch9$ は切替スイッチ回路 33 の第 3 クインティプル入力切替スイッチの第 3 入力端子に、イメージセンサ IC チップ $ch10$ は切替スイッチ回路 33 の第 1 クインティプル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ $ch11$ は切替スイッチ回路 33 の第 2 クインティプル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ $ch12$ は切替スイッチ回路 33 の第 3 クインティプ

40

50

ル入力切替スイッチの第2入力端子に、イメージセンサICチップch13は切替スイッチ回路33の第1クインティプル入力切替スイッチの第1入力端子に、イメージセンサICチップch14は切替スイッチ回路33の第2クインティプル入力切替スイッチの第1入力端子に、イメージセンサICチップch15は切替スイッチ回路33の第3クインティプル入力切替スイッチの第1入力端子に、それぞれ接続されている。切替スイッチ回路33の第1クインティプル入力切替スイッチの出力端子はAFE40の第1入力端子に、切替スイッチ回路33の第2クインティプル入力切替スイッチの出力端子はAFE40の第2入力端子に、切替スイッチ回路33の第3クインティプル入力切替スイッチの出力端子はAFE40の第3入力端子に、それぞれ接続されている。

【0032】

次に、このように構成された本実施例1に係る画像読取装置10の動作について説明する。

【0033】

まず、AFE40のクロック制御回路41からトリガ信号TGが出力され、コネクタ31を介して密着型イメージセンサ12のイメージセンサICチップch1～ch15のそれぞれに分かれて入力される。

【0034】

そして、各イメージセンサICチップch1～ch15からは画像信号A1～A15が、画像信号A1～A15のサンプリング可能期間を1画素読取期間内で5つの期間に時分割して切り替えながら出力され、切替スイッチ回路33に入力される。

【0035】

クロックタイミング調整回路32は、ブロックB1、B2、B3、B4、B5毎に画像信号A1～A3、A4～A6、A7～A9、A10～12、A13～A15のサンプリング可能期間を重ならないようにずらし、かつブロック毎の画像信号A1～A3、A4～A6、A7～A9、A10～12、A13～A15のサンプリング可能期間が1画素読取期間内に収まるように位相のずれたクロック信号CLK1、CLK2、CLK3、CLK4、CLK5を密着型イメージセンサ12の各ブロックB1、B2、B3、B4、B5に供給する。

【0036】

切替スイッチ回路33は、密着型イメージセンサ12の各ブロックB1、B2、B3、B4、B5のイメージセンサICチップch1～ch3、ch4～ch6、ch7～ch9、ch10～ch12、ch13～ch15から読み出される画像信号A1～A3、A4～A6、A7～A9、A10～12、A13～A15をブロック毎に時分割して切り替えながら画像信号AO1、AO2、AO3として3チャンネルタイプのAFE40に出力する。

【0037】

3チャンネルタイプのAFE40に入力された画像信号AO1、AO2、AO3は、A/D変換器42でデジタル信号に変換され、メモリ43に記憶される。このため、AFE40に入力チャンネルの余りを生じさせるようなことなく、効率の良いA/D変換が可能となる。

【0038】

また、画像読取装置10においては、イメージセンサICチップch1～ch15の総個数が15個であり、これらを3個ずつのイメージセンサICチップからなる5つのブロックB1、B2、B3、B4、B5に分けた場合には、これらブロックB1、B2、B3、B4、B5のそれぞれのイメージセンサICチップの数は、いずれも3個となっている。このため、ブロックB1、B2、B3、B4、B5のそれぞれから出力される画像信号A1～A3、A4～A6、A7～A9、A10～A12、A13～A15のデータ長は、同一に揃えられ、これらの信号の処理を共通化することができるために、その処理が容易化され、このことにより画像読取処理のより高速化が図られることとなる。

【0039】

10

20

30

40

50

実施例 1 によれば、密着型イメージセンサ 12 の 5 つのブロック B 1 , B 2 , B 3 , B 4 , B 5 から読み出された画像信号 A 1 ~ A 3 , A 4 ~ A 6 , A 7 ~ A 9 , A 10 ~ A 12 , A 13 ~ A 15 を、密着型イメージセンサ 12 の 5 つのブロック B 1 , B 2 , B 3 , B 4 , B 5 からサンプリング可能期間が 1 画素読取期間内に収まるように位相をずらして読み出された画像信号 A 1 ~ A 3 , A 4 ~ A 6 , A 7 ~ A 9 , A 10 ~ A 12 , A 13 ~ A 15 を、ブロック B 1 , B 2 , B 3 , B 4 , B 5 毎に時分割して切り替えながら出力することにより、ブロック数 (= 5) × 1 ブロックの画像信号数 (= 3) の値 (= 15) だけ画像読取処理を高速化できる。また、例えば、A 3 サイズの密着型イメージセンサのように、画像読取領域が大きくなったときに、イメージセンサ IC チップの分割ブロック数の増加が想定され、密着型イメージセンサを用いた回路構成を考えると、6 ブロックで 2 個の 3 チャンネルタイプの A F E が必要であったが、これを 1 個の 3 チャンネルタイプの A F E 40 で構成でき、画像読取装置 10 を簡単かつ安価に製造することが可能となる。

10

【実施例 2】

【0040】

図 8 は、本発明の実施例 2 に係る画像読取装置 10 における密着型イメージセンサ 12 a と切替スイッチ回路 33 a との接続態様を例示する図である。密着型イメージセンサ 12 a は、6 個のイメージセンサ IC チップ c h 1 ~ c h 6 から形成され、各イメージセンサ IC チップ c h 1 ~ c h 6 の出力端子は切替スイッチ回路 33 a に接続されている。詳しくは、イメージセンサ IC チップ c h 1 は切替スイッチ回路 33 a の第 1 デュアル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ c h 2 は切替スイッチ回路 33 a の第 2 デュアル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ c h 3 は切替スイッチ回路 33 a の第 3 デュアル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ c h 4 は切替スイッチ回路 33 a の第 1 デュアル入力切替スイッチの第 1 入力端子に、イメージセンサ IC チップ c h 5 は切替スイッチ回路 33 a の第 2 デュアル入力切替スイッチの第 1 入力端子に、イメージセンサ IC チップ c h 6 は切替スイッチ回路 33 a の第 3 デュアル入力切替スイッチの第 2 入力端子に、それぞれ接続されている。切替スイッチ回路 33 a の第 1 デュアル入力切替スイッチの出力端子は A F E 40 の第 1 入力端子に、切替スイッチ回路 33 a の第 2 デュアル入力切替スイッチの出力端子は A F E 40 の第 2 入力端子に、切替スイッチ回路 33 a の第 3 デュアル入力切替スイッチの出力端子は A F E 40 の第 3 入力端子に、それぞれ接続されている。

20

30

【0041】

なお、その他の部材は、図 1 ないし図 7 に示した実施例 1 に係る画像読取装置 10 と同様に構成されているので、それらの詳しい説明を割愛する。

【0042】

このように構成された実施例 2 に係る画像読取装置 10 では、切替スイッチ回路 33 a の第 1 デュアル入力切替スイッチ、第 2 デュアル入力切替スイッチ、第 3 デュアル入力切替スイッチを同期して切り替えることにより、6 個のイメージセンサ IC チップ c h 1 ~ c h 6 から形成される密着型イメージセンサ 12 a では、2 個の 3 チャンネルタイプの A F E 40 で処理する必要があった画像信号を、1 個の 3 チャンネルタイプの A F E 40 で処理することが可能になる。

40

【実施例 3】

【0043】

図 9 は、本発明の実施例 3 に係る画像読取装置 10 における密着型イメージセンサ 12 b と切替スイッチ回路 33 b との接続態様を例示する図である。密着型イメージセンサ 12 b は、5 個のイメージセンサ IC チップ c h 1 ~ c h 5 から形成され、各イメージセンサ IC チップ c h 1 ~ c h 5 の出力端子は切替スイッチ回路 33 b に接続されている。詳しくは、イメージセンサ IC チップ c h 1 は切替スイッチ回路 33 b の第 1 デュアル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ c h 2 は切替スイッチ回路 33 b の第 2 デュアル入力切替スイッチの第 2 入力端子に、イメージセンサ IC チップ c h 3 は A F E 40 の第 3 入力端子に、イメージセンサ IC チップ c h 4 は切替スイッチ回路 3

50

3 bの第1デュアル入力切替スイッチの第1入力端子に、イメージセンサICチップch 5は切替スイッチ回路33bの第2デュアル入力切替スイッチの第1入力端子に、それぞれ接続されている。切替スイッチ回路33bの第1デュアル入力切替スイッチの出力端子はAFE40の第1入力端子に、切替スイッチ回路33bの第2デュアル入力切替スイッチの出力端子はAFE40の第2入力端子に、それぞれ接続されている。

【0044】

なお、その他の部材は、図1ないし図6に示した実施例1に係る画像読取装置10と同様に構成されているので、それらの詳しい説明を割愛する。

【0045】

このように構成された実施例3に係る画像読取装置10では、切替スイッチ回路33bの第1デュアル入力切替スイッチ、第2デュアル入力切替スイッチを同期して切り替えることにより、5個のイメージセンサICチップch1～ch5から形成される密着型イメージセンサ12bでは、2個の3チャンネルタイプのAFE40で処理する必要があった画像信号を、1個の3チャンネルタイプのAFE40で処理することが可能になる。

【0046】

以上、本発明の各実施例を説明したが、これらはいくまでも例示にすぎず、本発明はこれらに限定されるものではなく、特許請求の範囲の趣旨を逸脱しない限りにおいて、当業者の知識に基づく種々の変更が可能である。

【図面の簡単な説明】

【0047】

【図1】本発明の実施例1に係る画像読取装置が組み込まれた複合機の外觀図。

【図2】本実施例1に係る画像読取装置を示す断面図。

【図3】図2中の密着型イメージセンサの概略斜視図。

【図4】本実施例1に係る画像読取装置の電気的構成を示す回路ブロック図。

【図5】図4中のイメージセンサICチップの回路構成の一例を示す図。

【図6】本実施例1に係る画像読取装置におけるサンプリング制御を示すタイミングチャート。

【図7】本実施例1に係る画像読取装置における密着型イメージセンサと切替スイッチ回路との接続態様を例示する図。

【図8】本発明の実施例2に係る画像読取装置における密着型イメージセンサと切替スイッチ回路との接続態様を例示する図。

【図9】本発明の実施例3に係る画像読取装置における密着型イメージセンサと切替スイッチ回路との接続態様を例示する図。

【符号の説明】

【0048】

10 画像読取装置

12 密着型イメージセンサ

22 受光部(光電変換素子)

24 セルフォックレンズ

26 光源

32 クロックタイミング調整回路

33 切替スイッチ回路

40 3チャンネルタイプのAFE(アナログフロントエンド)

41 制御回路

42 A/D変換器

43 メモリ

A1～A15 画像信号

AO1, AO2, AO3 画像信号

B1～B5 ブロック

ch1～ch15 イメージセンサICチップ

10

20

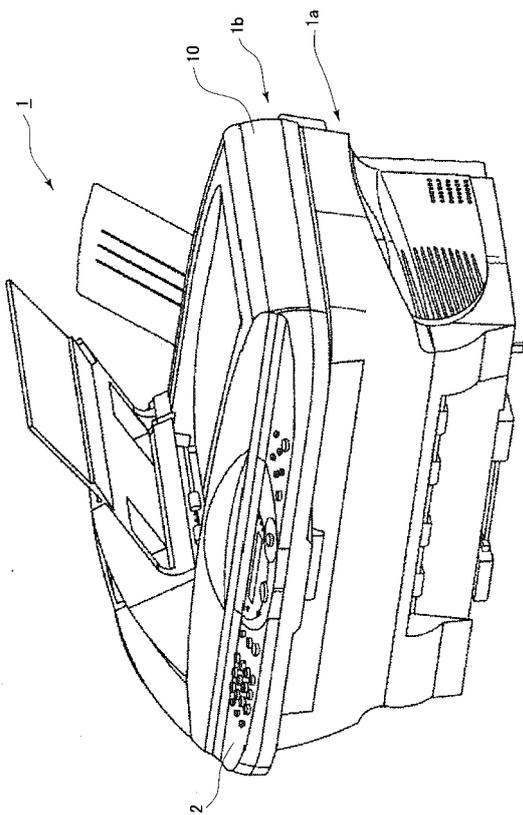
30

40

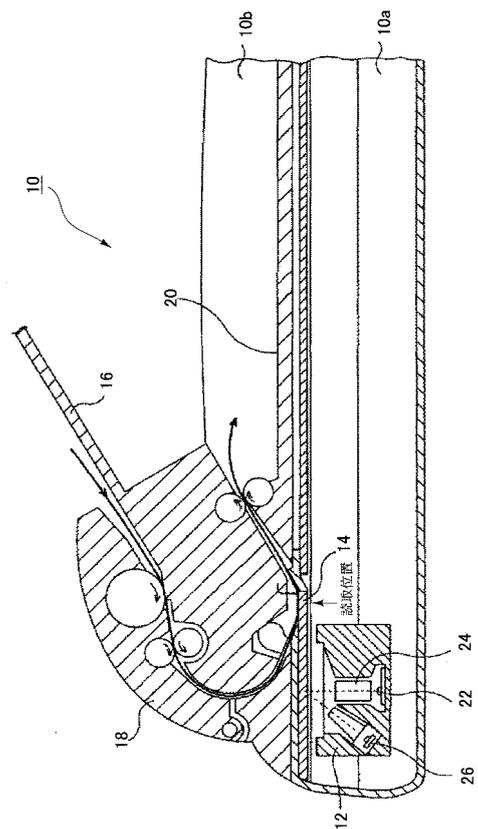
50

CLK 1 ~ CLK 5 クロック信号
TG トリガ信号

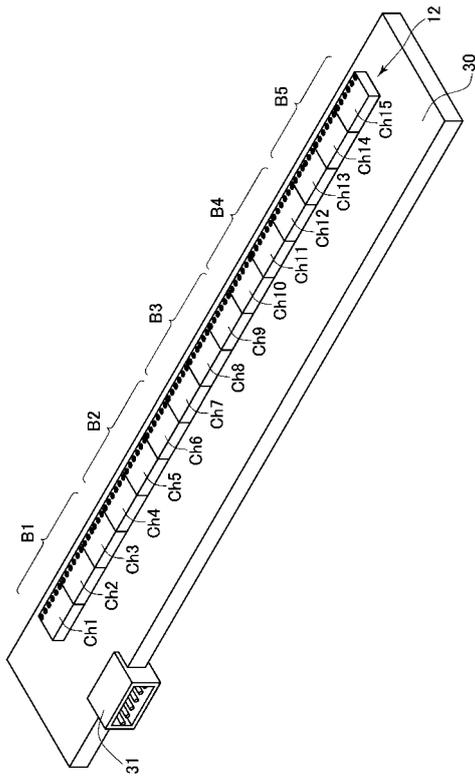
【図 1】



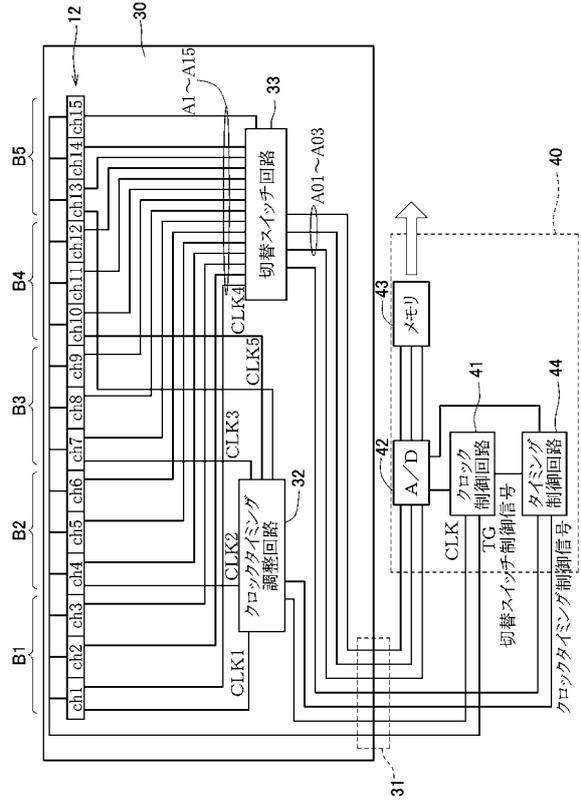
【図 2】



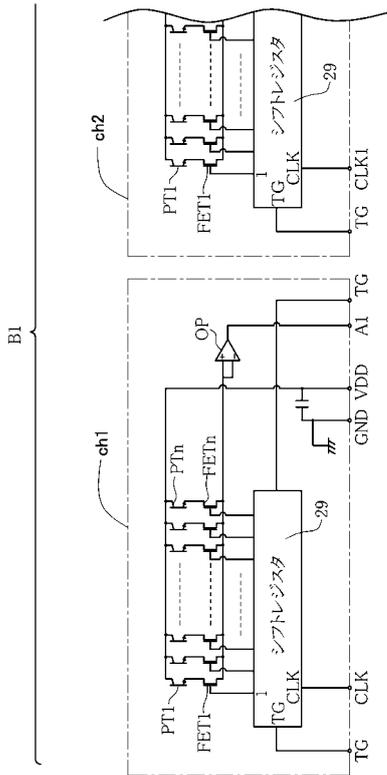
【図3】



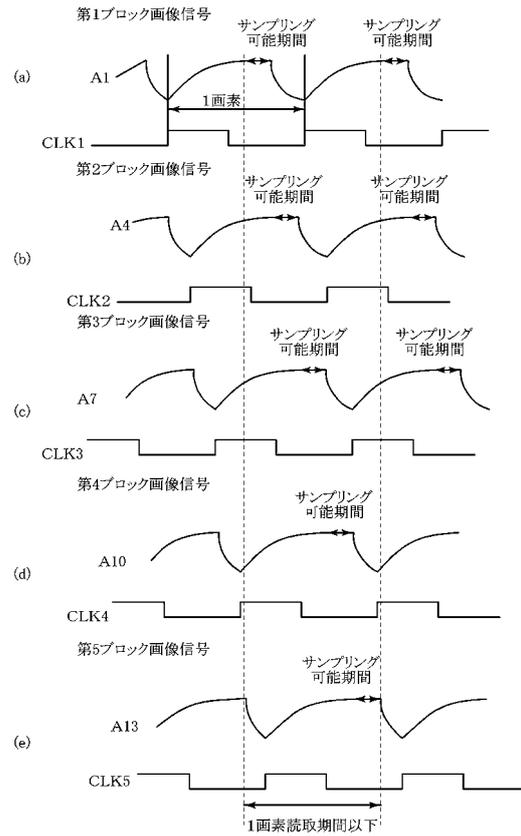
【図4】



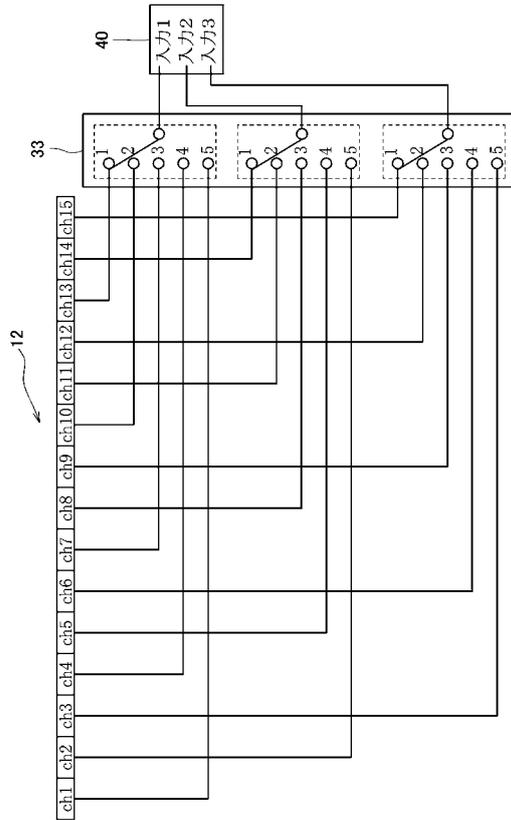
【図5】



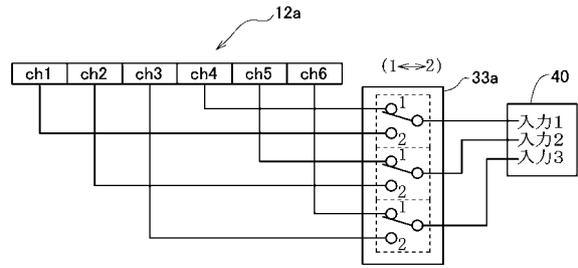
【図6】



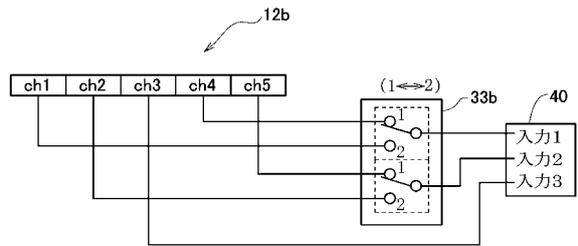
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開平 1 1 - 3 1 3 1 9 2 (J P , A)
特開昭 6 1 - 0 4 3 0 6 5 (J P , A)
特開 2 0 0 5 - 2 3 1 3 5 9 (J P , A)
特開 2 0 0 3 - 2 9 8 8 1 3 (J P , A)
特開昭 6 2 - 1 1 6 0 6 2 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 4 N 1 / 0 2 4 - 1 / 0 3 6

H 0 4 N 1 / 0 4 - 1 / 2 0 7