



(12) 发明专利申请

(10) 申请公布号 CN 101847440 A

(43) 申请公布日 2010. 09. 29

(21) 申请号 200910259012. 5

(22) 申请日 2009. 12. 09

(30) 优先权数据

313309/08 2008. 12. 09 JP

(71) 申请人 力晶半导体股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 太田毅

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G11C 16/06 (2006. 01)

G11C 16/26 (2006. 01)

G11C 16/10 (2006. 01)

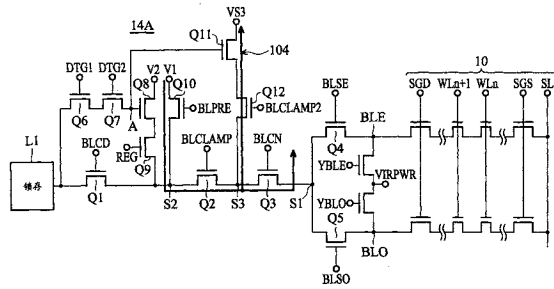
权利要求书 2 页 说明书 10 页 附图 11 页

(54) 发明名称

非易失性半导体存储装置及其读取方法

(57) 摘要

一种非易失性半导体存储装置,即使发生FG-FG耦合效应亦能够防止误读取动作出现。非易失性半导体存储装置具有一存储器单元阵列,利用设定不同启始电压来记录至少LSB和MSB两位;以及一控制电路,用以控制对于上述存储器单元阵列进行数据读取的动作。当第一字符线连接的存储器单元进行数据读取时,判断相邻的第二字符线连接的存储器单元是否进行MSB的写入动作。当判断出进行MSB的写入动作时,则将上述第一字符线连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消各栅极间的耦合效应所导致的启始电压上升电压部分。



1. 一种非易失性半导体存储装置,具有一非易失性的存储器单元阵列,利用在其各存储器单元中设定多个不同起始电压的方式来记录至少最低有效位 LSB 和最高有效位 MSB 两位;以及一控制电路,用以控制对于上述存储器单元阵列进行数据读取的动作,其特征在于:

包括一降压装置,当第一字符线所连接的存储器单元进行数据读取时,判断上述第一字符线下一个相邻的第二字符线所连接的存储器单元是否进行 MSB 的写入动作;当判断出进行 MSB 的写入动作时,则将上述第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的起始电压上升电压部分。

2. 如权利要求 1 所述的非易失性半导体存储装置,其中上述降压装置是在开始时将全部位线以低于上述预充电电压的一既定低电压进行预充电动作,接着当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,藉由控制设置于提供预充电电压的第一电路与上述进行数据读取的位线间的晶体管的栅极电压,将上述进行数据读取的位线以外的位线升压至上述预充电电压。

3. 如权利要求 1 所述的非易失性半导体存储装置,其中在上述降压装置中,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,经由一第二电路,其中上述第二电路系提供一程序化电压连接到上述进行数据读取的位线,使其连接到低于上述预充电电压的一电压源,使得上述预充电电压下降上述既定电压。

4. 如权利要求 1 所述的非易失性半导体存储装置,其中上述降压电路是与提供预充电电压的第一电路不同而另行设置的第三电路,上述第三电路的一端连接到上述第一电路和位线间的接点,另一端则连接到比上述预充电电压低既定电压的电压源,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,将连接于上述第一字符线的上述读取数据的位线上的预充电电压,经由上述第三电路连接到上述电压源,使得上述预充电电压下降上述既定电压。

5. 如权利要求 1 至 4 中任一权利要求所述的非易失性半导体存储装置,其中上述进行 MSB 写入的动作是指上述 MSB 中至少一个特定电平进行写入的动作。

6. 一种非易失性半导体存储装置的读取方法,上述非易失性半导体存储装置具有一非易失性的存储器单元阵列,利用在其各存储器单元中设定多个不同起始电压的方式来记录至少最低有效位 LSB 和最高有效位 MSB) 两位;以及一控制电路,用以控制对于上述存储器单元阵列进行数据读取的动作,其特征在于:

当第一字符线所连接的存储器单元进行数据读取时,判断上述第一字符线下一个相邻的第二字符线所连接的存储器单元是否进行 MSB 的写入动作;当判断出进行 MSB 的写入动作时,则将上述第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的起始电压上升电压部分。

7. 如权利要求 6 所述的非易失性半导体存储装置的读取方法,其中上述降压步骤中,是在开始时将全部位线以低于上述预充电电压的一既定低电压进行预充电动作,接着当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,藉由控制设置于提供预充电电压的第一电路与上述进行数据读取的位线间的晶体管的

栅极电压,将上述进行数据读取的位线以外的位线升压至上述预充电电压。

8. 如权利要求 6 所述的非易失性半导体存储装置的读取方法,其中在上述降压步骤中,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,经由一第二电路,其中上述第二电路是提供一程序化电压连接到上述进行数据读取的位线,使其连接到低于上述预充电电压的一电压源,使得上述预充电电压下降上述既定电压。

9. 如权利要求 6 所述的非易失性半导体存储装置的读取方法,其中上述非易失性半导体存储装置还包括一与提供预充电电压的第一电路不同而另行设置的第三电路,上述第三电路的一端连接到上述第一电路和位线间的接点,另一端则连接到比上述预充电电压低既定电压的电压源;

在上述降压步骤中,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,将连接于上述第一字符线的上述读取数据的位线上的预充电电压,经由上述第三电路连接到上述电压源,使得上述预充电电压下降上述既定电压。

10. 如权利要求 6 至 9 中任一权利要求所述的非易失性半导体存储装置的读取方法,其中上述进行 MSB 写入的动作是指上述 MSB 中至少一个特定电平进行写入的动作。

非易失性半导体存储装置及其读取方法

技术领域

[0001] 本发明涉及一种例如闪存等的电可擦除及重写非易失性 (non-volatile) 的半导体存储装置 (Electrically-Erasable Programmable Read-Only Memory, EEPROM), 以及其读取方法。

背景技术

[0002] 目前已知的 NAND 型非易失性半导体, 是由位线和源极线之间的多个存储器单元晶体管 (以下称为存储器单元) 串联组成的 NAND 门串 (NANDstring) 所构成, 以便实现高集成化 (例如参考专利文献 1-4)。

[0003] 在一般 NAND 型非易失性半导体存储装置中, 擦除动作是在半导体基板上施加例如 20V 的高电压, 在字符线上则施加 0V。藉此, 可以从例如多晶硅等所构成并且做为电荷蓄积层的浮动栅极引导出电子, 使其起始电压 (threshold voltage) 低于擦除起始电压 (例如 -3V)。另一方面, 在写入 (program) 动作中, 则是在半导体基板上施加 0V, 在控制栅极上施加例如 20V 的高电压。藉此, 利用从半导体基板注入电子到浮动栅极, 可以使得其起始电压高于写入起始电压 (例如 1V)。采用这些起始电压的存储器单元则可以通过将一介于写入起始电压和擦除起始电压之间的读取电压 (例如 0V) 施加于控制栅极上的方式, 根据电流是否流过此存储器单元来判断其状态。

[0004] 举例来说, 在专利文献 5 所揭示的非易失性半导体存储装置中, 针对非易失性存储器单元间的电容耦合效应 (亦即, 浮动栅极间 (亦即存储节点间) 的电容耦合效应, 以下称为 FG-FG 耦合) 所造成的起始电压是在数值上变动而无法检测出写入失败的情况, 则揭示以下的方法。换言之, 在所谓进行多值储存可擦除及改写的非易失性存储器单元 (MC) 中, 包括以储存数据的写入单位、对应于应写入信息而设为选择写入的非易失性存储器单元以及设为未选择写入的非易失性存储器单元。在对于写入单位进行写入处理中, 对于选择写入的非易失性存储器单元而言, 是利用写入检查 (verify) 电压以设定使得其起始电压在一方向上维持于所需的分布内, 而对应写入处理的结果则是利用例如上侧判断电压, 以写入单位来从选择写入和非选择写入的非易失性存储器单元读取储存信息。所读取的储存信息中, 则是将非选择写入的非易失性存储器单元所读取的信息, 排除做为上述写入处理中是否成功的判断对象。藉此, 便能够解决 FG-FG 耦合效应所导致的起始电压是在数值上变动而无法检测出写入失败的情况。

[0005] 图 3 表示在现有技术中页面缓冲器 (page buffer) 14 以及存储器单元阵列 10 (仅表示出一对位线 BLE、BLO) 的结构电路图。在图 3 中, 存储器单元阵列 10 包括由分别串联多个存储器单元的一对位线 BLE、BLO 所构成。YBLE、YBLO 则是以一对位线 BLE、BLO 中任一方连接到接地电位 VIRPWR 的方式, 来控制位线 BLE、BLO 上电压的控制电压。另外, BLCD、BLCLAMP、BLCN、BLSE、BLS0 亦为控制位线的控制电压, 页面缓冲器 14 的锁存 (latch) L1 则经由场效应晶体管 (以下称晶体管) Q1、Q2、接点 S2 以及晶体管 Q3, 连接到接点 S1, 此接点 S1 则通过晶体管 Q4 连接到位线 BLE, 另外此接点 S1 通过晶体管 Q5 连接到位线 BLO。

[0006] 其次在页面缓冲器 14 中,预充电电压 V1 是经由其栅极上施加预充电控制电压 BLPRE 的晶体管 Q10,连接到接点 S2。另外,程序化控制电压 V2 则经由晶体管 Q8、Q9 连接到接点 S2。其中晶体管 Q9 是由控制电压 REG 所控制,而晶体管 Q8 则是由来自锁存 L1 并且经由晶体管 Q6、Q7 所控制的电压进行控制。其中,晶体管 Q6 是由程序化控制电压 DTG1 所控制,晶体管 Q7 则是由程序化控制电压 DTG2 所控制。

[0007] 【专利文献 1】日本特开平 9-147582 号公报

[0008] 【专利文献 2】日本特开 2000-285692 号公报

[0009] 【专利文献 3】日本特开 2003-346485 号公报

[0010] 【专利文献 4】日本特开 2001-028575 号公报

[0011] 【专利文献 5】日本特开 2007-028575 号公报

发明内容

[0012] 图 5 表示现有技术的 NAND 型快闪 EEPROM 的读取动作序列的时序图。此存储器在读取动作中,被选择的字符线(以下称选择字符线)WLn 是 VREAD(随着各值的读出电平而变化),而对于在 32 条字符线所构成并且设置于控制电压 SGD 的晶体管与控制电压 SGS 的晶体管间的一个区块(block)内其它的字符线而言,未被选择到的字符线(以下称非选择字符线)则设定成一电压(= 6.5V)。在此,将位线 BLE 或 BLO 预充电至例如 1.2V,并且将控制电压 SGD 的晶体管与控制电压 SGS 的晶体管设为导通状态,则开始来自存储器单元的放电动作(以下称存储器放电),根据做为对象的选择存储器单元的启始电压 Vth,存储器放电结束后的位线电位会产生变化。此位线电位则在页面缓冲器 14 内进行比较,以区分由锁存 L1 所锁存而读出的数据为高电平或者低电平。从图 5 可以清楚看出,能够判断出对应于锁存 L1 的电压为高电平(实线)或者是低电平(虚线)的情况。

[0013] 然而,随着工艺尺寸的缩小,在浮动栅 NAND 型闪存中观察一个存储器单元的情况中,由于在此存储器单元相邻字符线或相邻位线上的存储器单元进行数据写入,而先进行写入的存储器单元的启始电压 Vth 会因为 FG-FG 耦合效应而上升,造成误读取的问题。

[0014] 本发明的目的即在于提供一种非易失性半导体存储装置及其读取方法,能够在发生 FG-FG 耦合效应的情况下防止误读取,以便解决上述问题。

[0015] 在第一发明的非易失性半导体存储装置中,具有一非易失性的存储器单元阵列,利用在其各存储器单元中设定多个不同启始电压的方式来记录至少 LSB(least significant bit,最低有效位)和 MSB(most significant bit,最高有效位)两位;以及一控制电路,用以控制对于上述存储器单元阵列进行数据读取的动作。其特征在于尚包括一降压装置,当第一字符线所连接的存储器单元进行数据读取时,判断上述第一字符线下一个相邻的第二字符线所连接的存储器单元是否进行 MSB 的写入动作;当判断出进行 MSB 的写入动作时,则将上述第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的启始电压上升电压部分。

[0016] 在上述非易失性半导体存储装置中,上述降压装置是在开始时将全部位线以低于上述预充电电压的一既定低电压进行预充电动作,接着当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,藉由控制设置于提供预充电

电压的第一电路与上述进行数据读取的位线间的晶体管的栅极电压,将上述进行数据读取的位线以外的位线升压至上述预充电电压。

[0017] 另外,在上述非易失性半导体存储装置中,上述降压装置当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,经由一第二电路,其中上述第二电路提供一程序化电压连接到上述进行数据读取的位线,使其连接到低于上述预充电电压的一电压源,使得上述预充电电压下降上述既定电压。

[0018] 其次,在上述非易失性半导体存储装置中,上述降压电路是与提供预充电电压的第一电路不同而另行设置的第三电路,上述第三电路的一端连接到上述第一电路和位线间的接点,另一端则连接到比上述预充电电压低既定电压的电压源,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,将连接于上述第一字符线的上述读取数据的位线上的预充电电压,经由上述第三电路连接到上述电压源,使得上述预充电电压下降上述既定电压。

[0019] 再其次,上述非易失性半导体存储装置中,上述进行 MSB 写入的动作是指上述 MSB 中至少一个特定电平进行写入的动作。

[0020] 第二发明的非易失性半导体存储装置的读取方法中,上述非易失性半导体存储装置具有一非易失性的存储器单元阵列,利用在其各存储器单元中设定多个不同起始电压的方式来记录至少 LSB 和 MSB 两位;以及一控制电路,用以控制对于上述存储器单元阵列进行数据读取的动作。其特征在于:当第一字符线所连接的存储器单元进行数据读取时,判断上述第一字符线下一个相邻的第二字符线所连接的存储器单元是否进行 MSB 的写入动作;当判断出进行 MSB 的写入动作时,则将上述第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的起始电压上升电压部分。

[0021] 在上述非易失性半导体存储装置的读取方法中,上述降压步骤是在开始时将全部位线以低于上述预充电电压的一既定低电压进行预充电动作,接着当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,藉由控制设置于提供预充电电压的第一电路与上述进行数据读取的位线间的晶体管的栅极电压,将上述进行数据读取的位线以外的位线升压至上述预充电电压。

[0022] 另外,在上述非易失性半导体存储装置的读取方法中,在上述降压步骤中,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,经由一第二电路,其中上述第二电路提供一程序化电压连接到上述进行数据读取的位线,使其连接到低于上述预充电电压的一电压源,使得上述预充电电压下降上述既定电压。

[0023] 其次,在上述非易失性半导体存储装置的读取方法中,上述非易失性半导体存储装置还包括一与提供预充电电压的第一电路不同而另行设置的第三电路,上述第三电路的一端连接到上述第一电路和位线间的接点,另一端则连接到比上述预充电电压低既定电压的电压源。在上述降压步骤中,当判断出上述第一字符线下一个相邻的第二字符线所连接的存储器单元进行 MSB 的写入动作时,将连接于上述第一字符线的上述读取数据的位线上的预充电电压,经由上述第三电路连接到上述电压源,使得上述预充电电压下降上述既定电压。

[0024] 再其次,上述非易失性半导体存储装置的读取方法中,上述进行 MSB 写入的动作

是指上述 MSB 中至少一个特定电平进行写入的动作。

[0025] 因此,在本发明的非易失性半导体存储装置及其读取方法中,当第一字符线所连接的存储器单元进行数据读取时,判断第一字符线下一个相邻的第二字符线所连接的存储器单元是否进行 MSB 的写入动作,当判断出进行 MSB 的写入动作时,则将第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的起始电压上升电压部分。因此,当第一字符线所连接的存储器单元进行 MSB 读取动作时,由第二字符线所连接的存储器单元进行 MSB 写入动作所产生的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分,便能够予以抵消,即使出现 FG-FG 耦合效应亦能够防止误读取动作的发生。

附图说明

[0026] 图 1 表示本发明实施例的 NAND 型快闪 EEPROM 整体结构的方块图。

[0027] 图 2 表示图 1 的存储器单元阵列 10 及其外围电路结构的电路图。

[0028] 图 3 表示在现有技术和第一、二实施例中,页面缓冲器 14 以及存储器单元阵列 10 的结构电路图。

[0029] 图 4 表示在现有技术以及实施例(包含第一、二、三实施例)的写入方法中起始电压分布的示意图。

[0030] 图 5 表示现有技术的 NAND 型快闪 EEPROM 的读取动作序列的时序图。

[0031] 图 6 表示其中具有 FG-FG 耦合效应而导致起始电压 V_{th} 上升的存储器单元的存储器单元阵列平面图,用以说明现有技术的问题。

[0032] 图 7 表示第一实施例中 NAND 型快闪 EEPROM 的读取动作序列第一部分的时序图。

[0033] 图 8 表示第一实施例中 NAND 型快闪 EEPROM 的读取动作序列第二部分的时序图。

[0034] 图 9 表示第二实施例中 NAND 型快闪 EEPROM 的读取动作序列第一部分的时序图。

[0035] 图 10 表示第二实施例中 NAND 型快闪 EEPROM 的读取动作序列第二部分的时序图。

[0036] 图 11 表示在第三实施例中页面缓冲器 14A 以及存储器单元阵列 10 的结构电路图。

[0037] 附图符号说明

[0038] 10 ~ 存储器单元阵列;11 ~ 控制电路;12 ~ 行译码器;13 ~ 高电压产生电路;14、14A ~ 数据写入和读取电路(页面缓冲器);14a、14b ~ 锁存电路;15 ~ 列译码器;17 ~ 指令寄存器;18 ~ 地址寄存器;19 ~ 动作逻辑控制器;50 ~ 数据输出缓冲器;51 ~ 数据输出端;52 ~ 数据线;L1、L2 ~ 锁存;MC0-MC15 ~ 存储器单元;NU0-NU2 ~ NAND 单元组;WL0-WL15 ~ 字符线;BL、BLE、BLO ~ 位线;SG1、SG2 ~ 选择栅晶体管;CELSRC ~ 共通源极线;SGD、SGS ~ 选择栅极线;V1、V2、VIRPWR ~ 电压;BLPRE、REG、BLCD、DTG1、DTG2、BLCLAMP、BLCLAMP2、BLCN、BLSE、BLS0、YBLE、YBLO ~ 控制电压;A、S1-S3 ~ 节点;Q1-Q12 ~ 晶体管;104 ~ 放电路径。

具体实施方式

[0039] 以下参考图式说明本发明的实施例。另外,在以下各实施例中,相同构成组件标示相同的符号。

[0040] 图 1 表示本发明实施例的 NAND 型快闪 EEPROM 整体结构的方块图。另外,图 2 表示图 1 的存储器单元阵列 (memory cell array) 10 及其外围电路结构的电路图。以下首先就本实施例的 NAND 型快闪 EEPROM 结构加以说明。

[0041] 在图 1 中,本实施例的 NAND 型快闪 EEPROM 包括存储器单元阵列 10、用以控制其动作的控制电路 11、行 (row) 译码器 12、高电压产生电路 13、数据写入和读取电路 14、列 (column) 译码器 15、指令寄存器 17、地址寄存器 18、动作逻辑控制器 19、数据输出输入缓冲器 50 以及数据输出输入端 51。

[0042] 存储器单元阵列 10 则如图 2 所示,是由例如 16 个堆栈栅极 (stacked gate) 结构的电可擦除及重写非易失性存储器单元 MC0 ~ MC15 串联而成的 NAND 单元组 (cell unit) NU (NU0、NU1、...) 所构成。各 NAND 单元组 NU 中,其漏极侧是经由选择栅晶体管 SG1 连接到位线 BL,其源极侧是经由选择栅晶体管 SG2 连接到共通源极线 CELSRC。在行方向上并排的存储器单元 MC,其控制栅极则共同连接到字符线 WL,选择栅晶体管 SG1、SG2 的栅极电极则连接到与字符线 WL 平行设置的选择栅极线 SGD、SGS。由 1 条字符线 WL 所选择的存储器单元范围即是做为进行写入和读出时的单位的 1 个页面 (page)。1 个页面或者其整数倍范围的多个 NAND 单元组 NU 范围则是做为数据擦除时的单位的 1 个区块 (block)。写入和读取电路 14 则包含设置于各位线的感测放大电路 (SA) 以及锁存电路 (DL),用以进行页面为单位的数据写入以及读取动作,以下称为页面缓冲器。

[0043] 图 2 的存储器单元阵列 10 中也可以多条位线共享页面缓冲器,其具有较简化的结构。在此情况下,数据写入和读出动作时选择性连接到页面缓冲器的位线数则做为 1 个页面的单位。另外,图 2 是表示与 1 个输出输入端 51 之间进行数据输出输入动作的单元阵列范围。为了执行存储器单元阵列 10 中字符线 WL 以及位线 BL 的选择动作,会分别设置行译码器 12 以及列译码器 15。控制电路 11 则执行数据写入、擦除以及读取的序列控制。由控制电路 11 所控制的高电压产生电路 13 则产生数据写入、擦除、读取时所使用的升压后高电压和中间电压。

[0044] 输出输入缓冲器 50 用于数据的输出输入以及地址信号的输入。换言之,经由输出输入缓冲器 50 以及数据线 52,在输出输入端 51 以及页面缓冲器 14 之间进行数据的传送。从输出输入端 51 所输入的地址信号则保存于地址寄存器 18,再送到行译码器 12 和列译码器 15 进行译码。从输出输入端 51 也会输入动作控制用的指令。输入的指令则在译码后保存于指令寄存器 17,藉此对于控制电路 11 进行控制。芯片致能信号 (chip enable signal) CEB、指令锁存致能信号 (command latch enable signal) CLE、地址锁存致能信号 (address latches enable signal) ALE、写入致能信号 WEB、读出致能信号 REB 等外部控制信号则被撷取到动作逻辑控制器 19,对应于动作模式产生内部控制信号。内部控制信号则用于输出输入缓冲器 50 的数据锁存、传送等的控制上,还可以传送到控制电路 11 进行动作控制。

[0045] 页面缓冲器 14 则具有两个锁存电路 14a、14b,以能够实施切换多值操作功能以及快取 (cache) 功能的方式所构成。换言之,在一个存储器单元储存 1 位的 2 值数据时,其具有快取功能;在一个存储器单元储存 2 位的 4 值数据时,则能够有效地做为快取功能或者是利用地址来限制的快取功能。

[0046] 以下接着说明本发明中用来对于 FG-FG 耦合效应所导致存储器单元的启始电压 V_{th} 上升部分加以抵消的方法。在此图 3 的电路图在第一实施例和第二实施例中是相同的。

另外,在本实施例中是采用多值储存的 NAND 型快闪 EEPROM,而其起始电压 V_{th} 的分布则如图 4 所示。从图 4 可以清楚看出,未写入数据时的状态是数据「11」的状态,首先在执行写入 LSB(数据「11」→「10L」)之后,再写入 MSB(数据「11」→数据「01」或者数据「10L」→数据「00」,另外数据「10L」则变化成「10U」)。在此, R_1 、 R_2 、 R_3 表示数据的读出电压。

[0047] 图 6 表示其中具有由于 FG-FG 耦合效应而导致起始电压 V_{th} 上升的存储器单元的存储器单元阵列平面图。FG-FG 耦合效应使得起始电压 V_{th} 上升的现象造成问题的情况,是在现有 MSB(最高有效位)写入完成的存储器单元,以及在 LSB(最低有效位)写入完成并且在相邻字符在线进行 MSB 写入动作的存储器单元。NAND 型闪存中的写入动作是既定的顺序,在图 6 中进行 MSB 写入的顺序即为字符线的排列顺序。考虑字符线 W_{Ln+1} 进行 MSB 写入的情况,在字符线 W_{Ln} 和字符线 W_{Ln+2} 上会因为 FG-FG 耦合效应而导致其起始电压 V_{th} 上升,但是由于字符线 W_{Ln+2} 在写入下次地址时是进行 MSB 的写入动作,所以相较于字符线 W_{Ln} ,比较不需要注意到耦合效应所导致的电压上升现象。以上有关于图 6 的说明,可以适用于第一、二、三实施例。

[0048] 在以下第一和第二实施例中所揭示的方法中,是使用图 3 所示原来的页面缓冲器 14 来改变位线的预充电电压,而在第三实施例所揭示的方法中,则采用图 11 的电路取代图 3 的电路,用以改变位线的预充电电压。

[0049] 在本发明实施例的非易失性半导体存储装置中,具有一非易失性存储器单元阵列 10,在其各存储器单元中是利用设定多个不同起始电压的方式来记录至少 LSB 和 MSB 两位;以及用来控制从存储器单元阵列 10 读取数据的控制电路 11。其特征在于:当字符线 W_{Ln} 所连接的存储器单元进行数据读取时,判断字符线 W_{Ln} 下一个相邻的字符线 W_{Ln+1} 所连接的存储器单元是否进行 MSB 的写入动作,当判断出进行 MSB 的写入动作时,则将字符线 W_{Ln} 所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线 W_{Ln} 、 W_{Ln+1} 所连接的存储器单元中各栅极间的 FG-FG 耦合效应所导致的起始电压上升电压部分。

[0050] 第一实施例

[0051] 图 7 和图 8 表示第一实施例中 NAND 型快闪 EEPROM 的读取动作序列的时序图。第一实施例的特征是利用相邻字符线所连接的存储器单元的数据,改变位线的预充电电压。具体来说,开始时是利用低于上述预充电电压的一既定低电压,对全部位线进行预充电,接着当判断出字符线 W_{Ln} 下一个相邻的字符线 W_{Ln+1} 所连接的存储器单元进行 MSB 的写入动作时,则藉由控制位于提供预充电电压的电路(电压 V_1 、 Q_{10})与进行数据读取的位线间的晶体管 Q_2 上的栅极电压 $BLCLAMP$,将上述进行数据读取的位线以外的位线升压至预充电电压,藉此,相较于其它位线,只有上述进行数据读取的位线会降低 FG-FG 耦合效应所导致的起始电压上升电压部分。

[0052] 以下参考图 7 和图 8,说明第一实施例的读取序列。

[0053] 读取对象为字符线 W_{Ln} 所连接的存储器单元时,首先进行的是从字符线 W_{Ln+1} 所连接的存储器单元数据读取的动作。此时字符线 W_{Ln+1} 的电位则是读取电压 $V_{READ} = R_1$ 。当字符线 W_{Ln+1} 所连接的存储器单元的数据是「11」时,读取的结果使得数据锁存 L_1 中所储存的数据为低电平,其它情况下则会是高电平。利用程序化控制电压 V_1 、 V_2 ,将数据反相后维持在节点 A。此时,当字符线 W_{Ln+1} 所连接的存储器单元的数据是「11」时,节点 A 的电

位是 2.4V,而在其它数据的情况下则是 0V。

[0054] 接着,重置数据锁存 L1 的数据,改变字符线 WL 的电位,继续进行以字符线 W_{Ln} 所连接的存储器单元为读取对象的数据读取动作。此时位线的预充电电压,只有在 W_{Ln+1} 所连接的存储器单元的数据是「11」的情况下是 1.2V,其它情况下则是 1.1V。预充电电压可以藉由改变控制电压 BLCLAMP 的方式加以控制(参考图 8 中符号 101)。开始时,全部位线是设定成一既定低电压(例如 1.1V),随后信号 REG 的晶体管 Q9 呈导通状态而节点 A 是高电平时,亦即在其相邻字符线 W_{Ln+1} 中未进行 MSB 写入动作的位线会连接到电压 V2,再藉由将晶体管 Q2 的栅极电压 BLCLAMP 控制在 $1.2V+V_{th}$,使得其相邻字符线 W_{Ln+1} 中未进行 MSB 写入动作的位线上电压,升压至既定高电压(例如 1.2V)。利用此操作,可以对于其相邻字符线 W_{Ln+1} 上进行 MSB 写入动作的位线,其预充电电压设定成较低的电压。当预充电电压较低时,存储器放电后的位线电压也会降低,所以字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 写入动作时的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分,便能够予以抵消。在上述范例中,两种位线预充电电压分别是 1.2V 和 1.1V,此为耦合效应所导致的上升部分是 0.1V 情况下的设定值,当上升部分是 0.05V 时,也可以分别设定成 1.2V 和 1.15V。

[0055] 如上所述,在第一实施例中,开始时是将全部位线以低于上述预充电电压的一既定低电压进行预充电,随后当判断出字符线 W_{Ln} 下一个相邻字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 的写入动作时,则藉由控制位于供给预充电电压的电路(电压 V1、Q10)以及进行数据读取的位线间的晶体管 Q2 栅极电压 BLCLAMP,将进行数据读取的位线以外的位线升压至预充电电压,藉此,相较于其它位线,便能够使得上述进行数据读取的位线电压,降低 FG-FG 耦合效应所导致起始电压上升电压部分。因此,字符线 W_{Ln+1} 所连接存储器单元上进行 MSB 写入动作时的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分,便能够予以抵消,即使出现 FG-FG 耦合效应亦能够防止误读取动作的发生。

[0056] 第二实施例

[0057] 图 9 和图 10 表示第二实施例的 NAND 型快闪 EEPROM 的读取动作序列的时序图。第二实施例的特征是通过与第一实施例不同的方式,利用字符线 W_{Ln+1} 的数据,将位线的预充电电压设定在 1.1V。具体来说,当判断出字符线 W_{Ln} 下一个相邻的字符线 W_{Ln+1} 所连接的存储器单元进行 MSB 的写入动作时,经由用来提供一连接到进行数据读取位线的程序化电压的供给电路(V2、Q8、Q9),使其连接到低于上述预充电电压的低电压源 V2,使得此预充电电压下降 FG-FG 耦合效应所导致的起始电压上升电压部分。

[0058] 以下参考图 9 和图 10,说明第二实施例的读取序列。

[0059] 读取对象为字符线 W_{Ln} 所连接的存储器单元时,首先进行的是从字符线 W_{Ln+1} 所连接的存储器单元读取数据的动作。此时字符线 W_{Ln+1} 的电位则是读取电压 $V_{READ} = R1$ 。当字符线 W_{Ln+1} 所连接的存储器单元的数据是「11」时,读取的结果使得数据锁存 L1 中所储存的数据为低电平,其它情况下则会为高电平。数据锁存 L1 的数据则利用控制电压 DTG1 和 DTG2 导通晶体管 Q6、Q7 的方式,将此数据维持于节点 A。此时,当字符线 W_{Ln+1} 所连接的存储器单元的数据是「11」时,节点 A 的电位是 0V,而在其它数据的情况下则是 2.4V。

[0060] 接着,重置数据锁存 L1 的数据,改变字符线 WL 的电位,继续进行以字符线 W_{Ln} 所连接的存储器单元为读取对象的数据读取动作。虽然位线的预充电电压开始时全部都是 1.2V,但是藉由将控制电压 V2 设定在 1.1V(参考图 9 的符号 102)并且使得栅极电压 REG

的晶体管 Q9 为导通状态的方式, 只会在节点 A 的电压为高电平时 (字符线 W_{Ln+1} 所连接的存储器单元的数据为 [11] 以外的情况), 预充电电压会从 1.2V 拉低至 1.1V (参考图 10 的符号 103)。藉由将预充电电压设定成较低的电压, 所以字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 写入动作时的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分, 便能够予以抵消。

[0061] 如上所述, 在第二实施例中, 当判断出字符线 W_{Ln} 下一个相邻字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 的写入动作时, 用来提供一连接到进行数据读取位线的程序化电压的供给电路 (V2、Q8、Q9), 使其连接到低于上述预充电电压的低电压源 V2, 使得此预充电电压下降 FG-FG 耦合效应所导致的起始电压上升电压部分。因此, 字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 写入动作时的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分, 便能够予以抵消, 即使出现 FG-FG 耦合效应亦能够防止误读取动作的发生。

[0062] 第三实施例

[0063] 图 11 表示在第三实施例中页面缓冲器 14A 以及存储器单元阵列 10 的结构的电路图。相较于图 3 的页面缓冲器 14, 图 11 的页面缓冲器 14A 中主要是增加一降压电路, 用来将位线的预充电电压降压到比放电动作低一既定电压。此降压电路是与提供预充电电压的电路 (V1、Q10) 不同而另行设置的电路 (VS3、Q11、Q12), 其一端连接到上述提供预充电电压的电路 (V1、Q10) 和位线间的接点 S3, 另一端则连接到低于上述预充电电压的既定电压的电压源 VS3, 当判断出字符线 W_{Ln} 下一个相邻的字符线 W_{Ln+1} 所连接的存储器单元进行 MSB 的写入动作时, 上述连接于字符线 W_{Ln} 并且进行数据读取的位线上的预充电电压则经由上述另行设置的电路 (VS3、Q11、Q12) 连接到电压源 VS3, 使得此预充电电压则被降低 FG-FG 耦合效应所导致的起始电压上升电压部分。

[0064] 以下参考图 11 说明第三实施例的降压电路及其动作

[0065] 在图 11 中, 此降压电路是由晶体管 Q11、Q12 所构成, 晶体管 Q2、Q3 间的接点 S3, 则是经由其栅极上施加第二位线箝制 (clamp) 电压 BLCLAMP2 的晶体管 Q12, 以及其栅极上施加晶体管 Q7、Q8 间节点 A 上电压的晶体管 Q11, 连接到电压源 VS3。

[0066] 现有技术在执行读取时的位线进行预充电的动作中, 控制电压 V1 是控制在 1.2V 再加上由栅极电压 BLPRE 所控制的晶体管 Q10 的起始电压 V_{th} , 即 $1.2V+V_{th}$, 而以 1.2V 对位线进行预充电。相对地, 在第三实施例的图 11 中, 由于增加另一个栅极电压 BLCLAMP2 的晶体管 Q12, 所以会形成位线 1.2V 的放电路径。以 $1.2V+V_{th}$ 的电压从电压 V2 进行预充电的电压要降低到何种程序, 则可以藉由调整控制电压 BLCLAMP2 以及电压源 VS3 的电压加以改变。举例来说, 设定 $VS3 = 1.1V$, $BLCLAMP2 = 1.2V+V_{th}$ 。在此, 与栅极电压 BLCLAMP2 的晶体管 Q12 相连接的切换用晶体管 Q11, 则是根据维持于节点 A 上的数据, 控制其为导通状态或不导通状态。

[0067] 从字符线 W_{Ln} 的存储器单元读取数据的场合中, 首先进行的是对于字符线 W_{Ln+1} , 以用来检查 MSB 写入动作的既定读取电压 R1 (参考图 4) 来读取数据, 检查字符线 W_{Ln+1} 的存储器单元是否进行 MSB 的写入动作, 再将此数据传送至图 11 中的节点 A。在字符线 W_{Ln+1} 所连接的存储器单元内, 对应于进行 MSB 写入动作的地址的页面缓冲器中节点 A 则为高电平数据。接着, 虽然从连接字符线 W_{Ln} 的存储器单元读取数据场合下的位线预充电电压通常是 1.2V, 但是在连接字符线 W_{Ln+1} 的存储器单元中进行 MSB 写入动作的情况下, 则会因为

栅极电压 BLCLAMP2 的晶体管 Q12 而发生放电（参考图 4 的符号 104），预充电电压则有可能低于 1.2V，所以便能够抵消 FG-FG 耦合效应所导致起始电压 V_{th} 的上升偏移量。另外，BLCLAMP2 的电压则可以利用现有技术中内部电压调整（trimming）方法加以改变。

[0068] 在第三实施例的读取序列中，虽然也可以如第一和第二实施例的时序图进行，但是为了缩短读取时间，可以在类似现有技术对于全部位线一起进行预充电动作的步骤中，单独将对应的位线拉低至电压 VS3 的 1.1V。

[0069] 如上所述，在第三实施例中增加了上述降压电路（VS3、Q11、Q12），当判断出字符线 W_{Ln} 下一个相邻字符线 W_{Ln+1} 所连接的存储器单元中正在进行 MSB 的写入动作时，则可以将字符线 W_{Ln} 所连接的存储器单元中进行数据读取的位线上的预充电电压，经由上述另行设置的电路（VS3、Q11、Q12），连接到电压源 VS3，因此能够使得此对应预充电电压下降 FG-FG 耦合效应所导致的起始电压上升电压部分。因此，字符线 W_{Ln+1} 所连接的存储器单元中进行 MSB 写入动作时的 FG-FG 耦合效应所导致的起始电压 V_{th} 上升部分，便能够予以抵消，即使出现 FG-FG 耦合效应亦能够防止误读取动作的发生。

[0070] 以上实施例的说明中虽然是假设全部字符线 WL 上写入 MSB 的情况，但是实际上也可以跳过写入 MSB 的动作，在此情况下，FG-FG 耦合效应所导致相邻字符线 WL 上存储器单元的起始电压 V_{th} 偏移就不会发生。所以为了清楚标示出是否有 MSB 写入动作，通常是以一页面为单位设置标志位（flag bit），因此，普通序列一开始是检查 MSB 的写入动作，当正在进行 MSB 写入动作时则移到上述实施例的序列，而如果是跳过 MSB 写入动作的话就如现有技术般进行读取动作。虽然标志位的存储器单元与数据位的存储器单元在状态上相同，但是两者在 MSB 写入动作时写入数据 10U 或数据 00 这点上则不同。

[0071] 另外，在上述实施例中，对于字符线 W_{Ln+1} 的存储器单元中数据为 01、10U、00 的情况，字符线 W_{Ln} 的存储器单元中会设定成低于既定预充电电压的位线预充电电压，但是从图 4 可以看出，由于 10L \rightarrow 10U 的情况中起始电压 V_{th} 的偏移量较小，会使得对于字符线 W_{Ln} 的存储器单元所施加的 FG-FG 耦合效应也变小，所以设定的执行序列中也可以不将 10U 数据的情况视为对应较低预充电电压的对象。换言之，只有在字符线 W_{Ln+1} 的数据是数据 01 和数据 00 时（图 4 的设定场合），会将字符线 W_{Ln} 在读取时的位线预充电电压设定成较低的值。此一方案在实施上，可以只有在数据 01 和数据 00 的情况下将节点 A 设为高电平或低电平，再依据实施例的方式执行。设定节点 A 的方法则可以藉由以读取电压 R1、R2、R3 读取字符线 W_{Ln+1} 后再由页面缓冲器 14 内部进行演算的方式来实现。

[0072] 就字符线 W_{Ln+1} 中进行 MSB 写入动作时、字符线 W_{Ln} 在读取时的位线电压下降量而言，如果利用代表操作点中存储器单元电流的字符线 WL 电压相依性的 $g_m(A/V)$ 、位线电容 C_{BL} 以及放电时间 T 来表示，理论上可以计算成 $g_m \times \Delta V_{th} \times T / C_{BL}$ 。举例来说，假设 FG-FG 耦合效应所导致的起始电压 V_{th} 偏移是 0.2V，则 $300nA/V \times 0.2V \times 5\mu sec / 3pF = 0.1V$ 。 $g_m \times \Delta V_{th}$ 表示 FG-FG 耦合效应所减少的存储器单元电流，再将其换算成以放电时间进行放电的电压部分。

[0073] 变形例

[0074] 在上述实施例中，虽然是以 NAND 型快闪 EEPROM 进行说明，但是并非用以限定本发明，本发明也可以广泛运用于例如 NOR 型快闪 EEPROM 等等可以将数据写入浮动栅的非易失性半导体存储装置。

[0075] 如上所述,在本发明的非易失性半导体存储装置及其读取方法中,当进行第一字符线所连接的存储器单元的数据读取动作时,则先判断上述第一字符线下一个相邻第二字符线所连接的存储器单元中是否进行 MSB 的写入动作。当判断出正在进行 MSB 的写入动作时,则将上述第一字符线所连接的存储器单元中进行数据读取的位线的预充电电压,降低一既定电压,用以抵消相邻两条字符线所连接的存储器单元中各储存节点间的耦合效应所导致的启始电压上升电压部分。藉此,当第一字符线所连接的存储器单元进行数据读取时,便能够抵消第二字符线所连接存储器单元上进行 MSB 写入动作时的 FG-FG 耦合效应所导致的启始电压 V_{th} 上升部分,即使出现 FG-FG 耦合效应亦能够防止误读取动作的发生。

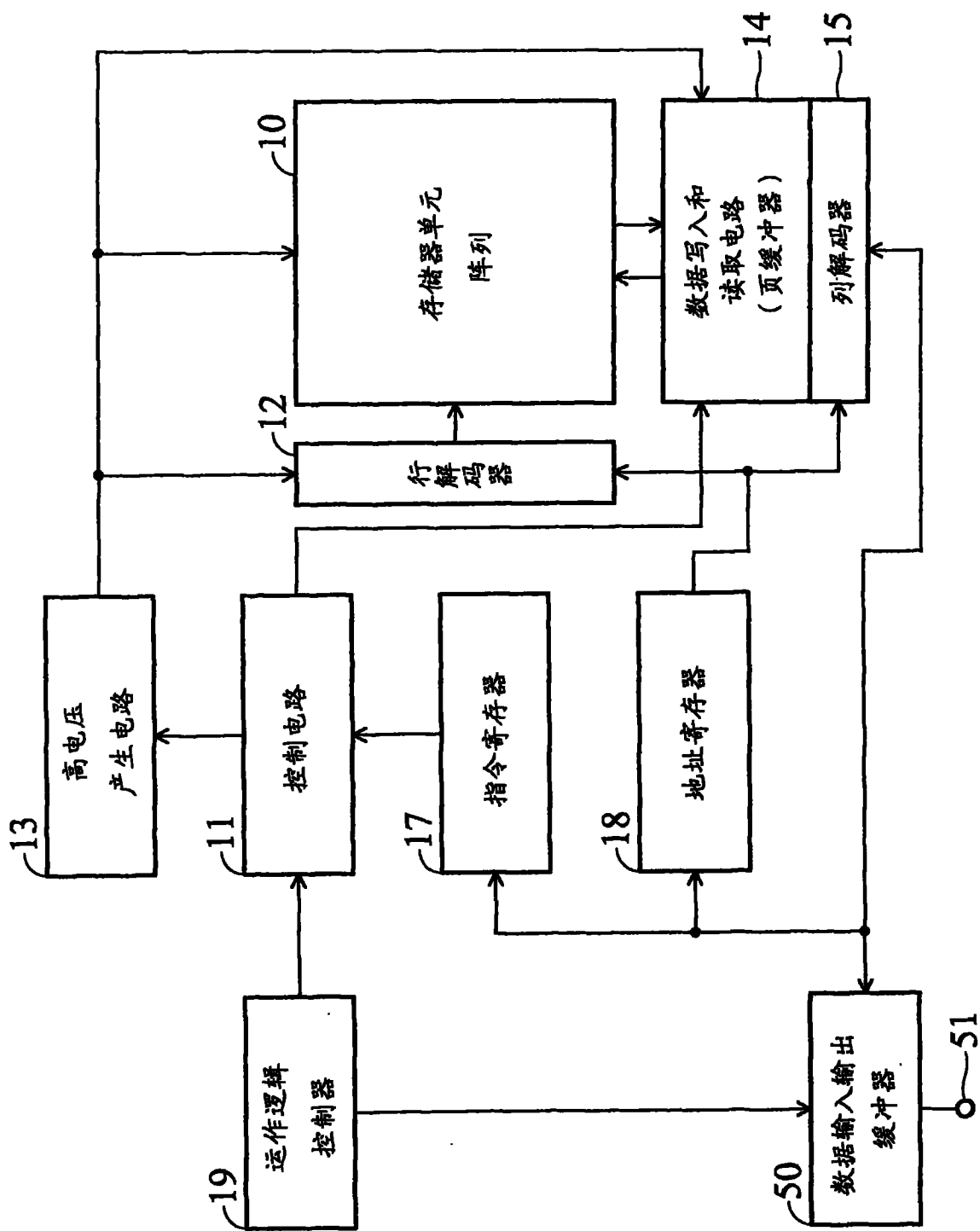


图 1

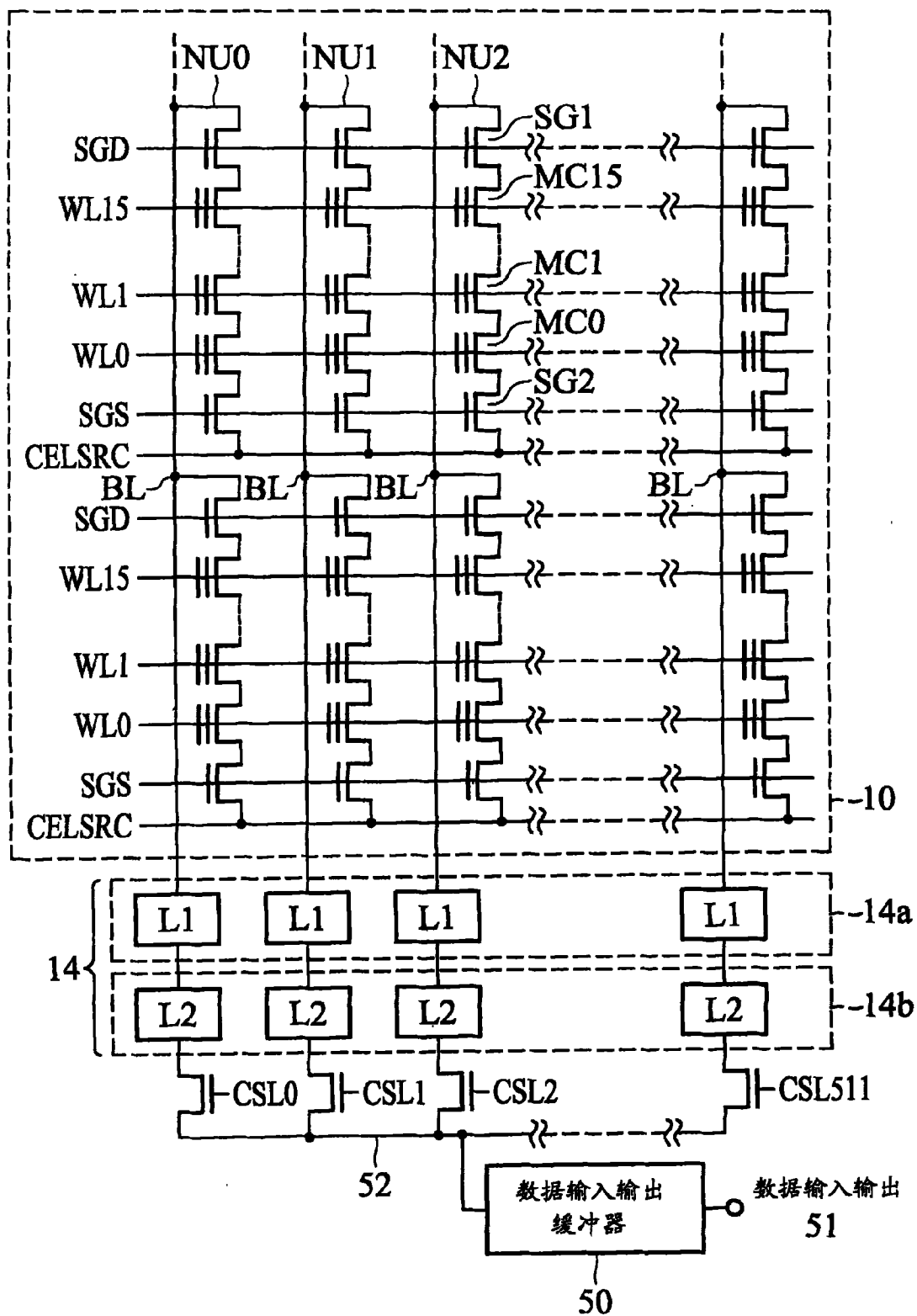


图 2

14

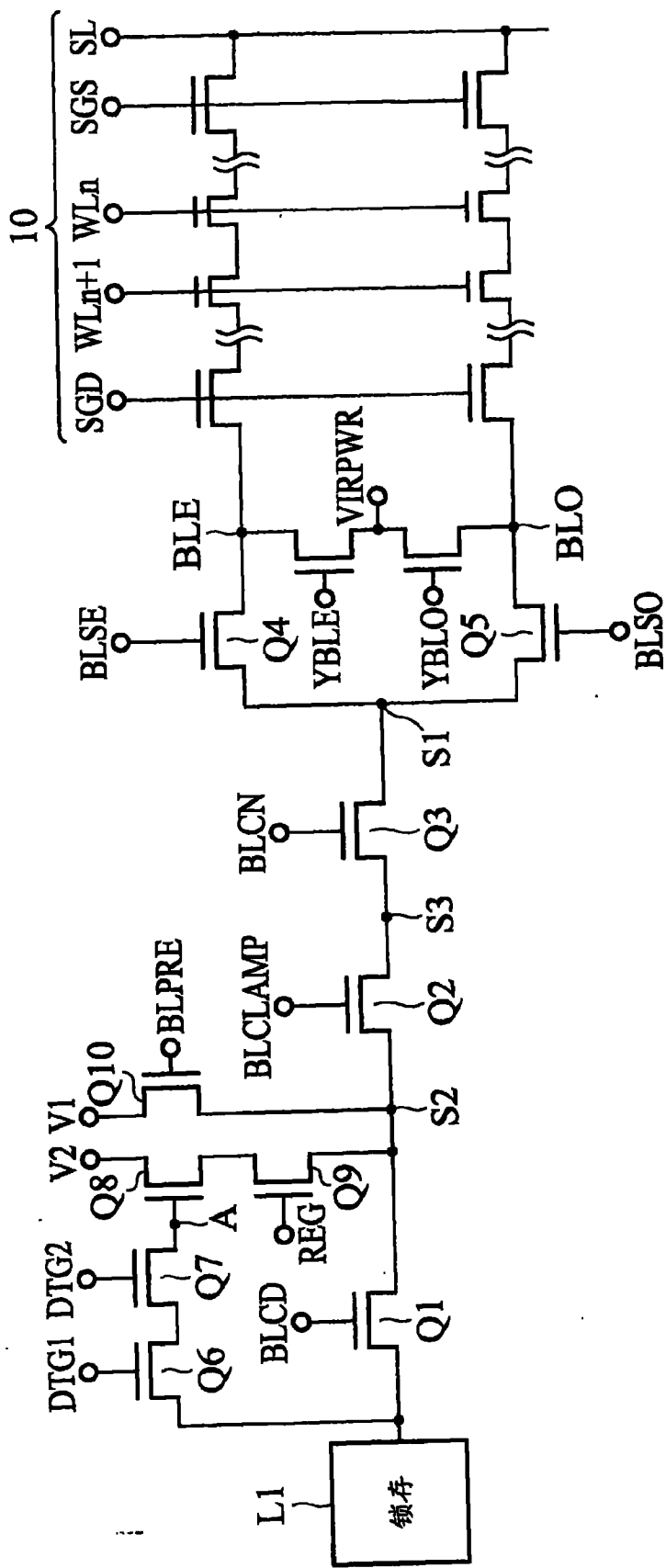


图 3

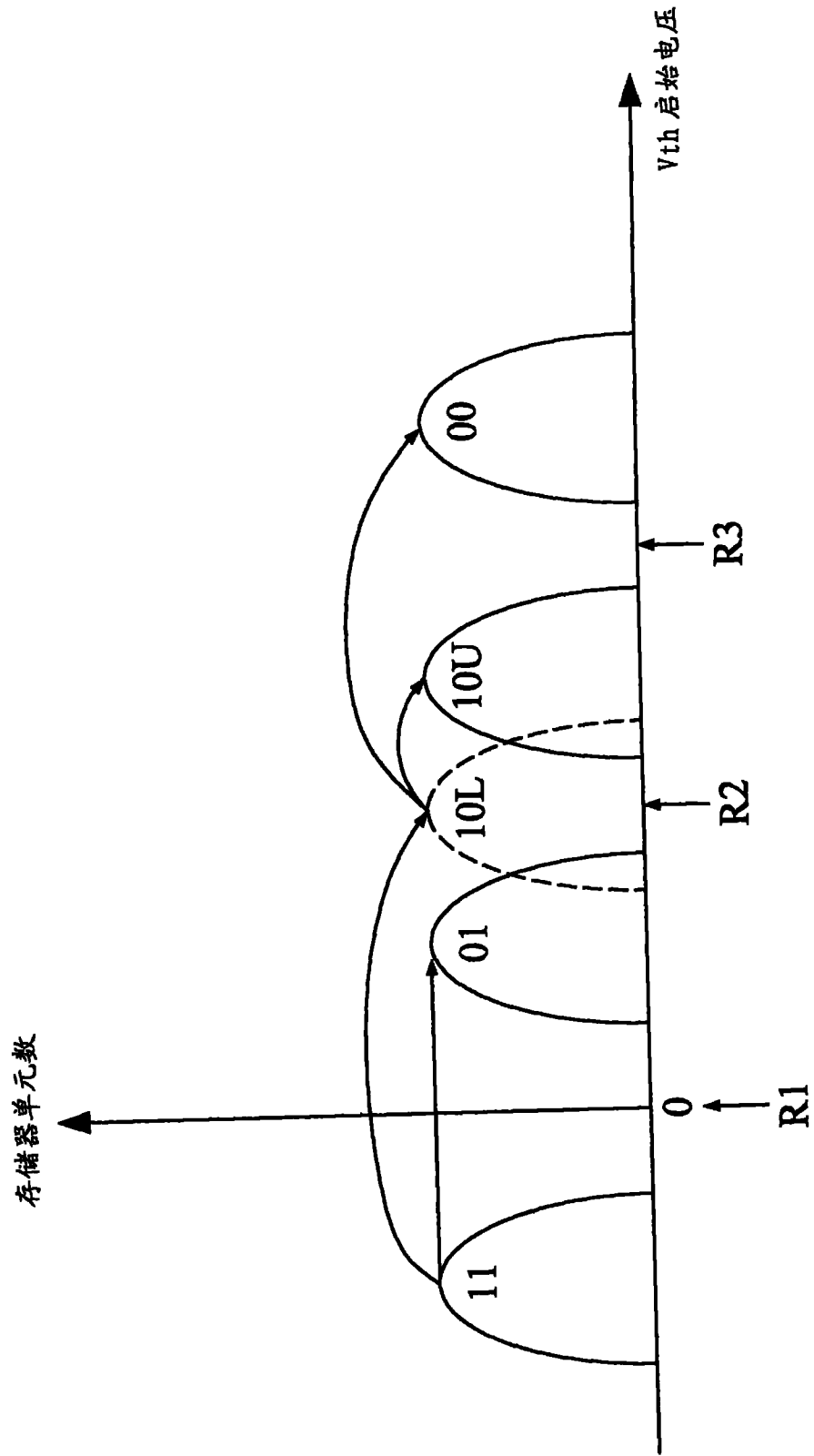


图 4

现在技术

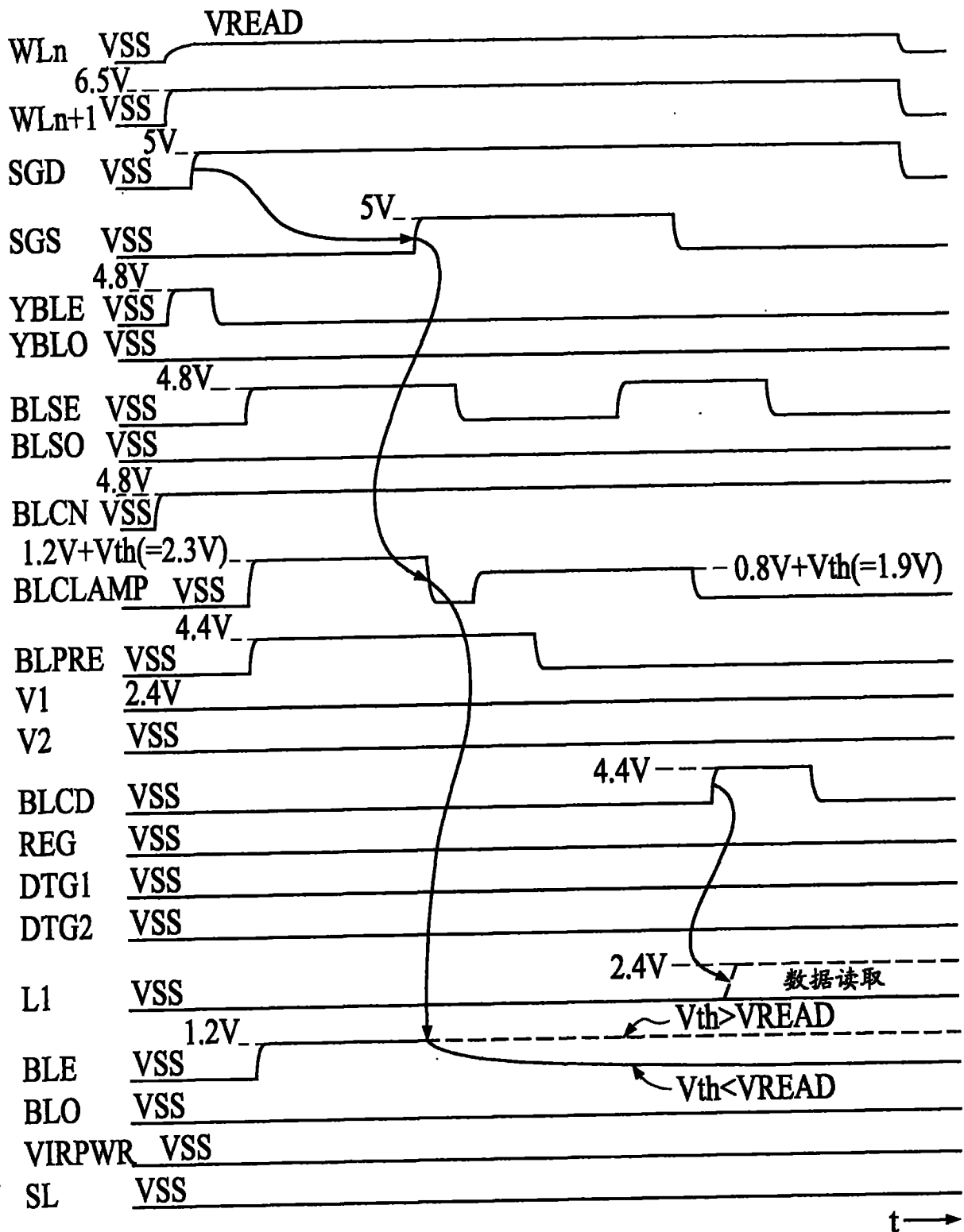


图 5

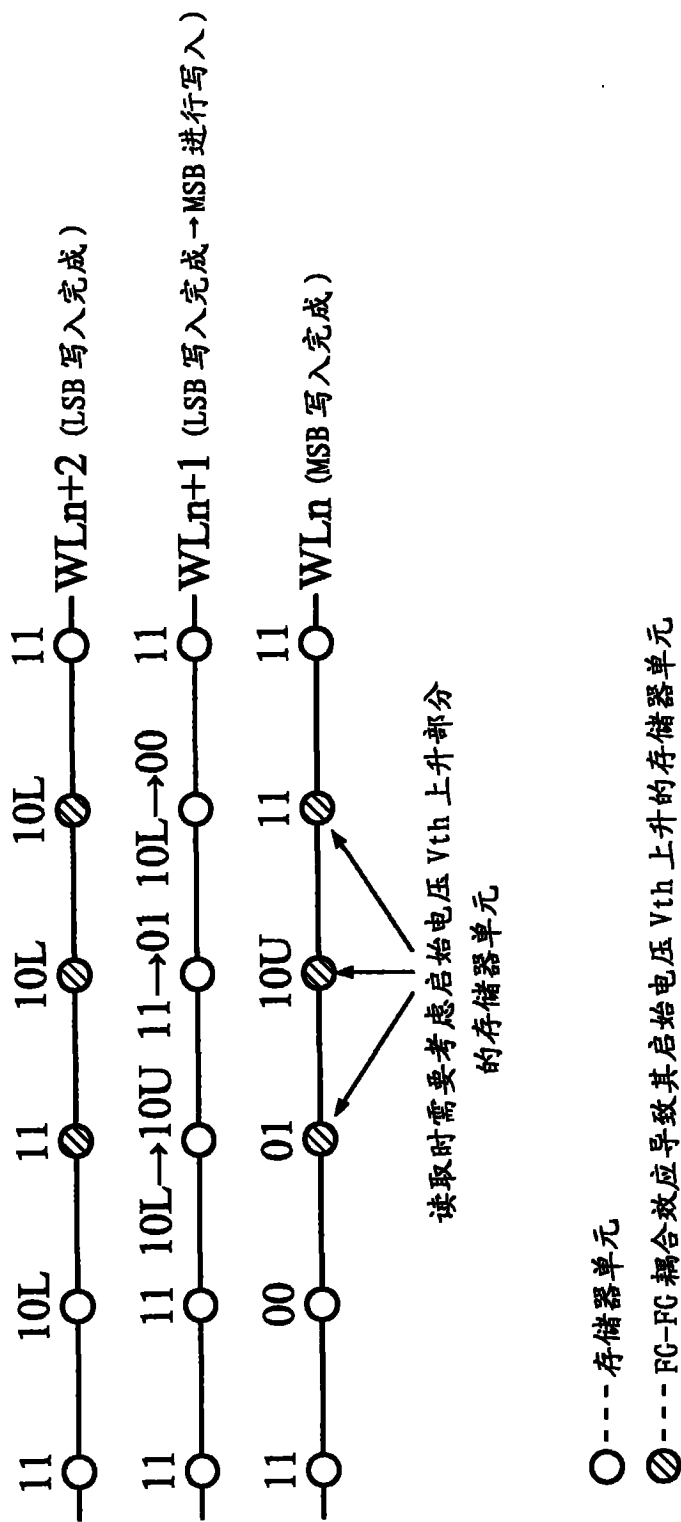


图 6

第一实施例第一部分

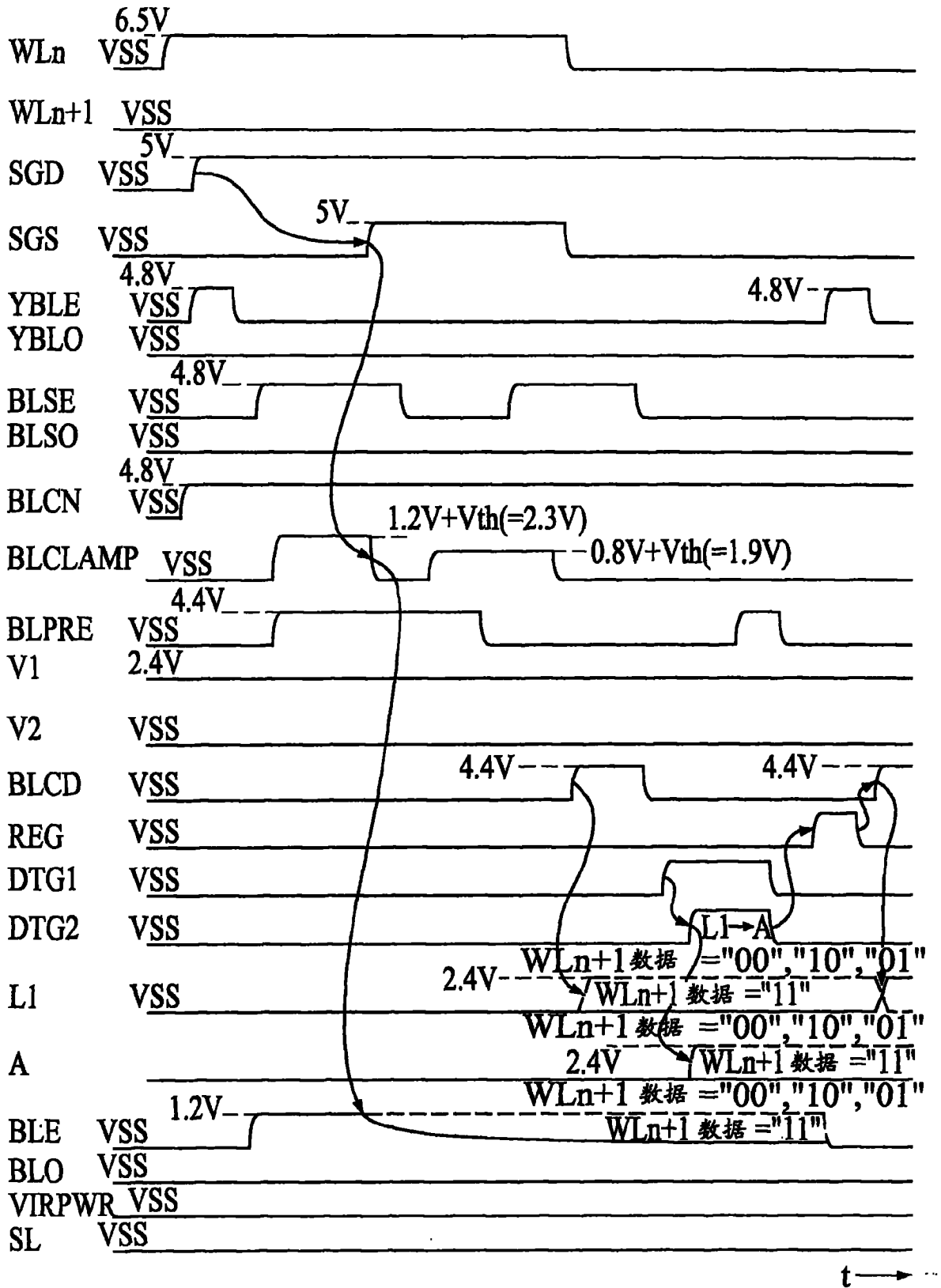


图 7

第一实施例第二部分

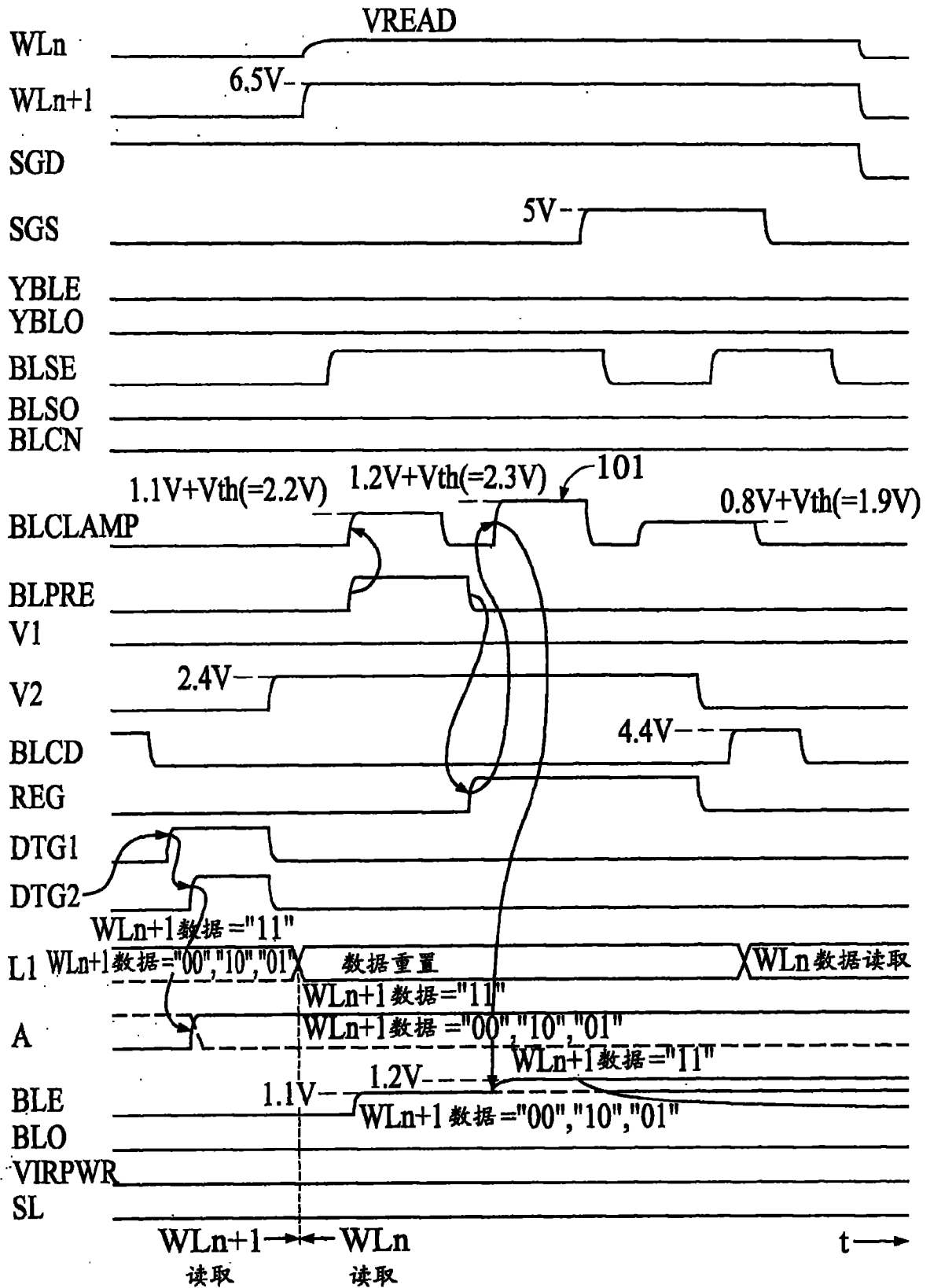


图 8

第二实施例第一部分

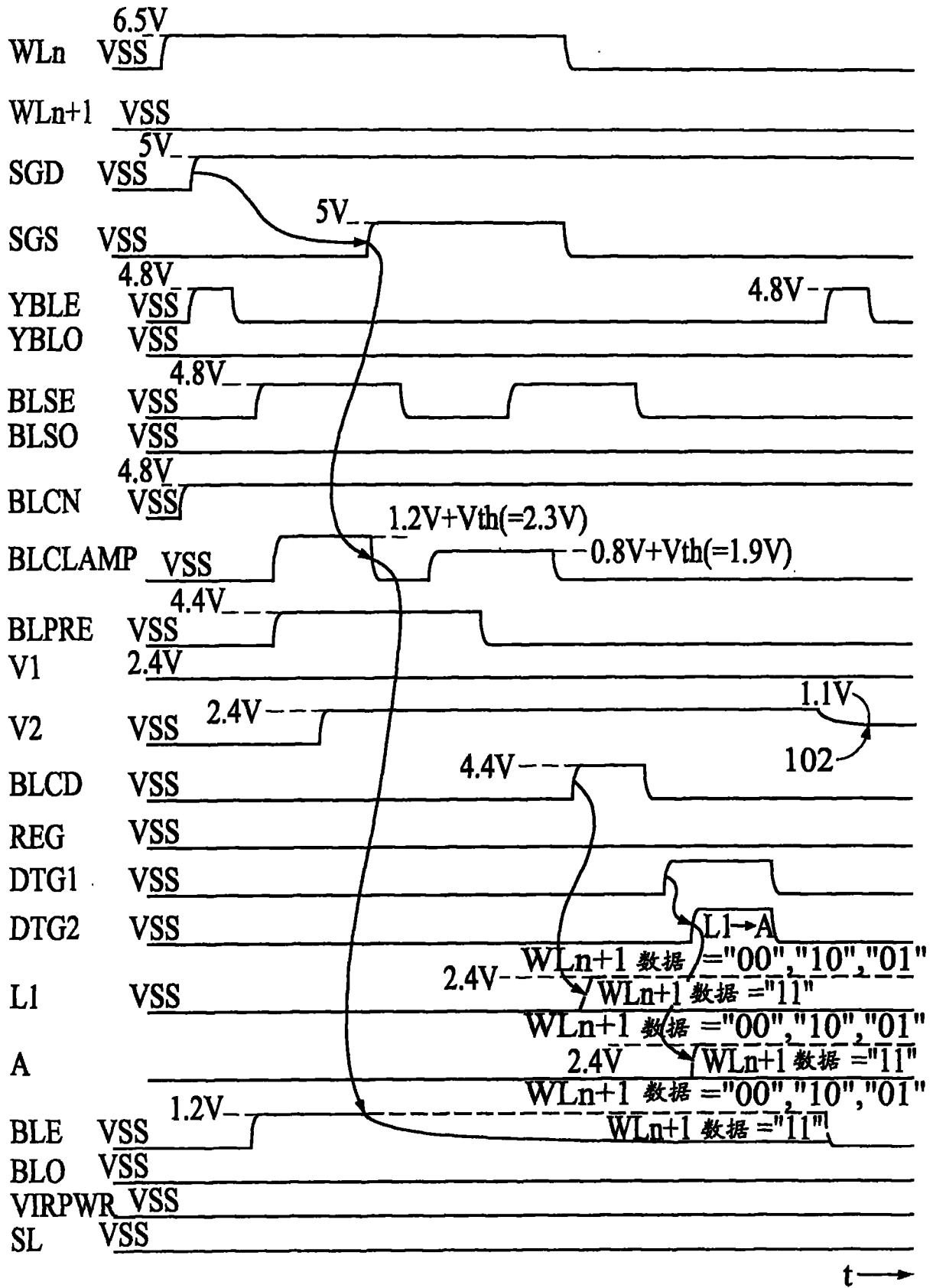


图 9

第二实施例第二部分

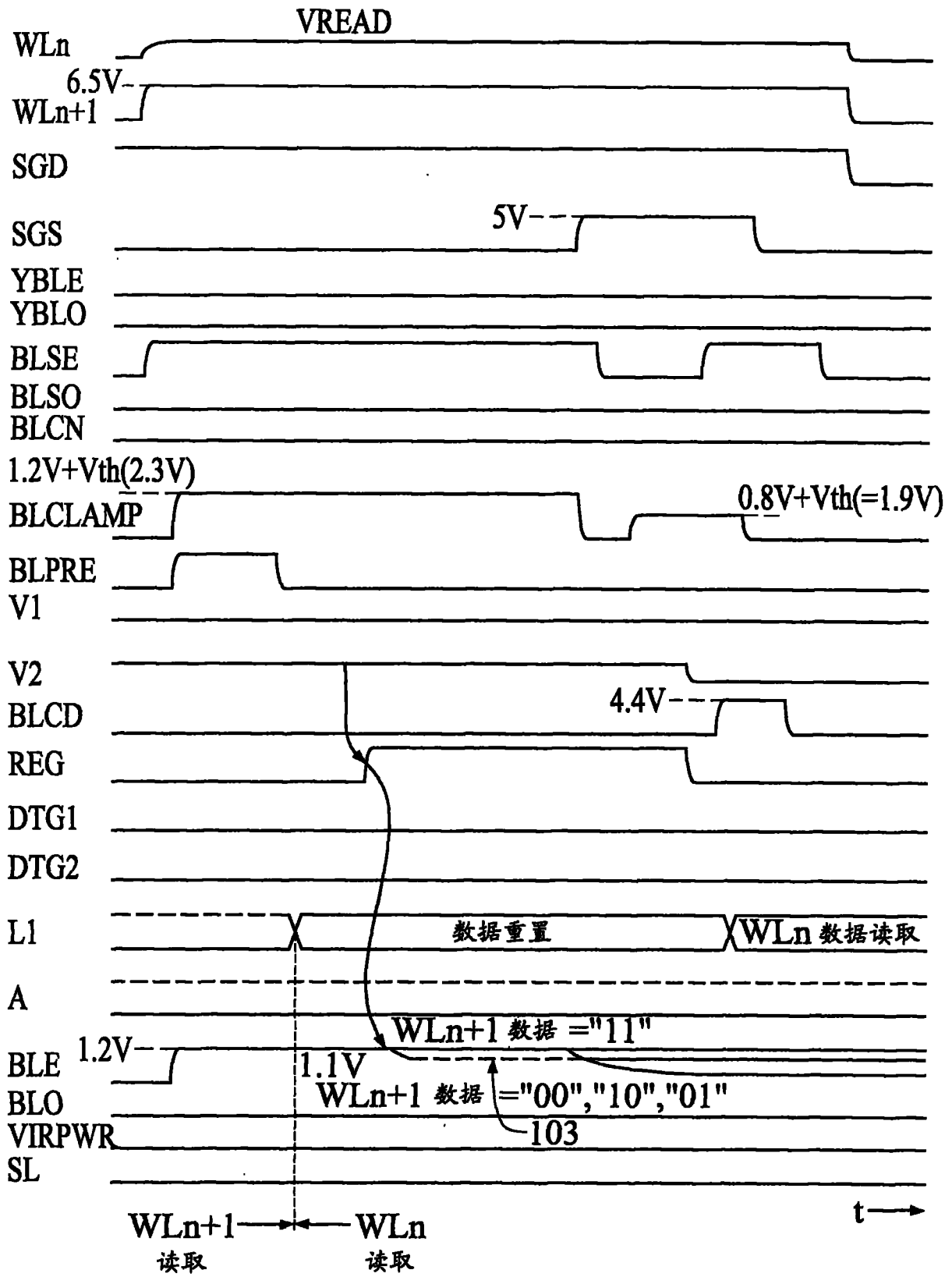


图 10

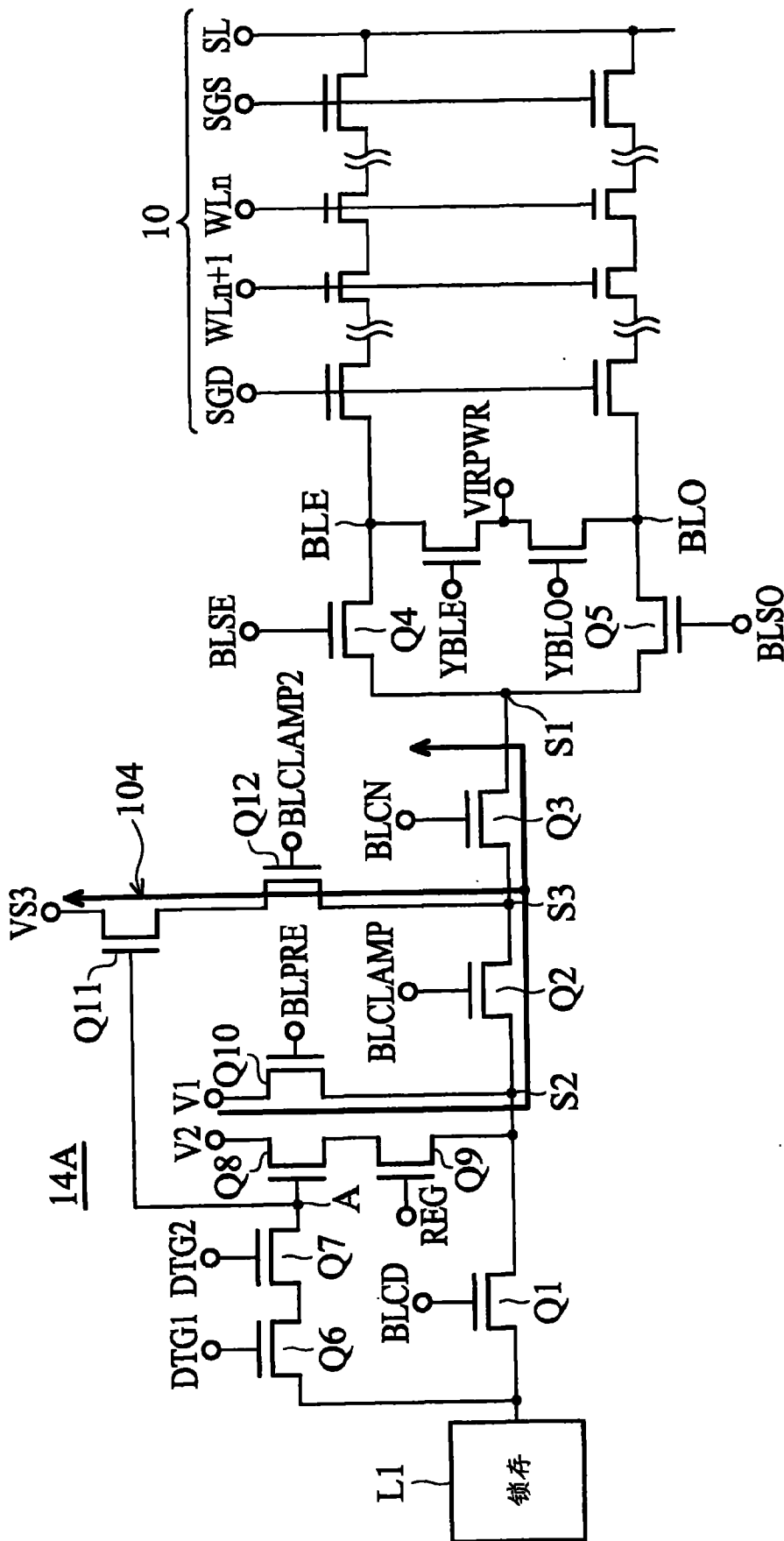


图 11