



[12] 发明专利说明书

专利号 ZL 200580004012.0

[45] 授权公告日 2009年8月5日

[11] 授权公告号 CN 100525578C

[22] 申请日 2005.2.3

[21] 申请号 200580004012.0

[30] 优先权

[32] 2004.2.4 [33] US [31] 60/541,261

[86] 国际申请 PCT/IB2005/050452 2005.2.3

[87] 国际公布 WO2005/076677 英 2005.8.18

[85] 进入国家阶段日期 2006.8.3

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 L·赵 M·罗

[56] 参考文献

US5784262A 1998.7.21

US6150729A 2000.11.21

CN1221551A 1999.6.30

CN1202794A 1998.12.23

CN1466027A 2004.1.7

审查员 徐秋杰

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 陈源 张天舒

权利要求书5页 说明书7页 附图6页

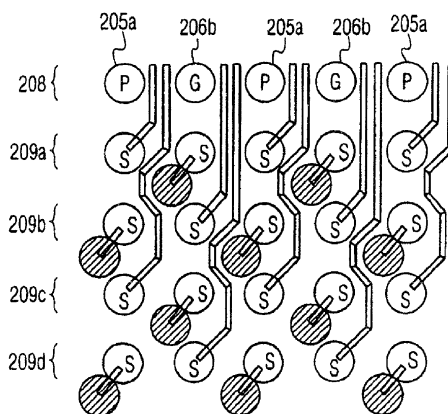
[54] 发明名称

用于提高电路板的定线密度的方法和这种电路板

[57] 摘要

公开了一种多层电路板(MPCB),包括第一层(201)和基本平行于第一层(201)的第四层(204)。多个电接触(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311)形成在该多层电路板的第一层(201)上并设置在第一格栅中。该多个电接触分成用于在第一层(201)内定线的第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd)、和用于在第四层(204)内定线的第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)中的

至少一个,该多个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310)在其每对之间具有间距,所述间距大于该多个电接触(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311)的相邻电接触之间的最小间距。



1. 一种多层电路板, 包括: 第一层 (201); 与第一层 (201) 平行的第四层 (204); 形成在该多层电路板的第一层 (201) 内并设置在第一格栅中的多个电接触 (207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311), 该第一格栅具有用于在第一层 (201) 内定线的该多个电接触的第一子集 (207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd), 以及用于在第四层 (204) 内定线的该多个电接触的第二子集 (207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed); 以及形成在第一层 (201) 和第四层 (204) 之间并且分别邻近该多个电接触的第二子集 (207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed) 中的至少一个设置的多个通孔 (210aa, 210ba, 210ab, 210bb, 210bo, 210ac, 210bc, 210ad, 210bd, 210cd; 310), 该多个通孔 (210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310) 在相邻的通孔之间具有间距, 该间距大于该多个电接触 (207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311) 的相邻电接触之间的最小间距。

2. 根据权利要求 1 的多层电路板, 其中该多个通孔 (210aa, 210ba, 210ab, 210bb, 210be, 210ac, 210be, 210ad, 210bd, 210cd; 310) 的间距是第一格栅间距的至少 1.1 倍,

3. 根据权利要求 2 的多层电路板, 其中电接触的第一子集 (207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd) 中的电接触与电接触的第二子集 (207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed) 中的电接触交替设置。

4. 根据权利要求 1 的多层电路板, 其中第一格栅包括包含列和行的笛卡尔网格, 其中每行和每列包括来自第一子集 (207aa, 207ca, 207ea,

207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd) 和第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed) 的交替电接触, 多个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310) 设置在包括列和行的第二格栅中, 在相邻的通孔之间具有间距, 其中第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd) 的电接触在第一层(201) 内使用多个第一电迹线之一来定线, 并且第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed) 的电接触沿第四层(204) 使用多个第二电迹线之一来定线。

5. 根据权利要求4的多层电路板, 其中设置在第二格栅中的通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 和 210cd; 310) 的间距比设置在第一格栅中的电接触的间距至少大 1.1 倍。

6. 根据权利要求5的多层电路板, 其中设置在第二格栅中的通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310) 的间距比设置在第一格栅中的所述多个电接触的间距大二的平方根倍。

7. 根据权利要求4的多层电路板, 其中第一格栅和第二格栅之间的角度是 45 度。

8. 根据权利要求1的多层电路板, 其中所述多个电接触的第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd) 包括接合焊盘。

9. 根据权利要求1的多层电路板, 其中通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210ed; 310) 设置在属于第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed) 的相邻电接触的相对侧。

10. 根据权利要求1的多层电路板, 包括第一衬底, 其中第一层(201) 设置在第一衬底的第一外表面内, 并且其中所述多个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310) 通过第一衬底钻到第一衬底的第二另一外表面, 其中第四层(204) 设置在

第一衬底的第二另一外表面内。

11. 根据权利要求1的多层电路板, 包括设置在第一和第四层之间的核心层, 其中该核心层包括与第一层(201)和第四层(203)平行的多个其它层(202, 203), 并且该多个其它层(202, 203)包括多个非导电区域(250), 所述多个非导电区域(250)包围所述多个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310)。

12. 根据权利要求11的多层电路板, 包括设置在所述多个非导电区域(250)周围用于降低第一层(201)和第四层(204)之间的双平面串扰的导电材料(251)。

13. 根据权利要求12的多层电路板, 其中所述多个非导电区域(250)被设置成使得在来自所述多个电接触(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)的相邻电接触上形成的通孔不同于由于相邻非导电区域(250)之间的重叠而被支持的通孔。

14. 根据权利要求13的多层电路板, 其中一旦形成所述多层电路板, 在所述多个非导电区域(250)的每一个中设置有通孔(210aa, 210ba, 210ab, 210bb, 210bo, 210ac, 210bc, 210ad, 210bd, 210cd; 310), 而没有任何其它的电接触。

15. 根据权利要求1的多层电路板, 其中每个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310)邻近至少两个电接触。

16. 一种制造多层电路板的方法, 包括: 提供第一层(201); 提供与第一层(201)平行的第四层(204); 在第一层内的第一格栅中设置多个电接触(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311), 该多个电接触排列成第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd)和第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed); 在第一层(201)内对该第一子集(207aa, 207ca, 207ea, 207bb,

207db, 207ac, 207cc, 207ec, 207bd, 207dd) 的电接触进行定线; 在第一层(201)和第四层(204)之间形成通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210be, 210ad, 210bd, 210cd; 310), 每个通孔邻近该多个电接触的第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)中的至少一个, 并且每个通孔与相邻的通孔相互间隔开的间距是第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd)和第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)的电接触之间的最小间距的至少1.2倍; 以及, 在第四层(204)内对该多个电接触的第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)进行定线。

17. 根据权利要求16的方法, 其中相邻通孔之间的间距是所述多个电接触(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd, 207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed; 311)的间距的二的平方根倍。

18. 根据权利要求16的方法, 包括: 提供设置在第一层(201)内用于电接触的第一子集(207aa, 207ca, 207ea, 207bb, 207db, 207ac, 207cc, 207ec, 207bd, 207dd)的定线的第一多个电迹线; 以及提供设置在第四层内用于电接触的第二子集(207ba, 207da, 207ab, 207cb, 207eb, 207bc, 207dc, 207ad, 207cd, 207ed)的定线的第二多个电迹线, 其中第二多个电迹线内的元件数目为第一多个电迹线的元件数目的50%以内。

19. 根据权利要求18的方法, 其中第二多个电迹线内的元件的数目为第一多个电迹线的元件的数目的10%以内。

20. 根据权利要求16的方法, 其中第一格栅和第二格栅之间的角度是45度。

21. 根据权利要求16的方法, 包括在第一层(201)和第四层(204)之间提供核心层, 其中该核心层包括平行于第一层(201)和第四层(204)的多个其它层(202, 203), 该多个其它层(202, 203)包括包围所述多个通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad,

210bd, 210cd; 310) 的多个非导电区域(250)。

22. 根据权利要求 21 的方法, 包括设置在所述多个非导电区域(250) 周围用于降低第一层(201) 和第四层(204) 之间的双平面串扰的导电材料(251)。

23. 根据权利要求 21 的方法, 其中所述多个非导电区域(250) 被设置成使得在来自所述多个电接触的相邻电接触上形成的通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310) 不同于由于相邻非导电区域(250) 之间的重叠而支持的通孔。

24. 根据权利要求 23 的方法, 其中一旦形成所述多层电路板, 在所述多个非导电区域(250) 的每一个中设置有通孔(210aa, 210ba, 210ab, 210bb, 210bc, 210ac, 210bc, 210ad, 210bd, 210cd; 310), 而没有任何其它的电接触。

用于提高电路板的定线密度的方法和这种电路板

技术领域

本发明涉及电路板领域，更具体地说，涉及多层电路板领域。

背景技术

消费者要求将电子器件制作得更小。结果，半导体行业将更多的功能集成到集成电路中，并且这些电路还表现出占用的面积（footprint）减小。近年来，在电子器件制造过程中渐增地推进利用与更传统的 DIP 封装相反的表面安装 IC 封装和部件。然而，由于表面安装封装（SOIC）具有更紧密且间隔开的引脚，所以就增加了往来于这些封装的信号迹线和电源迹线之间定线的难度，尤其是在其引脚之间，另外，利用球栅阵列（BGA）安装到电路板表面的 IC 封装已经很常见。

为了便于 BGA 和 SOIC 封装的表面安装，采用多层 PCB 来方便在这些封装之间对信号和电源定线。一般，每个 PCB 具有上和下外层，接近该上和下外层的上和下内层，以及设置在该上和下内层之间的核心层，这些多层以彼此基本平行的关系相互层叠。导电迹线设置在这些层上以便提供用于连接设置在 PCB 表面上的电部件的信号路径。通过首先钻入 PCB 中并且然后通过用导电材料填充该钻孔形成通孔，以便连接形成在这些层之间的各种电源和信号迹线。例如，对于三层 PCB，第二层和第三层之间的通孔用于把信号迹线和电源迹线定线到 IC 和设置在 PCB 的表面层上的其它部件。

传统地，对于设置在 PCB 的上层上的部件的信号迹线，是使用上层和尽可能靠近该上层的内层来定线，这导致在核心层中进行最小化的通孔下钻。通过核心层钻出的通孔越多，对遵守更紧密的容差的要求更高，如果没有遵守较紧密的容差，则在核心层上产生通孔间隙违背（clearance violation），这不利地影响 PCB 的成本。

题为“Routing density enhancement for semiconductor BGA packages and printed wiring boards”的美国专利 No. 6, 150, 729 公开了一种用于多层印刷线路板或者半导体封装的定线方案。第一组电接触（例如接合焊盘）

的每一个被设置在第一表面上并电耦接到多个导电表面连接器（例如通孔）中的一个上。第二组电接触的每一个被设置在第一表面上并通过第二多个迹线中的一个而被定线。第一组中的某些电接触和它们相关联的通孔之间的定位不同于第一组中的某些其它电接触和它们相关联的通孔之间的定位，这种变化的定位允许第二表面上有更大的定线密度。不幸地是，由于通孔和内层与核心层上的导电迹线之间所需的容差，这种类型的印刷电路板并不便于低制造成本。

因此，需要提供一种可以以节约成本的方式制造的多层印刷电路板（MPCB）。

发明内容

本发明提供克服了现有技术的缺陷的多层印刷电路板。

根据本发明，提供一种多层电路板，包括：第一层；与第一层基本平行的第四层；形成在该多层电路板的第一层上并设置在第一格栅中的多个电接触，该第一格栅具有用于在第一层内定线的该多个电接触的第一子集，以及用于在第四层内定线的该多个电接触的第二子集；以及形成在第一和第四层之间并且分别邻近该多个电接触的第二子集中的至少一个而设置的多个通孔，该多个通孔具有在相邻的通孔之间的间距，所述间距大于该多个电接触的相邻电接触之间的最小间距。

根据本发明，提供一种制造多层电路板的方法，包括：提供第一层；提供与第一层基本平行的第四层；在第一层内的第一格栅中设置多个电接触，该多个电接触排列成第一子集和第二子集；在第一层内对该第一子集的电接触进行定线；在第一和第四层之间形成通孔，每个通孔邻近该多个电接触的第二子集中的至少一个，并且每个通孔与相邻的通孔之间的间距是第一和第二子集的电接触之间的最小间距的至少 1.2 倍；以及在第四层内对该多个电接触的第二子集进行定线。

附图说明

现在将结合附图描述本发明的示例性实施例，其中：

图 1a、1b、1c 和 1d 示出现有技术的多层印刷电路板（MPCB），其由第一层、第二层、第三层和第四层形成；

图 2a、2b、2c 和 2d 示出使用根据本发明的第一实施例的定线策略而定线的 MPCB；

图 3a、3c 和 3d 示出具有八层和十层的 MPCB，其使用根据本发明的第一实施例的定线策略而定线；以及

图 3b 示出使用根据本发明的第一实施例的定线原理而定线的八层的 MPCB。

具体实施方式

图 1a 示出现有技术的多层印刷电路板 (MPCB) 100，由第一层 101、第二层 102 形成，实现根据第三层 103 和第四层 104 的定线原理变化的发明，第一层形成在第一衬底 101a 的上表面上。第二和第三层 102 和 103，形成在第二衬底 102a 的相对侧上，第四层 104 形成在第三衬底 103a 的底表面上。

根据图 1b 示出的现有技术的实例，一行 108 交替的电源 105 和地 106 电接触以及四行 109 电接触 107 被定线用于四层 MPCB 100。参考图 1a，与电接触 107 相关联的导电迹线设置在 MPCB 100 的第一和第四层 101 和 104 内。与电源和地信号相关联的导电迹线设置在第二和第三层 102 和 103 内。

返回参考图 1a，导电通孔 111、112 和 113 形成在 MPCB 100 内，以便将电源和地信号从核心层 102 和 103 定线到表面层，其包括第一层 101 和第四层 104。第一导电通孔 111 用于定线第一层 101 和第二层 102 之间的电信号，第二导电通孔 112 用于定线第二层 102 和第三层 103 之间的电信号，第三导电通孔 113 用于定线第三层 103 和第四层 104 之间的电信号。例如，为了将电源和地信号定线到第一层 101，第二导电通孔 112 将电源信号从第三层 103 定线到第二层 102 并且第一导电通孔将电源信号从第二层 102 定线到第一层 101。类似地，第三导电通孔 113 用于使用第一和第二导电通孔定线第四层 104 和第一层之间的电信号，这样，多个第一至第三导电通孔 111 至 113，结合设置在第一至第四层 101 至 104 上的多个导电迹线，用于定线第一至第四层 101 至 104 中的任何一个之间的多个电信号。可替换地，导电通孔由第一层 101 至第四层 104 形成以便将信号从第一层 101 定线到第四层 104，当然，导电通孔的形成取决于对 MPCB 100 的定线要求，因而，导电通孔按照需要形成以方便定线。

如图 1b 所示，接地、电源和信号电接触的定位在本领域技术人员已知的封装衬底定线或 PCB 定线（例如供球栅阵列 (BGA) 使用）中是常见的。图 1b 所示的五行，108 和 109，是倒装片凸起或 BGA 球焊

盘的示例。正如本领域技术人员已知的，通过交替的信号层和电源或接地层的方式而层叠 MPCB 100 降低了双平面串扰。这样，电源和接地层就典型地把信号层隔开。

为了在制造 MPCB 100 时降低装配容差，一般在核心层（例如第二和第三层 102 和 103）上使用较大直径的非导电区域，以便抵销层叠 MPCB 100 时所需的容差并用于形成导电通孔。因此，对于内层通孔直径和间距的 MPCB 设计规则需要比对外层更高的制造容差。

参考现有技术图 1c，开头的两行信号焊盘 109a 和 109b，从它们相应的信号焊盘沿第一层 101 被定线。第三和第四行信号焊盘 109c 和 109d，使用导电通孔来定线，所述导电通孔向下通过第一至第三衬底 101a 至 103a，钻到第四层 104。在该第四层内，来自形成第三和第四行 109c 和 109d 的信号焊盘的电信号被定线到 MPCB 100 之外。不幸地是，由于形成在内层上的非导电区域需要更大的直径和其间更大的间距，因此一般可观察到核心层上的间隙违背。为了解决间隙违背的问题，通常使用附加定线层或实施更紧密的设计规则。不幸地是，这导致需要增加 MPCB 100 的层叠容差并由此增加 MPCB 100 的制造成本。

图 2a、2b、2c 和 2d 示出用于根据本发明的第一实施例的多层印刷电路板 (MPCB) 200 的定线。为了实施该实施例，MPCB 200 由四层 201 至 204 形成。当然，还可设想具有从两层至十层或更多的任何数量的层的多层板。MPCB 200 包括第一层 201 和基本平行于第一层 201 的第四层 204，以及第二和第三核心层，202 和 203。

类似地，与现有技术图 1c 所示的 MPCB 相对照，图 2a 示出形成在根据本发明的多层电路板的第一层 201 内并设置在第一格栅中的多个电接触。交替设置的电源电接触 205a、205b 和 205c 以及地焊盘 206a 和 206b 的第一行 208。除此之外，第一至第四行的信号电接触 209a 至 209d 设置在 MPCB 200 的第一层 201 内。信号电接触分成两组。该多个电接触的第一子集用于第一层 201 内的定线，以及该多个电接触的第二子集用于第四层 204 内的定线。当然，在其中对第二子集定线的层取决于形成 MPCB 200 的层的数目，并且不限于第四层 204。由于在该实例中示出了四层 MPCB 200，并且优选没有将两个信号层设置得彼此邻近，因此第四层 204 用于信号定线。然而，如果使用八层的 MPCB 来定线，则优选地可以使用任何其它非邻近层来对第二子集定线。

参考图 2c, 电接触 207aa、207ca、207ea、207bb、207db、207ac、207cc、207ec、207bd、和 207dd 属于第一子集以及电接触 207ba、207da、207ab、207cb、207eb、207bc、207dc、207ad、207cd 和 207ed 属于第二子集。

多个通孔, 210aa、210ba、210ab、210bb、210bc、210ac、210bc、210ad、210bd 和 210cd 形成在第一和第四层 201 和 204 之间, 并且该多个通孔的每一个都被设置得邻近该多个电接触的第二子集的至少一个, 其中该多个通孔在其间具有大于该多个电接触的每一个之间的间距的间距。

如图 2a 和图 2c 所示, 参考设置在采用笛卡尔网格 (是由列和正交行形成的阵列) 形式的第一格栅中的该多个电接触, 对于所有四行的单信号行的交替电接触和单列中的交替电接触, 根据本发明的第一实施例的定线策略通过定线和钻孔以形成通孔, 降低了容差问题。电接触优选被设置成笛卡尔网格的列和正交行的交叉点。图 2c 示出图 2a 的放大图, 以便例证本发明的特性。对于第一行电接触 209a, 电接触 207aa、207ca 和 207ea 沿着第一层使用导电迹线来定线。电接触 207ba 和 207da 利用形成在第一层上的导电迹线分别连接到通孔 210aa 和 210ba 以便沿第四层 204 来定线。对于第二行电接触 209b, 电接触 207ab、207cb 和 207eb 利用形成在第一层 201 内的导电迹线分别耦接到通孔 210ab 和 210bb 以便在第四层 204 内定线。电接触 207bb 和 207db 利用导电迹线在第一层内被定线。对于第三行电接触 209c, 电接触 207ac、207cc 和 207ec 利用导电迹线在第一层内被定线。电接触 207bc 和 207dc 利用形成在第一层内的导电迹线分别连接到通孔 210ac 和 210bc 以便在第四层 204 内定线。对于第四行电接触 209d, 电接触 207ad、207cd 和 207ed 利用形成在第一层上的导电迹线分别连接到通孔 210ad、210bd 和 210cd 以便在第四层 204 内定线。电接触 207bd 和 207dd 利用导电迹线在第一层内被定线。

参考现有技术图 1d, 示出了 MPCB 100 的接地或电源层。为了便于降低 MPCB 装配成本, 大的非导电区域 150 形成在电源层的接地上以以便于在其中形成通孔。由于形成在第三和第四行 109c 和 109d 的电接触之间的间距的原因, 所以在电源层的接地上形成非导电区域重叠。在这种情况下, 通孔的间距等于或小于单个通孔的直径。非导电区

域之间的这种重叠不利于形成连续导电表面，这样不能形成连续的接地或电源平面。

当然，如果在 MPCB 100 的层叠和钻孔中坚持更紧密的容差，那么电源和接地层的非导电区域之间的这种重叠可能不会发生，然而制造成本显著地增加。参考图 2b，示出 MPCB 200 的地和电源层 202 和 203 的非导电区域 250。非导电区域 250 由形成接地和电源层 202 和 203 的导电材料 251 所包围。在这些非导电区域 250 内，用于对从第一层 201 到第四层 204 的第二子集的电接触 207ba、207da、207ab、207cb、207eb、207bc、207dc、207ad、207cd 和 207ed 定线的通孔形成并设置在第二格栅中。相对于第一格栅，第二格栅沿对角线方向与第一格栅成角度。设置在第二格栅中的通孔的间距优选是设置在第一格栅中的电接触的间距的 $\sqrt{2}$ 倍。这样，本发明的第一实施例对于底部信号层（用于定线的第四信号层）准备了避免通孔间隙违背的条件。由于非导电区域以电接触的间距的 $\sqrt{2}$ 倍相间隔开，因此便于非导电区域周围的连续电连接，所以在其内形成这些非导电区域的接地或电源层也就同样地便于充当用于降低相邻信号层之间的双平面串扰的层。

优选地，第一格栅使得属于第一和第二子集的接地-206a 和 206b，电源-205a 至 205c，和信号电接触的定位与 BGA 封装或倒装片凸起相连。另外优选地，根据本发明的实施例的 MPCB 200 通过层叠交替的信号层和电源层或接地层形成以便降低双平面串扰。

根据本发明的第一实施例的定线原理可应用于更复杂的定线情形，其中例如在八层或甚至十层电路板中定线更大量的多个电接触。

图 3a、3c 和 3d 示出一个 MPCB 300，其利用根据本发明的第一实施例的定线策略。图 3a 示出 MPCB 300 的单层上的电接触的示例性布置。例如，对于如图 3c 所示的 MPCB 300 的十层的横截面，第一层 (L1) 321 是电源层并被定线至电焊盘 315。第二层 L2 302 是信号层，其被定线至电接触 319a。第三层 323 是地层，其被定线至电接触 316。第四层 324 是信号层，其被定线至电接触 319b。第五和第六层 325 和 326 是核心电源层和核心地层，这些层分别被定线至电接触 318 和 317。第七层 327 是信号层，其被定线至电接触 319c。第八层和第十层 328 和 330 是电源层和地层，其分别被定线至电接触 315 和 316。第九层 329 是信号层，其被定线至电接触 319d。

图 3b 示出八层的 MPCB 350 并且图 3c 示出十层的 MPCB 300。参考图 3b 和 3c, 由于由层 325 和 326 以及 304 和 305 形成的 MPCB 的核心, 350 和 300, 所以与用于表面层 301 和 308 和 321 和 330 的通孔和间距相比, 则需要更大的通孔和间距。返回参考现有技术图 1a 至 1d, 由于对核心层需要更大的非导电区域, 所以一般信号层的 90% 的定线在 MPCB 100 的外层上执行。不幸的是, 底部信号层 104 大部分是空的并不用于定线。代替大多数定线在上层 101 上执行, 一般在第一至第四层上执行, 从而避免使用穿过核心层 102 和 103 的通孔。然而, 为了获得在上信号层 101 上的高迹线密度, 可制造性难题一般导致这些 MPCB 的高制造成本。在一些情况下, 如果信号定线不可以处于专用信号层内, 那么电源层和接地层部分地用于信号定线, 这导致 MPCB 100 的不良电性能。在定线密度的性能和成本之间存在已知的折衷。

参考图 3d, 根据本发明的第一实施例的定线方案用于如图所示的信号层之一。对于该第二层 322-接地或电源层, 非导电区域和形成在其中用 310 表示的通孔排列成 z 字形图案, 以便通孔能够通过 MPCB 的核心层 325 和 326。这样, 在第三层 323 上, 由于通孔 310 处于对角位置并由此为其间的定线提供更多空间, 因此更多的信号被定线。结果, 剩余信号被定线至底部信号层。在核心层上, 通孔 310 能够在不违背间隙规则的情况下通过, 因为它们的间距至少是电接触 311 的间距的 $\sqrt{2}$ 倍。照这样, 上和下信号层 322 和 329 都用于定线并且每个上的定线密度近似平衡。这样就提供了一种 MPCB 300, 具有表现出性能并以节约成本的方式实现的定线。

根据本发明的第一实施例的定线策略能够通过对角地钻孔来进行定线。与现有技术中可达到的效果相比, 它不但在通孔之间提供的空间增加了, 而且在核心层上通孔被钻成 z 字形图案, 获得了是电接触的间距的 $\sqrt{2}$ 倍的通孔间距。这样就能够避免通孔间隙违背并能够利用底部信号层来高效地进行信号或电源定线。另外, 在上面形成有非导电区域的地和电源层用于降低相邻信号层之间的双平面串扰, 因为用于功率或接地的导电的导电材料包围了多个非导电区域。

在不脱离本发明的精神或范围的情况下可以设计多个其它实施例。

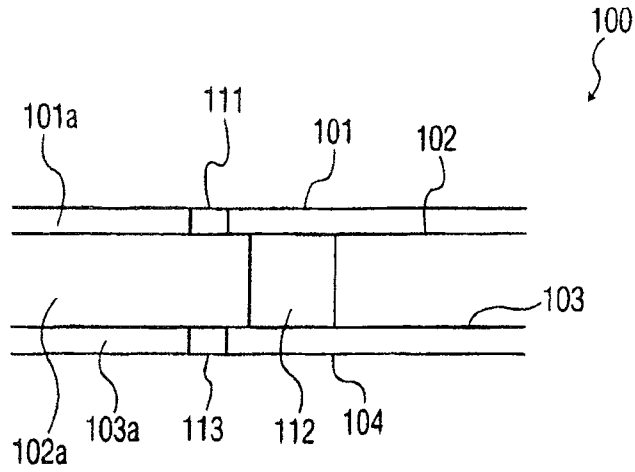


图 1A
现有技术

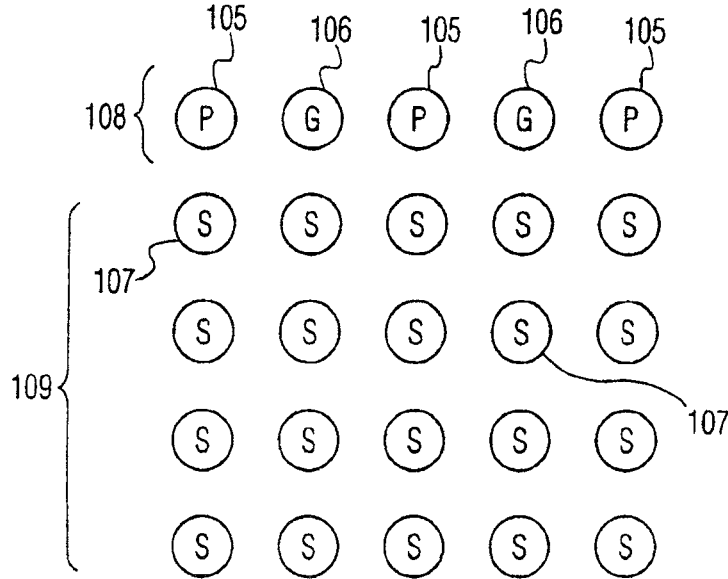


图 1B
现有技术

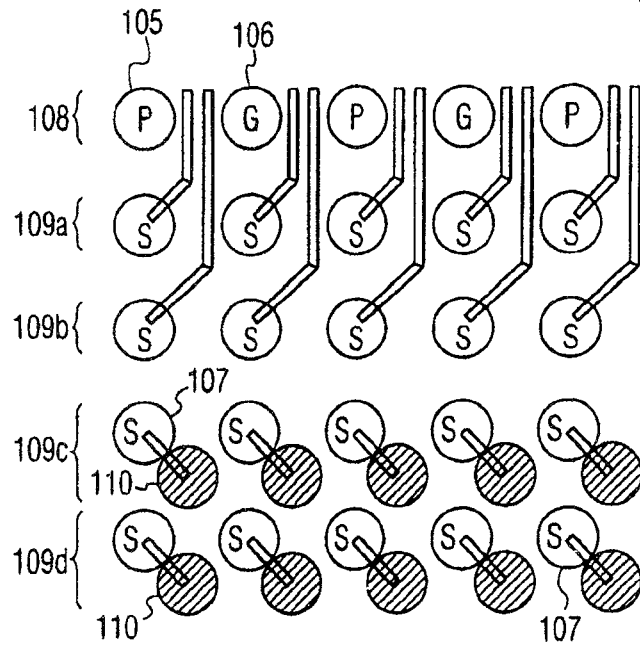


图 1C
现有技术

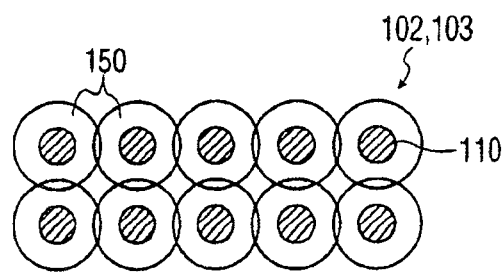


图 1D
现有技术

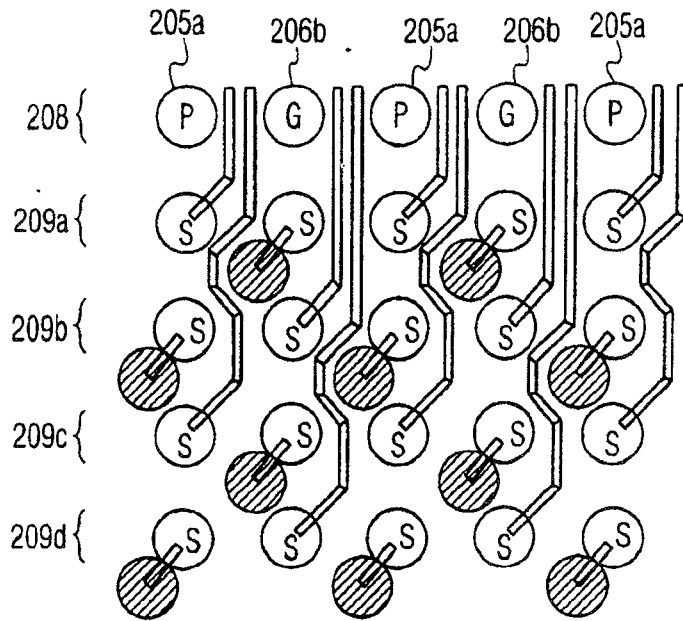


图 2A

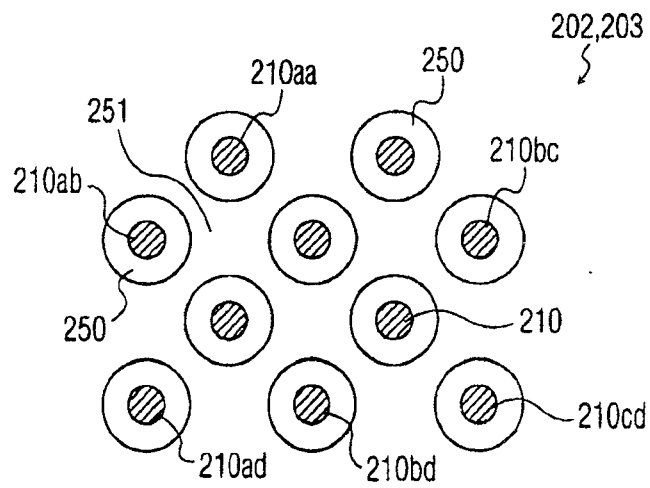


图 2B

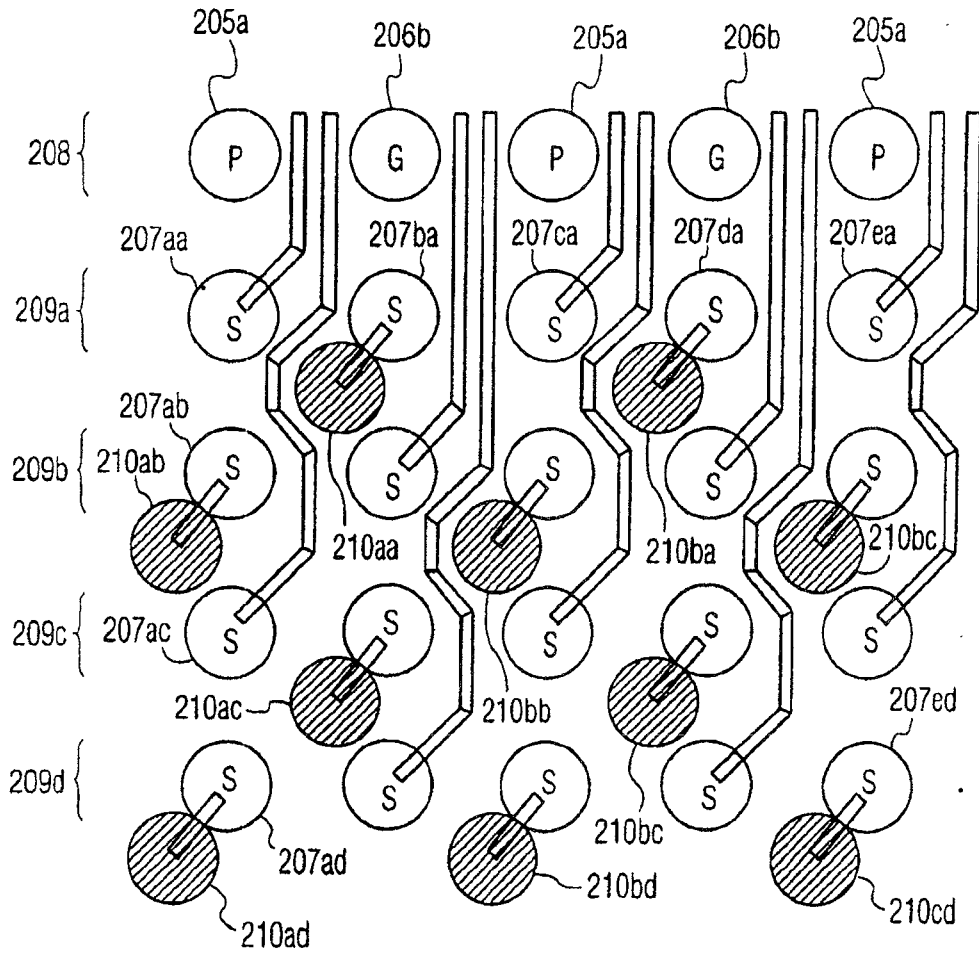


图 2C

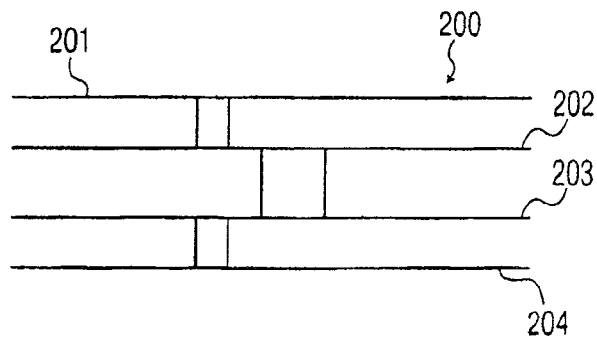


图 2D

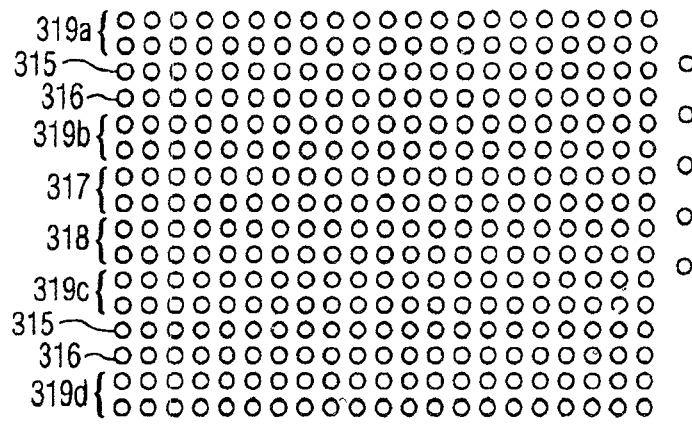


图 3A

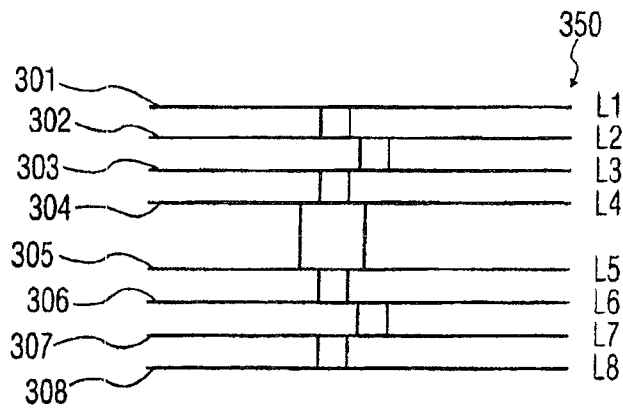


图 3B

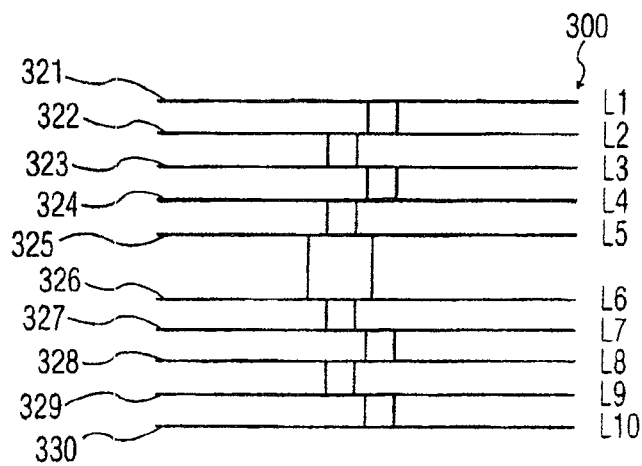


图 3C

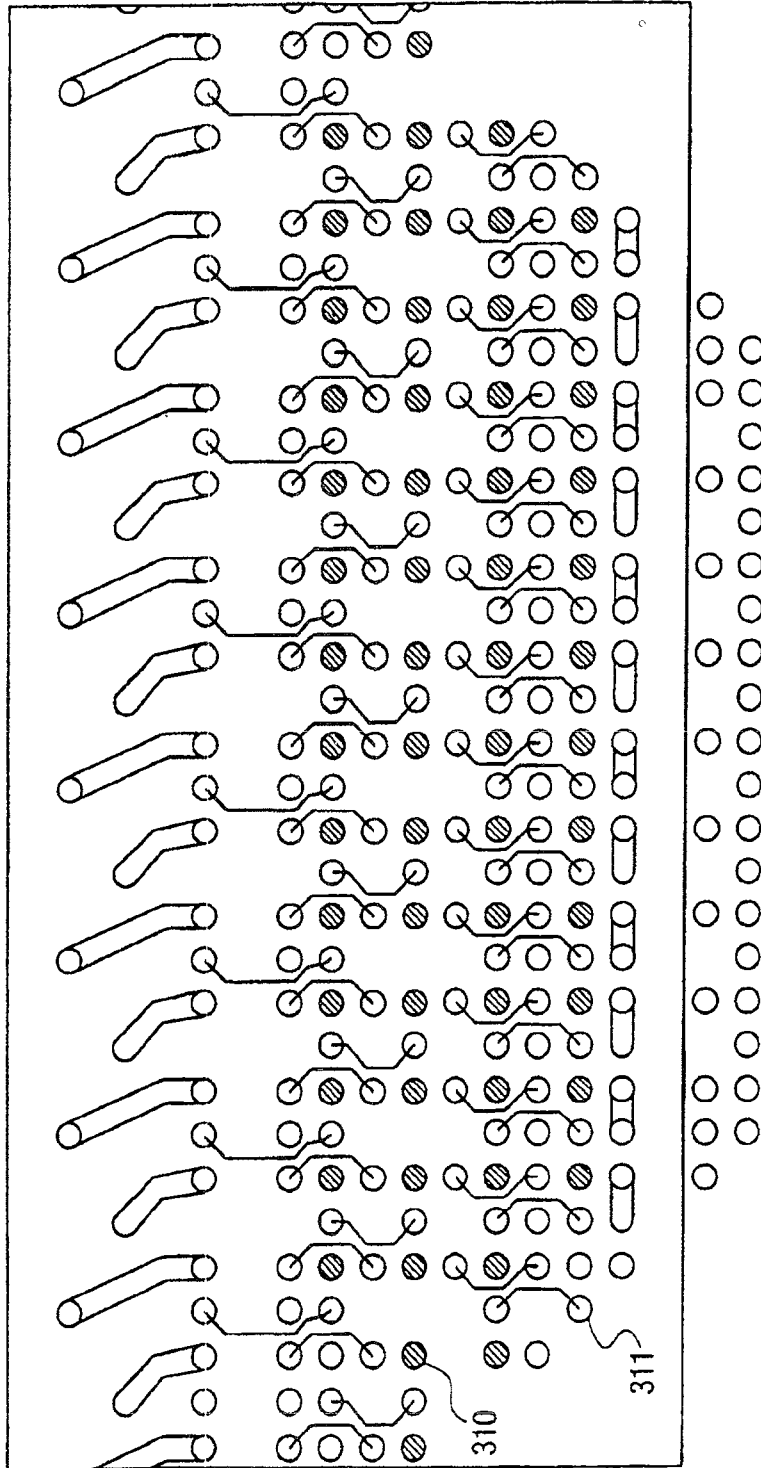


图 3D