

公告本

394961

88年10月13日 修正
補充

申請日期	87.3.17
案號	87103906
類別	Holc 10%

A4
C4

394961

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	低電容片狀變阻器及其製造方法
	英文	LOW CAPACITANCE CHIP VARISTOR AND FABRICATION METHOD THEREOF
二、發明 人 創作	姓名	(1)安炳俊 (2)金龍柱
	國籍	韓國
三、申請人	住、居所	(1)韓國,漢城市江南區三成洞 26-27 柳林別館 101 (2)韓國,京畿道水原市勸善區九雲洞 28 三換公寓 9-1305
	姓名 (名稱)	西拉提克股份有限公司
	國籍	韓國
	住、居所 (事務所)	韓國京畿道軍浦市芍井洞 694-29
	代表 姓名	吳世宗

經濟部智慧財產局員工消費合作社印製

裝訂線

公告本

394961

88年10月13日 修正
補充

申請日期	87.3.17
案號	87103906
類別	Holc 10%

A4
C4

394961

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	低電容片狀變阻器及其製造方法
	英 文	LOW CAPACITANCE CHIP VARISTOR AND FABRICATION METHOD THEREOF
二、發明 人 創作	姓 名	(1)安 炳 俊 (2)金 龍 柱
	國 籍	韓 國
	住、居所	(1)韓國,漢城市江南區三成洞 26-27 柳林別館 101 (2)韓國,京畿道水原市勸善區九雲洞 28 三換公寓 9-1305
三、申請人	姓 名 (名稱)	西拉提克股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	韓國京畿道軍浦市衚井洞 694-29
	代 表 人 姓 名	吳 世 宗

經濟部智慧財產局員工消費合作社印製

裝 訂 線

394961

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

韓國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 1997.3.20 9529/1997
 1997.8.19 39408/1997

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(/)

發明背景

[發明領域]

本發明是關於一種低電容片狀變阻器及其製造方法。尤其是一種經改良後的低電容片狀變阻器及其製造方法，能夠防止外部和內部衝擊從而保護電器的電子元件，並且可適用於低電容要求的電子元件。

[習知技術]

近來，隨著電器被做得更輕、更袖珍、功能更多，高密度安裝技藝也利用表面安裝設備而迅速提高。既然表面安裝設備電路的信號傳送速度已超過 MHz 單元，電容就必須降低至 10PF 以下確保更快的信號傳送速度和電路運作速度。要求信號傳送速度低於 5PF 則更佳。

爲了滿足上述要求，一圓盤狀變阻器作爲片狀變阻器的一種在此被深入研究。藉由堆積方式而成的片狀變阻器在達到低電容上存在很多問題，因爲同種材料的形成帶來高介電常數。通常當片狀變阻器由高介電常數的材料形成，如果兩端部分與外部電極接觸面積較大，電容增加且與內部電極的表面積無關。因此，爲了降低電容，變阻器必須更薄以減少兩端部分的表面積。

一般而言，要使變阻器的電容低於 5PF，變阻器層的厚度必須小於 1mm。但是假如變阻器層厚度小於 1mm，當堆積電阻後燒結或處理時，電阻很容易變形或毀壞。由此不可能製成一較薄電阻以達到低電容的要求。所以眾所周知堆積式片狀變阻器的電容無法低於 1000PF。目前工業中

(請先閱讀背面之注意事項再填：本頁)

裝 · 訂 · 線

五、發明說明(二)

尚無低電容片狀變阻器。鑒於此，當前迫切需要一種低電容片狀變阻器，其電容必須足夠低以使其可用於高速信號電路，而且製造和處理時不容易變形和毀壞。

發明說明

因此，本發明目的之一是提供一種片狀變阻器，其電容必須足夠低以使其可用於高速信號電路，而且製造和處理時不輕易變形和毀壞。

本發明的又一目的是提供一種上述低電容片狀變阻器的製造方法。

本發明上述目的是藉由一個較薄片狀變阻器，它由具有可用於高速信號傳送電路的較低電容的變阻器層所形成，加上至少一個有一定強度和厚度足以支持變阻器層的表面，具有較低的介電常數且不會影響變阻器層的性能的支持層得以實現。

本發明中的低電容變阻器包括一個由變阻器層形成的堆積體，其中至少包含一個預先決定厚度的可用於高速信號傳送電路的低介電常數變阻器塗層；以及一個具有較低介電常數和預先決定的足以支持變阻器層的強度和厚度的支持層；至少兩個以上的變阻器層上形成的內部電極藉由變阻器層彼此連接；而且至少在變阻器層上一個表面上整體澱積和燒結；堆積體兩側面上形成的外部電極與內部電極用電連接。

爲了達到上述目的，本發明中，支持層由具有較低介電常數且不影響變阻器的特徵的部分形成；其預先決定的

五、發明說明 (3)

強度和厚度可以在處理過程中保護變阻器免受外界衝擊；而且在預定燒結溫度下與變阻器共同燒結時不輕易變形。比較理想的支持層由介電常數極低的陶瓷材料形成。陶瓷支持層具有足夠的預定強度可以支持變阻器層的強度。上述陶瓷支持層的厚度僅大於 0.1mm。支持層的厚度取決於電容和使用條件。如果必要，上述條件可以被改變。

本發明中，變阻器層越薄越好。這裡變阻器層的厚度最好小於 1mm， 1μ 至 1mm 則更佳。變阻器層可由已知的變阻器材料如 ZnO、BaTiO₃、SrTiO₃ 等形成。此外，變阻器層也可由一兩種輔助材料諸如 BiO₂、Sb₂O₃、MnO₂、Co₂O₃、Ag₂O、PbO 等與上述變阻器材料一起形成。變阻器材料及輔助材料可以獨立使用，也可由兩種以上材料混合而成。不管如何，作為變阻器材料和輔助材料，其他通常用作變阻器材料和輔助材料的原料都可以使用。

變阻器層可以在陶瓷支持層整個表面形成，也可形成於內部電極所在的陶瓷片部分表面。根據後者的構造，既然同樣的變阻器層變薄，而且暴露的表面積小，就有可能得到低電容的片狀變阻器。

內部電極包括由至少兩個與外部電極在堆積體兩端連接的電極形成。此外，內部電極可以形成於變阻器層或支持層的表面。上述兩個內部電極可以形成於變阻器層的相同表面或兩側。內部電極經由變阻器層連接，但不是直接連接。

至少一個不與外部電極連接的第三個內部電極，經由

(請先閱讀背面之注意事項再填：本頁)

裝 · 訂 · 線

五、發明說明(4)

變阻器層與兩個同外部電極相連的內部電極相連。這種情況下，該第三個內部電極可以形成於變阻器層的共同表面上與另外兩電極中至少一個平行，也可與另兩個內部電極中至少一個堆積，並一起相對於變阻器層之兩側。

為達成上述目的，根據本發明提供一種製造片狀變阻器的方法，其步驟包括用一預定塗層方法，如絲網漏印法在支持層的表面塗一層變阻器材料製成的塗料或油墨；形成並乾燥第一個變阻器塗層；在變阻器塗層的表面形成與外部電極相通的第一個內部電極；然後在形成的結構表面上形成分別與塗層和外部電極相連的第二個電極；及在該形成的結構表面上堆積變阻器層和/或支持層從而形成變阻器堆積部分；其後，堆積體的側面上形成一外部電極，該堆積體上有分別與各外部電極相連的內部電極；然後變阻器塗層與支持層共同燒結。

本發明中，形成變阻器層的塗層是混和 ZnO 、 $BaTiO_3$ 、 $SrTiO_3$ 等材料中的一種，使其重量百分比占 90—95%，或者上述材料中兩種以上形成變阻器主要結構再加上 5—10% 選自 Bi_2O_3 、 Sb_2O_3 、 MnO_2 、 Co_2O_3 、 Ag_2O 或 PbO ，亦或兩種以上之上述變阻器輔助材料，使其重量百分比為 90—95%，再於製成的化合物中加上重量百分比為整個混合物 3—8% 的有機粘合劑和一預定數量的有機溶劑，產生的化合物即被製成可用於絲網漏印法的塗料或油墨，然後藉由絲網印刷法製成塗層。

本發明中，PVA、PVB 或者乙基纖維素可以用作有機

(請先閱讀背面之注意事項再填)

裝

訂

線

五、發明說明(5)

粘合劑。另外，醇類如丁基卡必醇、甲醇、乙醇之類都可以用作有機溶劑。上述有機粘合劑和有機溶劑僅作為示例揭示。換而言之，上述有機粘合劑和有機溶劑並止不限於此。

本發明中，在儘管是低介電常數卻不影響變阻器性能的含金屬氧化物的陶瓷材料粉末中加入有機溶劑，然後用一球狀研磨機將其研磨處理使其形成的化合物均勻混和用以塗布至一合成樹脂薄膜所需的預定厚度，接著脫水，從而製成支持層。

變阻器的內部電極可以藉由絲網印刷法製造一包括 PT、AG-PT 等導電金屬構件的氧化物在內的漿狀物。內部電極可以形成帶狀，可線性排列。當將內部形成電極的片材切割成堆積體小片製成片狀變阻器時，至少露出堆積體一側面，使內部電極與外部電極連接。

為達成本發明上述目的，本發明提供了一個包括陶瓷支持層的片狀變阻器；一個包括只形成於支持層表面內部用以防止支持層邊緣暴露的變阻器層的變阻器堆積構件；且有至少兩個內部電極藉由變阻器層與一外部電極相連；堆積體兩側面各有一外部電極用於與內部電極連接。

上述片狀變阻器，可藉由在平面支持層表面上塗布漿狀變阻器材料形成變阻器層，也可於支持層表面上形成的變阻器層。另外，在支持層表面作出一凹槽，用澆鑄法加入膠狀變阻器材料也可形成變阻器層。上述變阻器層與兩個與外部電極相通的內部電極端部連接，且不從支持結構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

的四邊露出。變阻器層可以形成於最低的內部電極和支持結構的表面之間。

於上述片狀變阻器中，至少具有兩個內部電極，第三個內部電極不與外部電極相連。但是如果需要，可以藉由變阻器層與內部電極相連。與外部電極相連的內部電極以塗布的形式形成於支持結構的表面。每個內部電極的內端與變阻器層接觸，由此藉由變阻器與內部電極相連。

如果變阻器層插入支持層的槽內，可以藉由澆鑄法製成。在凹槽內澆鑄而成的變阻器層可以減小厚度。

本發明中，因為變阻器層不從外部電極附屬的邊緣部分露出，就可能將電容器的電容降低至 5PF，甚至是 3PF。

根據本發明的片狀變阻器，因為變阻器層是藉由塗布法製成，變阻器層可以做得更薄；又因為它用具有低介電常數的陶瓷片做支持層以獲得支撐，變阻器不會在製造或處理過程中輕易毀壞或變形。此外，同電容相關的與外部電極接觸的兩側面積較小，電容即可下降。

本發明中，因為變阻器的電容被降低至 10PF，甚至於 5PF 以下，就可以有效地保護電器元件免受內部或者外部的衝擊；也可以得到優異的變阻器性能，促進變阻器的高速運作。

本發明更多的優點，目的和特性將隨著下文的描述而更明白。

圖式之簡要說明

五、發明說明(7)

根據下文詳盡描述以及實施例附圖(本發明不受附圖限制)，即可完全明白本發明，其中

第一圖為根據本發明實施例之一片狀變阻器的立體圖。

第二圖為第一圖中片狀變阻器的垂直剖面圖。

第三圖為第一圖中片狀變阻器的水平剖面圖。

第四圖為根據本發明另一實施例之變阻器的立體圖。

第五圖為第四圖中片狀變阻器的垂直剖面圖。

第六圖為根據本發明又一實施例之變阻器的垂直剖面圖。

第七圖為第六圖中片狀變阻器的水平剖面圖。

第八圖為第六圖中片狀變阻器的堆積結構的分解透視圖。

第九圖至十一圖為與第六圖所示結構相似但有一不同內部電極的片狀變阻器的垂直剖面圖。

第十二圖為根據本發明再一實施例之片狀變阻器的垂直剖面圖。

第十三圖為第十二圖中片狀變阻器的水平剖面圖。

第十四圖至十六圖為與第十三圖所示結構相似但有一不同內部電極的片狀變阻器的垂直剖面圖。

主要部份代表圖號之簡要說明

10 堆積體

11 變阻器層

12, 12a 陶瓷支持層

五、發明說明(8)

13, 13a 外部電極

14, 15, 16 內部電極

20, 20a 堆積體

21, 21a, 21b, 21c, 21d, 21e, 21f, 21g 變阻器層

24, 24a, 24b, 24d, 24e, 24f, 24g 內部電極

25, 25a, 25b, 25d, 25e, 25f, 25g 內部電極

26, 27, 28 變阻器塗層

29, 29e, 30, 30f, 31, 31f, 31g 內部電極

較佳實施例之詳細說明

第一圖至第三圖為根據本發明第一實施例之片狀變阻器的立體圖。該片狀變阻器包括具有一變阻器層 11 的堆積體 10；內部電極 14, 15, 16；堆積於變阻器層 11 兩個表面上的陶瓷支持層 12 和 12a；形成於堆積體 10 兩側面上與內部電極 14、15、16 連接的外部電極 13 和 13a。上述變阻器層 11 藉由印刷法整體燒結多數之變阻器塗層而形成。如第一圖至第三圖所示，變阻器層 11 形成於支持層 12 和 12a 之間的整個表面。而且外圍表面從堆積體 10 側面露出。另外，內部電極 14 和 16 端部從堆積體 10 的側面露出並與外部電極 13 相連；內部電極 15 從堆積體 10 的另一側面露出並與外部電極 13a 連接。根據本發明之片狀變阻器，支持層 12 和 12a 支撐變阻器層 11。

第四圖和第五圖說明了根據本發明之片狀變阻器的第二實施例。本發明的第二實施例的結構與第一實施例結構類似。在本發明的第二實施例中，變阻器層 11 的一面由支

五、發明說明(9)

持層 12 支撐。變阻器的變阻器層 11 包括由多數之印刷薄膜形成，與第一圖中的變阻器層相同。

第六圖為根據本發明之片狀變阻器的第三實施例的剖面簡圖。如圖所示，在該片狀變阻器中，含有內部電極 24 和 25 之由印刷法形成的變阻器層 21，由支持層 12 和 12a 在兩邊支撐；內部電極 24 和 25 在堆積體 20 兩側面與外部電極 13 和 13a 相連。片狀變阻器的變阻器層 21 軸向形成於堆積體 20，如第七圖所示，變阻器層 21 的寬度小於堆積體的寬度，所以變阻器層 21 不會從堆積體 20 的兩側面露出。

第八圖是說明第六圖和第七圖中片狀變阻器堆積體的製造過程的分解透視圖。如第八圖所示，堆積體 20 的構成為：支持層 12；藉由印刷法形成於變阻器層 12 表面的變阻器塗層 26；一個內部電極 24；藉由印刷法形成於內部電極 24 表面的變阻器塗層 27；一個內部電極 25；藉由印刷法形成於內部電極上表面的變阻器塗層 28；以及一個上部支持層。上述支持層 12 和 12a，變阻器塗層 26、27、28，內部電極 24、25 被依序堆積並整體燒結形成第六圖和第七圖所示之結構。圖中，為了更容易理解圖示結構，支持層 12 和 12a，以及變阻器塗層 26、27、28 顯示出分別形成。實際上，變阻器層和支持層是整體燒結的。

因為外露變阻器層的表面積小於變阻器層形成於整個支持層表面時的情況，上述變阻器具有較低電容。此外，因為相同的支持層的上部和下部與兩邊部分互相咬合，咬

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (1c)

合力增加，其遠大於變阻器層形成於支持層整個表面。

同第六圖至第八圖一樣，第九圖至第十一圖所示的片狀變阻器是由變阻器塗層形成，構成堆積體 20a 的變阻器層 21a、21b、21c 是藉由印刷法得到的，但是內部電極形狀的形成與第六圖至第八圖片狀變阻器的形成不同。

第九圖中的片狀變阻器中，鄰近支持層 12 表面的內部電極 29 不與外部電極相連，與外部電極相連的內部電極 24a 和 25a 形成於相同的表面上但卻不直接連接。內部電極 24a 和 25a 不與內部電極 29 直接相連。換句話說，內部電極 24a 和 25a 藉由變阻器層 21a 彼此相連。上述片狀變阻器中，變阻器層 21a 和內部電極 24a、25a、29 與第六圖中片狀變阻器一樣藉由印刷法製成。

第十圖中片狀變阻器包括兩個與外部電極相連的內部電極 24b 和 25b，它們分別形成於層結構的上部和下部；兩個不與外部電極相連的內部電極 30 和 31。與外部電極相連的內部電極 24b 和 25b 以及不與外部電極相連的內部電極 30 和 31 形成於不同表面。

第十一圖中片狀變阻器的構造與第六圖片狀變阻器的構造基本相同，除了與外部電極相連的內部電極的內端部分不是彼此堆積，而是按一定間隔彼此隔開。

第十二圖至第十六圖為根據本發明又一實施例之片狀變阻器的示圖，其變阻器層 21d、21e、21f、21g 不露出。如此構成的片狀變阻器，變阻器層 21d、21e、21f、21g 只形成於至少多於兩個內部電極 24d、25d；24e、25e、29e

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (II)

； 24f、25f、30f；24g、25g、31g 堆積成的變阻器堆積體內部，這樣變阻器層的外圍部分就不會從堆積體露出。內部電極可以直接形成於變阻器層的表面，也可建立於形成於支持層表面的變阻器層的表面。然而，形成於堆積體外圍表面的內部電極直接形成於支持層。

如第十二圖和第十三圖所示，片狀變阻器包括由堆積變阻器塗層構成的變阻器層 21d；分別形成於變阻器層的结构上部和下部的內部電極 24d 和 25d；直接形成於支持層 12 表面的內部電極 24d；不從形成外部電極的側面和不形成外部電極的側面處露出的變阻器層 21d。上述結構中，因為變阻器層 21d 不在堆積體 20d 外圍表面與外部電極直接相連，所以就有可能降低變阻器的電容。

第十四圖至第十六圖表示如第十二圖之變阻器，但具有不同形狀電極。如第十四圖所示，片狀變阻器包括形成於支持層 12 表面的，且不與外部電極 13、13a 相連的內部電極 29e；兩個內部電極 24e、25e，它們與內部電極 29e 具有不同的預定高度，與外部電極 13、13a 相連且形成於相同表面。

如第十五圖所示，片狀變阻器包括兩個形成於支持層 12 表面的內部電極 24f、25f；兩個分別與內部電極 24f、25f 之預定高度不同的內部電極 30f、31f。內部電極 24f、25f 分別從堆積體的兩側面延伸並與外部電極 13、13a 連接，內部電極 30f、31f 分別並不與外部電極 13、13a 連接。此外，在內部電極 24f、25f、30f、31f 交叉的部分，變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

阻器層 21f 形成於內部電極之間。與外部電極 13、13a 連接的內部電極 24f、25f 彼此藉由變阻器層和內部電極 30f、31f 連接。

如第十六圖所示，在片狀變阻器中，內部電極 24g、25g 形成於支持層 12 的表面，使得其可以從側面延伸與外部電極相連；變阻器層 21g 形成於內部電極的上表面，並與內部電極 24g、25g 的端部疊合。

上述片狀變阻器中，變阻器層和內部電極是由用諸如絲網漏印法印製的塗層構成的。

根據本發明之片狀變阻器的製造方法現以如下並參考簡圖說明。

將用於製造陶瓷電子產品的具有極低介電常數的陶瓷粉末與諸如 PVA、PVB 之類的有機粘合劑混合，在形成物中加入甲醇之類的醇類物質作為有機溶劑，製成一粘合狀化合物。然後，藉由在上述化合物上塗上大於 0.1mm 的合成樹脂薄膜，如聚乙烯並脫水，就形成一陶瓷片構成的支持層。ZnO、BaTiO₃、SrTiO₃ 之一作為主要形成構成部分，占重量百分比的 90-95%，將其與其他如 Bi₂O₃、Sb₂O₃、MnO₂ 之類占 5-10% 重量百分比的輔助材料混合，並在形成物中另加入變阻器材料總重量的 5% 的有機粘合劑，如 PVA、PVB。然後加入有機溶劑。用一球狀研磨機將形成物均勻研磨，製成塗料或油墨狀的實驗變阻器混合物。之後，用絲網漏印法將其印在陶瓷片表面以形成厚度在 20 μ 到 1mm 之間的支持層，即形成了第一層變阻器塗層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

再藉由絲網漏印法將漿狀 PtO 印至變阻器塗層的上表面，形成第一個內部電極。此後，用同樣方法依次在第一層內部電極的上表面製成第二層變阻器塗層和第二個內部電極，使內部電極被完全覆蓋形成變阻器堆積結構。如能在第二個內部電極的上表面形成一電極保護變阻器層，或者藉由對變阻器塗層和堆積陶瓷片形成支持層的話則效果更好。

上述產生的結構在 800—1300°C 下放於爐中燒結，然後外部電極形成於由此製成變阻器燒結體的兩側面，並由此製成整體形成的變阻器塗層並在陶瓷支持層一面或雙面增強的片狀變阻器。

本發明中，由於變阻器層是藉由印刷法製成，它的厚度很薄，與外部電極接觸的表面積很小，所以變阻器的電容也很小；又因為變阻器層是由具較低介電常數的陶瓷支持層支撐，它的強度增強，所以在製造和處理過程中不會輕易變形或毀壞。

特別要指出的是，本發明中，因為變阻器層是藉由印刷法形成的，變阻器層只在支持層內形成，而且不從連接外部電極的堆積體邊緣露出來。在變阻器層只形成於堆積體內的情況下，因為變阻器層不與外部電極接觸，就可以降低變阻器的電容。特別是，在只有變阻器形成的片狀變阻器內，當位於最高的內部電極上變阻器保護層的表面上形成第二個陶瓷片形成的支持層時，因為堆積體四周部分由相同結構形成的陶瓷片的上部和下部都已咬合，堆積體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

的咬合力大大增強，所以與不同結構藉由變阻器層咬合力相比，片狀變阻器的強度更增強。

實施例一：

重量百分比為 95% 的 ZnO 粉末和重量百分比為 5% 的 $1:1\text{Sb}_2\text{O}_3$ 和 Bi_2O_3 混合物形成的變阻器材料粉末，使其重量百分比為 95%，並與重量百分比為 5% 的聚乙烯醇混合，在形成的化合物中加入有機粘合劑，然後再將其用球狀研磨機將其磨均，製成實驗變阻器混合物，該混合物再藉由絲網漏印法印在 1mm 厚的陶瓷片上，形成厚度為 5μ 的第一層變阻器塗層，然後由 PtO 樹脂形成的第一個內部電極也印製到塗層的表面，接著是第二層變阻器的塗層和第二個內部電極也以相同方法印在上述結構之上。然後是變阻器保護層形成於產生結構的表面，接著切割產生的結構使第一和第二個電極從兩側面露出，形成變阻器堆積結構。將所得結構插入爐中，在 900°C 的溫度下燒結，將外部電極膠體塗至內部電極露出的變阻器燒結體的側面，並製成本發明所示的片狀變阻器。

實施例二：

實施例二與實施例一之構造方法基本類似，除陶瓷片堆積

於未曾塗上變阻器保護層的內部電極的表面。

實施例三：

實施例三與實施例二之構造方法基本類似，除 BaTiO_3 代替了 ZnO 用作變阻器主體形成部分，形成變阻器塗層的同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

時，也形成一帶狀，切割所得結構使變阻器層不從沒有內部電極的兩側面露出。

實施例四：

實施例四基於實施例二。實施例四中， SrTiO_3 代替 ZnO 被使用。變阻器層形成一四邊形，當切割所得結構時，它切割一變阻器層沒有形成的部分，使得變阻器層不從堆積體的四周部分露出來。

實施例五：

以 PtO 樹脂為原料，將第一個內部電極印製在陶瓷片的表面，厚度為 1.5mm ，將如實施例一的實驗變阻器材料藉由絲網漏印法印製於所得結構上，厚度為 3μ ，形成第一個變阻器塗層，第二個內部電極和變阻器保護塗層也用同樣方法以方形印製在塗層的表面。變阻器層中切開成片形，使第一和第二個內部電極從兩側面露出，變阻器層不向外界露處，並形成變阻器堆積結構。將所得結構插入爐中並於 900°C 的溫度燒結，在變阻器燒結體的兩側面都塗上外部電極漿狀材料，其內部電極藉由同樣手法露出，由此製成根據本發明所製的片狀變阻器。

實施例六：

該變阻器為根據實施例一形成，同時，變阻器層上形成的內部電極呈線形排列。

儘管本發明之較佳實施例藉由圖解揭示，對於熟悉本技藝人士應可瞭解到，多數不與下述的申請專利範圍精神和範圍相背離的修飾、添加和替換都是可能的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

低電容片狀變阻器及其製造方法

一種低電容片狀變阻器其製造方法揭示於本文中，此片狀變阻器可以保護電器的電子元件免受內部或外部衝擊，且極適用於要求低電容的電子元件，低電容片狀變阻器包括至少一片支持層形成具低介電常數的構件，一變阻器層，包括至少一個以上形成於支持層上的變阻器層，至少兩個以上內部電極與變阻器層的預定部分折疊並與之相連，其兩端從支持層的側面上延伸，及一對整體形成外部之電極整體形成於變阻器堆積體之側面上以整體形成支持層，變阻器層和內部電極與各內部電極的一端相連。

英文發明摘要(發明之名稱： LOW CAPACITANCE CHIP VARISTOR AND FABRICATION METHOD THEREOF)

A low capacitance chip varistor and a fabrication method thereof are disclosed, which are capable of protecting the electronic elements of an electronic instrument from an external and internal surge and being well applicable to an electronic element which requires a low capacitance, and the low capacitance chip varistor includes at least one sheet support layer formed of a member having a low dielectric constant, a varistor layer including at least more than one varistor coating layer formed on the support layer, at least more than two internal electrode folded with a predetermined portion of the varistor layer to be connected with the varistor layer, one end of each of which is extended from a lateral surface of the support layer, and a pair of integrally formed external electrodes formed on a lateral surface of a varistor stack member integrally formed of the support layer, the varistor layer and the internal electrodes to be connected with one end portion of each internal electrode.

六、申請專利範圍

1. 一種低電容片狀變阻器，包含：
至少一片形支持層形成具有低介電常數之構件；
一變阻器層，包含至少一個以上形成於支持層上的變阻器塗層；
至少一個以上的內部電極，折疊於一變阻器層的預定部分，與變阻器層連接，且其兩端從支持層兩側面延伸；
一對整體形成於支持層上的變阻器堆積體側面之外部電極，變阻器層與內部電極與各內部電極的端部連接。
2. 如申請專利範圍第 1 項中的片狀變阻器，其中支持層形成於堆積體兩邊。
3. 如申請專利範圍第 2 項中的片狀變阻器，其中支持層由多數具較低介電常數的陶瓷材料形成的陶瓷片所構成。
4. 如申請專利範圍第 1 項中的片狀變阻器，其中變阻器塗層係以印刷法形成。
5. 如申請專利範圍第 4 項中的片狀變阻器，其中變阻器塗層材料選自於 ZnO、BaTiO₃、SrTiO₃ 或由 ZnO、BaTiO₃、SrTiO₃ 的混合物形成。
6. 如申請專利範圍第 5 項中的片狀變阻器，其中變阻器塗層由諸如 Bi₂O₃、Sb₂O₃、MnO₂、Co₂O₃、Al₂O、PbO 等輔助材料形成，或由上述材料與 Bi₂O₃、Sb₂O₃、MnO₂、Co₂O₃、Al₂O、PbO 混合形成的輔助材料形成。
7. 如申請專利範圍第 1 項中的片狀變阻器，其中堆積體係以印刷法形成於支持層上，使變阻器塗層與內部電極

六、申請專利範圍

交替堆積。

8. 如申請專利範圍第 1 項中的片狀變阻器，其中變阻器層只形成於堆積體的內部，使它不從堆積體的側面露出。

9. 如申請專利範圍第 1 項中的片狀變阻器，其中至少一個內部電極直接形成於支持層的表面。

10. 如申請專利第 1 項中的片狀變阻器，其中內部電極包括至少一個不與外部電極連接的內部電極。

11. 如申請專利第 1 項中的片狀變阻器，其中變阻器層的厚度為 20μ 至 1mm 。

12. 如申請專利第 1 項中的片狀變阻器，其中陶瓷支持層的厚度大於 0.1mm 。

13. 一種片狀變阻器的製造方法，包括如下步驟：

用具有較低介電常數的陶瓷材料形成支持層以形成支持片；

使用由變阻器材料做成的漿狀物之變阻器塗層塗於支持片的表面；

將第一個內部電極印製於第一層變阻器塗層的表面；

將第二個變阻器塗層覆蓋於已將第一個內部電極完全覆蓋的變阻器層的表面；

將第二個內部電極覆蓋於第二個變阻器塗層的表面，但第二個內部電極不與第一個內部電極直接接觸；

在形成第二個內部電極的變阻器塗層的表面形成一保護層；

六、申請專利範圍

形成與第一和第二個內部電極接觸的第一和第二外部電極。

14. 如申請專利範圍第 13 項中的製造方法，其中變阻器塗層的形成步驟中包括一絲網漏印法。

15. 如申請專利範圍第 13 項中的製造方法，其中變阻器堆積體構件片形成步驟包括形成一層附加變阻器塗層和一個內部電極。

16. 如申請專利範圍第 13 項中的製造方法，其中變阻器塗層只形成於內部，這樣，當將其切割成變阻器堆積體構件片的小片時，它不會從外表面露出。

17. 如申請專利範圍第 13 項中的製造方法，其中內部電極呈線性排列。

18. 如申請專利範圍第 13 項中的製造方法，其中內部電極呈帶狀。

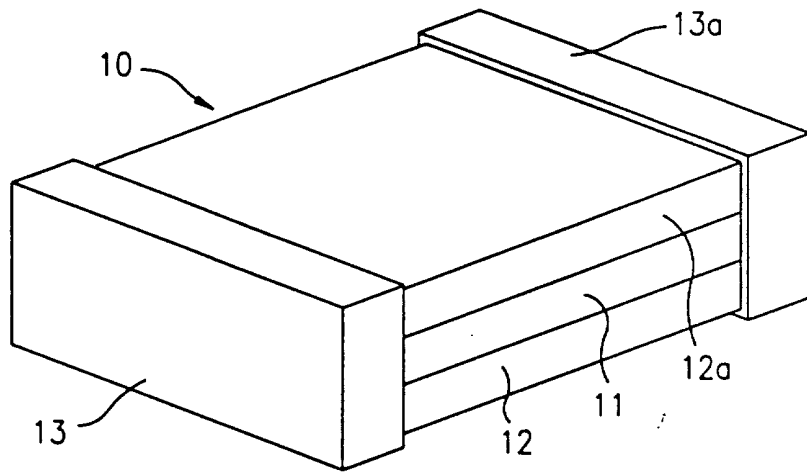
19. 如申請專利範圍第 13 項中的製造方法，其中保護層選自於第三個變阻器塗層和陶瓷片層。

(請先閱讀背面之注意事項再填)

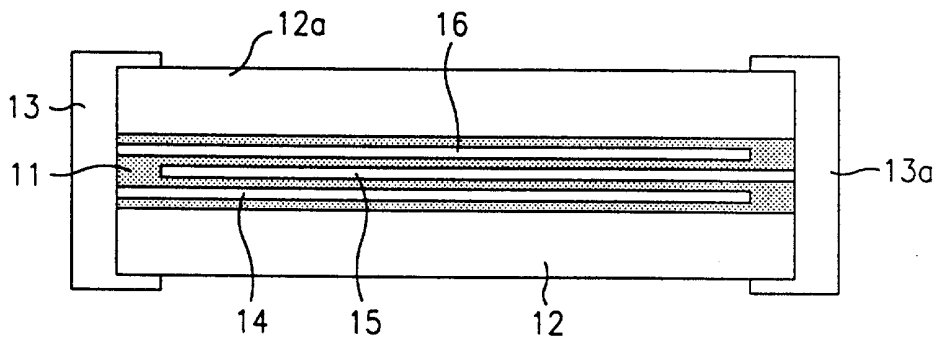
裝
訂
線

394961

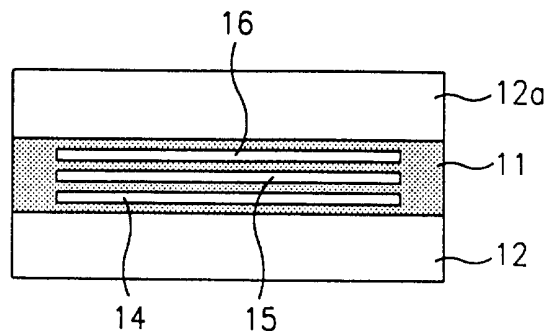
第一圖



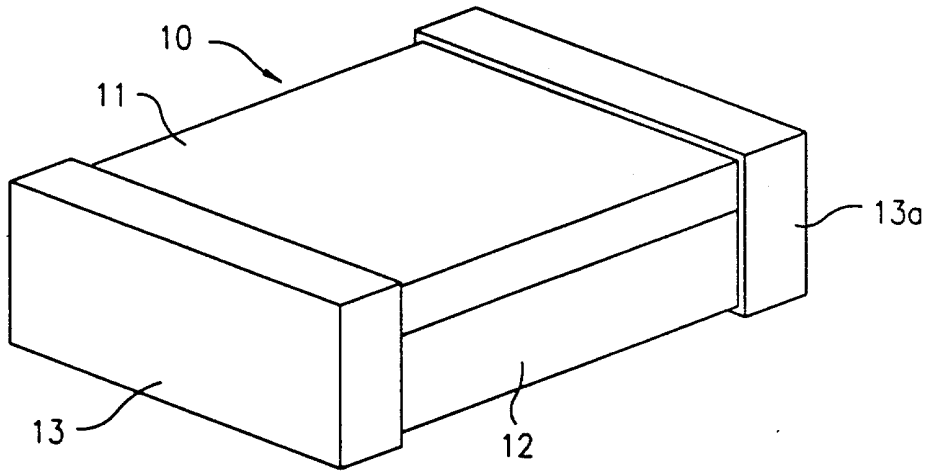
第二圖



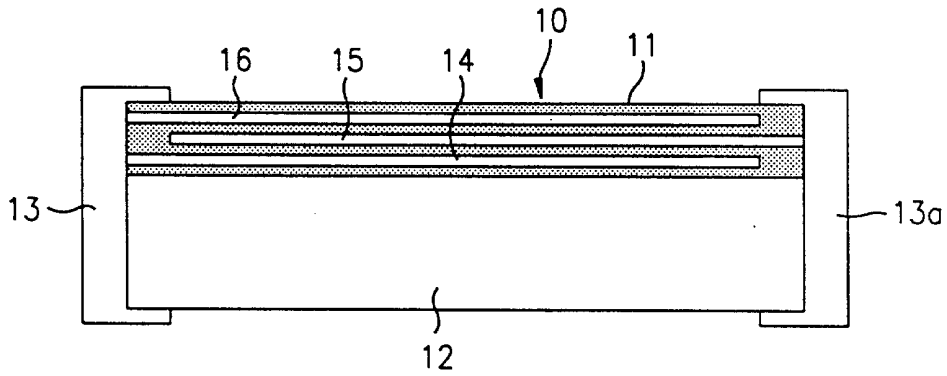
第三圖



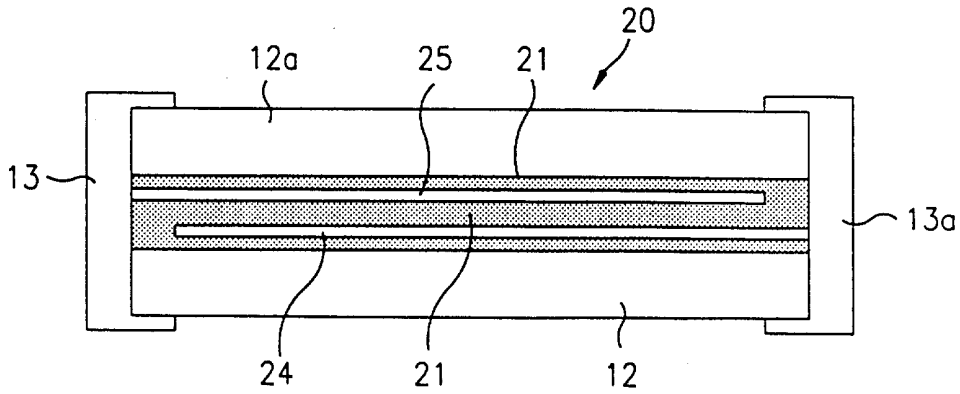
第四圖



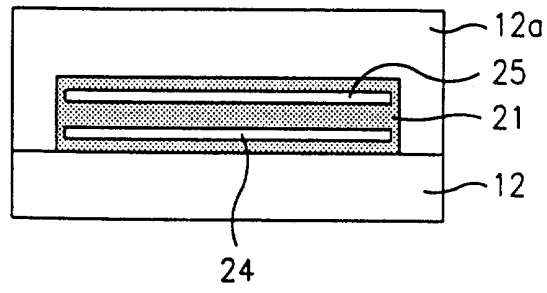
第五圖



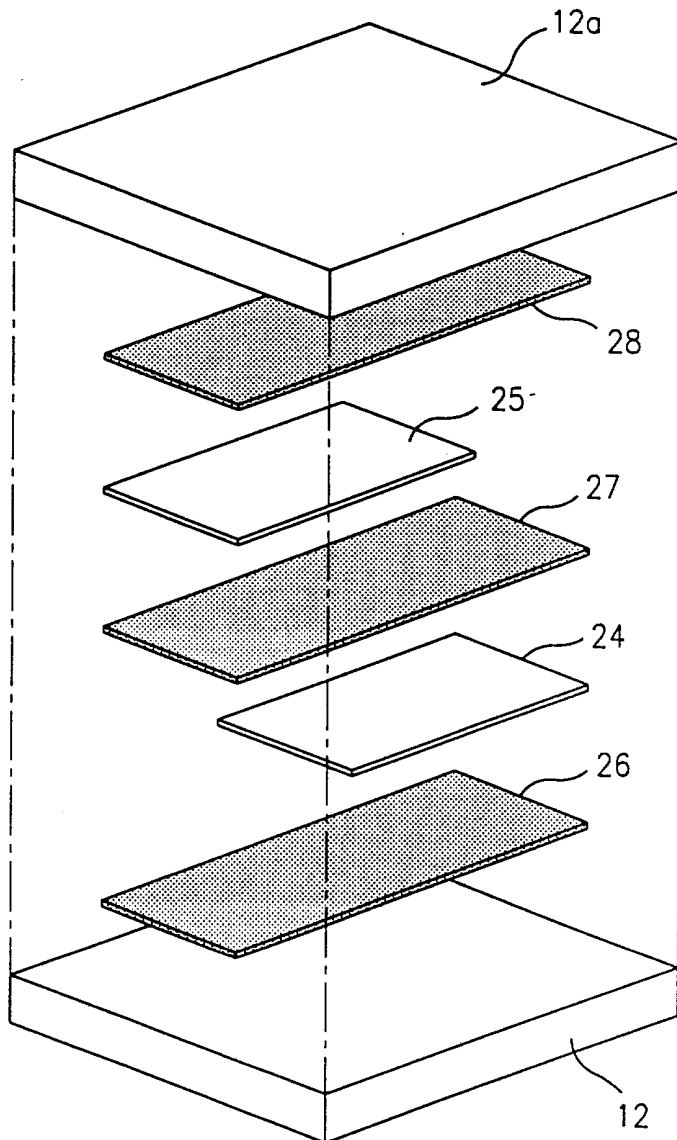
第六圖



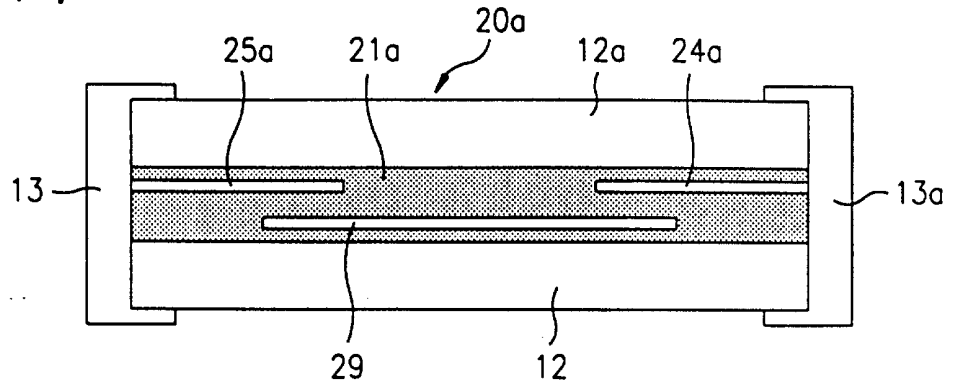
第七圖



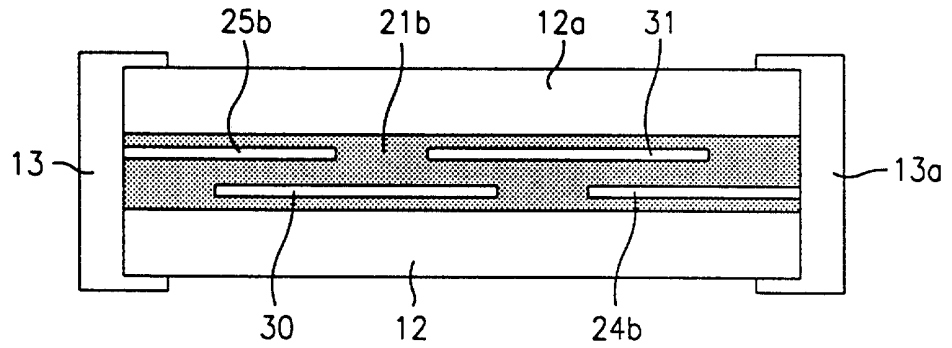
第八圖



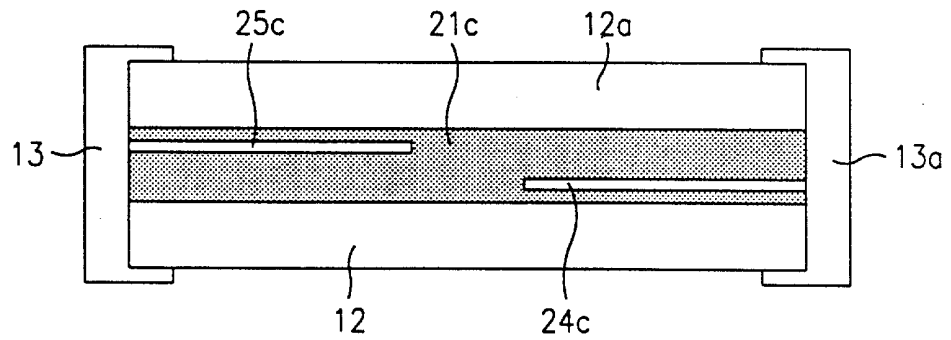
第九圖



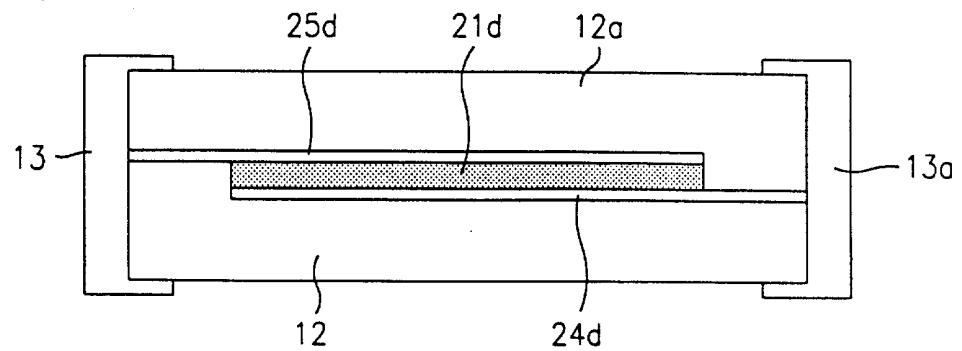
第十圖



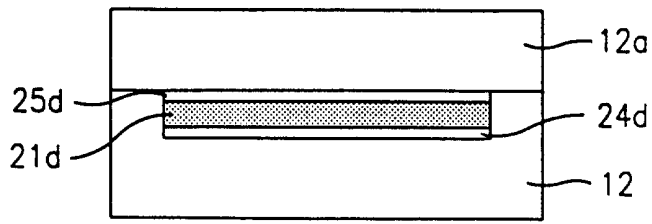
第十一圖



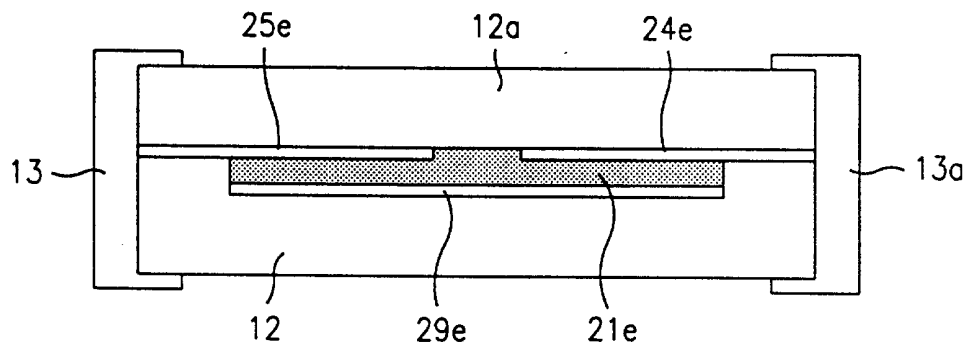
第十二圖



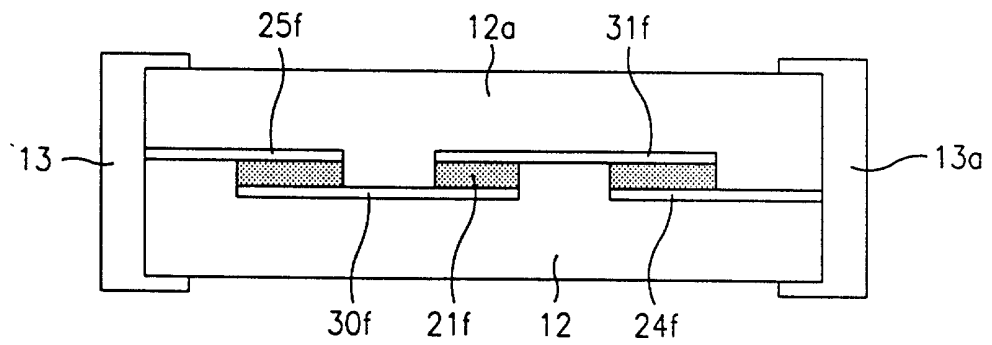
第十三圖



第十四圖



第十五圖



第十六圖

