

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6620889号
(P6620889)

(45) 発行日 令和1年12月18日(2019.12.18)

(24) 登録日 令和1年11月29日(2019.11.29)

(51) Int.Cl.		F I			
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	3 O 1 V	
HO 1 L 29/78	(2006.01)	HO 1 L	29/78	3 O 1 X	
		HO 1 L	29/78	3 O 1 D	

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2018-533350 (P2018-533350)	(73) 特許権者	000003997
(86) (22) 出願日	平成28年8月10日 (2016.8.10)		日産自動車株式会社
(86) 国際出願番号	PCT/JP2016/073525		神奈川県横浜市神奈川区宝町2番地
(87) 国際公開番号	W02018/029796	(74) 代理人	100083806
(87) 国際公開日	平成30年2月15日 (2018.2.15)		弁理士 三好 秀和
審査請求日	平成31年3月6日 (2019.3.6)	(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100098327
			弁理士 高松 俊雄
		(72) 発明者	田中 亮太
			神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板の第1主面に設けられ、前記基板よりも高不純物濃度の第1導電型のドリフト領域と、

前記ドリフト領域の前記第1主面と反対側の第2主面から、前記第2主面の垂直方向に形成されたソース電極溝と、

前記ソース電極溝の側面に接して、少なくとも一部が前記ドリフト領域内に形成された第2導電型のウェル領域と、

前記ソース電極溝の側面に接して、前記ウェル領域内に形成された第1導電型のソース領域と、

前記ソース領域と電氣的に接続されたソース電極と、

前記ドリフト領域、前記ウェル領域及び前記ソース領域と接するように、前記第2主面から前記垂直方向に形成されたゲート電極溝と、

前記ゲート電極溝の表面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の表面に形成されたゲート電極と、

前記ドリフト領域内に、前記ウェル領域から離れて形成された第1導電型のドレイン領域と、

前記ドレイン領域と電氣的に接続されたドレイン電極とを備える半導体装置において、

前記ゲート電極溝は、前記ソース電極溝に接するように形成され、

10

20

前記ソース電極と電氣的に絶縁され、前記ソース電極溝内に前記ゲート電極に接して形成されたゲート配線を有することを特徴とする半導体装置。

【請求項 2】

前記ソース電極溝は、前記ゲート電極溝よりも深く形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート配線は、絶縁膜を介して前記基板に接するように形成されることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 2 主面に形成された層間絶縁膜と、
前記ソース電極と電氣的に接続されるソース配線と、
前記ドレイン電極と電氣的に接続されるドレイン配線と、を更に備え、
前記ソース配線及び前記ドレイン配線は、前記層間絶縁膜の前記第 2 主面と反対側かつ平行な主面に形成されることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の半導体装置。

10

【請求項 5】

前記基板は、絶縁体又は半絶縁体からなることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の半導体装置。

【請求項 6】

前記ゲート電極及び前記ゲート配線は、互いに同じ材料で形成されることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の半導体装置。

20

【請求項 7】

前記ゲート配線は、シリコンから形成され、表面に形成されたシリコン酸化膜により前記ソース電極と電氣的に絶縁されることを特徴とする請求項 1 乃至 6 の何れか 1 項に記載の半導体装置。

【請求項 8】

前記ドリフト領域は、ワイドバンドギャップ半導体からなることを特徴とする請求項 1 乃至 7 の何れか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

特許文献 1 は、チャンネルを形成するベース層と、エミッタ層及びコレクタ層とが、ドリフト層の表層部に形成された半導体装置を開示する。この半導体装置は、ドリフト層の裏面に絶縁膜を有し、トレンチに形成されたゲート電極が絶縁膜に達することにより、トレンチ端部の電界集中を低減し、耐圧性を向上する。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献 1】特開 2013 - 183071 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 に記載の半導体装置は、ゲート電極に接続するゲート配線が、ドリフト層の表面側に形成され、チャンネルを形成するベース層付近に位置するため、チャンネルがゲート配線の電位に影響され、しきい値電圧が変動する可能性がある。

【0005】

上記問題点を鑑み、本発明は、しきい値電圧の変動を低減することができる半導体装置

50

を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係る半導体装置は、ドリフト領域、ウェル領域及びソース領域と接するように形成されたゲート電極溝と、ゲート電極溝の表面に絶縁膜を介して形成されたゲート電極と、ゲート電極溝に接するソース電極溝と、ソース領域に電氣的に接続されたソース電極と、ソース電極と電氣的に絶縁され、ソース電極溝内にゲート電極に接して形成されたゲート配線とを備える。

【発明の効果】

【0007】

本発明の一態様によれば、しきい値電圧の変動を低減することができる半導体装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】図1は、本発明の第1実施形態に係る半導体装置を説明する斜視図である。

【図2】図2は、本発明の第1実施形態に係る半導体装置を説明する斜視図である。

【図3】図3は、本発明の第1実施形態に係る半導体装置を説明する斜視図である。

【図4】図4は、図3のA-A方向から見た断面図である。

【図5】図5は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図6】図6は、図5のB-B方向から見た断面図である。

【図7】図7は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図8】図8は、図7のB-B方向から見た断面図である。

【図9】図9は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図10】図10は、図9のB-B方向から見た断面図である。

【図11】図11は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図12】図12は、図11のB-B方向から見た断面図である。

【図13】図13は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図14】図14は、図13のB-B方向から見た断面図である。

【図15】図15は、本発明の第1実施形態に係る半導体装置の製造方法を説明する平面図である。

【図16】図16は、図15のB-B方向から見た断面図である。

【図17】図17は、本発明の第2実施形態に係る半導体装置を説明する断面図である。

【図18】図18は、本発明の第2実施形態の変形例に係る半導体装置を説明する断面図である。

【図19】図19は、本発明の第3実施形態に係る半導体装置を説明する断面図である。

【図20】図20は、本発明の第4実施形態に係る半導体装置を説明する断面図である。

【発明を実施するための形態】

【0009】

以下、図面を参照して、本発明の第1乃至第4実施形態を説明する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、各寸法の関係や比率などは実際のものとは異なる場合がある。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれる。また、以下に示す実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。

10

20

30

40

50

【0010】

また、以下の実施形態において、「第1導電型」と「第2導電型」とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。以下の説明では第1導電型がn型、第2導電型がp型の場合を説明するが、第1導電型がp型、第2導電型がn型でもあっても良い。n型とp型を入れ替える場合には、印加電圧の極性も逆転する。

【0011】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置の構成を模式的に示す斜視図である。第1実施形態では、複数の半導体素子として金属酸化膜半導体電界効果トランジスタ(MOSFET)を有する半導体装置を例示的に説明する。半導体素子は、平面における2軸方向(X軸方向及びZ軸方向)それぞれに更に多数配列され得る。なお、図1では分かり易くするため、電極の一部及び配線は図示を省略している。

10

【0012】

第1実施形態に係る半導体装置は、図1に示すように、基板1と、ドリフト領域2と、ウェル領域3と、ソース電極溝4と、ソース領域5と、ソース電極6と、ゲート電極溝7と、ゲート絶縁膜8と、ゲート電極9と、ゲート配線10と、シリコン酸化膜11と、ドレイン領域12と、ドレイン電極13とを備える。

【0013】

基板1は、例えば、半絶縁体又は絶縁体からなる平板である。ここで、絶縁体とは、シート抵抗が数k Ω /以上(以下「第1主面」という)に形成されたn⁻型の領域である。ドリフト領域2の不純物濃度は基板1よりも高く、例えば $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度である。ドリフト領域2は、基板1と同じ材料から形成され得る。例えば、基板1がポリタイプ4HのSiCからなる場合、ドリフト領域2は、ポリタイプ4HのSiCからなるエピタキシャル成長層である。ドリフト領域2は、例えば、数十 μm ~数百 μm 程度の厚さを有する。

20

【0014】

ドリフト領域2は、基板1の片側の主面(以下「第1主面」という)に形成されたn⁻型の領域である。ドリフト領域2の不純物濃度は基板1よりも高く、例えば $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度である。ドリフト領域2は、基板1と同じ材料から形成され得る。例えば、基板1がポリタイプ4HのSiCからなる場合、ドリフト領域2は、ポリタイプ4HのSiCからなるエピタキシャル成長層である。ドリフト領域2は、例えば、数 μm ~数十 μm 程度の厚さを有する。

30

【0015】

ソース電極溝4は、ドリフト領域2の、基板1と接する主面(以下「第1主面」という)の反対側の主面(以下「第2主面」という)から基板1内まで、ドリフト領域2の第2主面に対して垂直方向(y軸方向)に形成された溝である。すなわち、ソース電極溝4の深さは、ドリフト領域2の厚さより大きい。ソース電極溝4の寸法は、半導体装置の集積度、プロセス上の精度等の設計条件に基づいて決定される。ソース電極溝4の幅は、例えば2 μm である。ソース電極溝4は、ドリフト領域2の第2主面に対して平行な一方向(z軸方向)に延伸する。

【0016】

ウェル領域3は、ソース電極溝4の側面に接して、少なくとも一部がドリフト領域2内に形成されたp型の領域である。ウェル領域3は、ドリフト領域2の第2主面から基板1内まで、ドリフト領域2の第2主面に対して垂直方向(y軸方向)に形成される。ウェル領域3の深さは、ソース電極溝4の深さより小さい。ウェル領域3は、ソース電極溝4の延伸方向(z軸方向)に延伸する。ウェル領域3の不純物濃度は、例えば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

40

【0017】

ソース領域5は、ソース電極溝4の側面に接して、ウェル領域3内に形成されたn⁺型の領域である。ソース領域5は、ドリフト領域2の第2主面から基板1内まで、ドリフト領域2の第2主面に対して垂直方向(y軸方向)に形成される。ソース領域5の深さは、

50

ウェル領域 3 の深さより小さい。ソース領域 5 は、ソース電極溝 4 の延伸方向 (z 軸方向) に延伸する。ソース領域 5 の不純物濃度は、ドリフト領域 2 よりも高く、例えば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度である。

【 0 0 1 8 】

ソース電極 6 は、ソース領域 5 に電氣的に接続される。ソース電極 6 は、ソース電極溝 4 内に形成されることにより、ソース領域 5 にオーミック接続する。ソース領域 5 及びウェル領域 3 は、ソース電極 6 と同電位をとる。ソース電極 6 の材料としては、例えば、ニッケルシリサイド (Ni Si)、チタン (Ti) 又はモリブデン (Mo) 等の金属材料を含む導電体が使用可能である。ソース電極 6 は、ソース領域 5 とオーミック接続する金属材料と、アルミニウム (Al)、銅 (Cu)、金 (Au)、ニッケル (Ni)、銀 (Ag) 等の金属材料との多層構造を有してもよい。

10

【 0 0 1 9 】

ゲート電極溝 7 は、ドリフト領域 2 の第 2 主面から基板 1 内まで、ドリフト領域 2 の第 2 主面に対して垂直方向 (y 軸方向) に形成された溝である。ゲート電極溝 7 は、ドリフト領域 2 の第 2 主面に平行であり、ソース電極溝 4 の延伸方向に直交する方向 (x 軸方向) において、ソース電極溝 4、ドリフト領域 2、ウェル領域 3 及びソース領域 5 に接するように延伸する。ゲート電極溝 7 は、ウェル領域 3 及びソース領域 5 を貫通する。ゲート電極溝 7 の深さは、ソース電極溝 4 の深さに等しい。ゲート電極溝 7 は、ドリフト領域 2 の第 2 主面に平行且つ延伸方向に直交する方向 (z 軸方向) に複数配列される。

【 0 0 2 0 】

20

ゲート絶縁膜 8 は、ゲート電極溝 7 の表面に形成される。ゲート絶縁膜 8 の材料は、例えば酸化ケイ素 (Si O₂) 等の絶縁体である。ゲート電極 9 は、ゲート絶縁膜 8 の表面に形成される。すなわち、ゲート電極 9 は、ゲート絶縁膜 8 を介して、ゲート電極溝 7 の表面に接するように形成される。ゲート電極 9 の材料は、例えば多結晶シリコンである。ゲート電極 9 は、表面がゲート絶縁膜 8 に被覆された状態でゲート電極溝 7 内に配置される。ゲート電極 9 は、ドリフト領域 2 の第 2 主面におけるゲート電極溝 7 の開口部においてもゲート絶縁膜 8 に被覆される。

【 0 0 2 1 】

ゲート配線 10 は、ソース電極 6 と電氣的に絶縁され、ソース電極 6 内にゲート電極 9 に接して形成される。ゲート配線 10 は、表面に絶縁膜であるシリコン酸化膜 11 が形成された状態で、ソース電極溝 4 の下部に位置する。シリコン酸化膜 11 は、ゲート配線 10 とソース電極 6 とを互いに絶縁させる。ソース電極溝 4 内のゲート配線 10 及びシリコン酸化膜 11 を除く空間は、ソース電極 6 で充填される。ゲート配線 10 の表面において、ゲート電極 9 と接する領域は、シリコン酸化膜 11 が形成されない。同様に、ゲート電極 9 の表面において、ゲート配線 10 と接する領域は、ゲート絶縁膜 8 が形成されない。

30

【 0 0 2 2 】

ドレイン領域 12 は、ドリフト領域 2 内に、ウェル領域 3 から離れて形成された n⁺ 型の領域である。ドレイン領域 12 は、ドリフト領域 2 の第 2 主面から、ドリフト領域 2 の第 2 主面に対して垂直方向 (y 軸方向) に形成される。ドレイン領域 12 の深さは、ドリフト領域 2 の厚さより小さい。ドレイン領域 12 は、ソース電極溝 4 の延伸方向 (z 軸方向) に延伸する。ドレイン領域 12 は、ドリフト領域 2 と同じ導電型である。ドレイン領域 12 の不純物濃度は、ドリフト領域 2 よりも高く且つソース領域 5 と同程度であり、例えば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度である。

40

【 0 0 2 3 】

ドレイン電極 13 は、ドレイン領域 12 と電氣的に接続される。ドレイン電極 13 は、ドリフト領域 2 の第 2 主面に形成され、第 2 主面において露出されたドレイン領域 12 に接する。ドレイン電極 13 は、例えばソース電極 6 と同様の材料から構成可能である。

【 0 0 2 4 】

図 2 は、第 1 実施形態に係る半導体装置の、図 1 において図示を省略した構成を説明する図である。図 2 に示すように、第 1 実施形態に係る半導体装置は、層間絶縁膜 14 と、

50

ソース配線 15 と、ドレイン配線 16 とを更に備える。

【0025】

層間絶縁膜 14 は、ドリフト領域 2 の第 2 主面に形成される。層間絶縁膜 14 は、酸化ケイ素 (SiO_2)、窒化ケイ素 (Si_3N_4) 等のセラミック材料を含む絶縁体からなる。層間絶縁膜 14 は、層間絶縁膜 14 の一面から他面にそれぞれ貫通する溝 21 及び溝 22 を有する。溝 21 は、ソース電極溝 4 の上方においてソース電極溝 4 の延伸方向に延伸する。溝 21 は、図 1 において図示を省略したソース電極 6 の上部が挿入される。ソース電極 6 は、ドリフト領域 2 の第 2 主面においてソース領域 5 及びウェル領域 3 と接し、ドリフト領域 2 から離れて形成される。溝 22 は、ドレイン領域 12 の上方において、ドレイン領域 12 の延伸方向に延伸する。溝 22 は、ドレイン電極 13 が挿入される。

10

【0026】

ソース配線 15 は、溝 21 において露出したソース電極 6 を被覆するように、層間絶縁膜 14 の上面に形成される。層間絶縁膜 14 の上面は、ドリフト領域 2 の第 2 主面と反対側の主面であり、ドリフト領域 2 の第 2 主面に対して平行である。ソース配線 15 は、溝 21 の延伸方向に延伸する。ドレイン配線 16 は、溝 22 において露出したドレイン電極 13 を被覆するように、層間絶縁膜 14 の上面に形成される。ドレイン配線 16 は、溝 22 の延伸方向に延伸する。ソース配線 15 及びドレイン配線 16 は、互いに離れ、平行に形成される。

【0027】

図 3 は、第 1 実施形態に係る半導体装置において、ゲート電極 9 及びゲート配線 10 の電位に接続する構成の一例を説明する図である。図 4 は、図 3 の A - A 方向から見た断面図である。図 3 及び図 4 は、第 1 実施形態に係る半導体装置のうち、図 1 又は図 2 に示す範囲と異なる範囲であり、z 軸方向における一部を選択的に示す図である。

20

【0028】

第 1 実施形態に係る半導体装置は、層間絶縁膜 14 上の一部に形成されたゲートパッド 17 を更に備える。図 4 に示すように、層間絶縁膜 14 は、複数のゲート電極 9 のうち、少なくとも 1 つのゲート電極 9 の上方に形成された貫通孔 23 を有する。貫通孔 23 の下方に位置するゲート電極 9 の上面に形成されたゲート絶縁膜 8 は、貫通孔 23 に対応する範囲において除去される。ゲートパッド 17 は、貫通孔 23 を介して下方のゲート電極 9 と、ゲート配線 10 とに電氣的に接続される。複数のゲート電極 9 は、全てゲート配線 10 と電氣的に接続されているため、ゲートパッド 17 の電位を調整することにより、全てのゲート電極 9 の電位が調整可能である。

30

【0029】

次に、図 5 ~ 図 16 を参照し、第 1 実施形態に係る半導体装置の製造方法の一例を説明する。

【0030】

まず、図 5 及び図 6 に示すように、上面 (第 1 主面) にドリフト領域 2 が形成された基板 1 を用意する。基板 1 は、ノンドープの SiC からなる絶縁性基板である。ドリフト領域 2 は、基板 1 にエピタキシャル成長により形成された n 型の領域である。

【0031】

次に、図 7 及び図 8 に示すように、ドリフト領域 2 の上面 (第 2 主面) にマスク材 18 を形成する。化学気相成長 (CVD) 法によりドリフト領域 2 の上面に SiO_2 を堆積してシリコン酸化膜を形成し、シリコン酸化膜をパターニングすることによりマスク材 18 が形成される。シリコン酸化膜は、フォトリソグラフィ法及びドライエッチング法によりパターニングされる。すなわち、シリコン酸化膜の上面にレジストを塗布し、ソース電極溝 4 及びゲート電極溝 7 を形成する予定の領域のみを選択的に除去する。残されたレジストをマスクとする反応性イオンエッチング (RIE) 等のドライエッチング法により、シリコン酸化膜をパターニングすることにより、ソース電極溝 4 及びゲート電極溝 7 を形成するためのマスク材 18 が形成される。なお、不要になったレジストは酸素プラズマや硫酸等により適宜除去される。その後、マスク材 18 をマスクとするドライエッチング法に

40

50

より、ソース電極溝 4 及びゲート電極溝 7 が形成される。

【 0 0 3 2 】

次に、図 9 及び図 1 0 に示すように、p 型のウェル領域 3 と、n⁺ 型のソース領域 5 及びドレイン領域 1 2 とを形成する。フォトリソグラフィ法により、基板 1 及びドリフト領域 2 の露出された表面にレジストを塗布し、ソース電極溝 4 に対応する領域を除去する。残されたレジストをマスクとして、イオン注入法により、ホウ素 (B) 等の p 型不純物を、ゲート電極溝 7 の延伸方向に直交 (x - y 平面に平行) 且つドリフト領域 2 の第 2 主面に対して所定角度を有する方向に注入する。所定角度は、例えば 1 0 ° ~ 2 0 ° である。

【 0 0 3 3 】

そして、フォトリソグラフィ法により、マスク材 1 8 上にレジストを塗布し、ドレイン領域 1 2 を形成する予定の領域に対応する領域のみを選択的に除去する。残されたレジストをマスクとして、ドライエッチング法により、マスク材 1 8 をパターニングする。パターニングされたマスク材 1 8 及びホウ素の注入に用いられたレジストをマスクとして、イオン注入法により、n 型不純物を所定方向に注入する。n 型不純物は、例えばリン (P) であり、注入方向は、p 型不純物の注入方向と同様である。但し、ソース領域 5 がウェル領域 3 内に形成されるように、n 型不純物の注入エネルギーは、p 型不純物の注入エネルギーより小さい。

【 0 0 3 4 】

その後、ウェットエッチング法により、マスク材 1 8 を全て除去する。また、熱処理 (アニール) することでイオン注入した不純物を活性化する。活性化によって、ウェル領域 3、ソース領域 5 及びドレイン領域 1 2 が形成される。また、熱酸化法により、露出された全ての表面に、薄いシリコン酸化膜 2 0 を形成する。シリコン酸化膜 2 0 の厚さは、例えば数十 nm 程度である。

【 0 0 3 5 】

次に、図 1 1 及び図 1 2 に示すように、CVD 法により、ソース電極溝 4 及びゲート電極溝 7 に、ゲート電極 9 及びゲート配線 1 0 の材料である多結晶シリコン 1 9 を堆積する。CVD 法により多結晶シリコンを堆積する場合、面の向きに関わらず露出された表面から多結晶シリコン層が成長する。この為、ソース電極溝 4 及びゲート電極溝 7 の幅がそれぞれ 2 μ m であれば、堆積する厚さを 1 μ m とすることにより、ソース電極溝 4 及びゲート電極溝 7 が多結晶シリコン 1 9 により充填される。その後、ドライエッチング法により、多結晶シリコン 1 9 を 1 μ m エッチングすることで、ソース電極溝 4 及びゲート電極溝 7 に堆積された多結晶シリコン 1 9 を残して、ドリフト領域 2 の第 2 主面より上に堆積された多結晶シリコン 1 9 が選択的に除去される。

【 0 0 3 6 】

その後、フォトリソグラフィ法により、シリコン酸化膜 2 0 及び多結晶シリコン 1 9 の上面にレジストを塗布し、ソース電極溝 4 の領域のみを選択的に除去する。残されたレジストをマスクとして、ドライエッチング法により、ソース電極溝 4 内に堆積された多結晶シリコン 1 9 を、底面から数 μ m の領域を残して除去する。ソース電極溝 4 の底部に残された多結晶シリコン 1 9 は、ゲート配線 1 0 として機能する。また、犠牲酸化法により、ソース電極溝 4 の側面に形成されたシリコン酸化膜 2 0 を除去する。

【 0 0 3 7 】

次に、図 1 3 及び図 1 4 に示すように、ゲート電極 9 の表面を被覆するゲート絶縁膜 8 及びゲート配線 1 0 を被覆するシリコン酸化膜 1 1 を形成する。熱酸化法により、露出されたすべての表面にシリコン酸化膜を形成する。このとき、多結晶シリコンは SiC より酸化速度が大きい為、ゲート電極 9 及びゲート配線 1 0 の表面には、SiC から構成される他の面に比べて厚いシリコン酸化膜が形成される。ウェットエッチング法により、SiC から構成される面に形成されたシリコン酸化膜のみが全て除去され、多結晶シリコン 1 9 の表面に形成されたシリコン酸化膜が残されるような処理時間でシリコン酸化膜を選択的に除去する。これにより、ゲート電極 9 の表面にゲート絶縁膜 8 が形成され、ゲート配線 1 0 の表面にシリコン酸化膜 1 1 が形成される。

10

20

30

40

50

【 0 0 3 8 】

次に、図 1 5 及び図 1 6 に示すように、ソース電極 6、ソース配線 1 5、ドレイン電極 1 3 及びドレイン配線 1 6 を形成する。スパッタリング法により、ソース電極溝 4 内及びドリフト領域 2 の第 2 主面に、ソース電極 6 及びドレイン電極 1 3 の材料である金属材料を堆積する。フォトリソグラフィ法により、金属材料の表面にレジストを塗布し、ドリフト領域 2 の第 2 主面より上の領域における、ソース電極 6 及びドレイン電極 1 3 を形成する予定の領域を除く領域のレジストを選択的に除去する。残されたレジストをマスクとして、スパッタエッチング法により、ドリフト領域 2 の第 2 主面に位置する金属材料を選択的に除去することにより、ソース電極 6 及びドレイン電極 1 3 が形成される。

【 0 0 3 9 】

その後、CVD法により、ドリフト領域 2 の第 2 主面及び残された金属材料の上面に SiO_2 を堆積して層間絶縁膜 1 4 を形成する。フォトリソグラフィ法により、層間絶縁膜 1 4 の上面にレジストを塗布し、ソース電極 6 及びドレイン電極 1 3 の領域を選択的に除去する。残されたレジストをマスクとして、ドライエッチング法により、層間絶縁膜 1 4 をパターニングする。これにより、ソース電極 6 が挿入される溝 2 1 及びドレイン電極 1 3 が挿入される溝 2 2 のそれぞれ上端が開口する。

【 0 0 4 0 】

更に、スパッタリング法により、ソース配線 1 5 及びドレイン配線 1 6 の材料である金属材料を堆積する。フォトリソグラフィ法により、金属材料の上面にレジストを塗布し、ソース配線 1 5 及びドレイン配線 1 6 を形成する予定の領域を除く領域のレジストを選択的に除去する。残されたレジストをマスクとして、スパッタエッチング法により、金属材料を選択的に除去することにより、ソース配線 1 5 及びドレイン配線 1 6 が形成される。以上の工程を経て、図 2 に示す半導体装置が完成する。

【 0 0 4 1 】

なお、図 1 に示す例においては、ゲート電極 9 の一部がソース電極溝 4 に入り込んでいるが、ソース電極溝 4 に堆積された多結晶シリコン 1 9 をエッチングする際のマスクパターンを調整することにより、ゲート電極 9 は形状が変更され得る。

【 0 0 4 2 】

次に、第 1 実施形態に係る半導体装置の基本的な動作について説明する。

【 0 0 4 3 】

第 1 実施形態に係る半導体装置は、ソース電極 6 の電位を基準として、ドレイン電極 1 3 に正の電位を印加した状態でゲート電極 9 の電位を制御することにより、トランジスタとして機能する。すなわち、ゲート電極 9 とソース電極 6 間の電圧を所定の閾値以上にすると、ゲート電極 9 側面に位置するウェル領域 3 にチャンネルとなる反転層が形成されてオン状態となり、ドレイン電極 1 3 からソース電極 6 へ電流が流れる。具体的には、電子がソース電極 6 からソース領域 5 に流れ、ソース領域 5 からチャンネルを介してドリフト領域 2 に流れ込む。電子は更に、ドリフト領域 2 からドレイン領域 1 2 に流れ、最後にドレイン電極 1 3 に流れる。

【 0 0 4 4 】

一方、ゲート電極 9 とソース電極 6 間の電圧を所定の閾値よりも小さくすると、ウェル領域 3 の反転層が消滅してオフ状態となり、ドレイン電極 1 3 及びソース電極 6 間の電流が遮断される。この際、ドレイン - ソース間には数百 V ~ 数千 V の高電圧が印加され得る。

【 0 0 4 5 】

一般に、ゲート電極に接続するゲート配線は、ウェル領域の近くに配置される。この場合、ゲート配線の電位が反転層の形成に影響を及ぼし、しきい値が変動してしまう可能性がある。しきい値が変動すると、誤ターンオンなど意図しない動作が生じ得るため、装置の信頼性が低下する可能性がある。

【 0 0 4 6 】

第 1 実施形態に係る半導体装置によれば、ゲート配線 1 0 がソース電極溝 4 内に形成さ

10

20

30

40

50

れるため、ウェル領域 3 から離れた箇所に位置する。よって、ウェル領域 3 に形成されるチャンネルがゲート配線 10 から受ける影響が低減されるため、しきい値の変動を低減することができる。

【0047】

また、第 1 実施形態に係る半導体装置によれば、ゲート電極 9 がソース電極溝 4 内に形成されたゲート配線 10 に接するため、ゲート電極 9 の上面側において金属配線及びコンタクトホールが不要である。よって、ゲート電極 9 の幅を削減することができ、半導体装置の集積度を向上することができる。これにより、ゲート電極 9 の数を増加させることができるため、チャンネル幅が増加され、オン抵抗を低減することができる。

【0048】

また、第 1 実施形態に係る半導体装置によれば、ゲート配線 10 が、ソース電極溝 4 内に形成されるため、層間絶縁膜 14 の上面に形成されたソース配線 15 及びドレイン配線 16 の幅を制限することがない。よって、ソース配線 15 及びドレイン配線 16 の抵抗の増大によるオン抵抗及びスイッチング損失の悪化を抑制することができる。

【0049】

第 1 実施形態に係る半導体装置によれば、ゲート配線 10 がシリコン酸化膜 11 を介して基板 1 に接するため、ドリフト領域 2 から基板 1 内まで形成可能である。よって、ゲート配線 10 の断面積を増加させることができ、ゲート配線 10 の抵抗及びスイッチング損失を低減することができる。

【0050】

また、第 1 実施形態に係る半導体装置によれば、ソース配線 15 及びドレイン配線 16 が層間絶縁膜 14 の上面にそれぞれ形成されるため、両配線を多層構造とする場合に比べて、平坦性を向上することができる。よって、配線間の絶縁膜の局部における電界集中による耐圧性の悪化を回避することができる。

【0051】

また、第 1 実施形態に係る半導体装置によれば、基板 1 が絶縁体又は半絶縁体からなるため、ウェル領域 3、ゲート電極 9 及びゲート配線 10 の少なくともいずれかの端部が基板 1 内に位置する場合、端部における電界集中を低減することができる。よって、耐圧性を向上することができる。

【0052】

また、第 1 実施形態に係る半導体装置によれば、ゲート電極 9 及びゲート配線 10 が互いに同じ材料からなるため、同じ工程により形成可能であり、更に、互いを電氣的に接続するための工程が不要である。よって、製造工数を低減することができ、製造コストを低減することができる。また、ゲート電極 9 とゲート配線 10 との界面における抵抗が生じることを回避することができる。

【0053】

また、第 1 実施形態に係る半導体装置によれば、多結晶シリコンからなるゲート配線 10 が、表面に形成されたシリコン酸化膜 11 によりソース電極 6 と絶縁される。よって、熱酸化法によりゲート配線 10 を被覆するシリコン酸化膜 11 を用意に形成することができる。更に、ドリフト領域 2 が SiO_2 より酸化速度が遅い SiC 等の材料からなるため、等方性エッチング法により、ゲート配線 10 の表面に選択的にシリコン酸化膜 11 を形成できる。よって、窒化ケイ素など酸化しない材料から形成されるマスクを用いて、ゲート配線 10 に選択的に酸化膜を形成する場合に比べて、製造工数を低減することができ、製造コストを低減することができる。

【0054】

また、第 1 実施形態に係る半導体装置によれば、ドリフト領域 2 が SiC 等のワイドバンドギャップ半導体からなるため、絶縁破壊強度を向上することができる。このため、仮にドレイン電極 13 とソース電極 6 との間が狭く、急峻な電界分布が生じても耐圧性を確保しつつ集積度を向上することができる。

【0055】

10

20

30

40

50

また、第1実施形態に係る半導体装置によれば、ゲート配線10が、ドリフト領域2から離れて形成されるため、ゲート-ドレイン間の容量の増加を抑制することができる。仮に、ゲート配線がドリフト領域付近に形成される場合、ドリフト領域の電位はドレイン電極とほぼ等しいため、ゲート-ドレイン間の容量が増加してしまう。一方、第1実施形態に係る半導体装置では、ゲート-ドレイン間の容量の増加が抑制されるため、スイッチング損失を低減することができる。

【0056】

また、第1実施形態に係る半導体装置によれば、基板1とドリフト領域2とが互いに同じ材料から形成されるため、応力による反りが生じる可能性を低減し、素子の信頼性を向上することができる。

【0057】

(第2実施形態)

図17は、本発明の第2実施形態に係る半導体装置を説明する断面図である。なお、図17は、第2実施形態に係る半導体装置を、ゲート電極9を通るx-y平面で切断した断面図である。第2実施形態に係る半導体装置は、ソース電極溝4がゲート電極溝7よりも深く形成される点等で上述の第1実施形態と異なる。第2実施形態において説明しない構成、作用及び効果は、第1実施形態と実質的に同様であり重複するため省略する。

【0058】

第2実施形態において、ソース電極溝4の深さは、ドリフト領域2の厚さより小さいため、ソース電極溝4は、基板1に接しない。また、ゲート電極溝7の深さは、ソース電極溝4の深さより浅い。

【0059】

ソース電極溝4及びゲート電極溝7を形成する際のマスクは、ドライエッチング法により薄くなり、強度が低下してしまう。第2実施形態に係る半導体装置では、ソース電極溝4及びゲート電極溝7の深さがドリフト領域2の厚さより小さい。このため、製造工程において、ソース電極溝4及びゲート電極溝7を形成する際のマスクとなるシリコン酸化膜は、第1実施形態におけるマスク材18よりも薄くすることができる。なお、溝を掘るドライエッチング法において、ソース電極溝4の幅をゲート電極溝7の幅より大きく設計することにより、ソース電極溝4をゲート電極溝7よりも深く形成することができる。

【0060】

第2実施形態に係る半導体装置によれば、ソース電極溝4がゲート電極溝7よりも深く形成されるため、ゲート配線10をより深く形成することができ、ゲート配線10の断面積を増加させることができる。よって、ゲート配線10の抵抗を低減し、スイッチング損失を低減することができる。

【0061】

また、第2実施形態に係る半導体装置によれば、ゲート電極溝7がドリフト領域2の厚さよりも浅く形成されるため、ウェル領域3の、ゲート電極溝7の底面側においてもチャンネルが形成される。よって、チャンネル幅を増加させることができ、オン抵抗を低減させることができる。

【0062】

(変形例)

図18は、本発明の第2実施形態の変形例に係る半導体装置を説明する断面図である。第2実施形態の変形例に係る半導体装置は、ソース電極溝4の底部が基板1内に位置する点で上述の第2実施形態と異なる。第2実施形態の変形例において説明しない構成、作用及び効果は、上述の第2実施形態と実質的に同様であり重複するため省略する。

【0063】

第2実施形態の変形例では、ソース電極溝4がゲート電極溝7よりも深く、基板1に接するように形成される。ソース電極溝4の底部において、ゲート配線10は、シリコン酸化膜11を介して基板1に接する。すなわち、ゲート配線10の端部は、基板1内に位置する。ここで端部とは、ドリフト領域2の第2主面に垂直な面と、ドリフト領域2の第2

10

20

30

40

50

主面に対向する端面とが交わる部分を意味する。なお、製造工程において、ソース電極溝 4 及びゲート電極溝 7 を形成する際のマスクとなるシリコン酸化膜を、第 1 実施形態におけるマスク材 1 8 よりも厚くすることにより、溝の深さを深くすることができる。また、ソース電極溝 4 及びゲート電極溝 7 の幅の比を調整することにより、ソース電極溝 4 及びゲート電極溝 7 の深さの比を調整することができる。

【 0 0 6 4 】

第 2 実施形態の変形例に係る半導体装置によれば、ソース電極溝 4 がドリフト領域 2 の厚さよりも深く形成されるため、ゲート配線 1 0 を更に深く形成することができ、ゲート配線 1 0 の断面積を増加させることができる。よって、ゲート配線 1 0 の抵抗を低減し、スイッチング損失を低減することができる。

10

【 0 0 6 5 】

また、第 2 実施形態の変形例に係る半導体装置によれば、ソース電極溝 4 の底部が基板 1 を接するため、ソース電極溝 4 の端部における電界集中を低減し、耐圧性を向上することができる。

【 0 0 6 6 】

(第 3 実施形態)

図 1 9 は、本発明の第 3 実施形態に係る半導体装置を説明する断面図である。第 3 実施形態に係る半導体装置は、ゲート電極溝 7 の底部が基板 1 に接する点で第 2 実施形態と異なる。第 3 実施形態において説明しない構成、作用及び効果は、第 1 及び第 2 実施形態と実質的に同様であり重複するため省略する。

20

【 0 0 6 7 】

第 3 実施形態において、ソース電極溝 4 がゲート電極溝 7 よりも深く、ソース電極溝 4 及びゲート電極溝 7 は基板 1 に接するように形成される。ソース電極溝 4 の底部において、ゲート配線 1 0 は、シリコン酸化膜 1 1 を介して基板 1 に接する。ゲート電極 9 は、ゲート絶縁膜 8 を介してなお、基板 1 に接する。製造工程において、ソース電極溝 4 及びゲート電極溝 7 を形成する際のマスクとなるシリコン酸化膜を、第 2 実施形態におけるマスクよりも厚くすることにより、溝の深さを深くすることができる。また、ソース電極溝 4 及びゲート電極溝 7 の幅の比を調整することにより、ソース電極溝 4 及びゲート電極溝 7 の深さの比を調整することができる。

【 0 0 6 8 】

第 3 実施形態に係る半導体装置によれば、ゲート電極溝 7 の端部が基板 1 に接するため、ゲート電極溝 7 の端部における電界集中が低減され、ゲート絶縁膜 8 の絶縁破壊を抑制して、耐圧性を向上することができる。

30

【 0 0 6 9 】

(第 4 実施形態)

図 2 0 は、本発明の第 4 実施形態に係る半導体装置を説明する断面図である。第 4 実施形態に係る半導体装置は、ドレイン電極 1 3 が形成されるドレイン電極溝 2 5 を備える点等で第 1 乃至第 3 実施形態と異なる。第 4 実施形態において説明しない構成、作用及び効果は、第 1 乃至第 3 実施形態と実質的に同様であり重複するため省略する。

【 0 0 7 0 】

ドレイン電極溝 2 5 は、ドリフト領域 2 内に、ウェル領域 3 から離れて形成される。ドレイン電極溝 2 5 は、ドリフト領域 2 の第 2 主面から基板 1 内まで、ドリフト領域 2 の第 2 主面に対して垂直 (y 軸方向) に形成される。ドレイン領域 1 2 は、ドレイン電極溝 2 5 の側面に接する。第 4 実施形態において、ドレイン領域 1 2 は、ドリフト領域 2 の第 2 主面から基板 1 内まで、ドリフト領域 2 の第 2 主面に対して垂直 (y 軸方向) に形成される。ドレイン電極溝 2 5 の深さは、ドレイン領域 1 2 の深さより深い。

40

【 0 0 7 1 】

ドレイン電極溝 2 5 は、第 1 実施形態に係る半導体装置の製造方法において、マスク材 1 8 となるシリコン酸化膜を、ドレイン電極溝 2 5 を形成する予定の領域も選択的に除去することにより形成可能である。このマスク材 1 8 をマスクとして、ドライエッチング法

50

により、ソース電極溝 4、ゲート電極溝 7 及びドレイン電極溝 2 5 を同時に形成することができる。

【 0 0 7 2 】

また、ドレイン電極溝 2 5 が形成されることにより、ドレイン領域 1 2 の製造工程において、第 1 実施形態と比べて高い注入エネルギーで不純物を注入する必要なく、深い位置までドレイン領域 1 2 を形成することができる。

【 0 0 7 3 】

第 4 実施形態に係る半導体装置によれば、ドレイン電極溝 2 5 がドリフト領域 2 より深く形成されるため、ドリフト領域 2 の深さ方向 (y 軸方向) における電界分布を低減することができる。よって、電界集中が低減され、耐圧性を向上することができる。

10

【 0 0 7 4 】

また、第 4 実施形態に係る半導体装置によれば、ドリフト領域 2 よりも高不純物濃度のドレイン領域 1 2 が、ドリフト領域 2 より深く形成されるため、電流経路をドリフト領域 2 からドレイン領域 1 2 に置き換えることができる。よって、オン抵抗を低減することができる。

【 0 0 7 5 】

(その他の実施形態)

上記のように、本発明を上記の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

20

【 0 0 7 6 】

例えば、第 1 乃至第 4 実施形態において、 S i C からなる基板 1 及びドリフト領域 2 に半導体装置を製造する場合を説明したが、材料としては S i C に限定されない。例えば、基板 1 及びドリフト領域 2 の材料となるワイドバンドギャップ半導体として、例えば窒化ガリウム (G a N)、ダイヤモンド、酸化亜鉛 (Z n O)、窒化アルミニウムガリウム (A l G a N) 等が挙げられる。

【 0 0 7 7 】

また、第 1 乃至第 4 実施形態において、ドリフト領域 2 をエピタキシャル成長により形成する場合を説明したが、 S i C 等の絶縁性基板に n 型不純物を注入することにより形成するようにしてもよい。

30

【 0 0 7 8 】

また、第 1 乃至第 4 実施形態において、基板 1 は、ドリフト領域 2 より不純物濃度が低い n 型半導体からなるようにしてもよい。これにより、半導体装置のオン状態時に、電流が基板 1 内を流れることになり、電流経路が増加するため、電流が増加する。仮に基板 1 が p 型半導体である場合、ドリフト領域 2 内に電流経路を狭めるように空乏層が広がるため、電流が低減する。即ち、基板 1 がドリフト領域 2 と同じ導電型である場合、電流が増加して損失が低減される。

【 0 0 7 9 】

また、第 1 乃至第 4 実施形態において、ゲート電極溝 7 及びソース電極溝 4 の底面は、ドリフト領域 2 の第 1 主面よりも高くても低くてもよく、第 1 主面に一致していてもよい。また、ソース電極溝 4 内におけるゲート配線 1 0 の位置は、ゲート電極溝 7 の底面よりも高くてもよい。

40

【 0 0 8 0 】

また、第 1 乃至第 4 実施形態において、半導体装置の一例として M O S F E T を説明したが、本発明実施形態に係る半導体装置は、絶縁ゲート型バイポーラトランジスタ (I G B T) やサイリスタにも適用できるのは勿論である。

【 0 0 8 1 】

また、第 1 乃至第 4 実施形態において、「平行」、「垂直」、「直交」等の表現は、完全なトポロジを意味するものではなく、フォトリソグラフィやその他のプロセス上の理由から、不完全なトポロジをも許容するものである。

50

【0082】

その他、上記の各構成を相互に応用した構成等、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【符号の説明】

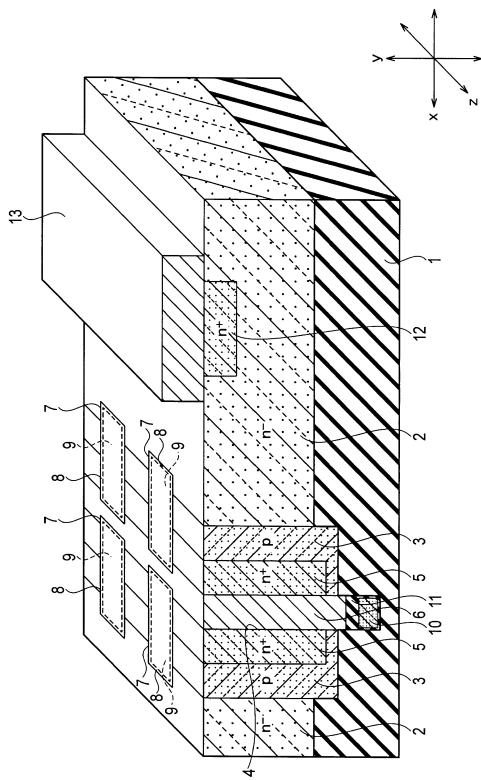
【0083】

- 1 基板
- 2 ドリフト領域
- 3 ウェル領域
- 4 ソース電極溝
- 5 ソース領域
- 6 ソース電極
- 7 ゲート電極溝
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 ゲート配線
- 11 シリコン酸化膜
- 12 ドレイン領域
- 13 ドレイン電極
- 14 層間絶縁膜
- 15 ソース配線
- 16 ドレイン配線

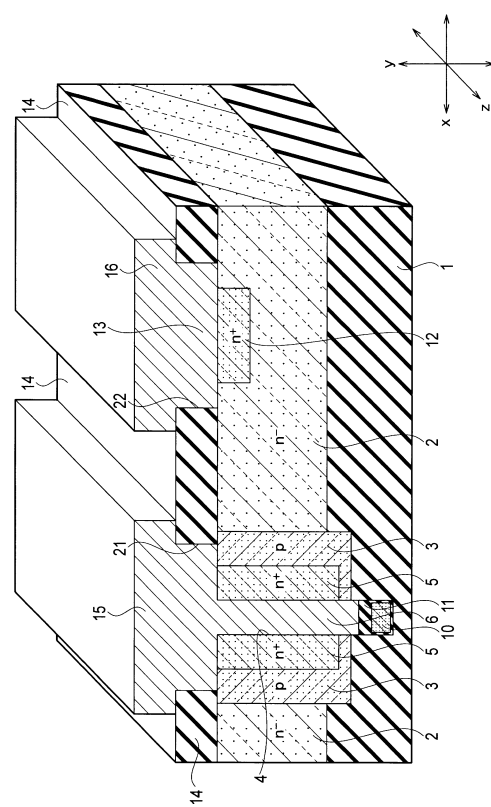
10

20

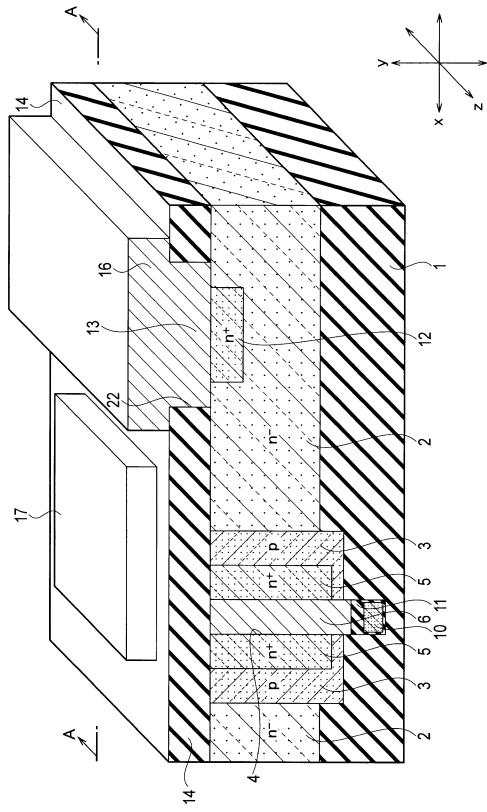
【図1】



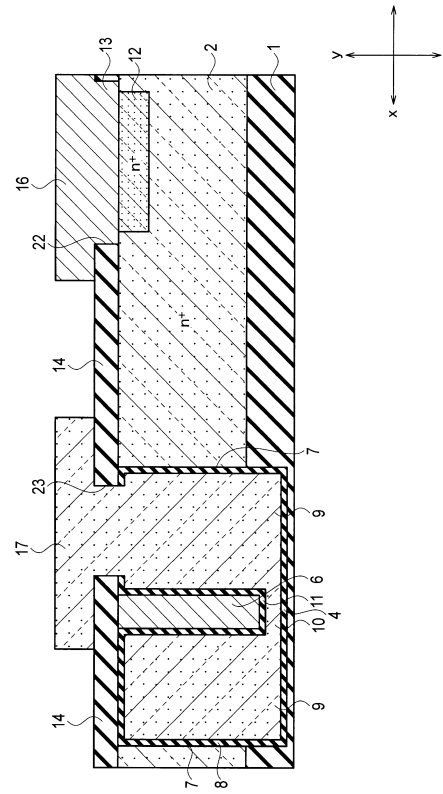
【図2】



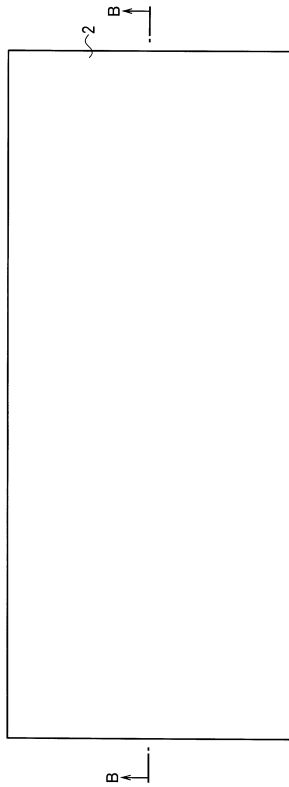
【図 3】



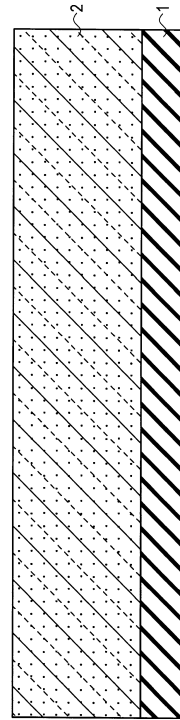
【図 4】



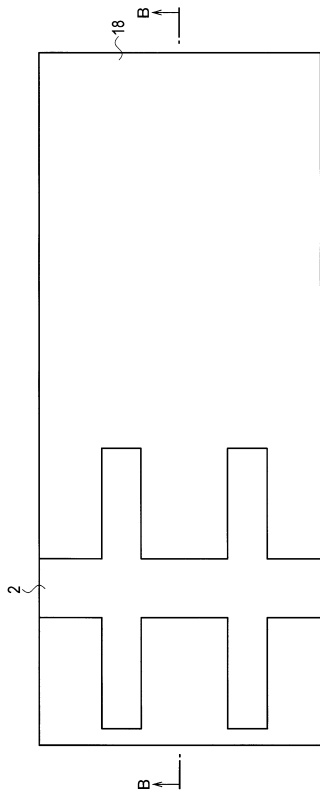
【図 5】



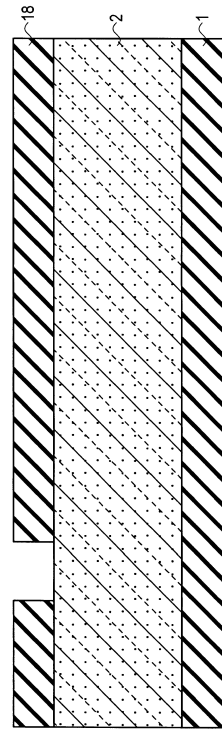
【図 6】



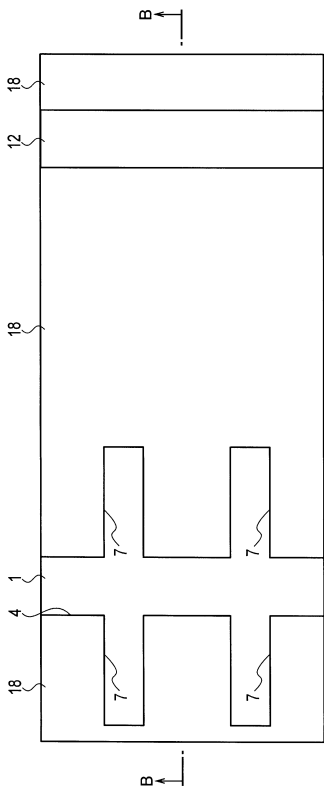
【図 7】



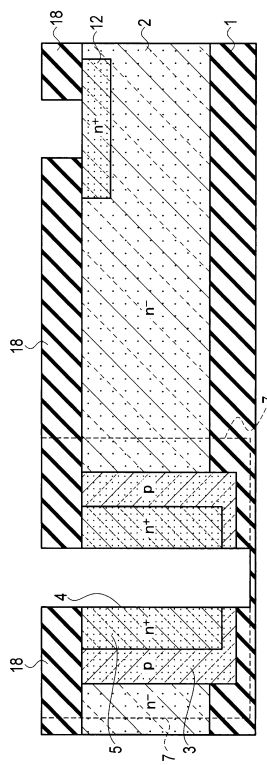
【図 8】



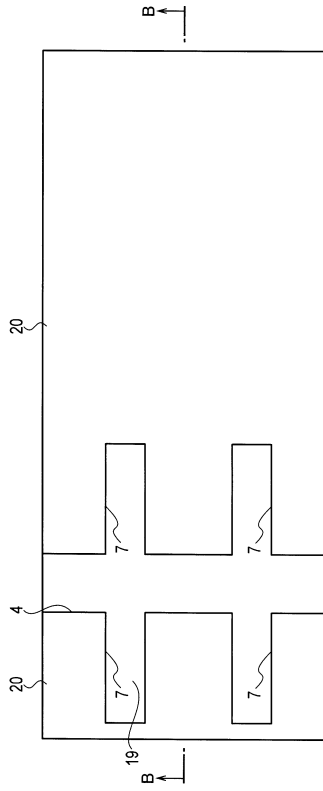
【図 9】



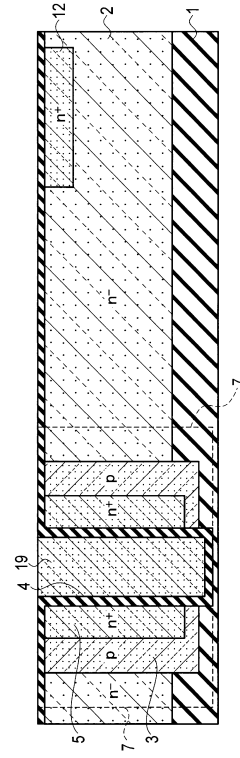
【図 10】



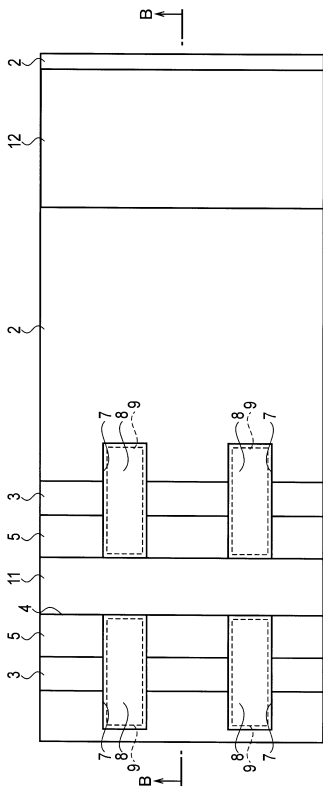
【図 1 1】



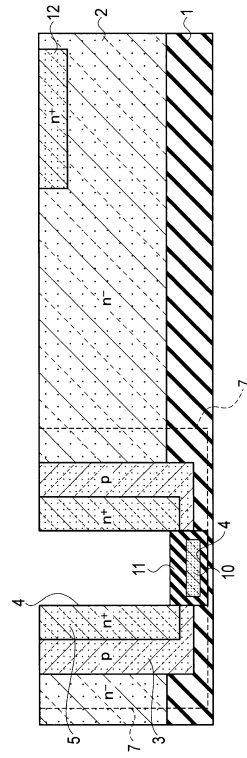
【図 1 2】



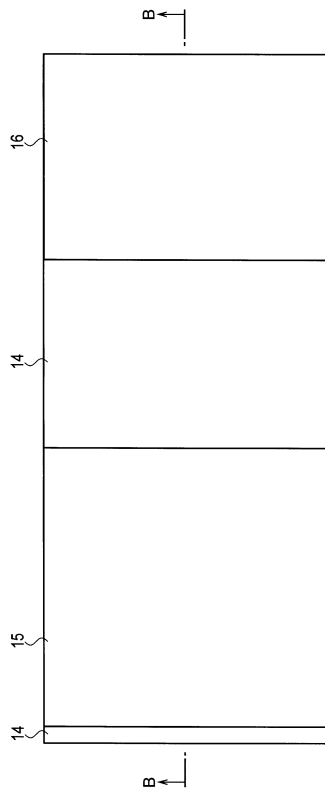
【図 1 3】



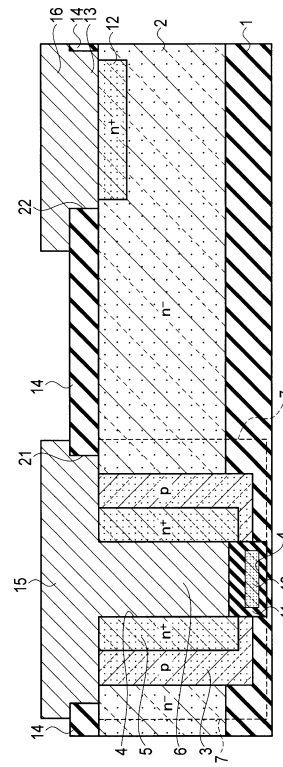
【図 1 4】



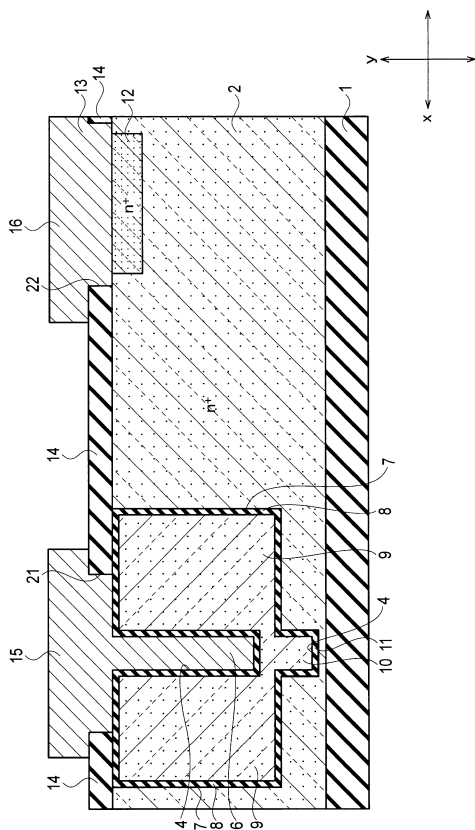
【図 15】



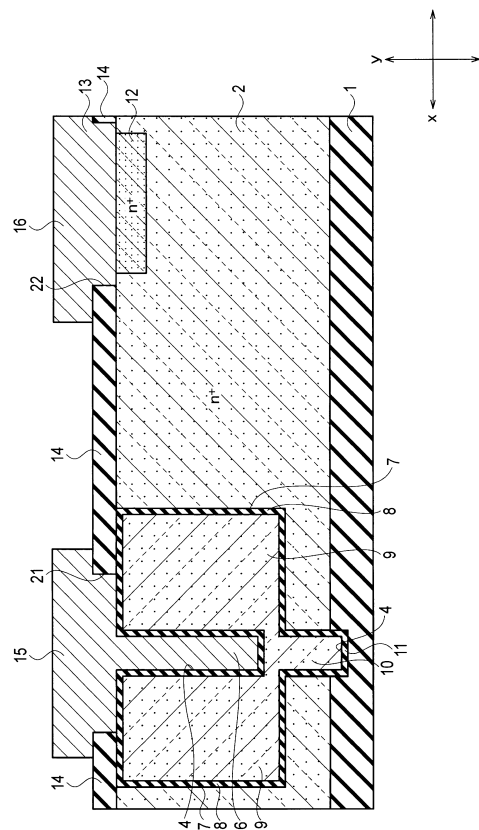
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 林 哲也
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 倪 威
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
- (72)発明者 早見 泰明
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内

審査官 市川 武宜

- (56)参考文献 国際公開第2015/008550(WO, A1)
特表2002-504267(JP, A)
国際公開第2014/054375(WO, A1)
特開2011-171420(JP, A)
特開平2-271637(JP, A)
特開平10-261635(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/336 |
| H01L | 29/78 |