

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5169152号
(P5169152)

(45) 発行日 平成25年3月27日(2013.3.27)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.

F I

H O 1 L 21/3065 (2006.01)

H O 1 L 21/302 I O 5 A

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2007-287445 (P2007-287445)	(73) 特許権者	000002130
(22) 出願日	平成19年11月5日(2007.11.5)		住友電気工業株式会社
(65) 公開番号	特開2009-117527 (P2009-117527A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成21年5月28日(2009.5.28)	(74) 代理人	100064746
審査請求日	平成22年7月16日(2010.7.16)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

S i C 部材を準備する工程と、
前記 S i C 部材上に T a C 膜を形成する工程と、
前記 T a C 膜をマスク形状に成形する工程と、
マスク形状に成形された前記 T a C 膜をマスクとして用いて、前記 S i C 部材をエッチングする工程とを備え、

前記 S i C 部材をエッチングする工程では、F を含有するガスと O を含有するガスとを含む混合ガスを用いたドライエッチングにより前記 S i C 部材がエッチングされ、

前記 T a C 膜をマスク形状に成形する工程は、
F を含有するガスを含むエッチングガスを用いて、前記 T a C 膜を第 1 のエッチングレートでエッチングする工程と、

前記第 1 のエッチングレートでエッチングする工程において用いられるエッチングガスよりも、O を含むガスの体積割合が高いエッチングガスを用いることにより、前記第 1 のエッチングレートよりも低い第 2 のエッチングレートで前記 T a C 膜をエッチングする工程とを含む、半導体装置の製造方法。

【請求項2】

前記混合ガスは、O を含有するガスを体積割合で 30% 以上 80% 以下含んでいる、請求項 1 に記載の半導体装置の製造方法。

【請求項3】

前記T a C膜をマスク形状に成形する工程における前記T a C膜の膜厚は、30nm以上である、請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記S i C部材をエッチングする工程よりも後に、前記T a C膜をマスクとして用いて、前記T a C膜から露出する前記S i C部材上にS i Cをエピタキシャル成長させる工程をさらに備えた、請求項1～3のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より特定的には、T a C膜をマスクとして用いる半導体装置の製造方法に関する。

10

【背景技術】

【0002】

近年、トランジスタ、ダイオードなどの半導体装置の高性能化の要求に対し、半導体装置を構成する材料としてワイドバンドギャップ半導体であるS i C（炭化珪素）を採用する提案がなされている。一方、半導体装置の製造工程においては、半導体装置の内部に不純物の種類や濃度が周囲の領域とは異なる領域を形成する工程が含まれる。このような工程は、半導体装置を構成する材料としてS i Cを採用した半導体装置（S i C半導体装置）においては、イオン注入により形成される他、所望の位置に選択的に所望の不純物を含むS i C層を、エピタキシャル成長などにより形成する方法（選択成長）により実施される。

20

【0003】

S i C半導体装置の製造工程において上記選択成長を実施するためには、選択成長を行なう所望の領域以外の領域を覆うマスクが必要である。S i C半導体装置においては、エピタキシャル成長などにより実施されるS i Cの成長が高温で実施されるため、上記マスクは融点が高く、かつS i Cの核発生が起こりにくい素材からなることが好ましい。

【0004】

これに対し、上記S i Cの選択成長のマスクを構成する素材として、高融点であり、かつS i Cの核発生が起こりにくいT a C（炭化タンタル）を採用する提案がなされている（たとえば非特許文献1参照）。

30

【非特許文献1】C . L i e t . a l、" S e l e c t i v e G r o w t h o f 4 H - S i C o n 4 H - S i C S u b s t r a t e s U s i n g a H i g h T e m p e r a t u r e M a s k "、M a t e r i a l s S c i e n c e F o r u m , V o l . 4 5 7 - 4 6 0 , p . 1 8 5 - 1 8 8、2004年

【発明の開示】

【発明が解決しようとする課題】

【0005】

S i C半導体装置の製造工程においては、S i C層の一部の領域がエッチングにより除去された上で、当該領域に上記S i Cの選択成長が実施される場合がある。このような場合、エッチングを実施するためのマスクを利用して選択成長を実施することができれば、製造工程の簡略化が可能となる。しかしながら、S i Cのエッチングガスとして一般的なC F₄（四フッ化炭素）、C H F₃（三フッ化メタン）、S F₆（六フッ化硫黄）などのF（フッ素）を含むガスを用いたエッチングにおいては、S i CのエッチングレートとT a Cのエッチングレートとの差が小さい。そのため、Fを含むガスを用いたエッチングにおける、T a Cに対するS i Cの選択比は小さく、T a Cから構成されるマスク用いてS i Cのエッチングを行なうことは容易ではない。その結果、上述のように、T a Cは高融点であり、かつS i Cの核発生が起こりにくいという優れた特性を有するため、S i Cの選択成長のマスクを構成する素材として有望であるにもかかわらず、エッチングを実施するためのマスクを利用して選択成長を実施するという工程が採用できないという問題点があった。

40

50

【0006】

これに対し、まず、SiC上にTaC膜およびSiO₂（二酸化珪素）膜を順次形成し、TaC膜上のSiO₂膜をマスクとしてSiCのエッチングを行なった後、TaC膜をマスクとしてSiCの選択成長を実施する工程が採用され得る。しかしながら、このような工程を採用した場合、SiC半導体装置の製造工程が煩雑になるという問題点がある。

【0007】

そこで、本発明の目的は、TaCをSiCのエッチングを行なうためのマスクの素材として採用可能とすることにより、製造工程を簡略化することが可能な半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明に従った半導体装置の製造方法は、SiC部材を準備する工程と、SiC部材上にTaC膜を形成する工程と、TaC膜をマスク形状に成形する工程と、マスク形状に成形されたTaC膜をマスクとして用いて、SiC部材をエッチングする工程とを備えている。そして、SiC部材をエッチングする工程では、Fを含有するガスとOを含有するガスとを含む混合ガスを用いたドライエッチングによりSiC部材がエッチングされる。

【0009】

本発明者は、Fを含有するガスを含むエッチングガスを用いたエッチングにおけるSiCおよびTaCのエッチングレートについて、詳細に検討を行なった。その結果、Fを含有するガスを含むエッチングガスにO（酸素）を含むガスを添加することにより、SiCのエッチングレートの変化を抑制しつつ、TaCのエッチングレートを大幅に抑制可能であることを見出した。すなわち、Fを含有するガスを含むエッチングガスを用いてSiCをエッチングする際、Oを含むガスを添加することにより、TaCに対するSiCの選択比を向上させ、TaCをSiCのエッチングを行なうためのマスクの素材として採用可能とすることができる。

【0010】

本発明の半導体装置の製造方法では、SiC部材をエッチングする工程において、Fを含有するガスとOを含有するガスとを含む混合ガスを用いたドライエッチングによりSiC部材がエッチングされる。そのため、SiC半導体装置の製造工程において作製されるSiC基板や基板上に形成されたSiC層などのSiC部材のエッチングを、TaCから構成されるマスクを用いて実施することができる。その結果、本発明の半導体装置の製造方法によれば、TaCをSiCのエッチングを行なうためのマスクの素材として採用可能とすることにより、製造工程を簡略化することが可能な半導体装置の製造方法を提供することができる。また、本発明の半導体装置の製造方法は、TaC膜をマスク形状に成形する工程は、Fを含有するガスを含むエッチングガスを用いて、TaC膜を第1のエッチングレートでエッチングする工程と、当該第1のエッチングレートでエッチングする工程において用いられるエッチングガスよりも、Oを含むガスの体積割合が高いエッチングガスを用いることにより、第1のエッチングレートよりも低い第2のエッチングレートでTaC膜をエッチングする工程とを含んでいる。

【0011】

ここで、エッチングレートとは、エッチングにおいて、エッチングされる部材の厚みの単位時間あたりの減少量である。また、Fを含有するガスとしては、CF₄、CHF₃、SF₆の他、C₄F₈、C₅F₈、C₄F₆などのC_xF_y系のガス、NF₃などが挙げられる。さらに、Oを含有するガスとしては、O₂（酸素）の他、CO_x、NO_xなどが挙げられる。

【0012】

上記半導体装置の製造方法において好ましくは、上記ドライエッチングに用いられる混合ガスは、Oを含有するガスを体積割合で30%以上80%以下含んでいる。

【0013】

ドライエッチングに用いられる混合ガスに含まれるOを含有するガスの体積割合を30

10

20

30

40

50

%以上とすることにより、T a Cに対するS i Cの選択比を2以上とすることが可能となり、T a CをS i Cのエッチングを行なうためのマスクの素材として採用することが一層容易となる。一方、ドライエッチングに用いられる混合ガスに含まれるOを含有するガスの体積割合を80%以下とすることにより、S i Cのエッチングレートの低下を抑制することができる。

【0015】

上述のように、Fを含有するガスを含むエッチングガスを用いてT a Cのエッチングを行なう場合、Oを含むガスを添加することによりT a Cのエッチングレートを抑制することができる。上記T a C膜をマスク形状に成形する工程の構成によれば、まず、Oを含むガスの体積割合が低いエッチングガスを用いることにより高いエッチングレートで効率的にT a C膜のエッチングを行なう。その後、Oを含むガスの体積割合を上昇させたエッチングガスを用いることにより低いエッチングレートで高い形状精度を確保するようにT a C膜のエッチングを行なう。そして、所望の形状にT a C膜が成形された時点で、エッチングを終了する。これにより、T a C膜を高い形状精度で、かつ効率的に、マスク形状に成形することができる。

10

【0016】

上記半導体装置の製造方法において好ましくは、T a C膜をマスク形状に成形する工程におけるT a C膜の膜厚は、30nm以上である。

【0017】

これにより、T a C膜が十分な厚みを有するマスクに成形され、当該マスクを用いてS i C部材をエッチングする工程において、比較的選択比の小さいエッチングガスを採用することが可能となり、S i Cのエッチングに用いるエッチングガスの選択の幅が広がる。

20

【0018】

上記半導体装置の製造方法において好ましくは、上記S i C部材をエッチングする工程よりも後に、S i C部材のエッチングにおいてマスクとして用いられたT a C膜をマスクとして用いて、T a C膜から露出するS i C部材上にS i Cをエピタキシャル成長させる工程をさらに備えている。

【0019】

耐熱性が高く、S i Cの核発生が起こりにくいT a C膜は、S i Cの選択成長を行なうためのマスクとして好適である。上述のようにS i Cのエッチングのマスクとして用いたT a C膜を利用して選択成長を実施することにより、S i C半導体の製造工程の簡略化が可能となる。

30

【発明の効果】**【0020】**

以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、T a CをS i Cのエッチングを行なうためのマスクの素材として採用可能とすることにより、半導体装置の製造工程を簡略化することが可能となる。

【発明を実施するための最良の形態】**【0021】**

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

40

【0022】**(実施の形態1)**

図1は、本発明の一実施の形態である実施の形態1の半導体装置としてのMOSFET (Metal Oxide Semiconductor Field Effect Transistor; 酸化膜電界効果トランジスタ)の構成を示す概略断面図である。図1を参照して、本発明の実施の形態1における半導体装置であるMOSFETの構成を説明する。

【0023】

50

図1を参照して、本実施の形態におけるMOSFET1は、SiC基板11と、n型SiC層12と、一对のpボディ13と、nソース領域14と、nドレイン領域15とを備えている。SiC基板11は、導電型がn型(第1導電型)の4H-SiCからなっている。n型SiC層12は、SiC基板11上に形成されており、導電型がn型のSiCからなるエピタキシャル層である。一对のpボディ13は、導電型がp型(第2導電型)のSiCからなるエピタキシャル層であり、n型SiC層12においてSiC基板11側の主面である第1の主面12Aとは反対側の主面である第2の主面12Bを含む領域を挟んで互に対向するように形成されている。nソース領域14およびnドレイン領域15は、一对のpボディ13においてSiC基板11側の面である第1面13Aとは反対側の面である第2面13Bを含む領域に形成され、導電型がn型のSiCからなっている。

10

【0024】

さらに、図1を参照して、MOSFET1は、ゲート酸化膜16と、ソース電極17Aと、ゲート電極17Bと、ドレイン電極17Cと、ソース配線18Aと、ゲート配線18Bと、ドレイン配線18Cと、パシベーション膜19とを備えている。ゲート酸化膜16は、n型SiC層12の第2の主面12Bおよび一对のpボディ13の第2面13Bに接触し、かつnソース領域14の上部表面からnドレイン領域15の上部表面にまで延在するように形成されている。導電体からなるソース電極17Aは、一对のpボディ13のうち一方のpボディ131においてSiC基板11側の面である第1面131Aとは反対側の面である第2面131Bのうちnソース領域14が形成された領域に接触するように配置されている。

20

【0025】

導電体からなるゲート電極17Bは、n型SiC層12の第2の主面12B上にゲート酸化膜16を挟んで配置され、一方のpボディ131の第2面131Bにおいてnソース領域14が形成された領域から他方のpボディ132の第2面132Bにおいてnドレイン領域15が形成された領域にまで延在している。導電体からなるドレイン電極17Cは、一对のpボディ13のうち他方のpボディ132においてSiC基板11側の面である第1面132Aとは反対側の面である第2面132Bのうちnドレイン領域15が形成された領域に接触するように配置されている。

【0026】

さらに、導電体からなるソース配線18A、ゲート配線18Bおよびドレイン配線18Cは、それぞれソース電極17A、ゲート電極17Bおよびドレイン電極17Cに接触するようにソース電極17A、ゲート電極17Bおよびドレイン電極17C上に配置されている。また、絶縁体からなるパシベーション膜19は、ソース配線18A、ゲート配線18B、ドレイン配線18Cおよびゲート電極17Bを取り囲むように形成されている。

30

【0027】

次に、MOSFET1の動作について説明する。図1を参照して、ゲート電極17Bの電圧が0Vの状態すなわちオフ状態では、ゲート酸化膜16の直下に位置するnソース領域14とnドレイン領域15との間に逆バイアスとなるpn接合が形成され、非導通状態となる。一方、ゲート電極17Bに正の電圧を印加していくと、pボディ13のゲート酸化膜16と接触する付近の領域であるチャンネル領域13Cにおいて、反転層が形成される。その結果、nソース領域14とnドレイン領域15とが電氣的に接続され、nソース領域14とnドレイン領域15との間に電流が流れる。

40

【0028】

次に、本発明に従った半導体装置の製造方法の一実施の形態である実施の形態1におけるMOSFETの製造方法について説明する。図2は、実施の形態1におけるMOSFETの製造方法の概略を示す流れ図である。また、図3~図8は、実施の形態1におけるMOSFETの製造方法を説明するための概略断面図である。

【0029】

図2を参照して、実施の形態1におけるMOSFETの製造方法においては、まず、工程(S10)において、基板準備工程が実施される。具体的には、図3を参照して、4H

50

- SiCからなり、n型不純物（導電型がn型である不純物）を含むことにより導電型がn型（第1導電型）となっているSiC基板11が準備される。このSiC基板11は、たとえばn型不純物であるNなどを $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 程度の濃度で含み、 $300 \sim 500 \mu\text{m}$ 程度の厚みを有している。

【0030】

次に、図2を参照して、工程(S20)として、n型SiC層形成工程が実施される。具体的には、図3を参照して、工程(S10)において準備されたSiC基板11の一方の主面上に、SiCからなり、n型不純物を含むことにより導電型がn型となっているn型SiC層12がエピタキシャル成長により形成される。このn型SiC層12は、n型不純物であるNなどを $1 \times 10^{14} \sim 1 \times 10^{18} / \text{cm}^3$ 程度の濃度、たとえば $1 \times 10^{16} / \text{cm}^3$ 含み、 $1 \sim 200 \mu\text{m}$ 程度の厚み、たとえば $10 \mu\text{m}$ の厚みを有している。上記SiC基板11上に形成されたn型SiC層12はSiC部材を構成し、上記工程(S10)および(S20)はSiC部材を準備するSiC部材準備工程を構成する。

10

【0031】

次に、図2を参照して、工程(S30)として、n型SiC層12上にTaC膜を形成するTaC膜形成工程が実施される。具体的には、図4を参照して、n型SiC層12上に、TaCからなるTaC膜81がPVD(Physical Vapor Deposition; 物理蒸着法)、たとえばスパッタリングにより形成される。TaC膜81の厚みは、 30nm 以上 1000nm 以下、たとえば 250nm 程度である。

【0032】

20

次に、図2を参照して、工程(S40)として、TaC膜81をマスク形状に成形するTaCマスク形成工程が実施される。具体的には、図4および図5を参照して、まず、工程(S30)において形成されたTaC膜81上にレジスト91が塗布される。その後、露光および現像が行なわれることにより、所望のpボディ13の形状に応じた開口を有するマスクパターンが形成される。そして、マスクパターンが形成されたレジスト91がマスクとして用いられて、TaC膜81がエッチングされる。TaC膜81のエッチングは、たとえばICP-RIE(Inductive Coupled Plasma-Reactive Ion Etching; 誘導結合プラズマ-反応性イオンエッチング)により実施することができる。ICP-RIEは、たとえばアンテナパワー： 400W 、バイアス： 20W 、圧力： 0.6Pa で、エッチングガスである SF_6 ガスを 50sccm の流量でエッチング装置内に流入させる条件下にて実施することができる。これにより、TaC膜81が所望のpボディ13の形状に応じた開口を有するマスクパターンに成形される。

30

【0033】

この工程(S40)においては、エッチング装置内には、不純物を除いて酸素(O_2)を含まない SF_6 が供給されていてもよいし、体積分率で90%以下の O_2 を含む SF_6 と O_2 との混合ガスが供給されてもよい。また、工程(S40)は、レジスト91にマスクパターンを形成する工程が実施された後、図2に示すように、不純物を除いて O_2 を含まない SF_6 がエッチング装置内に供給されて高いエッチングレートでTaC膜81がエッチングされる高レートエッチング工程と、高レートエッチング工程の後に、 SF_6 と O_2 との混合ガスがエッチング装置内に供給されて高レートエッチング工程よりも低いエッチングレートでTaC膜81がエッチングされる低レートエッチング工程とを含んでいてもよい。

40

【0034】

SF_6 、 CF_4 、 CHF_3 などのガスを用いてTaCのエッチングを行なう場合、 O_2 ガスを添加することによりTaCのエッチングレートを抑制することができる。上述のように、まず、 O_2 ガスが不純物を除いて含まれない SF_6 を用いることにより高いエッチングレートで効率的にTaC膜のエッチングを行ない、その後、 SF_6 と O_2 との混合ガスを用いることにより低いエッチングレートで高い形状精度を確保するようにTaC膜のエッチングを行なうことにより、TaC膜81を高い形状精度で、かつ効率的に、マスク

50

形状に成形することができる。

【0035】

次に、図2を参照して、工程(S50)として、マスク形状に成形されたTaC膜81をマスクとして用いて、SiC基板11上に形成されたn型SiC層(SiC部材)12をエッチングするn型SiC層エッチング工程が実施される。具体的には、図5および図6を参照して、レジスト91が除去された後、工程(S40)においてマスク形状に成形されたTaC膜81がマスクとして用いられ、所望のpボディ13を形成すべきn型SiC層12の領域がエッチングにより除去される。工程(S50)において除去されるn型SiC層12の厚みは、たとえば $0.3\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、より具体的には $0.8\mu\text{m}$ 程度である。

10

【0036】

n型SiC層12のエッチングは、たとえばICP-RIEにより実施することができる。ICP-RIEは、たとえばアンテナパワー：400W、バイアス：20W、圧力： 0.6Pa で、エッチングガスである SF_6 ガスおよび O_2 ガスをそれぞれ 50sccm の流量でエッチング装置内に流入させる条件下にて実施することができる。すなわち、工程(S50)では、 SF_6 ガスと O_2 ガスとを含む混合ガスを用いたドライエッチングによりn型SiC層12がエッチングされる。

【0037】

ここで、エッチング装置内における SF_6 ガスと O_2 ガスとを含む混合ガスは、 O_2 ガスを体積割合で30%以上80%以下、具体的には50%程度含んでいる。その結果、工程(S50)のエッチングにおけるTaCに対するSiCの選択比は約5となっている。そのため、上述のように、TaC膜81の厚みが $0.25\mu\text{m}$ であり、工程(S50)においてn型SiC層12が $0.8\mu\text{m}$ エッチングされた場合、マスクとして使用されたTaC膜81は、工程(S50)完了後も約 $0.1\mu\text{m}$ の厚みで残存している。

20

【0038】

次に、図2を参照して、工程(S60)として、工程(S50)においてn型SiC層12をエッチングするためのマスクとして用いられたTaC膜81をマスクとして用いて、TaC膜81から露出するn型SiC層12上にSiCをエピタキシャル成長させる選択成長工程が実施される。具体的には、図6および図7を参照して、TaC膜81から露出するn型SiC層12上に、p型不純物を含有することにより導電型がp型(第2導電型)となっているSiCからなる一対のpボディ13(一方のpボディ131および他方のpボディ132)が、エピタキシャル成長により形成される。その結果、工程(S50)において除去されたn型SiC層12の領域が、一対のpボディ13により充填される。一対のpボディ13は、p型不純物として、Al, Bなどを $1 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下の濃度、たとえば $1 \times 10^{18} / \text{cm}^3$ 含んでいる。

30

【0039】

次に、図2を参照して、工程(S70)として、工程(S60)において形成された一対のpボディ13のそれぞれにn型不純物が導入されることにより、nソース領域14およびnドレイン領域15が形成されるn型不純物導入工程が実施される。具体的には、図7、図8および図1を参照して、まず図7のTaC膜81が、たとえばフッ硝酸を用いて図8のように除去された上で、図1に示すnソース領域14およびnドレイン領域15が、一方のpボディ131の第2面131Bおよび他方のpボディ132の第2面132Bを含む領域に、たとえばイオン注入により形成される。

40

【0040】

次に、図2を参照して、工程(S80)として、工程(S70)までの工程が完了して形成されたSiCからなる部材が、 1400 以上 1900 以下の温度に加熱される活性化アニール工程が実施される。これにより、当該部材に含まれるn型不純物およびp型不純物が活性化する。さらに、工程(S90)として、ゲート酸化膜が形成されるゲート酸化膜形成工程が実施される。具体的には、図1を参照して、まず、pボディ13、nソース領域14およびnドレイン領域15の上部表面が露出するn型SiC層12の第2の

50

主面 1 2 B が熱酸化されることにより、第 2 の主面 1 2 B を含む領域に熱酸化膜が形成される。その後、形成された熱酸化膜のうち n ソース領域 1 4 の上部表面から n ドレイン領域 1 5 の上部表面にまで延在する領域が残存するように、たとえばフォトリソグラフィおよびエッチングにより熱酸化膜の一部が除去される。これにより、ゲート酸化膜 1 6 が形成される。

【 0 0 4 1 】

次に、図 2 を参照して、工程 (S 1 0 0) として、n ソース領域 1 4 および n ドレイン領域 1 5 上に n ソース領域 1 4 および n ドレイン領域 1 5 に接触し、n ソース領域 1 4 および n ドレイン領域 1 5 にオーミック接触可能な導電体からなるオーミック電極としてのソース電極 1 7 A およびドレイン電極 1 7 C が形成されるオーミック電極形成工程が実施される。具体的には、図 1 を参照して、n ソース領域 1 4 上に、n ソース領域 1 4 とオーミック接触可能な導電体、たとえば Ni (ニッケル) などからなるソース電極 1 7 A が蒸着等により形成されるとともに、n ドレイン領域 1 5 上に、n ドレイン領域 1 5 とオーミック接触可能な導電体、たとえば Ni などからなるドレイン電極 1 7 C が蒸着等により形成される。

10

【 0 0 4 2 】

次に、図 2 を参照して、工程 (S 1 1 0) において、ゲート酸化膜 1 6 上に、ゲート酸化膜 1 6 に接触するようにゲート電極が形成されるゲート電極形成工程が実施される。具体的には、図 1 を参照して、導電体からなり、ゲート酸化膜 1 6 を挟んで n ソース領域 1 4 の上部表面上から n ドレイン領域 1 5 の上部表面上にまで延在するゲート電極 1 7 B が蒸着等により形成される。

20

【 0 0 4 3 】

次に、図 2 および図 1 を参照して、工程 (S 1 2 0) において、ソース電極 1 7 A、ゲート電極 1 7 B およびドレイン電極 1 7 C 上に Al (アルミニウム) などの金属からなるボンディングの容易な配線としてのソース配線 1 8 A、ゲート配線 1 8 B およびドレイン配線 1 8 C が形成される配線形成工程が実施される。そして、図 2 および図 1 を参照して、工程 (S 1 3 0) において、ソース配線 1 8 A、ゲート配線 1 8 B、ドレイン配線 1 8 C およびゲート電極 1 7 B を取り囲むように、絶縁体からなるパシベーション膜 1 9 が形成されるパシベーション工程が実施される。以上の工程により、本実施の形態における MOSFET 1 が完成する。

30

【 0 0 4 4 】

本実施の形態における MOSFET 1 の製造方法においては、工程 (S 5 0) において、SF₆ ガスと O₂ ガスとを含む混合ガスを用いたドライエッチングにより n 型 SiC 層がエッチングされる。そのため、MOSFET 1 の製造工程において作製される n 型 SiC 層 1 2 のエッチングを、TaC 膜 8 1 からなるマスクを用いて実施することができる。その結果、本実施の形態における MOSFET 1 の製造方法によれば、TaC を SiC のエッチングを行なうためのマスクの素材として採用することにより、MOSFET 1 の製造工程を簡略化することが可能となっている。

【 0 0 4 5 】

(実施の形態 2)

40

次に、本発明の一実施の形態である実施の形態 2 における半導体装置について説明する。図 9 は、実施の形態 2 における JFET (Junction Field Effect Transistor ; 接合型電界効果トランジスタ) の構成を示す概略断面図である。

【 0 0 4 6 】

図 9 を参照して、実施の形態 2 における半導体装置としての JFET 3 は、SiC 基板 3 1 と、SiC 基板 3 1 上に形成された第 1 p 型 SiC 層 3 2 と、第 1 p 型 SiC 層 3 2 上に形成された n 型 SiC 層 3 3 と、n 型 SiC 層 3 3 上に形成された第 2 p 型 SiC 層 3 4 とを備えている。SiC 基板 3 1 は、導電型が n 型 (第 1 導電型) の 4 H - SiC からなっている。第 1 p 型 SiC 層 3 2 および第 2 p 型 SiC 層 3 4 は、導電型が p 型 (第

50

2導電型)のSiCからなるエピタキシャル層である。n型SiC層33は、導電型がn型のSiCからなるエピタキシャル層である。

【0047】

さらにJFET3は、第2p型SiC層34を厚み方向に貫通し、n型SiC層33の内部にまで延在するように形成されたnソース領域35、pゲート領域36およびnドレイン領域37を備えている。すなわち、nソース領域35、pゲート領域36およびnドレイン領域37の底部は、第1p型SiC層32の上部表面(第1p型SiC層32とn型SiC層33との境界部)から間隔を隔てて配置されている。nソース領域35およびnドレイン領域37は、n型SiC層33よりも高濃度のn型不純物を含み、導電型がn型のSiCからなるエピタキシャル層である。pゲート領域36は、第2p型SiC層34よりも高濃度のp型不純物を含み、導電型がp型のSiCからなるエピタキシャル層である。

10

【0048】

さらに、nソース領域35、pゲート領域36およびnドレイン領域37上には、nソース領域35、pゲート領域36およびnドレイン領域37の上部表面に接触するように、ソース電極41A、ゲート電極41Bおよびドレイン電極41Cが形成されている。ソース電極41A、ゲート電極41Bおよびドレイン電極41Cは、金属などの導電体からなっている。そして、各電極41A、41B、41Cの間には酸化膜38が形成されている。これにより、隣り合う各電極41A、41B、41Cの間が絶縁されている。

20

【0049】

ソース電極41A、ゲート電極41Bおよびドレイン電極41C上には、ソース電極41A、ゲート電極41Bおよびドレイン電極41Cの上部表面に接触するように、ソース配線42A、ゲート配線42Bおよびドレイン配線42Cが形成されている。ソース配線42A、ゲート配線42Bおよびドレイン配線42Cは、金属などの導電体からなっている。そして、ソース配線42A、ゲート配線42Bおよびドレイン配線42Cを取り囲むように、絶縁体からなるパシベーション膜43が形成されている。

【0050】

次に、JFET3の動作について説明する。図9を参照して、ゲート電極41Bの電圧が0Vの状態では、n型SiC層33において、pゲート領域36と第1p型SiC層32とで挟まれた領域(チャンネル領域)は完全には空乏化されておらず、nソース領域35とnドレイン領域37とはチャンネル領域を介して電氣的に接続された状態となっている。そのため、nソース領域35からnドレイン領域37に向かって電子が移動することにより電流が流れる。

30

【0051】

一方、ゲート電極41Bに負の電圧を印加していくと、上述のチャンネル領域の空乏化が進行し、nソース領域35とnドレイン領域37とは電氣的に遮断された状態となる。そのため、nソース領域35からnドレイン領域37に向かって電子が移動することができず、電流は流れない。

【0052】

次に、本発明に従った半導体装置の製造方法の一実施の形態である実施の形態2におけるJFETの製造方法について説明する。図10は、実施の形態2におけるJFETの製造方法の概略を示す流れ図である。また、図11~図21は、実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

40

【0053】

図10を参照して、実施の形態2におけるJFETの製造方法においては、まず、工程(S210)において、基板準備工程が実施される。具体的には、図11を参照して、実施の形態1の工程(S10)と同様に、4H-SiCからなり、n型不純物を含むことにより導電型がn型となっているSiC基板31が準備される。

【0054】

次に、図10を参照して、工程(S220)として、第1p型SiC層形成工程が実施

50

される。具体的には、図11を参照して、工程(S210)において準備されたSiC基板31の一方の主面上に、SiCからなり、p型不純物を含むことにより導電型がp型となっている第1p型SiC層32がエピタキシャル成長により形成される。この第1p型SiC層32は、p型不純物であるAl, Bなどを $1 \times 10^{15} \sim 1 \times 10^{18} / \text{cm}^3$ 程度の濃度、たとえば $1 \times 10^{16} / \text{cm}^3$ 含み、2~50 μm 程度の厚み、たとえば10 μm の厚みを有している。

【0055】

次に、図10を参照して、工程(S230)として、n型SiC層形成工程が実施される。具体的には、図11を参照して、工程(S220)において形成された第1p型SiC層32上に、SiCからなり、n型不純物を含むことにより導電型がn型となっているn型SiC層33がエピタキシャル成長により形成される。このn型SiC層33は、n型不純物であるNなどを $1 \times 10^{16} \sim 2 \times 10^{18} / \text{cm}^3$ 程度の濃度、たとえば $2 \times 10^{17} / \text{cm}^3$ 含み、0.1~1.5 μm 程度の厚み、たとえば0.4 μm の厚みを有している。

10

【0056】

次に、図10を参照して、工程(S240)として、第2p型SiC層形成工程が実施される。具体的には、図11を参照して、工程(S230)において形成されたn型SiC層33上に、SiCからなり、p型不純物を含むことにより導電型がp型となっている第2p型SiC層34がエピタキシャル成長により形成される。この第2p型SiC層34は、p型不純物であるAl, Bなどを $1 \times 10^{16} \sim 2 \times 10^{18} / \text{cm}^3$ 程度の濃度、たとえば $2 \times 10^{17} / \text{cm}^3$ 含み、0.1~1 μm 程度の厚み、たとえば0.2 μm の厚みを有している。上記SiC基板31上に形成されたn型SiC層33および第2p型SiC層34はSiC部材を構成し、上記工程(S210)~(S240)はSiC部材を準備するSiC部材準備工程を構成する。

20

【0057】

次に、図10を参照して、工程(S250)として、第2p型SiC層34上にTaC膜を形成するTaC膜形成工程が実施される。具体的には、図12を参照して、第2p型SiC層34上に、TaCからなるTaC膜81がPVD、たとえばスパッタリングにより形成される。TaC膜81の厚みは、30nm以上1000nm以下、たとえば200nm程度である。

30

【0058】

次に、図2を参照して、工程(S260)として、TaC膜81をマスク形状に成形するTaCマスク形成工程が実施される。具体的には、図12および図13を参照して、まず、工程(S250)において形成されたTaC膜81上にレジスト91が塗布される。その後、露光および現像が行なわれることにより、所望のnソース領域35およびnドレイン領域37の形状に応じた開口を有するマスクパターンが形成される。そして、マスクパターンが形成されたレジスト91がマスクとして用いられて、TaC膜81がエッチングされる。TaC膜81のエッチングは、実施の形態1の工程(S40)と同様に実施することができる。これにより、TaC膜81が所望のnソース領域35およびnドレイン領域37の形状に応じた開口を有するマスクパターンに成形される。

40

【0059】

次に、図10を参照して、工程(S270)として、マスク形状に成形されたTaC膜81をマスクとして用いて、SiC基板31上に形成されたn型SiC層33および第2p型SiC層34(SiC部材)をエッチングするSiC層エッチング工程が実施される。具体的には、図13および図14を参照して、工程(S270)においては、レジスト91が除去された後、工程(S260)においてマスク形状に成形されたTaC膜81がマスクとして用いられて、所望のnソース領域35およびnドレイン領域37を形成すべきn型SiC層33および第2p型SiC層34の領域がエッチングにより除去される。工程(S270)において除去されるn型SiC層33および第2p型SiC層34の厚みは、p型SiC層34の厚み+0.05 μm 以上、p型SiC層34の厚み+n型Si

50

C層33の厚み - 0.05 μm程度である。その結果、当該除去される領域は第2p型SiC層34を厚み方向に貫通し、n型SiC層33の内部にまで延在する。n型SiC層33および第2p型SiC層34のエッチングは、実施の形態1の工程(S50)と同様の条件下で実施することができる。

【0060】

次に、図10を参照して、工程(S280)として、工程(S270)においてn型SiC層33および第2p型SiC層34をエッチングするためのマスクとして用いられたTaC膜81をマスクとして用いて、TaC膜81から露出するn型SiC層33上に高濃度のn型不純物を含むSiCをエピタキシャル成長させるn⁺領域選択成長工程が実施される。具体的には、図14および図15を参照して、TaC膜81から露出するn型SiC層33上に、高濃度のn型不純物を含有することにより導電型がn型となっているSiCからなるnソース領域35およびnドレイン領域37が、エピタキシャル成長により形成される。その結果、工程(S270)において除去された一方のn型SiC層33および第2p型SiC層34の領域のうち一方の領域がnソース領域35により、他方の領域がnドレイン領域37により充填される。nソース領域35およびnドレイン領域37は、n型不純物として、N, P, Asなどを $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の濃度、たとえば $1 \times 10^{19} / \text{cm}^3$ 含んでいる。

10

【0061】

次に、図10を参照して、工程(S290)として、第2p型SiC層34上にTaC膜を再度形成するTaC膜再形成工程が実施される。具体的には、図115~図17を参照して、工程(S280)においてマスクとして用いられた図15に示すTaC膜81が、たとえばフッ硝酸を用いて図16のように除去された後、図17のように、TaC膜81が、工程(S250)の場合と同様の手順で再度形成される。

20

【0062】

次に、図10を参照して、工程(S300)として、再形成されたTaC膜81をマスク形状に成形するTaCマスク再形成工程が実施される。具体的には、図17および図18を参照して、まず、工程(S290)において形成されたTaC膜81上にレジストが塗布される。その後、露光および現像が行なわれることにより、所望のpゲート領域36の形状に応じた開口を有するマスクパターンが形成される。そして、マスクパターンが形成されたレジストがマスクとして用いられて、TaC膜81がエッチングされる。TaC膜81のエッチングは、実施の形態1の工程(S40)と同様に実施することができる。これにより、TaC膜81が所望のpゲート領域36の形状に応じた開口を有するマスクパターンに成形される。

30

【0063】

次に、図10を参照して、工程(S310)として、マスク形状に成形されたTaC膜81をマスクとして用いて、nソース領域35およびnドレイン領域37が形成されたn型SiC層33および第2p型SiC層34(SiC部材)をエッチングする第2のSiC層エッチング工程が実施される。具体的には、図18および図19を参照して、工程(S300)においてマスク形状に成形されたTaC膜81がマスクとして用いられて、所望のpゲート領域36を形成すべきn型SiC層33および第2p型SiC層34の領域がエッチングにより除去される。工程(S310)において除去されるn型SiC層33および第2p型SiC層34の厚みは、p型SiC層34の厚み+0.05 μm以上、p型SiC層34の厚み+n型SiC層33の厚み-0.05 μm程度である。その結果、当該除去される領域は第2p型SiC層34を厚み方向に貫通し、n型SiC層33の内部にまで延在する。n型SiC層33および第2p型SiC層34のエッチングは、実施の形態1の工程(S50)と同様の条件下で実施することができる。

40

【0064】

次に、図10を参照して、工程(S320)として、工程(S310)においてn型SiC層33および第2p型SiC層34をエッチングするためのマスクとして用いられたTaC膜81をマスクとして用いて、TaC膜81から露出するn型SiC層33上に高

50

濃度の p 型不純物を含む SiC をエピタキシャル成長させる p⁺ 領域選択成長工程が実施される。具体的には、図 19 および図 20 を参照して、TaC 膜 81 から露出する n 型 SiC 層 33 上に、高濃度の p 型不純物を含有することにより導電型が p 型となっている SiC からなる p ゲート領域 36 が、エピタキシャル成長により形成される。その結果、工程 (S310) において除去された n 型 SiC 層 33 および第 2 p 型 SiC 層 34 の領域が、p ゲート領域 36 により充填される。p ゲート領域 36 は、p 型不純物として、Al、B などを $1 \times 10^{17} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下の濃度、たとえば $1 \times 10^{18} / \text{cm}^3$ 含んでいる。

【0065】

次に、図 10、図 20 および図 21 を参照して、工程 (S330) として、工程 (S320) までの工程が完了して形成された図 20 に示す SiC からなる部材から、図 21 に示すように TaC 膜 81 が除去された上で、当該部材が 1400°C 以上 1900°C 以下の温度に加熱される活性化アニール工程が実施される。これにより、当該部材に含まれる n 型不純物および p 型不純物が活性化する。さらに、工程 (S340) として、酸化膜が形成される酸化膜形成工程が実施される。具体的には、図 9 を参照して、n ソース領域 35、p ゲート領域 36 および n ドレイン領域 37 の上部表面が露出する第 2 p 型 SiC 層 34 の上部表面上に酸化膜 38 が形成される。この酸化膜 38 は、たとえば熱酸化、CVD (Chemical Vapor Deposition; 化学蒸着法) などにより形成することができる。

【0066】

次に、図 10 を参照して、工程 (S350) として、n ソース領域 35、p ゲート領域 36 および n ドレイン領域 37 上に、n ソース領域 35、p ゲート領域 36 および n ドレイン領域 37 に接触し、少なくとも n ソース領域 35 および n ドレイン領域 37 にオーミック接触可能な導電体、たとえば Ni などからなるソース電極 41A、ゲート電極 41B およびドレイン電極 41C が形成される電極形成工程が実施される。

【0067】

この電極形成工程は、たとえば以下のように実施することができる。まず、酸化膜 38 上にフォトリソグラフィにより所望のソース電極 41A、ゲート電極 41B およびドレイン電極 41C の形状に応じた開口を有するレジスト膜が形成される。そして、これをマスクとして用いて、たとえば RIE により酸化膜 38 の一部が除去される。その後、ソース電極 41A、ゲート電極 41B およびドレイン電極 41C を構成する Ni などの金属が、レジスト膜上から酸化膜 38 に形成された開口の内部にまで蒸着されて金属膜が形成される。その後、レジスト膜が除去されることにより酸化膜 38 上の金属膜が除去 (リフトオフ) されて、上記開口の内部に残存する金属膜によりソース電極 41A、ゲート電極 41B およびドレイン電極 41C が形成される。

【0068】

次に、図 10 および図 9 を参照して、工程 (S360) において、ソース電極 41A、ゲート電極 41B およびドレイン電極 41C 上にボンディングの容易な Al などの金属からなる配線としてのソース配線 42A、ゲート配線 42B およびドレイン配線 42C が形成される配線形成工程が実施される。そして、図 10 および図 9 を参照して、工程 (S370) において、ソース配線 42A、ゲート配線 42B およびドレイン配線 42C を取り囲むように絶縁体からなるパシベーション膜 43 が形成されるパシベーション工程が実施される。以上の工程により、本実施の形態における JFET3 が完成する。

【0069】

本実施の形態における JFET3 の製造方法においては、工程 (S270) および (S310) において、SF₆ ガスと O₂ ガスとを含む混合ガスを用いたドライエッチングにより SiC 層がエッチングされる。そのため、JFET3 の製造工程において作製される n 型 SiC 層 33 および第 2 p 型 SiC 層 34 のエッチングを、TaC 膜 81 からなるマスクを用いて実施することができる。その結果、本実施の形態における JFET3 の製造方法によれば、TaC を SiC のエッチングを行なうためのマスクの素材として採用する

10

20

30

40

50

ことにより、J F E T 3 の製造工程を簡略化することが可能となっている。

【0070】

なお、上記実施の形態においては、本発明の半導体装置の製造方法において準備される S i C 部材として、S i C 基板上に形成されたエピタキシャル層について説明したが、本発明の S i C 部材はこれに限られず、たとえば S i C 基板であってもよい。

【0071】

また、上述のように、本発明の半導体装置の製造方法は、特に S i C 部材のエッチングにおいて T a C を素材とするマスクを採用可能とする点に特徴を有するものである。したがって、上記実施の形態においては、製造される半導体装置が M O S F E T である場合および J F E T である場合について説明したが、本発明の半導体装置の製造方法により製造可能な半導体装置はこれに限られない。本発明の半導体装置の製造方法は、p n ダイオードや、バイポーラトランジスタ、I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r ; 絶縁ゲートバイポーラトランジスタ) などの本体部分や、ショットキーダイオード、p n ダイオード、バイポーラトランジスタ、I G B T などのガードリングなどの耐压保持構造を含む種々の半導体装置の製造方法に適用することができる。

10

【実施例1】

【0072】

以下、本発明の実施例1について説明する。Fを含有するガスを含むエッチングガスにより、T a C 膜をマスクとして用いて S i C をドライエッチングする場合における、当該エッチングガス中の O を含有するガスの体積割合と、S i C のエッチングレートおよび T a C に対する S i C の選択比との関係を調査する試験を行なった。試験の手順は以下のとおりである。

20

【0073】

はじめに、S i C 基板を準備し、当該 S i C 基板上に T a C 膜を形成した。T a C 膜の膜厚は 0.3 μ m とした。次に、T a C 膜上にレジストを塗布した後、フォトリソグラフィによりパターニングを行ない、当該レジストをマスクとして T a C 膜をエッチングした。T a C 膜のエッチングには、エッチングガスとして S F₆ を使用した。さらに、F を含有するガスである S F₆ と O を含有するガスである O₂ との混合ガスをエッチングガスとして用いて、S i C 基板のエッチングを行なった。S i C 基板のエッチングは、I C P - R I E を用い、パワー 400 W、バイアス 20 W、S F₆ のエッチング装置内への流量 50 s c c m、圧力 0.6 P a の条件を固定した上で、O₂ のエッチング装置内への流量を変化させる条件で行なった。

30

【0074】

そして、O₂ のエッチング装置内への流量の変化により変化した混合ガス中の O₂ の各体積割合における、S i C のエッチングレートおよび T a C に対する S i C の選択比を調査した。

【0075】

次に、本実施例の試験結果について説明する。図 2 2 は、実施例 1 の試験結果を示す図である。図 2 2 において、丸印は T a C に対する S i C の選択比、三角印は S i C のエッチングレートである。また、図 2 2 において、横軸は混合ガス中の O₂ の体積割合、左側縦軸は S i C のエッチングレート、右側縦軸は T a C に対する S i C の選択比である。ここで、S i C のエッチングレートは、1 分間あたりの S i C 基板の厚みの減少量を表している。また、T a C に対する S i C の選択比は、単位時間あたりの T a C 膜の厚みの減少量に対する S i C 基板の厚みの減少量の比を表している。

40

【0076】

図 2 2 を参照して、混合ガス中の O₂ の体積割合が増加するに従って、T a C に対する S i C の選択比が大きくなる傾向が確認される。これに対し、混合ガス中の O₂ の体積割合が増加しても、S i C のエッチングレートの変化は比較的小さい。このことから、F を含有するガスである S F₆ に O を含有するガスである O₂ を混合することにより、S i C

50

のエッチングレートにほとんど影響を与えず、T a C に対する S i C の選択比を上昇させることが可能であることが確認された。

【 0 0 7 7 】

さらに、図 2 2 を参照して、酸素の体積割合が 8 0 % を超えると T a C に対する S i C の選択比の上昇が飽和するとともに、S i C のエッチングレートが低下し始める。このことから、酸素の体積割合は 8 0 % 以下とすることが好ましいといえる。また、S i C のエッチングマスクとして T a C を使用するためには、上記選択比が 2 以上であることが好ましい。このことから、図 2 2 を参照して、酸素の体積割合は 3 0 % 以上とすることが好ましいといえる。さらに、図 2 2 から、酸素の体積割合を 5 0 % 以上とすることで選択比が大幅に上昇し、S i C のエッチングマスクとして T a C を使用することが一層容易となる
10

【 0 0 7 8 】

今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【 産業上の利用可能性 】

【 0 0 7 9 】

本発明の半導体装置の製造方法は、T a C 膜をマスクとして用いる半導体装置の製造方法に特に有利に適用され得る。
20

【 図面の簡単な説明 】

【 0 0 8 0 】

【 図 1 】 実施の形態 1 の M O S F E T の構成を示す概略断面図である。

【 図 2 】 実施の形態 1 における M O S F E T の製造方法の概略を示す流れ図である。

【 図 3 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。

【 図 4 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。

【 図 5 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。
30

【 図 6 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。

【 図 7 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。

【 図 8 】 実施の形態 1 における M O S F E T の製造方法を説明するための概略断面図である。

【 図 9 】 実施の形態 2 における J F E T の構成を示す概略断面図である。

【 図 1 0 】 実施の形態 2 における J F E T の製造方法の概略を示す流れ図である。

【 図 1 1 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である
40

【 図 1 2 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である。

【 図 1 3 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である。

【 図 1 4 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である。

【 図 1 5 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である。

【 図 1 6 】 実施の形態 2 における J F E T の製造方法を説明するための概略断面図である
50

。【図17】実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

。【図18】実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

。【図19】実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

。【図20】実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

。【図21】実施の形態2におけるJFETの製造方法を説明するための概略断面図である。

10

。【図22】実施例1の試験結果を示す図である。

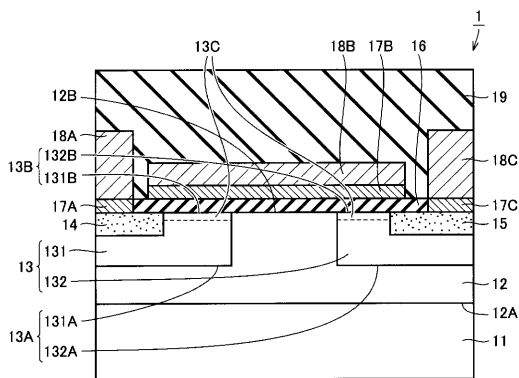
【符号の説明】

【0081】

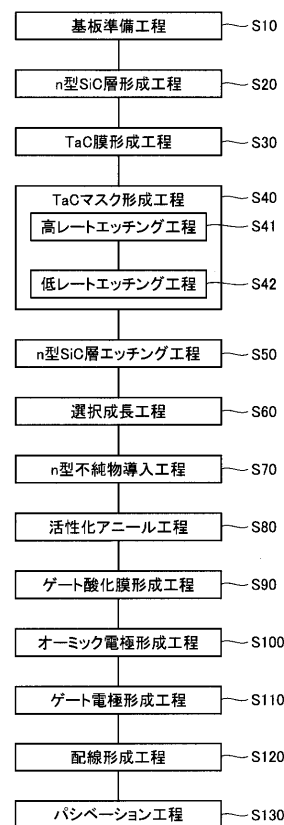
1 MOSFET、3 JFET、11, 31 SiC基板、12 n型SiC層、12A 第1の主面、12B 第2の主面、13 pボディ、13A 第1面、13B 第2面、13C チャンネル領域、131 一方のpボディ、131A, 132A 第1面、131B, 132B 第2面、132 他方のpボディ、14, 35 nソース領域、15, 37 nドレイン領域、16 ゲート酸化膜、17A, 41A ソース電極、17B, 41B ゲート電極、17C, 41C ドレイン電極、18A, 42A ソース配線、18B, 42B ゲート配線、18C, 42C ドレイン配線、19, 43 パシベーション膜、32 第1p型SiC層、33 n型SiC層、34 第2p型SiC層、36 pゲート領域、38 酸化膜、81 TaC膜、91 レジスト。

20

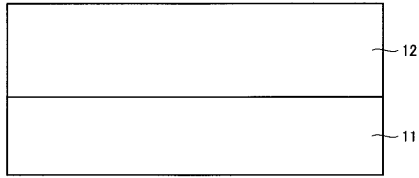
【図1】



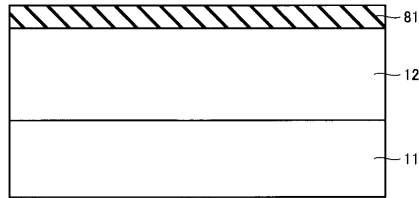
【図2】



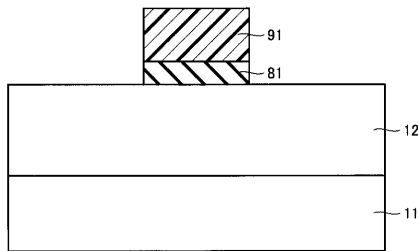
【図3】



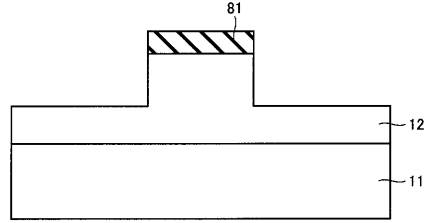
【図4】



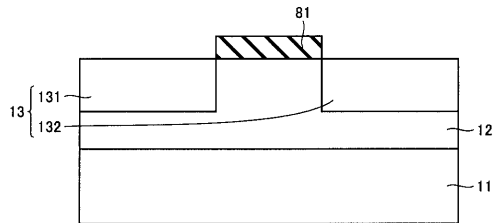
【図5】



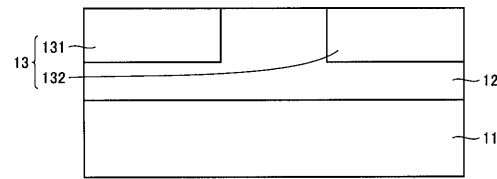
【図6】



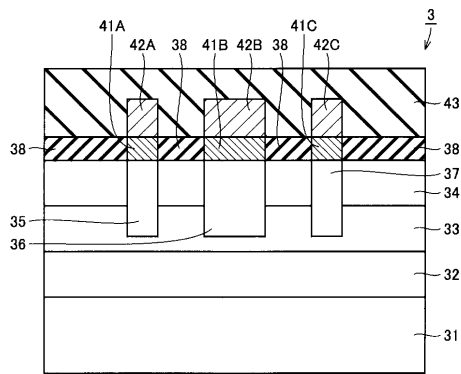
【図7】



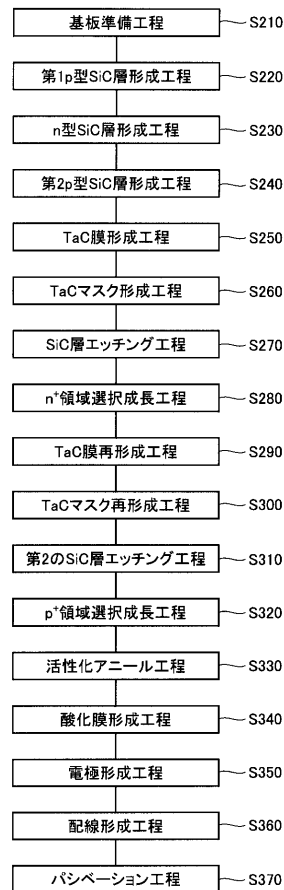
【図8】



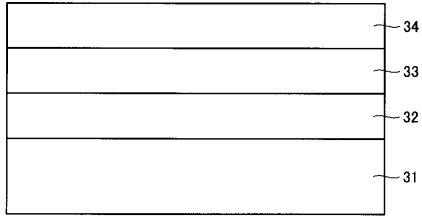
【図9】



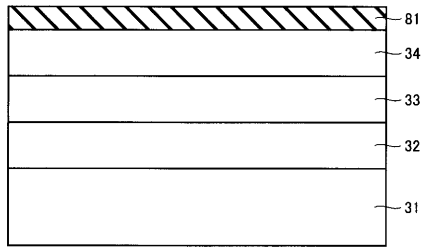
【図10】



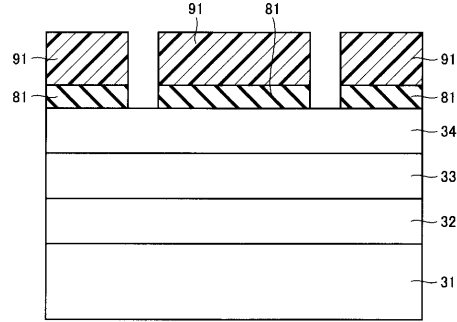
【図 1 1】



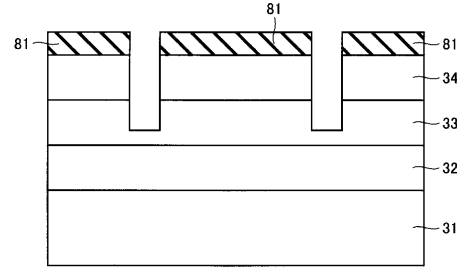
【図 1 2】



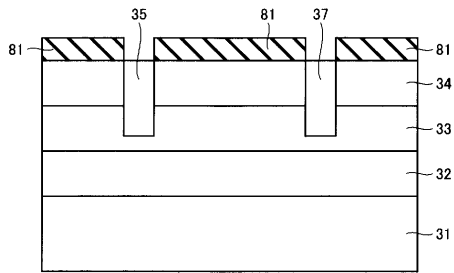
【図 1 3】



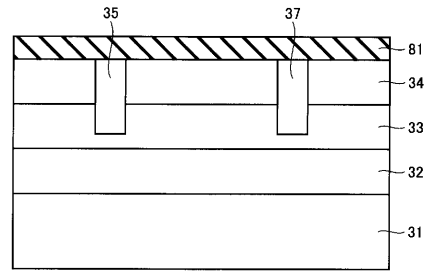
【図 1 4】



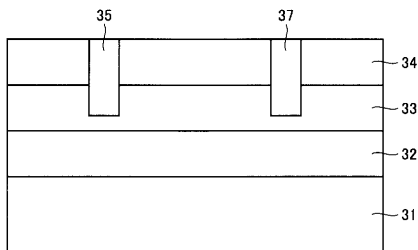
【図 1 5】



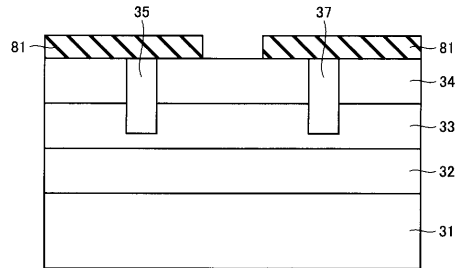
【図 1 7】



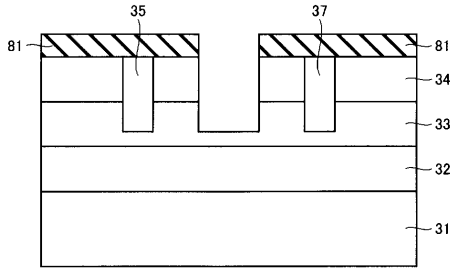
【図 1 6】



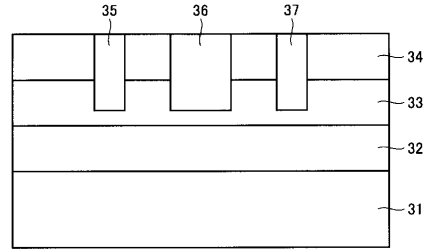
【図 1 8】



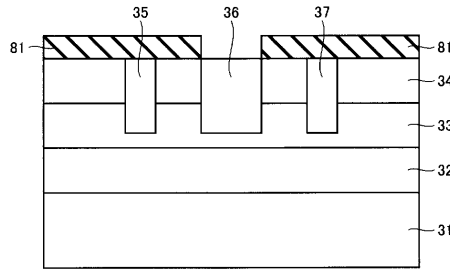
【図19】



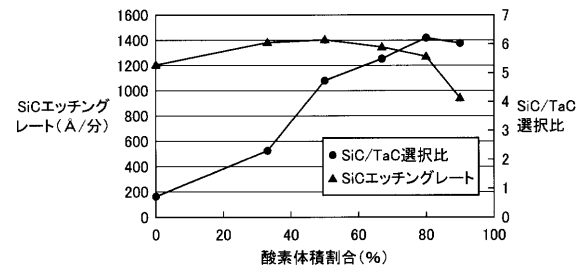
【図21】



【図20】



【図22】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 玉祖 秀人

大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

(72)発明者 原田 真

大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

審査官 和瀬田 芳正

(56)参考文献 特開2007-042997(JP,A)

特開平07-161690(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3065

H01L 21/329

H01L 29/47

H01L 29/872